



(12)发明专利申请

(10)申请公布号 CN 107180834 A

(43)申请公布日 2017. 09. 19

(21)申请号 201710065811.3

(22)申请日 2017.02.06

(30)优先权数据

62/307,087 2016.03.11 US

15/263,464 2016.09.13 US

(71)申请人 东芝存储器株式会社

地址 日本东京

(72)发明人 猪熊英幹 松浦修武 藤田昌成

(74)专利代理机构 北京律盟知识产权代理有限公司
11287

代理人 杨林勋

(51)Int.Cl.

H01L 27/11551(2017.01)

H01L 27/11578(2017.01)

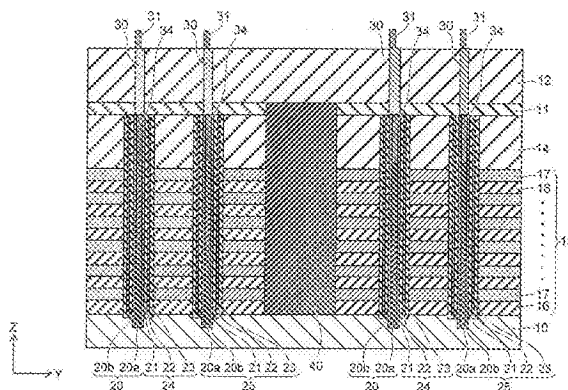
权利要求书2页 说明书9页 附图29页

(54)发明名称

半导体存储装置及其制造方法

(57)摘要

本案涉及半导体存储装置及其制造方法。实施方式的半导体存储装置具备衬底、多个电极、至少1个柱构造体、至少1个电荷蓄积膜、及至少1个绝缘部件。所述多个电极设置在所述衬底上，分别分隔积层而构成积层体，在沿所述衬底的表面的第一方向具有第一宽度，且具有沿所述表面在与所述第一方向交叉的第二方向延伸的部位。所述柱构造体设置在所述积层体内，且包含沿所述积层体的积层方向延伸的半导体层。所述电荷蓄积膜设置在所述半导体层与所述多个电极之间。所述绝缘部件在所述第一方向具有较所述第一宽度小的宽度，且在所述积层方向延伸设置。



1. 一种半导体存储装置,其具备:
衬底;
多个电极,设置在所述衬底上,分别分隔积层而构成积层体,在沿所述衬底的表面的第一方向具有第一宽度,且具有沿所述表面在与所述第一方向交叉的第二方向延伸的部位;
至少1个柱构造体,设置在所述积层体内,包含沿所述积层体的积层方向延伸的半导体层;
至少1个电荷蓄积膜,设置在所述半导体层与所述多个电极之间;及
至少1个绝缘部件,在所述第一方向具有较所述第一宽度小的宽度,贯通所述多个电极而在所述积层方向延伸设置。
2. 根据权利要求1所述的半导体存储装置,其中所述绝缘部件包含氧化硅。
3. 根据权利要求1所述的半导体存储装置,其中所述绝缘部件包含氮化硅。
4. 根据权利要求1所述的半导体存储装置,其中所述绝缘部件贯通所述积层体。
5. 根据权利要求1所述的半导体存储装置,其中所述绝缘部件的形状为长方体。
6. 根据权利要求1所述的半导体存储装置,其中所述绝缘部件沿所述第二方向设置有多个,且
于所述第二方向相邻的绝缘部件间配置有多个所述柱构造体。
7. 根据权利要求1所述的半导体存储装置,其中所述柱构造体以形成多个列的方式配置多个,且
所述绝缘部件将各列分断。
8. 根据权利要求1所述的半导体存储装置,其中所述多个电极具有未在所述第一方向的两端部配置所述绝缘部件的第一区域。
9. 根据权利要求8所述的半导体存储装置,其中未在所述第一区域配置所述柱构造体。
10. 根据权利要求1所述的半导体存储装置,其进而具备覆盖所述绝缘部件的侧面的围绕部,且
所述围绕部包含所述半导体层的材料、及所述电荷蓄积膜的材料至少任一材料。
11. 根据权利要求1所述的半导体存储装置,其中所述多个电极包含钨或钼。
12. 一种半导体存储装置,其具备:
衬底;
多个电极,设置在所述衬底上,分别分隔积层而构成积层体,在沿所述衬底的表面的第一方向具有第一宽度,且具有沿所述表面在与所述第一方向交叉的第二方向延伸的部位;
至少1个柱构造体,设置在所述积层体内,包含沿所述积层体的积层方向延伸的半导体层;及
至少1个电荷蓄积膜,设置在所述半导体层与所述多个电极之间;且
在所述积层体内,贯通所述多个电极而形成有至少1个空隙,
所述空隙的所述第一方向的宽度较所述第一宽度小。
13. 一种半导体存储装置的制造方法,其具备如下步骤:
在衬底上交替积层第一绝缘膜及第一膜而形成积层体;
在所述积层体形成沿所述积层体的积层方向延伸的多个贯通孔;
在所述多个贯通孔内形成电荷蓄积膜;

在所述多个贯通孔内的电荷蓄积膜上形成具有半导体层的柱构造体；

将所述多个电荷蓄积膜的一部分、所述多个柱构造体的一部分、及所述积层体的一部分除去而形成至少1个孔洞；

在所述孔洞内形成绝缘部件；

在所述积层体内形成多个狭缝，这些狭缝在所述积层方向及与所述积层方向交叉的第一方向延伸，且在与所述积层方向及所述第一方向交叉的第二方向上所述绝缘部件位于这些狭缝之间，

经由所述多个狭缝除去所述第一膜；及

在经由所述多个狭缝除去所述第一膜而成的空穴内成膜第一导电膜而形成电极。

14. 根据权利要求13所述的半导体存储装置的制造方法，其进而具备将所述多个电荷蓄积膜的一部分、所述多个柱构造体的一部分、及所述积层体的一部分除去，而形成覆盖所述孔洞的侧面的围绕部的步骤。

15. 根据权利要求13所述的半导体存储装置的制造方法，其中所述绝缘部件的所述第二方向的宽度较所述电极的所述第二方向的宽度小。

16. 根据权利要求13所述的半导体存储装置的制造方法，其中所述电极具有未在所述第二方向的两端部配置所述绝缘部件的第一区域。

17. 根据权利要求13所述的半导体存储装置的制造方法，其进而具备如下步骤：

将所述多个电荷蓄积膜的一部分、所述多个柱构造体的一部分、及所述积层体的一部分除去，而沿所述第一方向形成多个孔洞；及

在所述多个孔洞内形成绝缘部件。

18. 根据权利要求13所述的半导体存储装置的制造方法，其中所述绝缘部件的形状为长方体。

19. 根据权利要求13所述的半导体存储装置的制造方法，其中所述绝缘部件包含氧化硅。

20. 根据权利要求13所述的半导体存储装置的制造方法，其中所述绝缘部件包含氮化硅。

半导体存储装置及其制造方法

[0001] 相关申请案

[0002] 本申请案享有以美国临时专利申请案62/307,087号(申请日:2016年3月11日)及美国专利申请案15/263,464号(申请日:2016年9月13日)为基础申请案的优先权。本申请案通过参照这些基础申请案而包含基础申请案的全部内容。

技术领域

[0003] 实施方式涉及一种半导体存储装置及其制造方法。

背景技术

[0004] 提出有一种三维构造的存储器件,其在隔着绝缘膜积层多个电极膜而成的积层体形成有存储洞,且在该存储洞的侧壁隔着电荷蓄积膜而设置有成为通道的硅体。电极膜作为存储单元的控制栅极发挥功能,且使用导电性的材料形成。在使用金属形成电极膜的情况下,在电极膜产生压缩应力或拉伸应力等应力。有电极膜在一方向形成得较长而使得由所述应力所致的晶片的翘曲变大的顾虑。

发明内容

[0005] 实施方式提供一种能够抑制晶片的翘曲或断裂的半导体存储装置及其制造方法。

[0006] 实施方式的半导体存储装置具备衬底、多个电极、至少1个柱构造体、至少1个电荷蓄积膜、及至少1个绝缘部件。所述多个电极设置在所述衬底上,分别分隔积层而构成积层体,在沿所述衬底的表面的第一方向具有第一宽度,且具有沿所述表面在与所述第一方向交叉的第二方向延伸的部位。所述柱构造体设置在所述积层体内,且包含沿所述积层体的积层方向延伸的半导体层。所述电荷蓄积膜设置在所述半导体层与所述多个电极之间。所述绝缘部件在所述第一方向具有较所述第一宽度小的宽度,且在所述积层方向延伸设置。

附图说明

[0007] 图1是表示第一实施方式的半导体存储装置的俯视图。

[0008] 图2是表示第一实施方式的半导体存储装置的截面图。

[0009] 图3是表示第一实施方式的半导体存储装置的一部分的截面图。

[0010] 图4是表示第一实施方式的半导体存储装置的一部分的截面图。

[0011] 图5是表示第一实施方式的半导体存储装置的一部分的截面图。

[0012] 图6是表示第一实施方式的半导体存储装置的一部分的截面图。

[0013] 图7是表示第一实施方式的另一半导体存储装置的一部分的截面图。

[0014] 图8是表示第一实施方式的另一半导体存储装置的一部分的截面图。

[0015] 图9是表示第一实施方式的另一半导体存储装置的一部分的截面图。

[0016] 图10A、图10B、图11A、图11B、图12A、图12B、图13A、图13B、图14A、图14B是表示第一实施方式的半导体存储装置的制造方法的图。

- [0017] 图15是半导体存储装置的一部分的参考图。
- [0018] 图16~图18是表示第一实施方式的半导体存储装置的另一制造方法的图。
- [0019] 图19是表示第二实施方式的半导体存储装置的一部分的俯视图。
- [0020] 图20是表示第二实施方式的半导体存储装置的一部分的截面图。
- [0021] 图21A、图21B、图22A、图22B、图23A、图23B、图24A、图24B是表示第二实施方式的半导体存储装置的制造方法的图。
- [0022] 图25是表示第三实施方式的半导体存储装置的一部分的俯视图。
- [0023] 图26是表示第三实施方式的半导体存储装置的一部分的截面图。

具体实施方式

[0024] 以下,参照图式对实施方式进行说明。另外,各图式中,对相同要素附上相同符号。另外,以下所示的图式全部为示意性的图。例如为容易理解图,在若干个图中省略若干个构成要素或减少构成要素的个数来描画。此外,在图之间,各构成要素的个数及尺寸比未必一致。

[0025] (第一实施方式)

[0026] 图1是表示第一实施方式的半导体存储装置的俯视图。

[0027] 图2是表示第一实施方式的半导体存储装置的截面图。

[0028] 图3是表示第一实施方式的半导体存储装置的一部分的截面图。

[0029] 图4是表示第一实施方式的半导体存储装置的一部分的截面图。

[0030] 图1表示半导体存储装置1的X-Y俯视图。图2表示半导体存储装置1的Y-Z截面图。图3表示半导体存储装置1的区域A的Y-Z截面图。图4表示半导体存储装置1的区域B的X-Z截面图。

[0031] 在本实施方式的半导体存储装置1中设置有硅衬底等衬底10。以下,在本说明书中,为便于说明而采用XYZ正交坐标系。将与衬底10的上表面平行、且相互正交的2个方向设为“X方向”及“Y方向”,且将与X方向及Y方向的双方正交的方向设为“Z方向”。

[0032] 如图1及图2所示般,在半导体存储装置1设置有存储单元区域Rm、及接点区域Rc。存储单元区域Rm与接点区域Rc沿Y方向排列。

[0033] 以下,对存储单元区域Rm进行说明。

[0034] 在存储单元区域Rm设置有积层体15及柱状部25。积层体15是多个绝缘膜16及多个电极膜17逐层交替于Z方向积层而成。层间绝缘膜14设置在积层体15上。绝缘膜16例如由氧化硅(SiO₂)形成。在电极膜17设置有:本体部,包含例如钨(W)或钼(Mo);及阻隔金属层,包含例如氮化钛,且覆盖本体部的表面。层间绝缘膜14由例如氧化硅形成。

[0035] 柱状部25在积层体15内沿Z方向延伸。柱状部25形成为例如圆柱状或椭圆柱状。柱状部25设置有多个,例如在X-Y平面上配置为锯齿格子状或正方格子状。

[0036] 如图2所示般,柱状部25具有核心部20a、半导体主体20b、隧道绝缘膜21、电荷蓄积膜22、及区块绝缘膜23。

[0037] 核心部20a包含例如氧化硅。核心部20a的形状例如为圆柱状。

[0038] 半导体主体20b设置在核心部20a的周围。半导体主体20b包含硅,例如使非晶硅结晶化而成的多晶硅。半导体主体20b的形状例如为有底圆筒形。半导体主体20b的下端与衬

底10相接。由核心部20a及半导体主体20b构成柱状的构造体20。

[0039] 在核心部20a的上端设置有插塞34。插塞34位于层间绝缘膜14内,其周围由半导体主体20b包围。插塞34由例如与半导体主体20b相同的材料形成。

[0040] 隧道绝缘膜21设置在半导体主体20b的周围。隧道绝缘膜21例如为单层的氧化硅膜、或氧化硅层、氮化硅层及氧化硅层积层而成的ONO膜。隧道绝缘膜21的形状例如为圆筒形。

[0041] 电荷蓄积膜22设置在隧道绝缘膜21的周围。电荷蓄积膜22为用以蓄积电荷的膜,例如由具有电子的陷阱点的材料形成,例如由氮化硅(Si_3N_4)形成。电荷蓄积膜22的形状例如为圆筒形。

[0042] 区块绝缘膜23设置在电荷蓄积膜22的周围。区块绝缘膜23例如由氧化硅形成。区块绝缘膜23也可由氧化硅层、及设置在氧化硅层与电极膜17之间的包含氧化铝(Al_2O_3)的氧化铝层的多层膜。由隧道绝缘膜21、电荷蓄积膜22及区块绝缘膜23构成能够蓄积电荷的存储膜24。因此,存储膜24配置在半导体主体20b与电极膜17之间。

[0043] 在柱状部25的正上方区域设置有插塞30,该插塞30在Z方向延伸,且贯穿绝缘膜11及绝缘膜12。插塞30例如由钨等导电材料形成。绝缘膜11及绝缘膜12例如由氧化硅形成。在绝缘膜12上设置有在X方向延伸的位线31。位线31经由插塞30、34而连接于柱状部25的半导体主体20b。

[0044] 如图3所示般,积层体15的一部分被柱状部件40在Y方向分断。柱状部件40如图1所示般,设置于在X方向上相邻的源极电极18间。对于柱状部件40下文进行详细说明。

[0045] 如图4所示般,在衬底10上设置有多个源极电极18。源极电极18例如由钨或钼金属材料形成。源极电极18也可具有由金属材料形成的本体部、及覆盖本体部的表面的阻隔金属层等周边部。例如,阻隔金属层包含氮化钛(TiN),且覆盖本体部的侧面及底面。

[0046] 多个源极电极18沿X方向相互分隔以等间隔排列,且在Y方向延伸。例如,以上端的X方向的宽度与下端的X方向的宽度相同的方式设置源极电极18。源极电极18也能以如下方式设置,即,X方向的截面上的厚度在下端最小,随着向上方而增加,且在上端成为最大。

[0047] 在X方向上相邻的每2条源极电极18间,自下方朝上方依序设置有积层体15、层间绝缘膜14及绝缘膜11。绝缘膜11、层间绝缘膜14及积层体15通过源极电极18区划,且在Y方向延伸。因此,绝缘膜16及电极膜17也在Y方向延伸。

[0048] 在包含积层体15、层间绝缘膜14及绝缘膜11的构造体与源极电极18之间设置有绝缘性的侧壁19。电极膜17通过侧壁19而与源极电极18绝缘。侧壁19也在Y方向延伸。侧壁19例如由氧化硅形成。

[0049] 以下,对接点区域 R_c 进行说明。

[0050] 在接点区域 R_c 中,积层体15端部的形状为阶梯状,在每一电极膜17形成有台阶17s。绝缘膜13也覆盖积层体15的阶梯状的端部,其上表面平坦。绝缘膜13例如由氧化硅形成。

[0051] 在各积层体15的各台阶17s上设置有接点32。各接点32在Z方向延伸,且贯穿绝缘膜13。接点32的下端连接于电极膜17。本实施方式中,在各电极膜17连接有2个接点32,但与各电极膜17连接的接点32的数量可为任意数。

[0052] 在绝缘膜13上设置有在Y方向延伸的多条上层字线33。接点32的上端连接于上层

字线33。因此,各电极膜17经由接点32而连接于1条上层字线33。

[0053] 另外,在图2中,为便于图示而在同一Y-Z截面内描画多个接点32,但实际上,与不同的电极膜17连接的多个接点32在X方向上配置在互不相同的位置。因此,图2所示的1条上层字线33经由接点32仅连接于1个电极膜17。

[0054] 在存储单元区域R_m中,在衬底10与位线31之间连接有柱状部25。此外,在各电极膜17,多个区块配置在X-Y平面上而形成布线图案的一部分。此外,各区块相当于相邻的源极电极18间的部分,形成作为控制栅极的字线。例如,在各区块中,配置有包含沿特定方向排列的多个柱状部25的柱状部25的列。

[0055] 各位线31遍及多个区块而在X方向延伸,且在每一区块连接于1个柱状部25。而且,在半导体主体20b与电极膜17的每一交叉部分,形成有包含存储膜24的存储单元。

[0056] 在存储单元区域R_m中,多个存储单元沿X方向、Y方向及Z方向排列为三维矩阵状,能够在各存储单元存储数据。另一方面,在接点区域R_c中,从存储单元区域R_m引出各电极膜17,并经由接点32及上层字线33而连接于周边电路(未图示)。

[0057] 以下,对柱状部件40进行说明。

[0058] 图5是表示第一实施方式的半导体存储装置的一部分的截面图。

[0059] 图6是表示第一实施方式的半导体存储装置的一部分的截面图。

[0060] 图7~图9是表示第一实施方式的另一半导体存储装置的一部分的截面图。

[0061] 图5是图1的区域C的截面图,且表示电极膜17的放大图。图6表示图1的区域C中的柱状部件40的X-Z截面图。图7及图8是表示柱状部件40的变化例的图。图9是表示与柱状部件40相关的变化例的图。图7~图9的截面分别相当于图5的截面。

[0062] 如图5及图6所示般,柱状部件40贯通绝缘膜11、层间绝缘膜14及积层体15,其下端与衬底10相接。柱状部件40为绝缘性的部件,具有压缩应力。例如,柱状部件40包含氧化硅(SiO₂)或氮化硅(SiN)。另外,“具有压缩应力的部件”是指晶格常数较原本值小的部件。具有压缩应力的部件的晶格常数使用X射线绕射法(X-Ray Diffraction)或电子束绕射法等测量。

[0063] 柱状部件40将设置在存储单元区域R_m中的在Y方向延伸的电极膜17的一部分分断。另外,如下述般,在电极膜17的两端(端部17t1、17t2)形成有电流路径,因此在Y方向延伸的电极膜17并未全部被柱状部件40分断。

[0064] 柱状部件40将配置在各电极膜17的柱状部25的列分断。例如,在各列的柱状部25沿Y方向配置,且该柱状部25的列配置有9列的情况下,列25A1~25A9的各者在Y方向上被分断。

[0065] 另外,柱状部25的列数并非限定于9列,能够设定为任意数。此外,配置在列25A1~25A9的柱状部25也可不是全部有助于存储器动作。例如,配置在列25A5的柱状部25也可无助于存储器动作的虚设部分。该情况下,配置在列25A1~A4的柱状部25、与配置在列25A6~A9的柱状部25在X方向上分开,例如分别配置为锯齿状。在虚设部分也可埋入有构造体20及存储膜24,也可埋入有绝缘膜等。在将配置在列25A1~A4的柱状部25、与配置在列25A6~A9的柱状部25在X方向分开的情况下,也可通过在Y方向延伸的绝缘膜将这些柱状部25分开。

[0066] 例如,柱状部件40的形状如图5及图6所示般,在以X-Y平面及X-Z截面观察时为矩

形状。此外，柱状部件40如图3所示般，在以Y-Z截面观察时具有矩形状。即，柱状部件40的形状为长方体。并不限于长方体，柱状部件40的形状也可为将电极膜17的一部分、及柱状部25的列分断的各种形状。例如，柱状部件40的形状也可为圆柱或椭圆柱。

[0067] 在柱状部件40的形状为长方体的情况下，柱状部件40的Y方向的宽度W1例如为数百纳米左右。该情况下，存储单元区域Rm的Y方向的宽度为5毫米左右。柱状部件40的X方向的宽度W2小于电极膜17的X方向的宽度W3。此外，为了在电极膜17的两端形成电流路径，当将电极膜17的端部17t1、17t2的宽度设为W4、W5时，宽度W2以满足以下的式(1)的方式设定。

$$[0068] \quad W3 - W4 - W5 \geq W2 \cdot \cdot \cdot (1)$$

[0069] 端部17t1相当于配置在列25A1的柱状部25与侧壁19A2之间的电极膜17的部分。端部17t2相当于配置在列25A9的柱状部25与侧壁19B1之间的电极膜17的部分。端部17t1、17t2为导通部分，形成字线。柱状部件40未配置在端部17t1、17t2。另外，也可在电极膜17形成端部17t1、17t2的一者。例如，如图7所示般，也可为形成有电极膜17的端部17t2，且柱状部件40以与侧壁19A2相接的方式配置。

[0070] 如上所述，柱状部件40将积层体15的一部分在Y方向分断，且设置于在X方向上相邻的源极电极18间。柱状部件40在相邻的源极电极18间设置有至少1个。在以在Y方向配置多个的方式设置柱状部件40的情况下，相邻的柱状部件40间的Y方向的距离也可为固定。该情况下，多个柱状部件40在Y方向上周期性地配置。相邻的柱状部件40间的Y方向的距离也可不同。

[0071] 此外，以在Y方向上配置多个的方式设置柱状部件40的情况下，也能以在电极膜17交替形成端部17t1、17t2的方式配置柱状部件40。例如，如图8所示般，以在电极膜17交替形成端部17t1、17t2的方式配置2个柱状部件40。该情况下，一柱状部件40以与侧壁19A2相接的方式配置，另一柱状部件40以与侧壁19B1相接的方式配置。

[0072] 柱状部件40也可设置在积层体15的分路部。分路部是积层体15内的区域，且为设置有相当于虚设部分的柱状部25的区域。当在积层体15的分路部设置柱状部件40时，能够抑制存储单元的形成密度的降低。

[0073] 此外，积层体15的一部分也可不因设置柱状部件40而被分断。例如，如图9所示般，也可形成将电极膜17的一部分分断的空隙41。空隙41将配置在各电极膜17的柱状部25的列分断。空隙41贯通绝缘膜11、层间绝缘膜14及积层体15。空隙41的X方向的宽度W6小于电极膜17的X方向的宽度W3。此外，积层体15的一部分也可被柱状部件40及空隙41分断。

[0074] 以下，对本实施方式的半导体存储装置的制造方法进行说明。

[0075] 图10A及图10B~图14A及图14B是表示第一实施方式的半导体存储装置的制造方法的图。

[0076] 图10A~图14A及图10B~图14B分别表示显示半导体存储装置1的制造方法的俯视图及截面图。图10A~图14A的平面相当于图1的区域C的平面。图10B~图12B相当于图4的截面，图13B及图14B的截面相当于图6的截面。另外，以下对半导体存储装置1的存储单元区域Rm的制造方法进行说明。

[0077] 首先，在晶片的一部分即衬底10上，通过例如CVD (Chemical Vapor Deposition, 化学气相沉积) 法使绝缘膜16及牺牲膜50沿Z方向交替积层而形成积层体15a。绝缘膜16由例如氧化硅形成。牺牲膜50由在与绝缘膜16之间具有蚀刻选择比的材料形成，例如由氮化

硅形成。继而，在积层体15a上形成层间绝缘膜14。

[0078] 其次，如图10A及图10B所示般，通过例如RIE (Reactive Ion Etching, 反应性离子蚀刻) 在层间绝缘膜14及积层体15a形成多个存储洞51 (贯通孔)。存储洞51在Z方向延伸并贯通层间绝缘膜14及积层体15a, 且到达衬底10。从Z方向观察，存储洞51的形状为圆形。此外，从Z方向观察，存储洞51例如配置为锯齿状。

[0079] 继而，如图11A及图11B所示般，通过例如CVD法在存储洞51的内表面上沉积氧化硅而形成区块绝缘膜23, 且沉积氮化硅而形成电荷蓄积膜22, 沉积氧化硅而形成隧道绝缘膜21。其后，通过实施RIE而从存储洞51的底面上除去隧道绝缘膜21、电荷蓄积膜22及区块绝缘膜23使衬底10露出。继而，沉积硅而形成半导体主体20b, 且沉积氧化硅而形成核心部20a。半导体主体20b与衬底10相接。由此，在存储洞51内形成具有构造体20及存储膜24的柱状部25。其后，实施回蚀而除去核心部20a的上部，将导入有杂质的硅埋入而形成插塞34。继而，在层间绝缘膜14上形成绝缘膜11。

[0080] 继而，如图12A及图12B所示般，通过例如RIE等异向性蚀刻而在积层体15a、层间绝缘膜14及绝缘膜11形成沿Y方向延伸的多条狭缝53。使狭缝53贯通积层体15a、层间绝缘膜14及绝缘膜11。由此，积层体15a被狭缝53分断为在Y方向延伸的多个积层体。继而，通过经由狭缝53实施湿式蚀刻而除去牺牲膜50。通过经由狭缝53除去牺牲膜50而形成空穴。其后，通过使钨或钼等导电膜沉积埋入空穴内而形成电极膜17。牺牲膜50被替换为电极膜17, 在狭缝53间形成积层体15。

[0081] 继而，如图13A及图13B所示般，除去积层体15的一部分、层间绝缘膜14的一部分、及绝缘膜11的一部分而形成孔洞54。通过孔洞54而将位于积层体15的一部分的柱状部25除去。孔洞54形成于在X方向上相邻的狭缝53间。孔洞54是在实施例如利用光刻法的位置对准之后通过RIE形成。电极膜17的一部分被孔洞54分断。此外，孔洞54将配置在各电极膜17的柱状部25的列分断。

[0082] 其次，如图14A及图14B所示般，在孔洞54内形成具有压缩应力的绝缘部件。例如，通过CVD法在孔洞54内沉积氧化硅而形成绝缘膜。另外，在通过CVD法在孔洞54内沉积氧化硅的情况下，使用掩膜等以不在狭缝53内沉积氧化硅。由此，形成柱状部件40。在Y方向延伸的电极膜17的一部分被柱状部件40分断，从而配置在各电极膜17的柱状部25的列被分断。继而，在整个表面沉积氧化硅而形成绝缘膜之后，对该绝缘膜进行回蚀而使之残留于狭缝53的侧面上，由此形成侧壁19。继而，通过较厚地沉积钨或钼而形成导电膜。由此，在狭缝53内形成源极电极18。

[0083] 其后，形成插塞30及位线31, 对晶片进行切割而切分为多个半导体存储装置1。

[0084] 如此般制造本实施方式的半导体存储装置1。

[0085] 以下，对本实施方式的效果进行说明。

[0086] 图15是半导体存储装置的一部分的参考图。

[0087] 在三维构造的半导体存储装置中，通过在电极膜配置较多柱状部而能够驱动较多存储单元。另一方面，随着配置在电极膜的柱状部的数量增加，半导体存储装置具有电极膜在Y方向上较长的积层构造。此外，在由金属材料形成电极膜的情况下，易于在Y方向产生拉伸应力，且在X方向产生压缩应力，因此在衬底的单面产生所述应力而使得衬底较大地翘曲。

[0088] 衬底翘曲的方向根据在X方向及Y方向产生的应力的不同而在X方向与Y方向不同。此外,在具有电极膜在Y方向较长的积层构造的情况下,在Y方向上难以分断,难以降低Y方向上的衬底的翘曲。由此,易于在Y方向施加应力,衬底的X方向上的翘曲量与衬底的Y方向上的翘曲量的差变大,因此衬底的翘曲变大。

[0089] 此外,多个半导体存储装置是通过在具有衬底的晶片上形成构造体,且对晶片及构造体进行切割而制造成。由此,衬底的翘曲在切割前以晶片翘曲的形式表现。晶片较大的翘曲会引起制造步骤中的加工精度下降,妨碍制造装置的稳定运转。

[0090] 当如本实施方式般在积层体15内设置柱状部件40时,能够将在电极膜17产生的应力的Y方向的成分(拉伸应力等)分断。此外,当通过具有压缩应力的绝缘部件形成柱状部件40时,能够在电极膜17缓和在Y方向产生的拉伸应力。由此,能够使衬底10的X方向上的翘曲量与衬底10的Y方向上的翘曲量的差变小。因此,能够使在各电极膜17产生的应力降低,由此能够抑制衬底10的翘曲从而抑制晶片的翘曲或断裂。

[0091] 此外,柱状部件40未形成在电极膜17的端部17t1、17t2。由此,能够在电极膜17形成字线而确保布线路径。

[0092] 另外,如图15所示般,在欲将电极膜17仅在Y方向分断的情况下,也可考虑设定分断区域Rd而将积层体15的端部形状加工为阶梯状。该情况下,形成接点35及上层布线36而将相邻的电极膜17电连接。然而,当设置此种分断区域Rd时,由于未在分断区域Rd形成存储单元,因此作为装置全体而言存储单元的形成密度降低。

[0093] 另一方面,当如本实施方式般在分路部等具有柱状部25的虚设部分的区域设置柱状部件40时,能够抑制存储单元的形成密度降低。

[0094] 以下,对本实施方式的半导体存储装置的另一制造方法进行说明。

[0095] 图16~图18是表示第一实施方式的半导体存储装置的另一制造方法的图。

[0096] 图16~图18表示显示半导体存储装置1的制造方法的俯视图。图16~图18的平面相当于图1的区域C的平面。另外,以下对半导体存储装置1的存储单元区域Rm的制造方法进行说明。

[0097] 首先,在晶片的一部分即衬底10上,通过例如CVD法使绝缘膜16及牺牲膜50沿Z方向交替积层而形成积层体15a,且在积层体15a上形成层间绝缘膜14。

[0098] 其次,如图16所示般,通过例如RIE在层间绝缘膜14及积层体15a形成多个存储洞51。存储洞51在Z方向延伸并贯通层间绝缘膜14及积层体15a,且到达衬底10。存储洞51未形成在积层体15a的一部分。继而,在存储洞51内形成区块绝缘膜23、电荷蓄积膜22、隧道绝缘膜21、半导体主体20b及核心部20a。由此,形成具有构造体20及存储膜24的柱状部25。继而,在层间绝缘膜14上形成绝缘膜11。

[0099] 继而,如图17所示般,通过例如RIE等异向性蚀刻而在积层体15a、层间绝缘膜14及绝缘膜11形成沿Y方向延伸的多条狭缝53。继而,除去积层体15a的一部分而形成孔洞54。另外,也可在形成孔洞54之后形成狭缝53。继而,在经由狭缝53除去牺牲膜50而形成空穴之后,将导电膜埋入至空穴内,由此形成电极膜17。由此,在狭缝53间形成积层体15。

[0100] 其次,如图18所示般,在孔洞54内形成具有压缩应力的绝缘部件。由此,形成将在Y方向延伸的电极膜17的一部分分断的柱状部件40。继而,通过在狭缝53的侧面上形成侧壁19,且较厚地沉积钨或钼而形成导电膜。由此,在狭缝53内形成源极电极18。另外,也可在形

成侧壁19及源极电极18之后形成柱状部件40。

[0101] 由图16~图18所示的半导体存储装置的制造方法中,在形成有柱状部件40的区域(积层体15的一部分)未形成柱状部25。另一方面,由图10A~图14A及图10B~图14B所示的半导体存储装置的制造方法中,在柱状部件40的形成区域形成柱状部25之后,除去柱状部25而形成柱状部件40。

[0102] (第二实施方式)

[0103] 图19是表示第二实施方式的半导体存储装置的一部分的俯视图。

[0104] 图20是表示第二实施方式的半导体存储装置的一部分的截面图。

[0105] 图19的平面相当于图1的区域C的平面。图20的截面相当于图6的截面。

[0106] 本实施方式与第一实施方式在围绕部42不同。除围绕部42以外的构成与第一实施方式相同,因此省略其他构成的详细说明。

[0107] 如图19及图20所示般,柱状部件40贯通绝缘膜11、层间绝缘膜14及积层体15,其下端与衬底10相接。柱状部件40为绝缘性的部件,具有压缩应力。在Y方向延伸的电极膜17的一部分、及配置在各电极膜17的柱状部25的列被柱状部件40分断。

[0108] 围绕部42设置在柱状部件40的周围,即侧面40s上。围绕部42设置在包含积层体15、层间绝缘膜14及绝缘膜11的构造体与柱状部件40之间,且覆盖柱状部件40的侧面40s。围绕部42由与柱状部25的一部分相同的材料形成。例如,围绕部42由形成构造体20(核心部20a及半导体主体20b)的材料、及形成存储膜24(隧道绝缘膜21、电荷蓄积膜22及区块绝缘膜23)的材料的至少一部分形成。

[0109] 以下,对本实施方式的半导体存储装置的制造方法进行说明。

[0110] 图21A及图21B~图24A及图24B是表示第二实施方式的半导体存储装置的制造方法的图。

[0111] 第二实施方式的半导体存储装置的制造方法在围绕部42的形成方法上与第一实施方式的半导体存储装置的制造方法不同。由此,在图10A及图10B与图11A及图11B所示的步骤中第二实施方式及第一实施方式相同,因此省略对应的图式及说明。

[0112] 图21A及图21B~图24A及图24B分别表示显示半导体存储装置1的制造方法的俯视图及截面图。图21A~图24A的平面相当于图19的平面。图21B~图24B的截面相当于图20的截面。另外,以下对半导体存储装置1的存储单元区域Rm的制造方法进行说明。

[0113] 如图21A及图21B所示般,除去积层体15a的一部分、层间绝缘膜14的一部分、绝缘膜11的一部分而形成孔洞54。将位于积层体15a的一部分的柱状部25除去,另一方面,在孔洞54的周围不除去柱状部25的一部分而使之残留。由此形成围绕部42。电极膜17的一部分被孔洞54分断。此外,孔洞54将配置在各电极膜17的柱状部25的列分断。

[0114] 继而,如图22A及图22B所示般,在孔洞54内形成具有压缩应力的绝缘部件。由此,形成柱状部件40。在Y方向延伸的电极膜17的一部分被柱状部件40分断,从而配置在各电极膜17的柱状部25的列被分断。在柱状部件40的侧面上设置有围绕部42。

[0115] 继而,如图23A及图23B所示般,通过例如RIE等异向性蚀刻而在积层体15a、层间绝缘膜14及绝缘膜11形成沿Y方向延伸的多条狭缝53。

[0116] 其次,如图24A及图24B所示般,在经由狭缝53除去牺牲膜50而形成空穴之后,将导电膜埋入至空穴内而形成电极膜17。由此,在狭缝53间形成积层体15。继而,通过在狭缝53

的侧面上形成侧壁19,且较厚地沉积钨或钼而形成导电膜。由此,在狭缝53内形成源极电极18。

[0117] 其后,形成插塞30及位线31,且对晶片进行切割而切分为多个半导体存储装置1。

[0118] 如此般制造本实施方式的半导体存储装置1。

[0119] 以下,对本实施方式的效果进行说明。

[0120] 如本实施方式般,在柱状部件40的侧面40s上设置有围绕部42。通过该围绕部42而能够在形成柱状部25时形成孔洞54,且在孔洞54内形成柱状部件40。因此,狭缝53及孔洞54未同时形成,由此能够减少经由狭缝53及孔洞54而实施的步骤(例如,当在孔洞54内沉积被沉积物时,使用掩膜等以不沉积于狭缝53内)。由此,能够减小半导体存储装置1的制造步骤数。此外,通过该围绕部42,能够容易地进行形成孔洞54时的位置对准。

[0121] 本实施方式的除所述以外的效果与所述第一实施方式相同。

[0122] (第三实施方式)

[0123] 图25是表示第三实施方式的半导体存储装置的一部分的俯视图。

[0124] 图26是表示第三实施方式的半导体存储装置的一部分的截面图。

[0125] 图25的平面相当于图1的存储单元区域Rm的平面。图26表示图25的区域D的Y-Z截面图。

[0126] 本实施方式与第一实施方式于在存储单元区域Rm内形成有多个空隙41的方面不同。除此以外的构成与第一实施方式相同,因此省略其他构成的详细说明。

[0127] 如图25所示般,空隙41形成于在X方向上相邻的源极电极18间。此外,以在Y方向以特定间隔配置的方式形成有多个空隙41。如图26所示般,空隙41贯通绝缘膜12、绝缘膜11、层间绝缘膜14及积层体15。

[0128] 空隙41将在Y方向延伸的电极膜17的一部分、及配置在各电极膜17的柱状部25的列分断。例如,如图9所示般,空隙41将电极膜17的一部分、及柱状部25的列分断。

[0129] 当如本实施方式般在积层体15内形成空隙41,能够将在电极膜17产生的应力的Y方向的成分(拉伸应力等)分断。由此,能够使衬底10的X方向上的翘曲量与衬底10的Y方向上的翘曲量的差变小。因此,能够使在各电极膜17产生的应力降低,由此能够抑制衬底10的翘曲从而抑制晶片的翘曲或断裂。

[0130] 对本发明的若干个实施方式进行了说明,但这些实施方式是作为例子提示者,并未意图限定发明的范围。这些新颖的实施方式能够以其他各种形态实施,且能够在不脱离发明主旨的范围进行各种省略、替换、变更。这些实施方式及其变化包含在发明的范围或主旨中,并且包含在权利要求书中所记载的发明及其均等范围内。

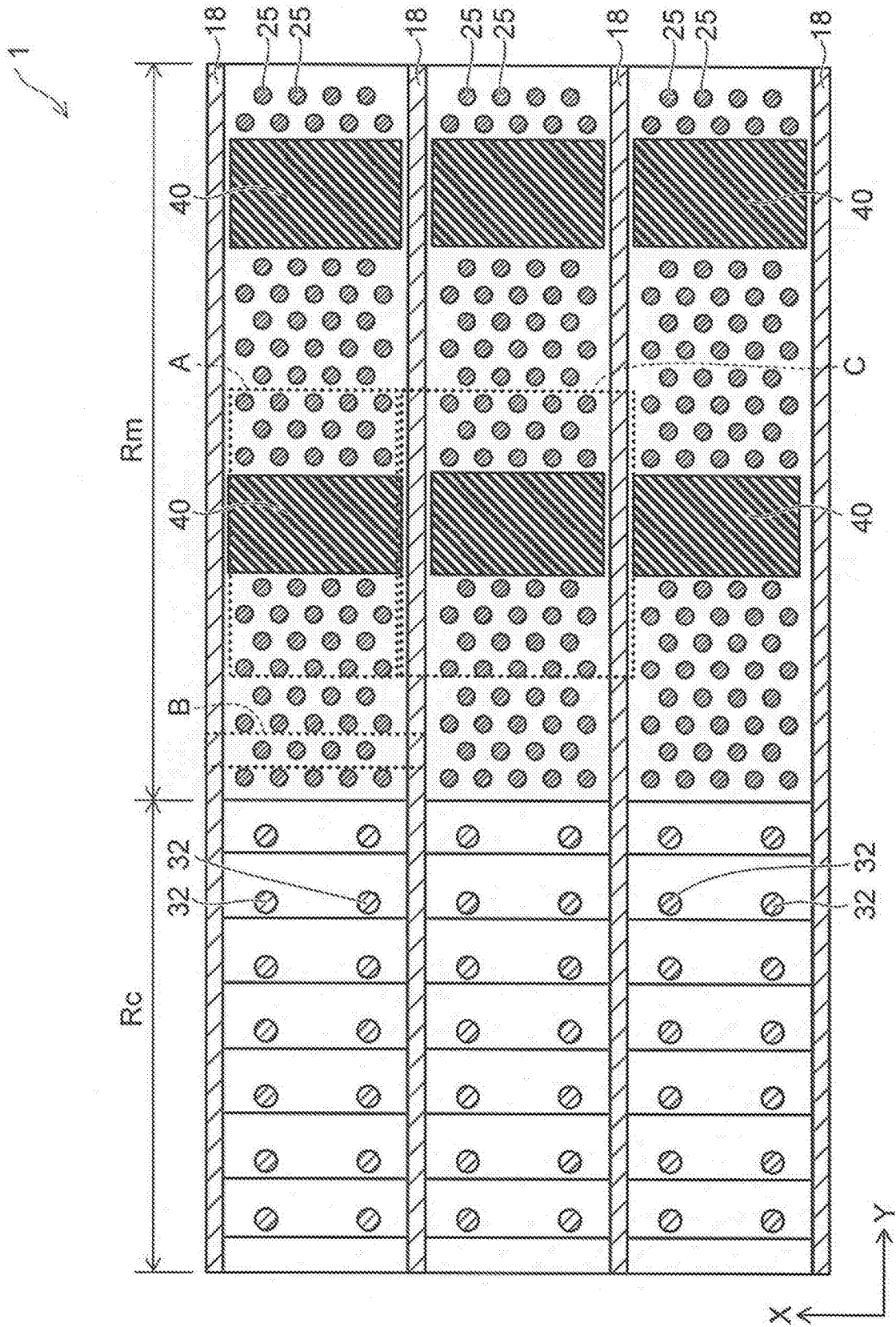


图1

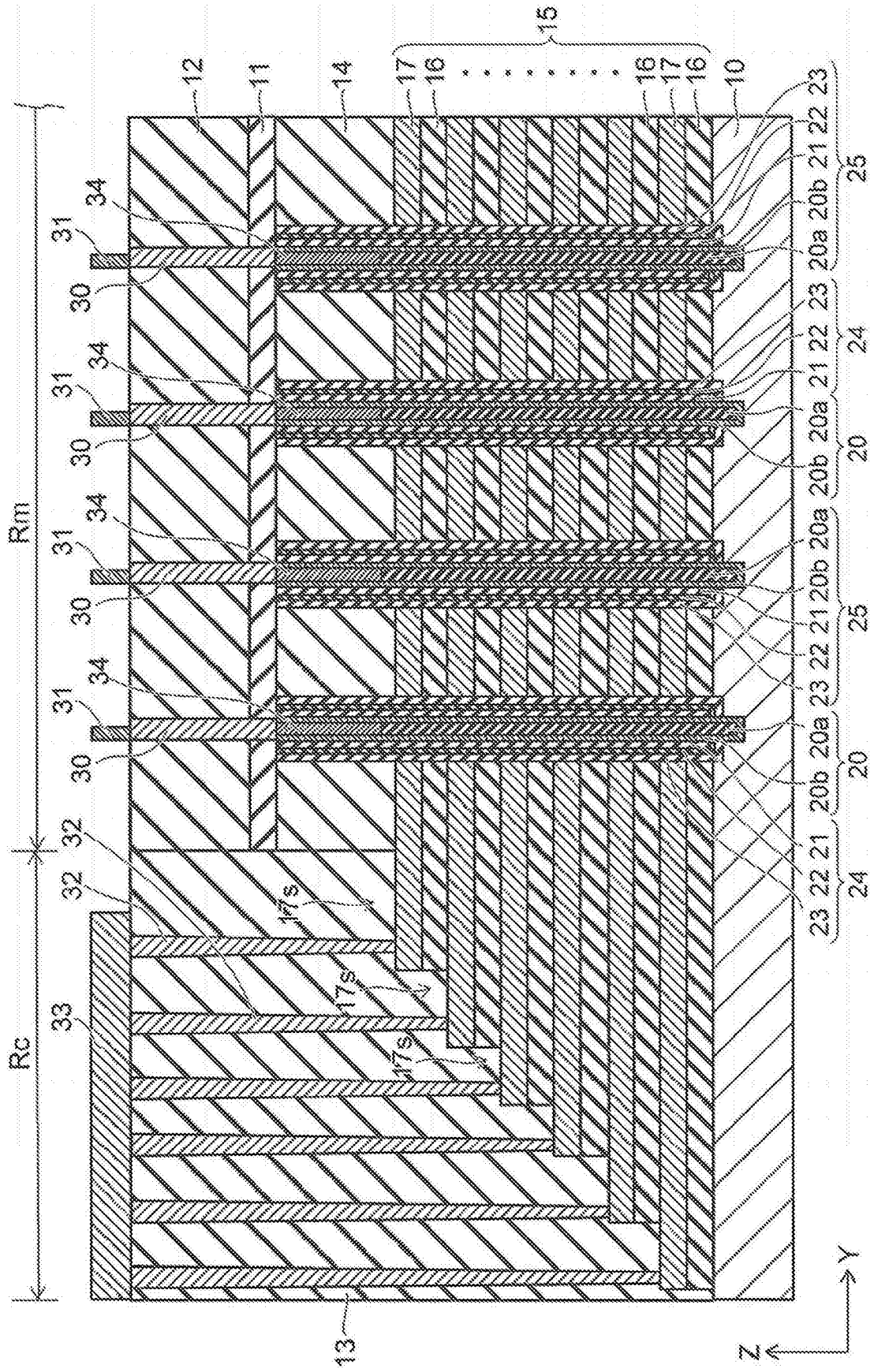


图2

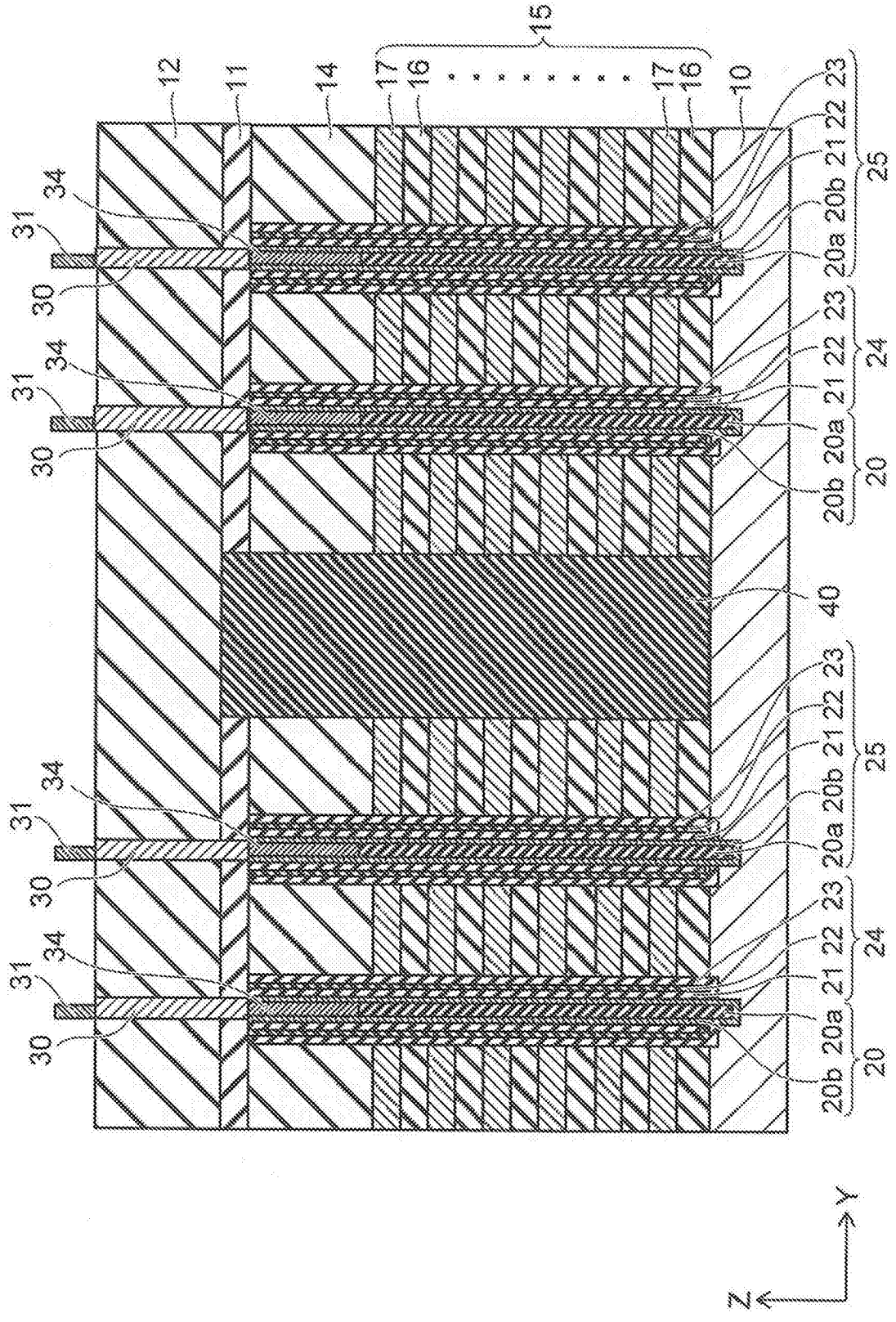


图3

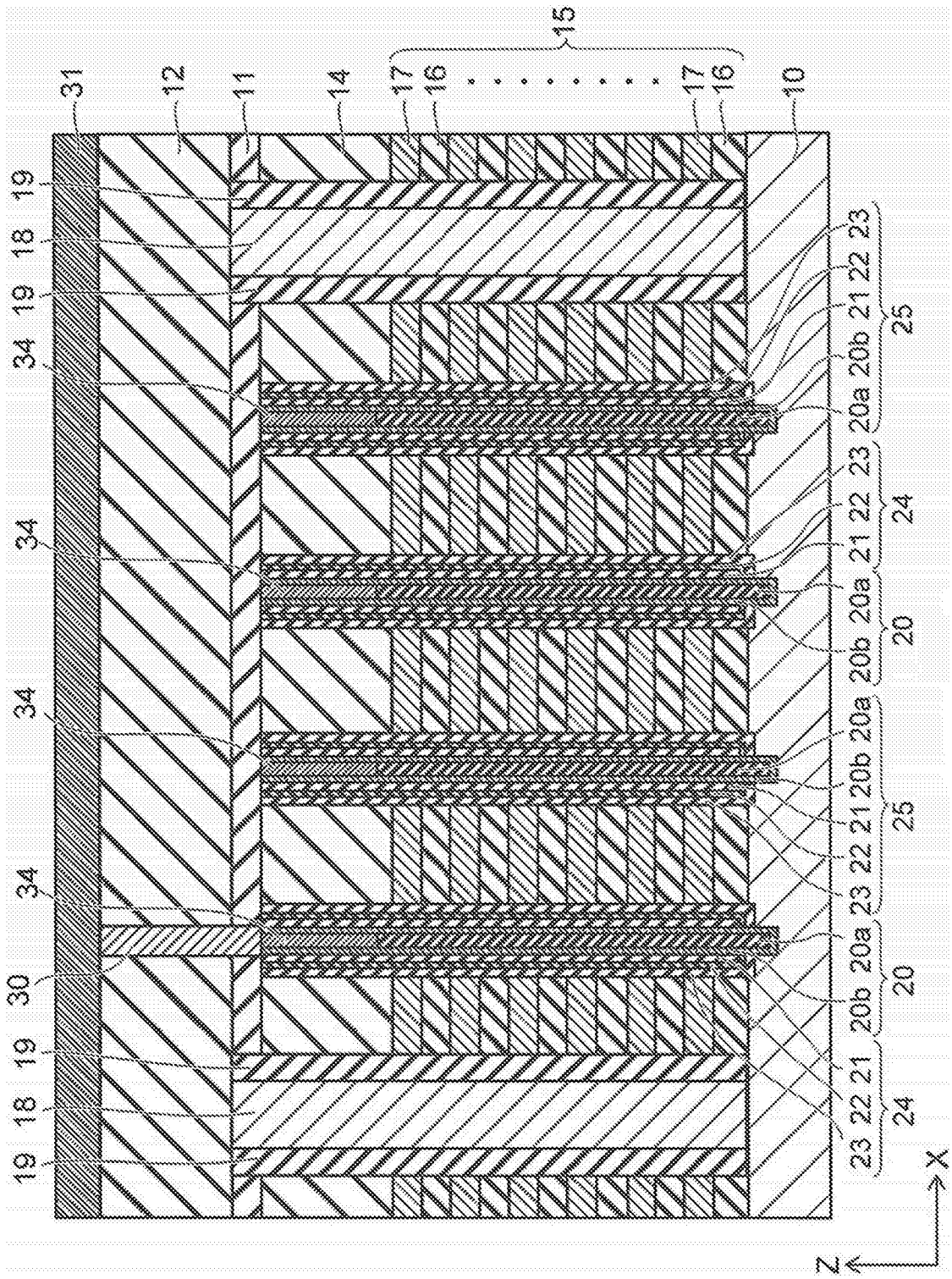


图4

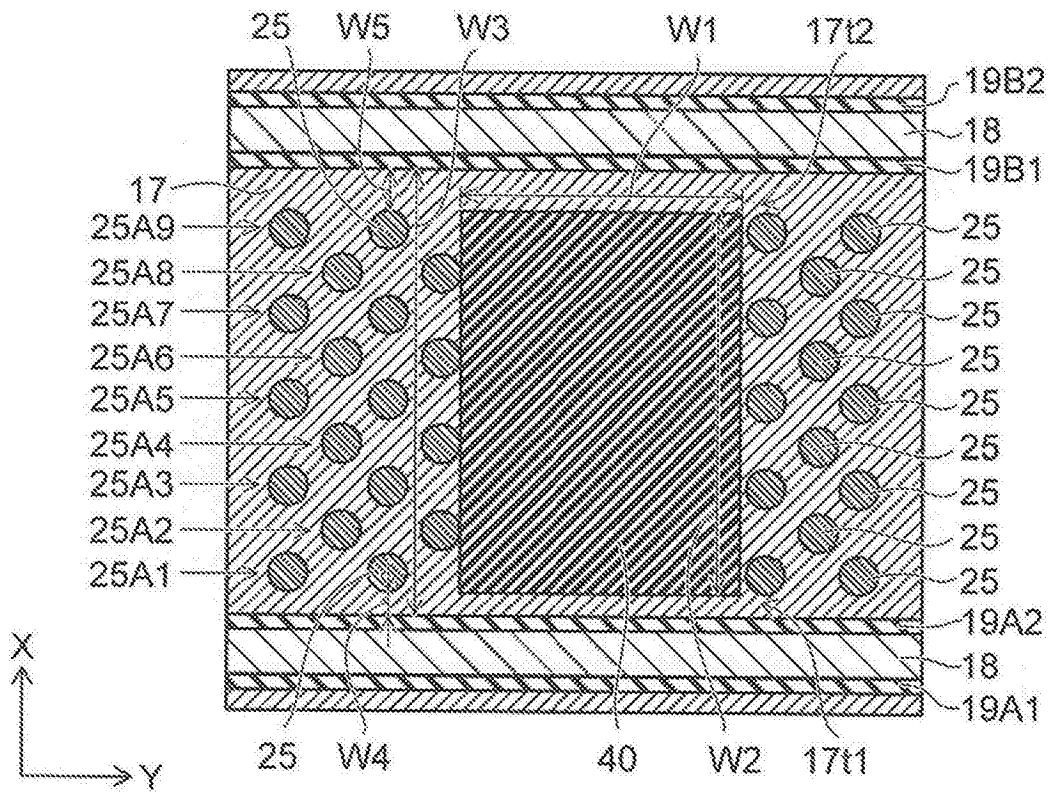


图5

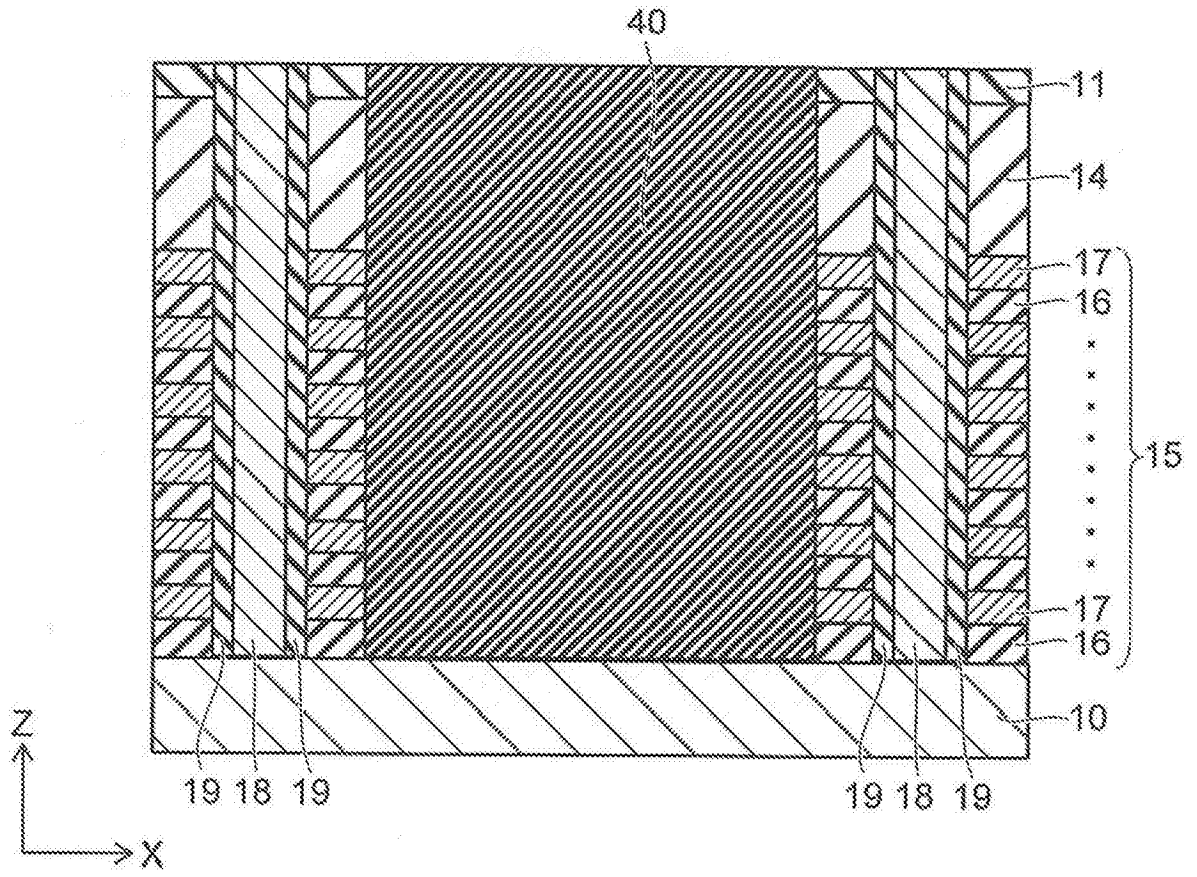


图6

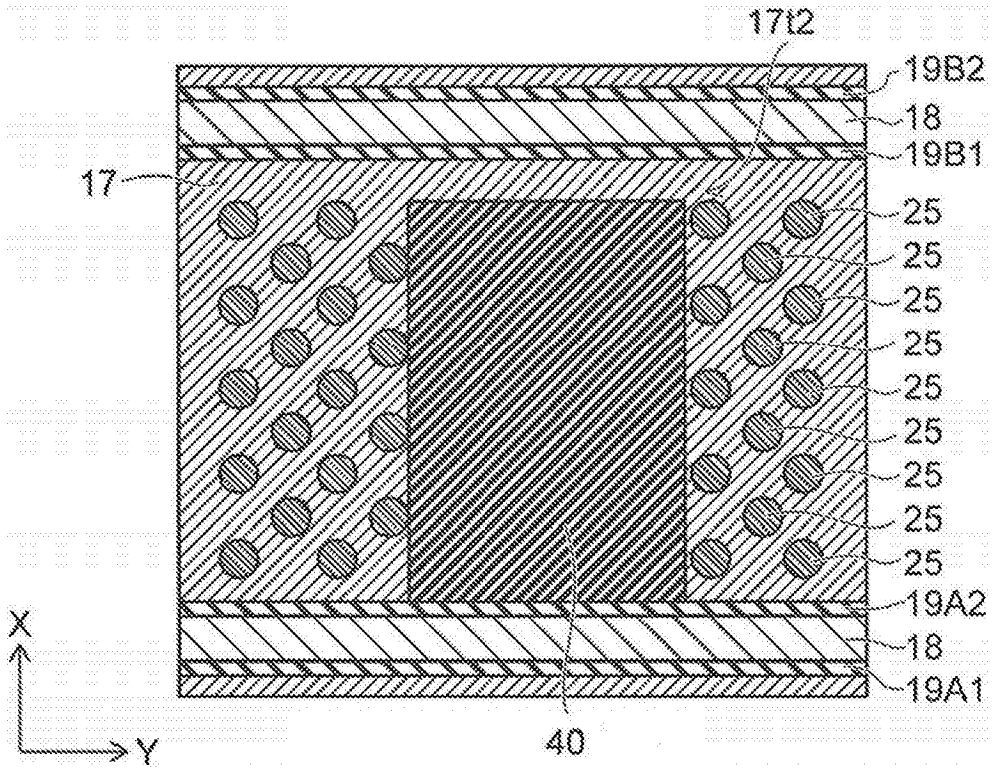


图7

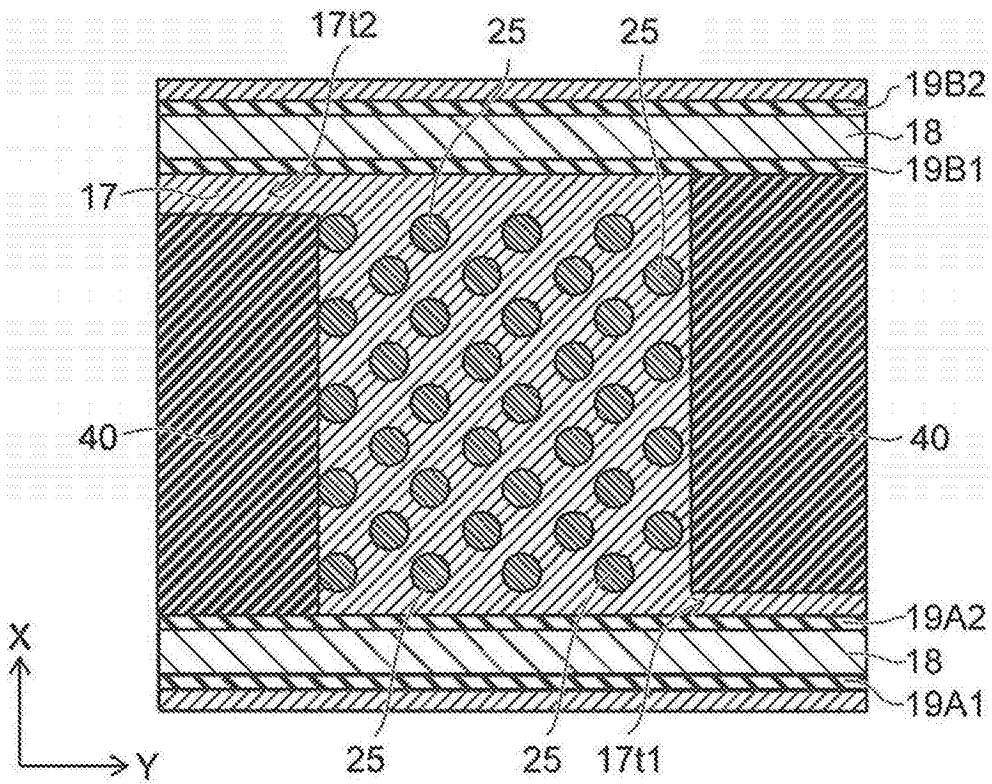


图8

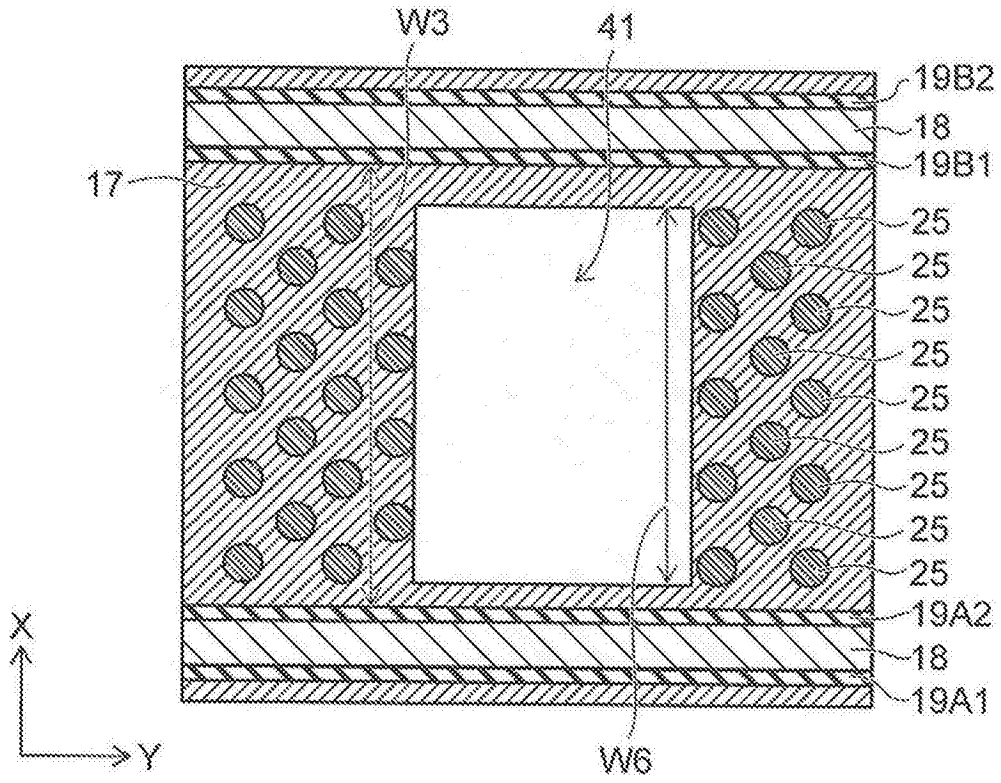


图9

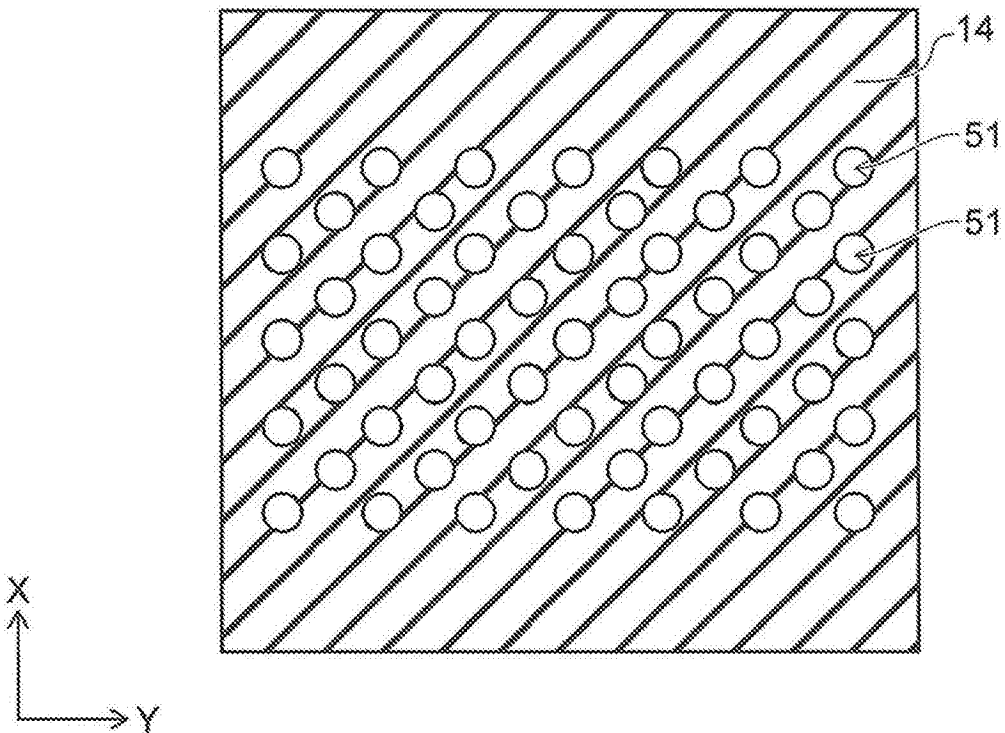


图10A

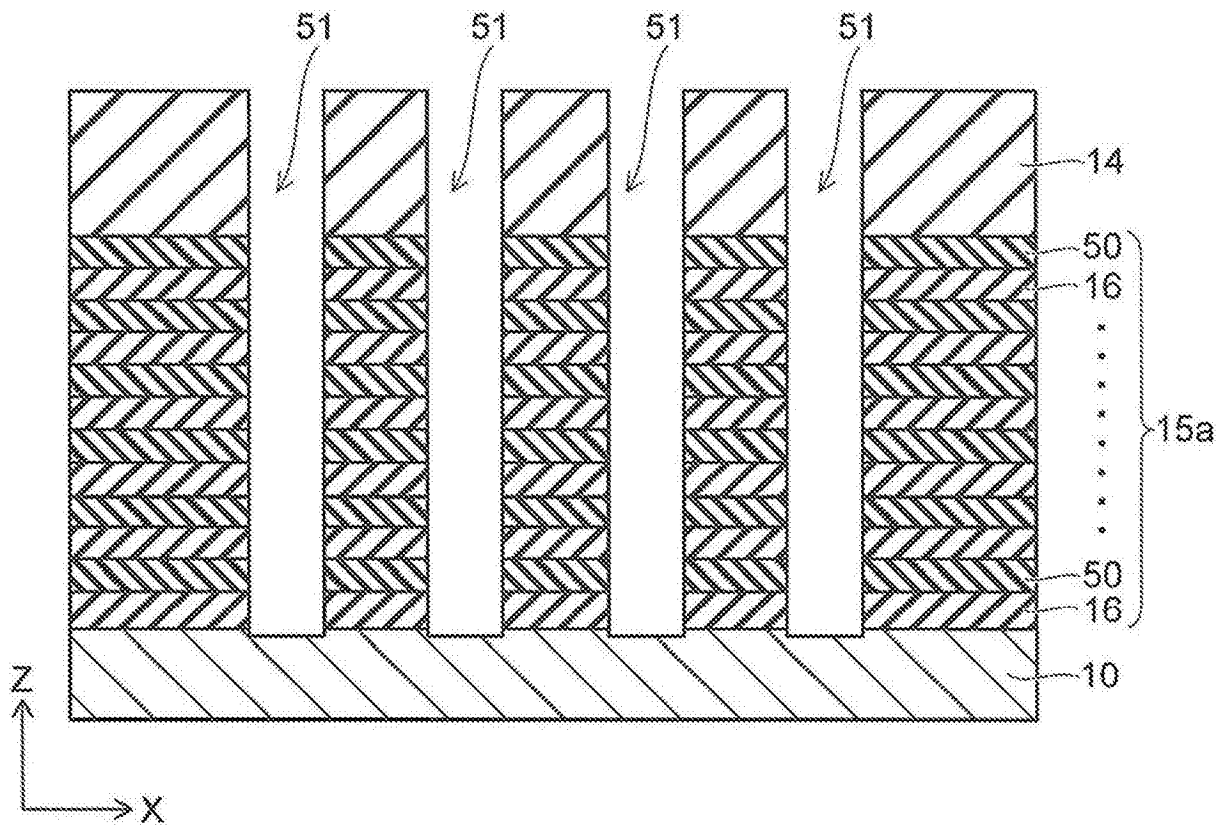


图10B

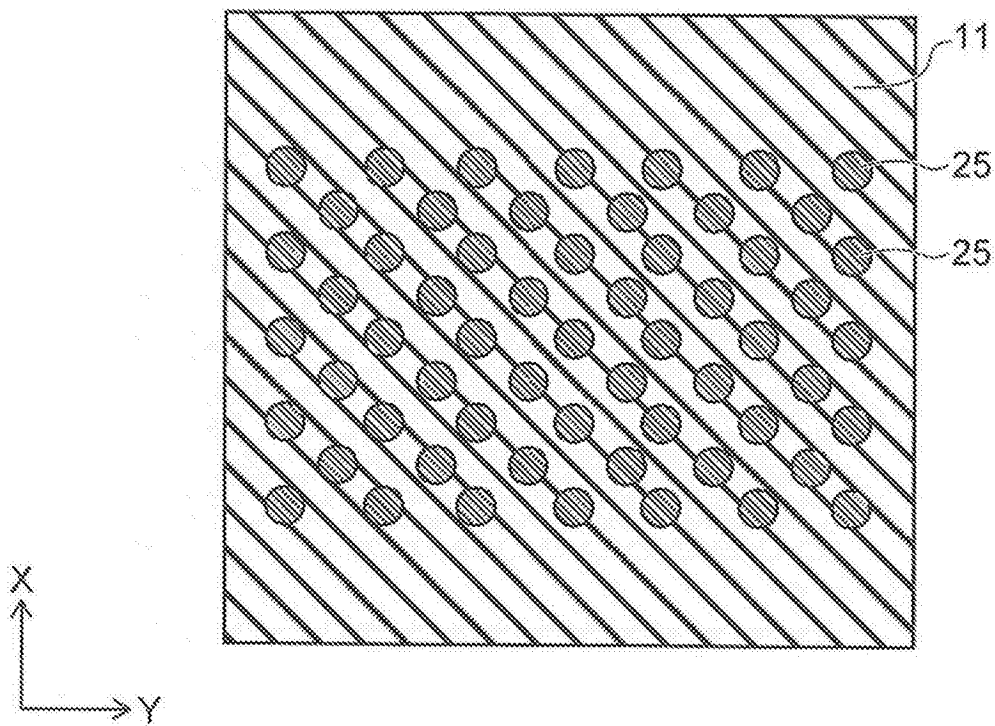


图11A

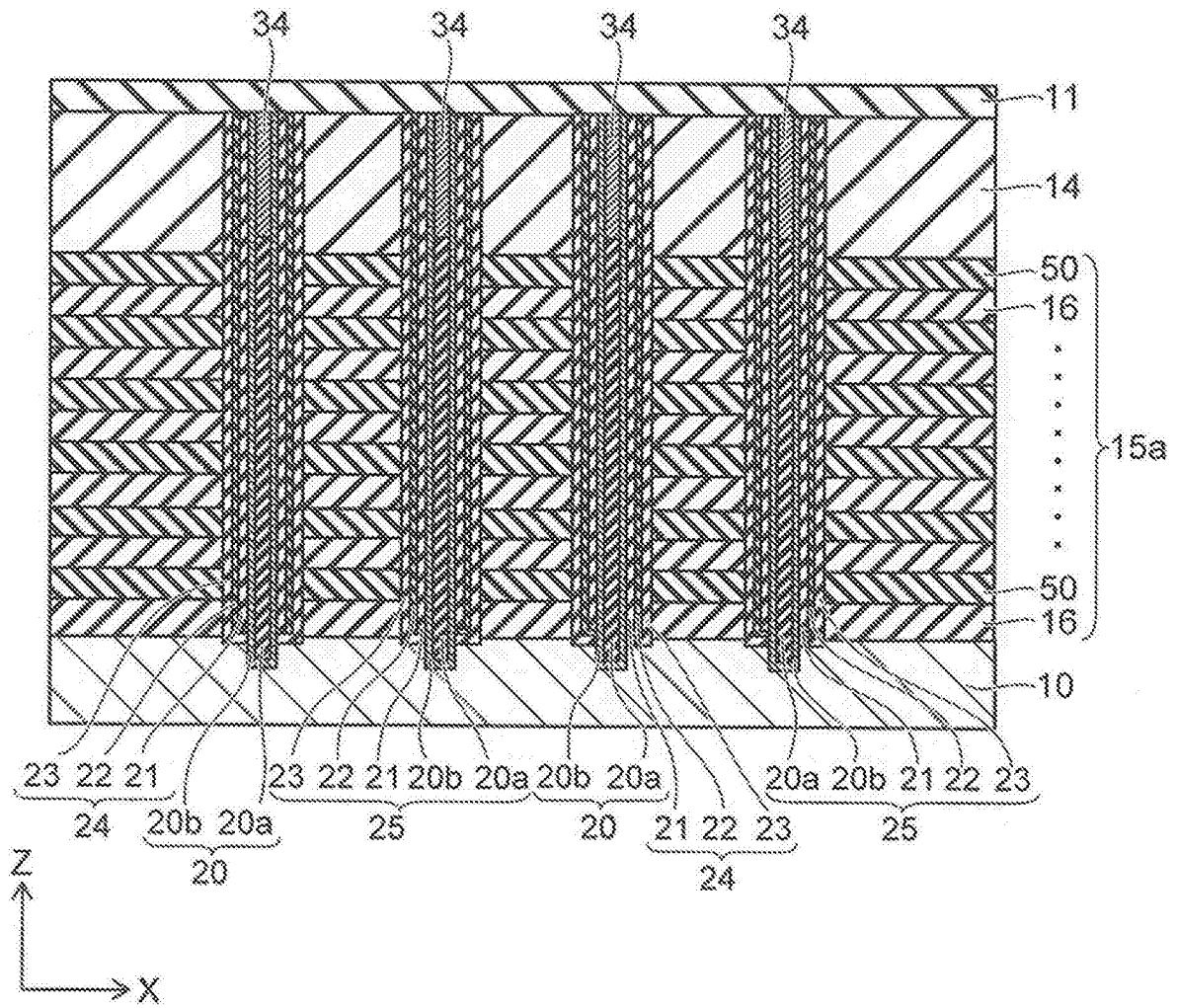


图11B

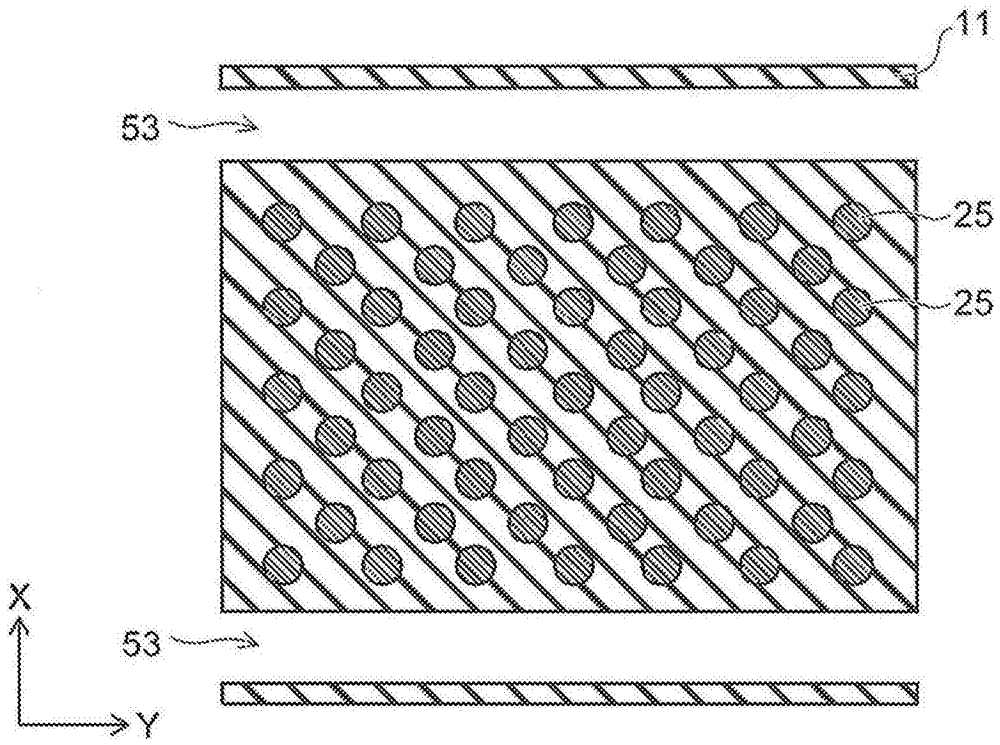


图12A

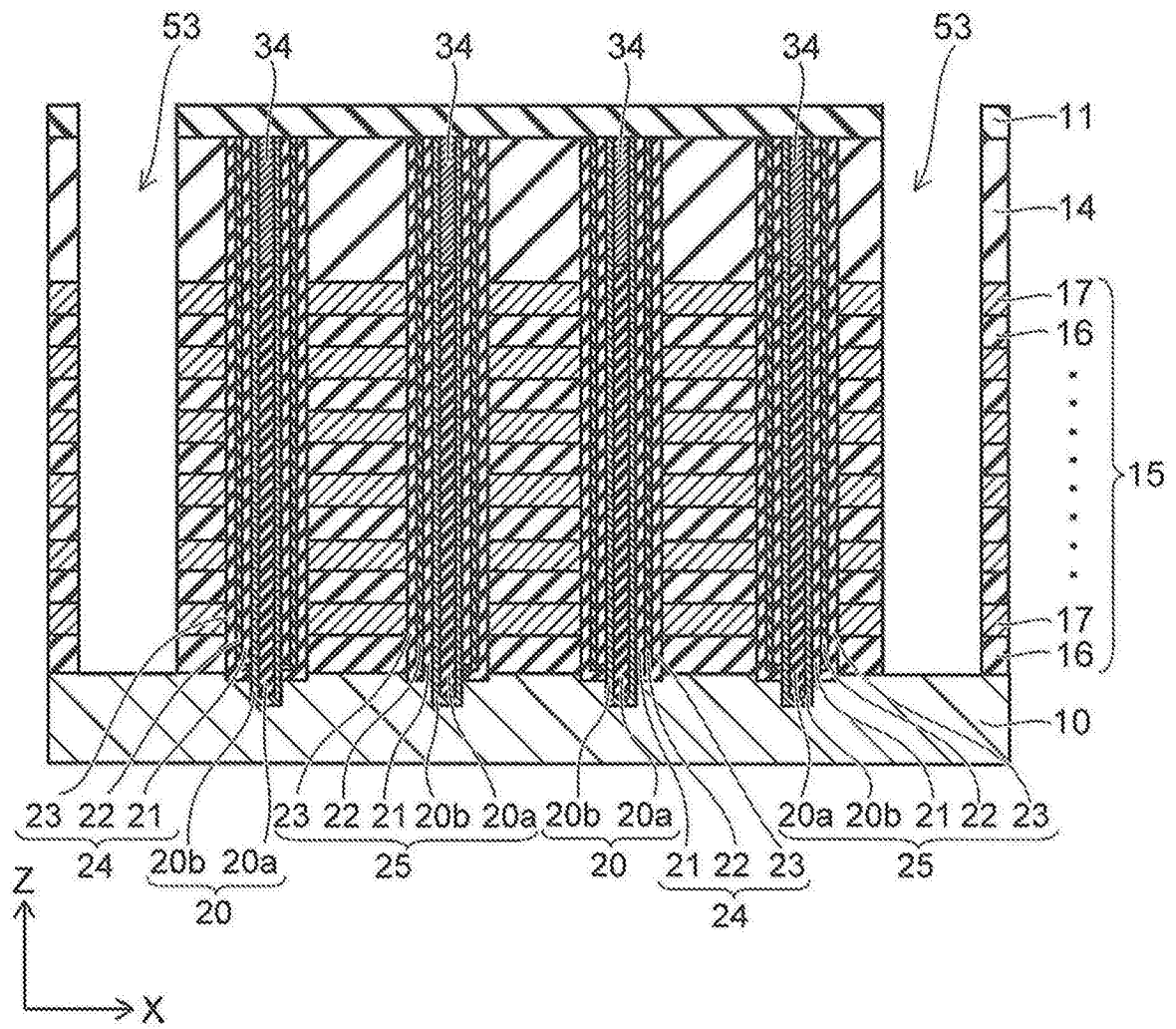


图12B

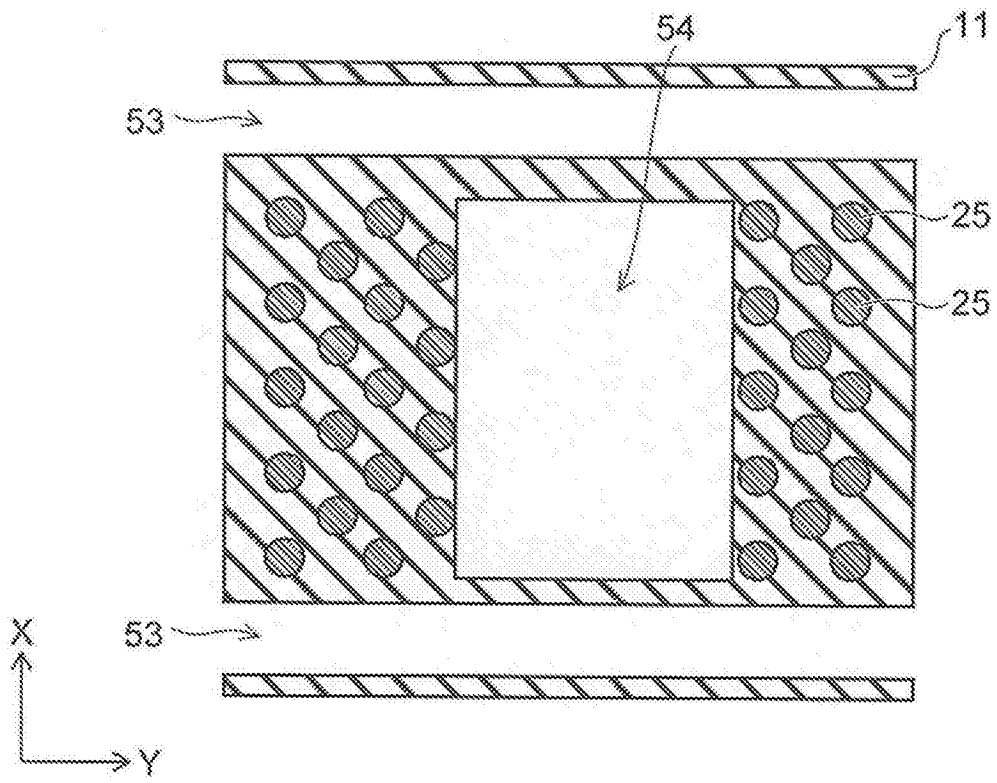


图13A

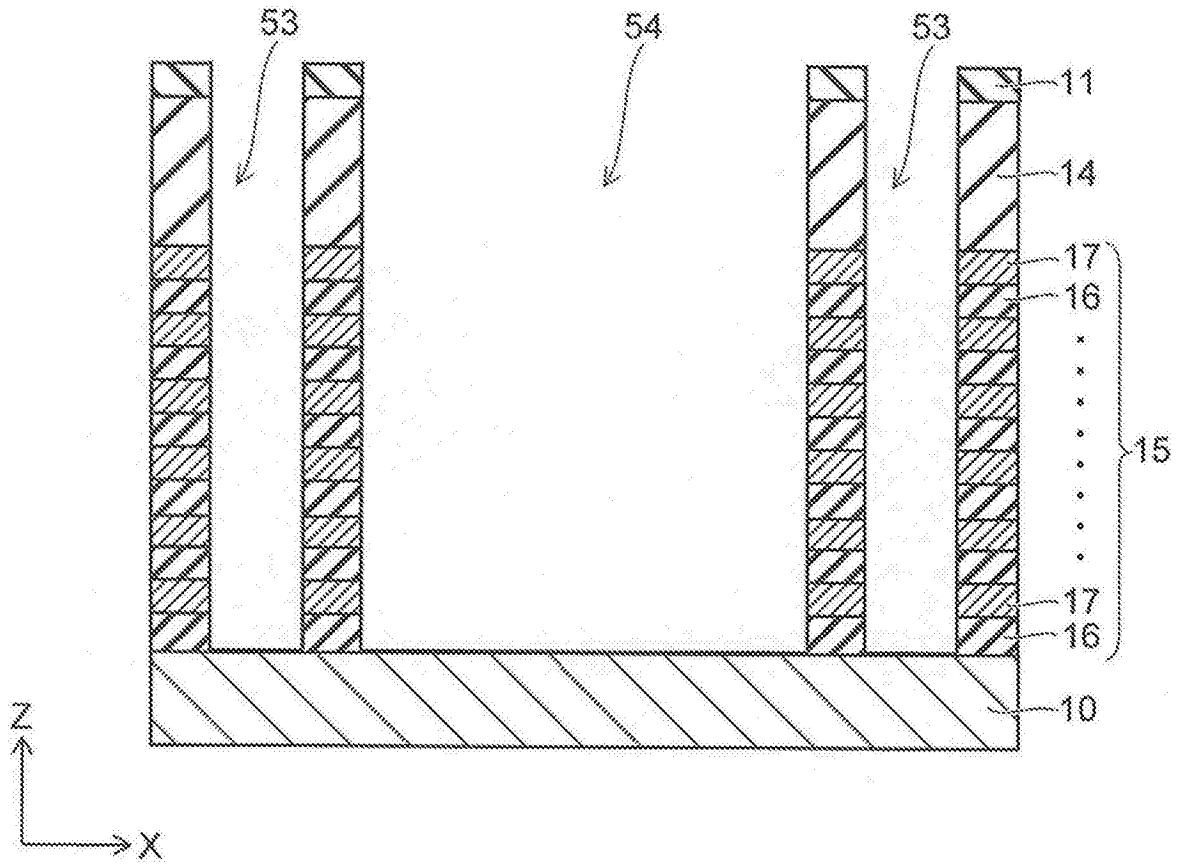


图13B

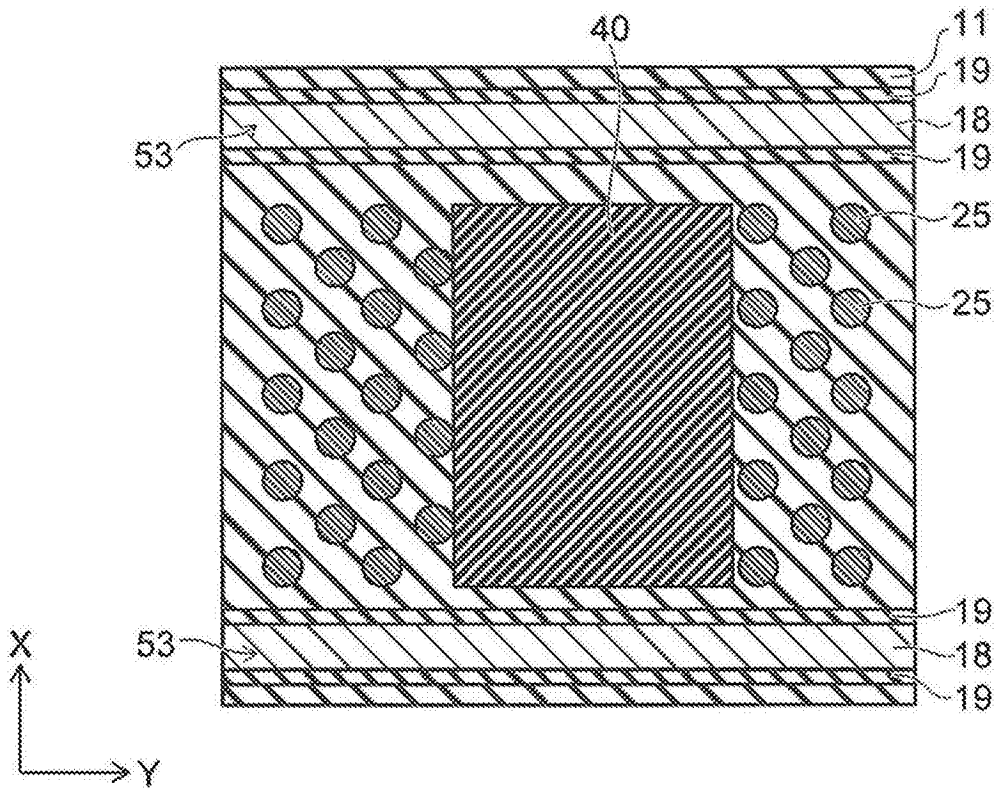


图14A

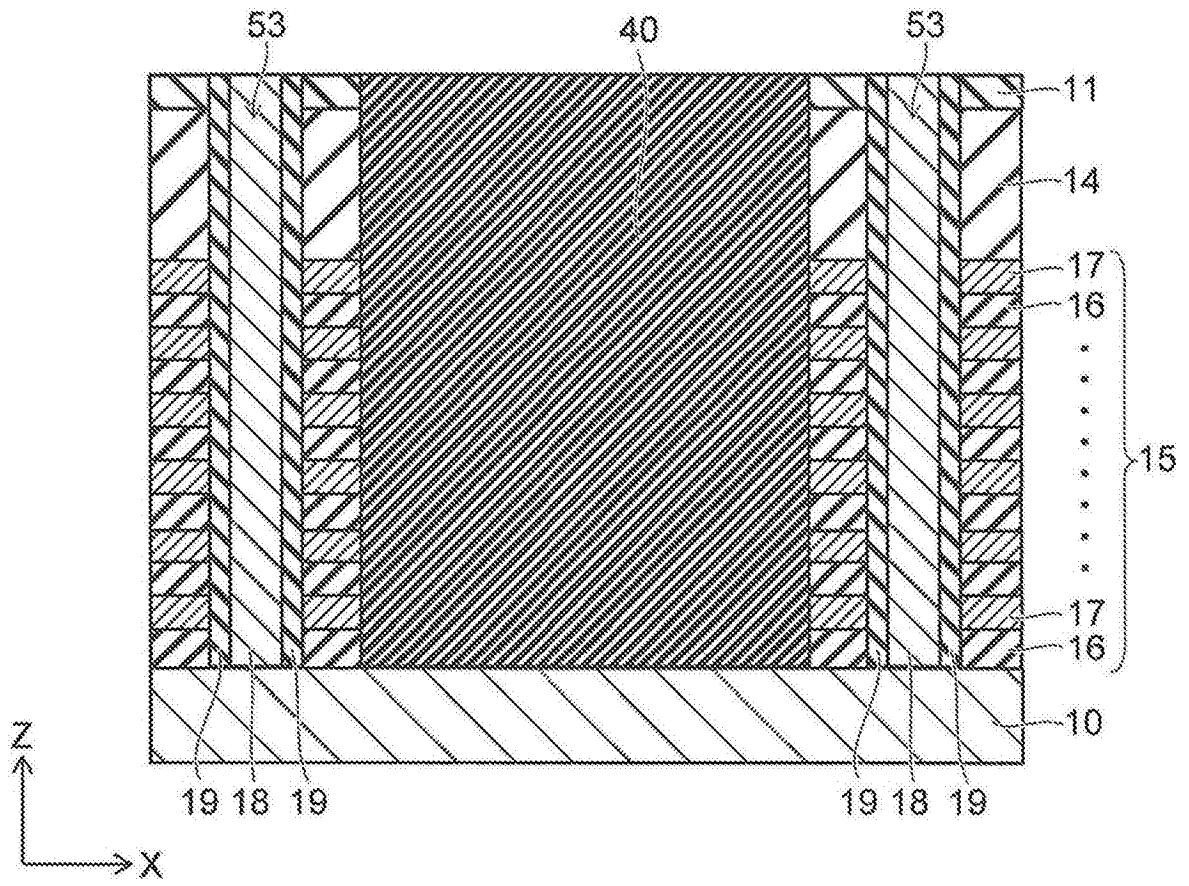


图14B

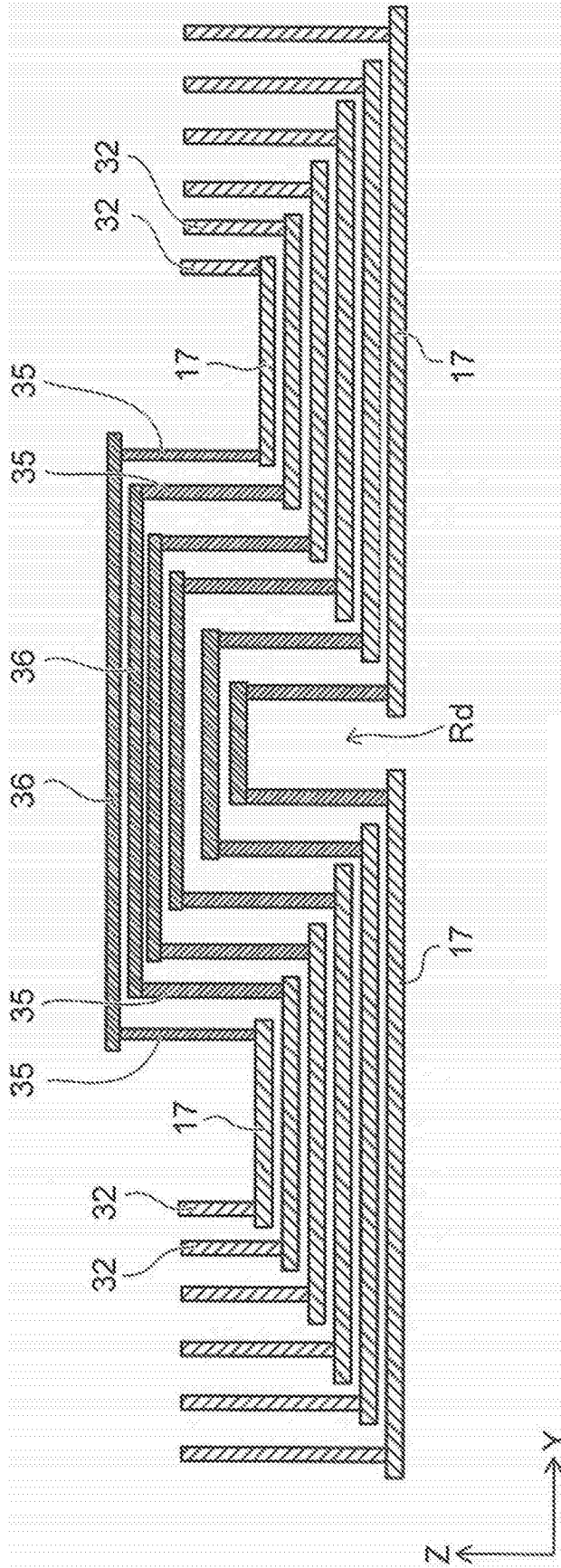


图15

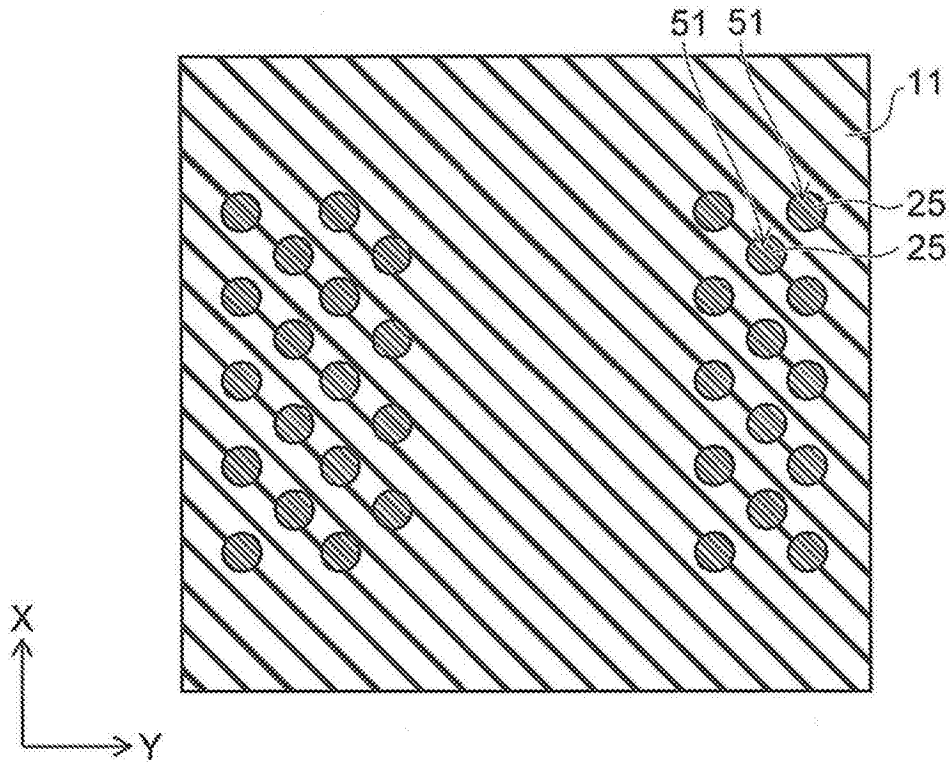


图16

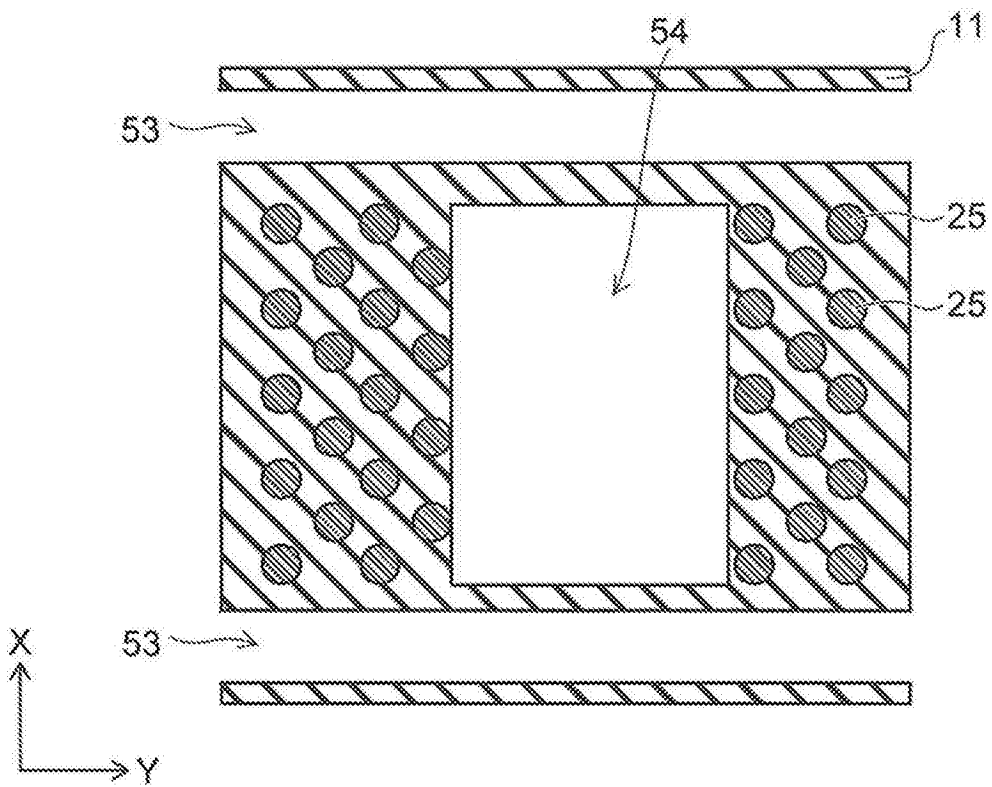


图17

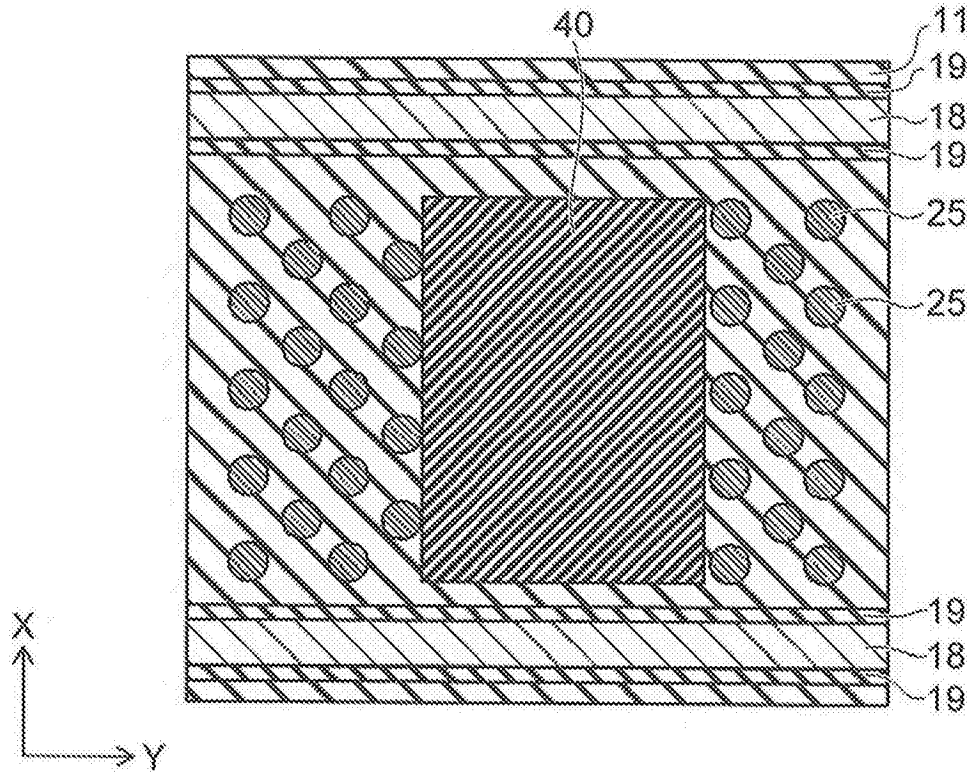


图18

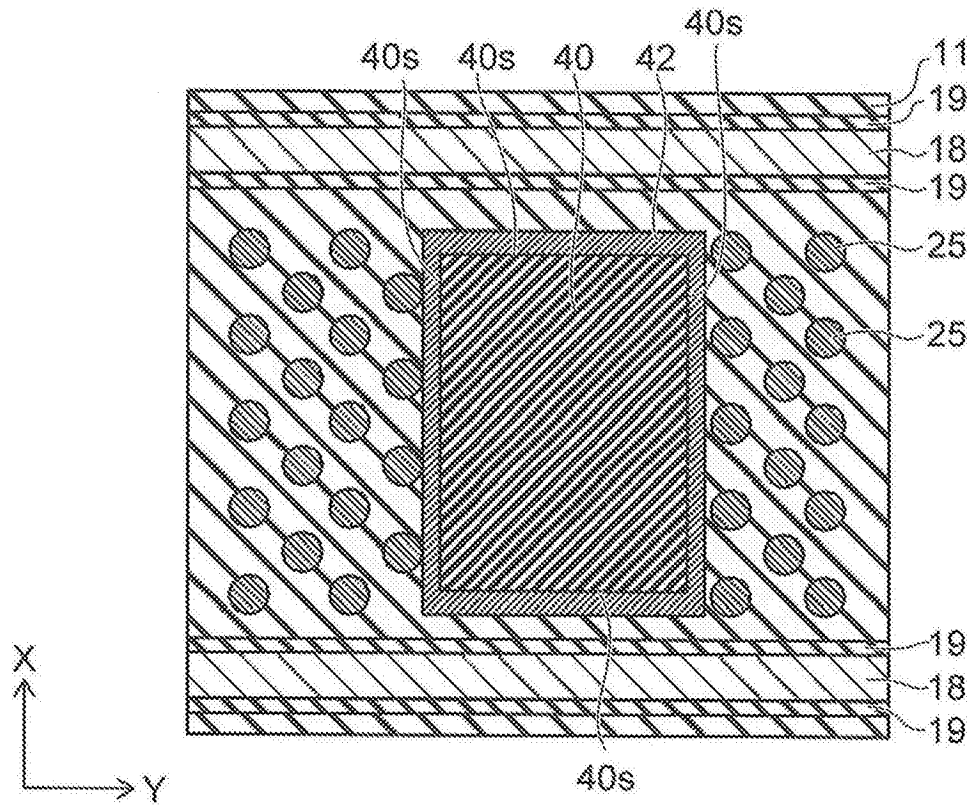


图19

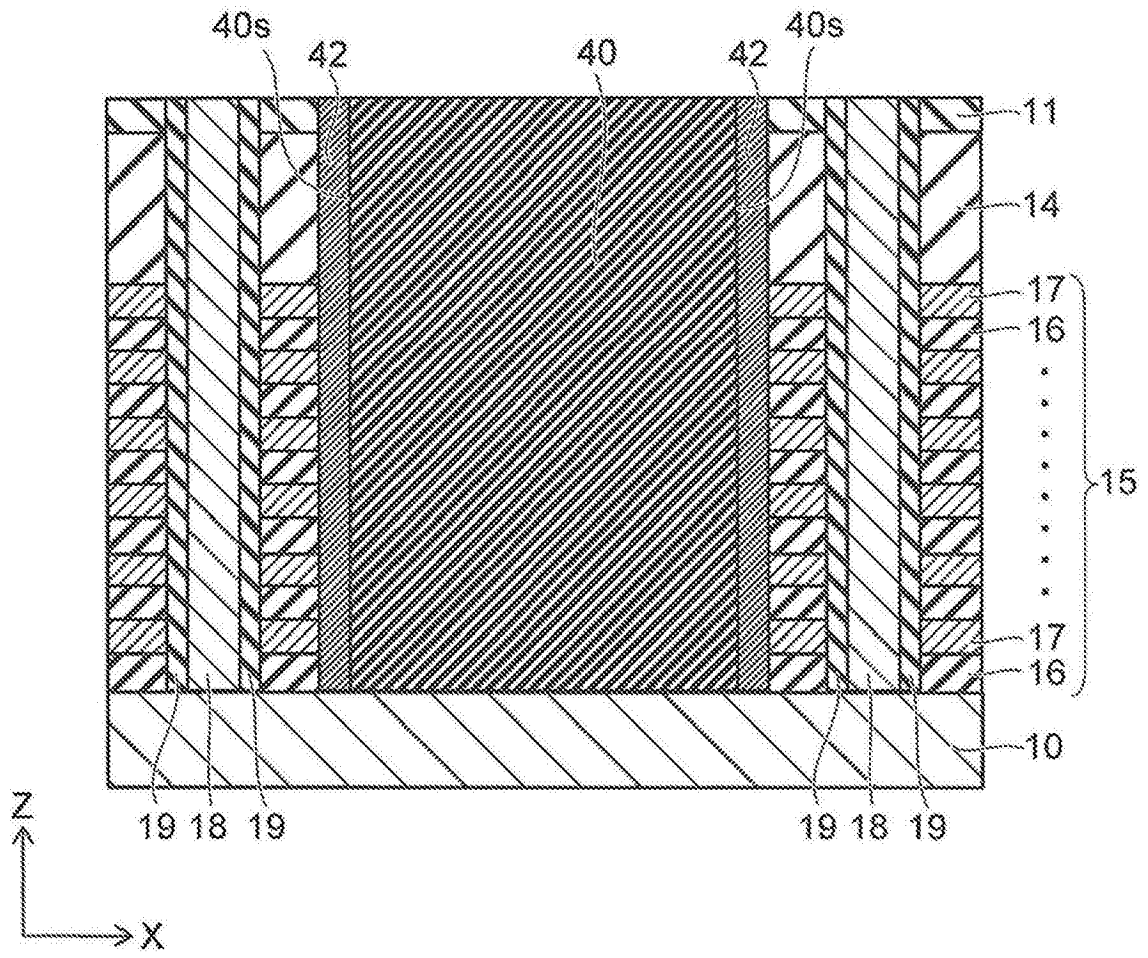


图20

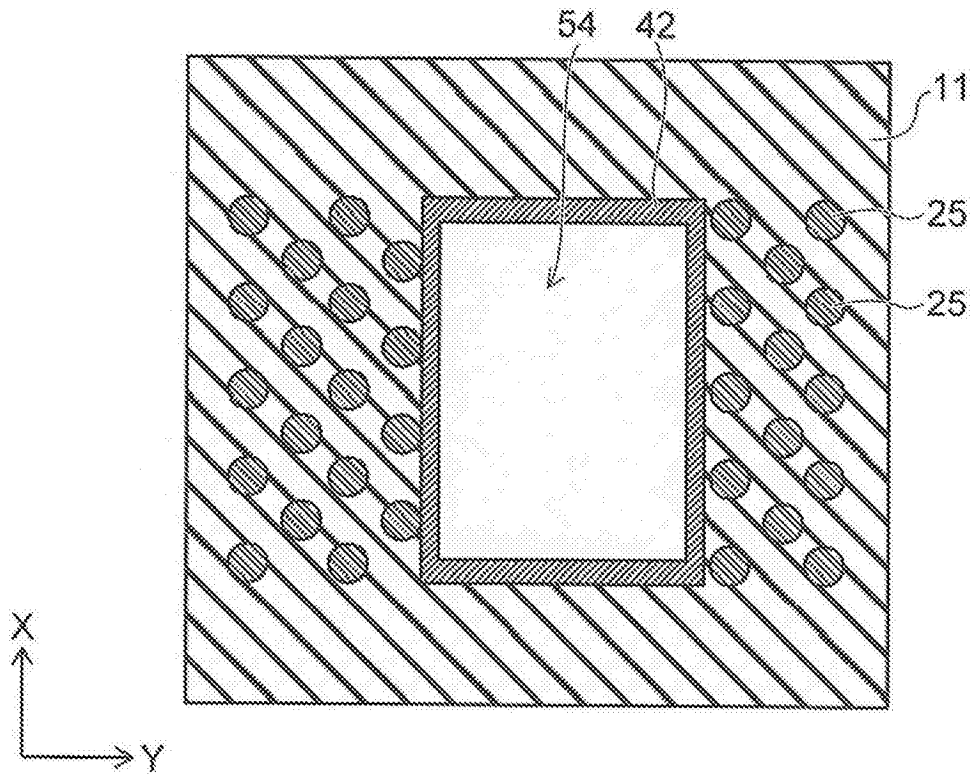


图21A

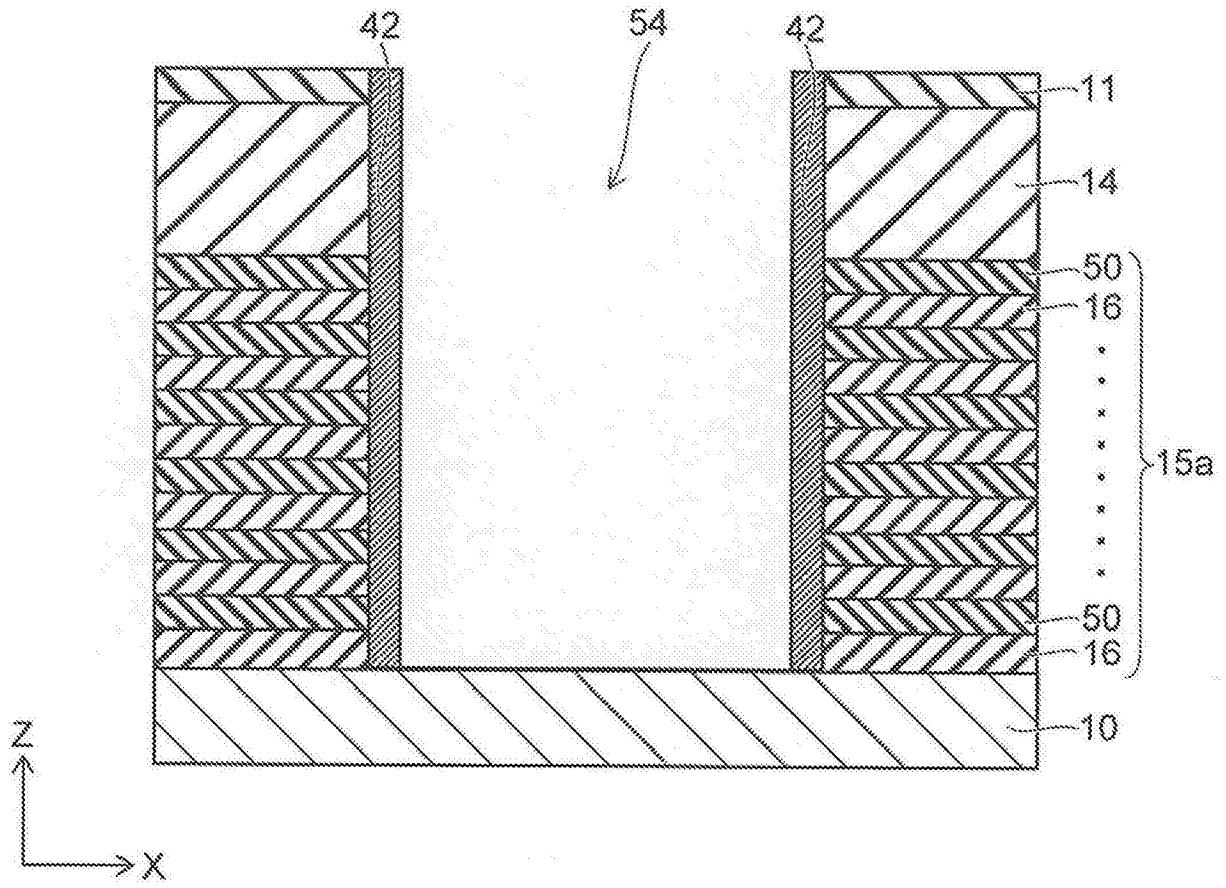


图21B

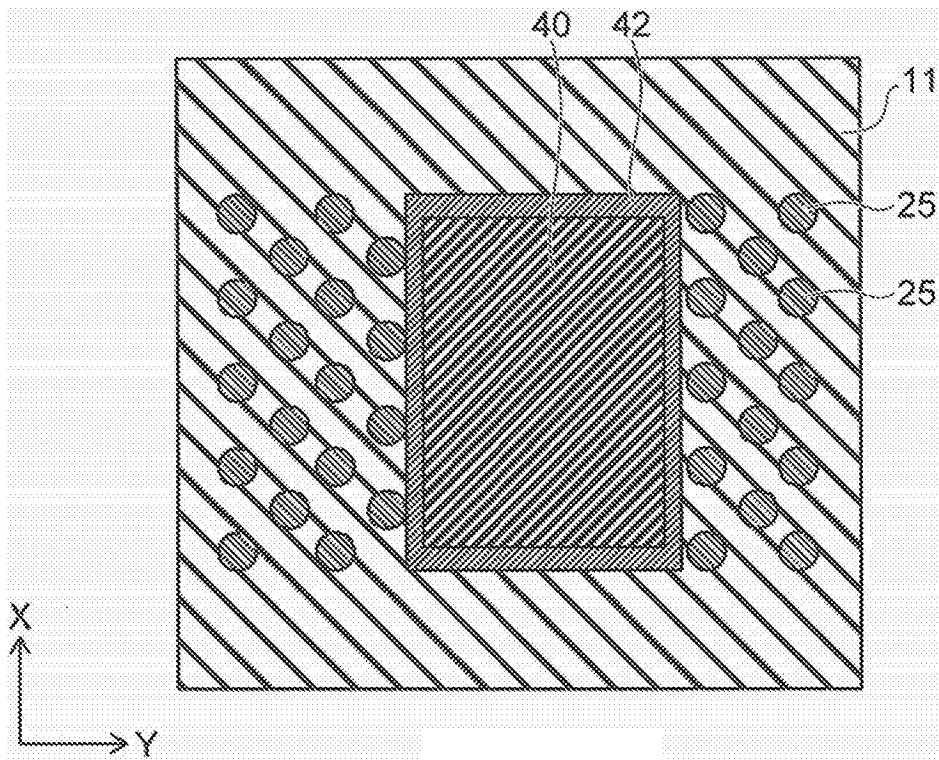


图22A

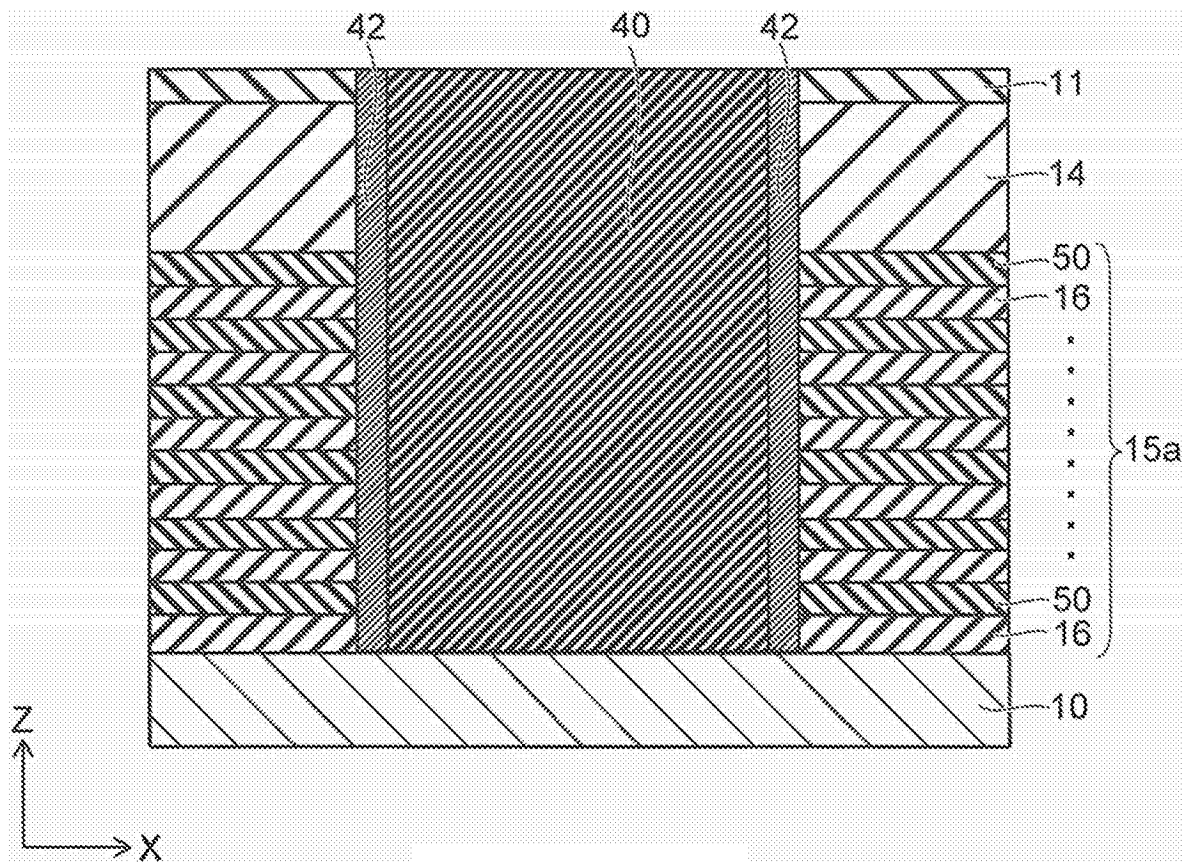


图22B

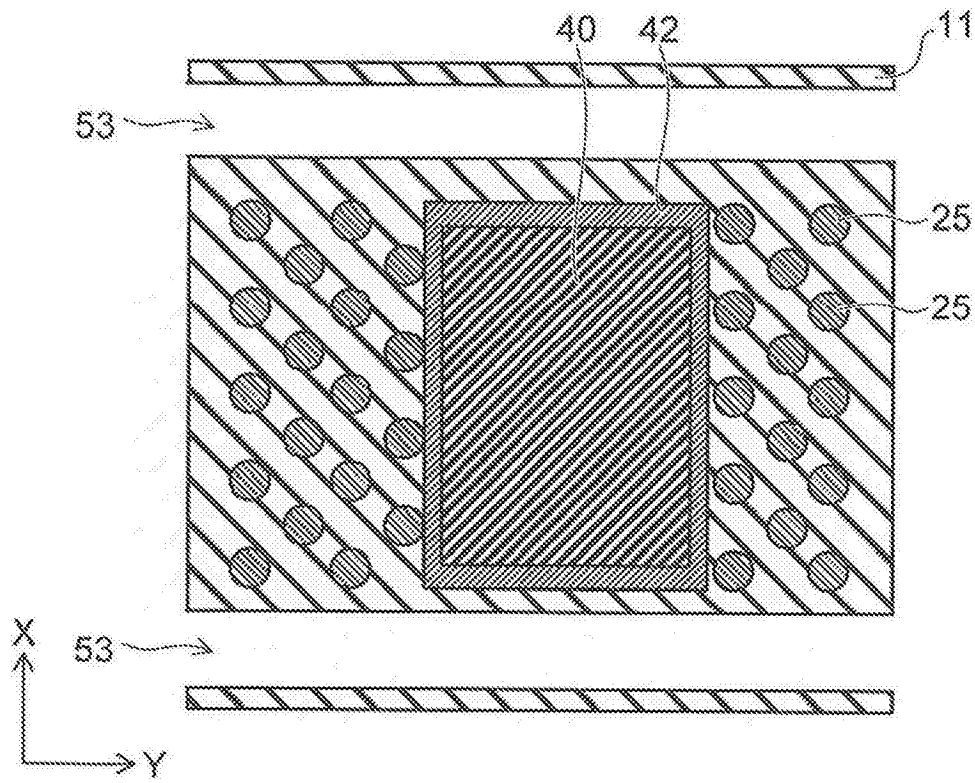


图23A

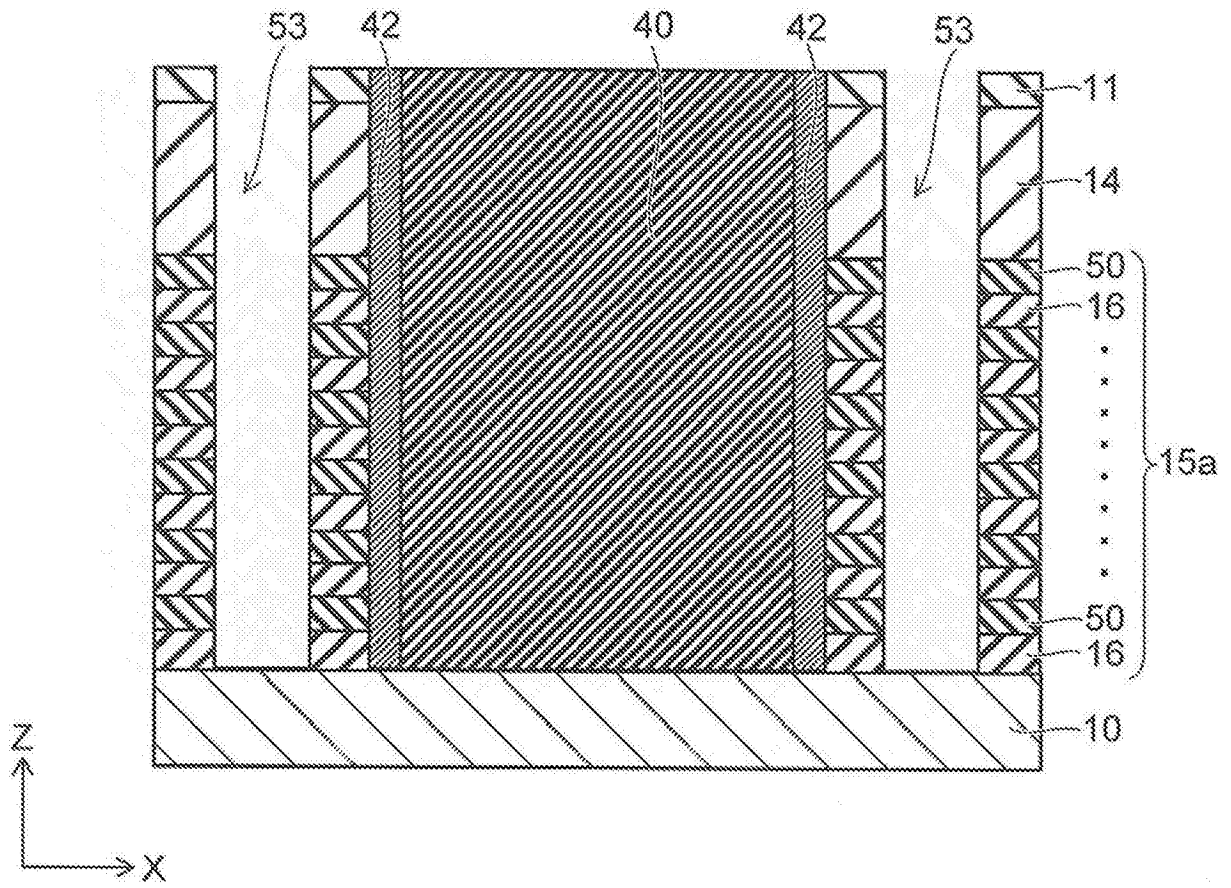


图23B

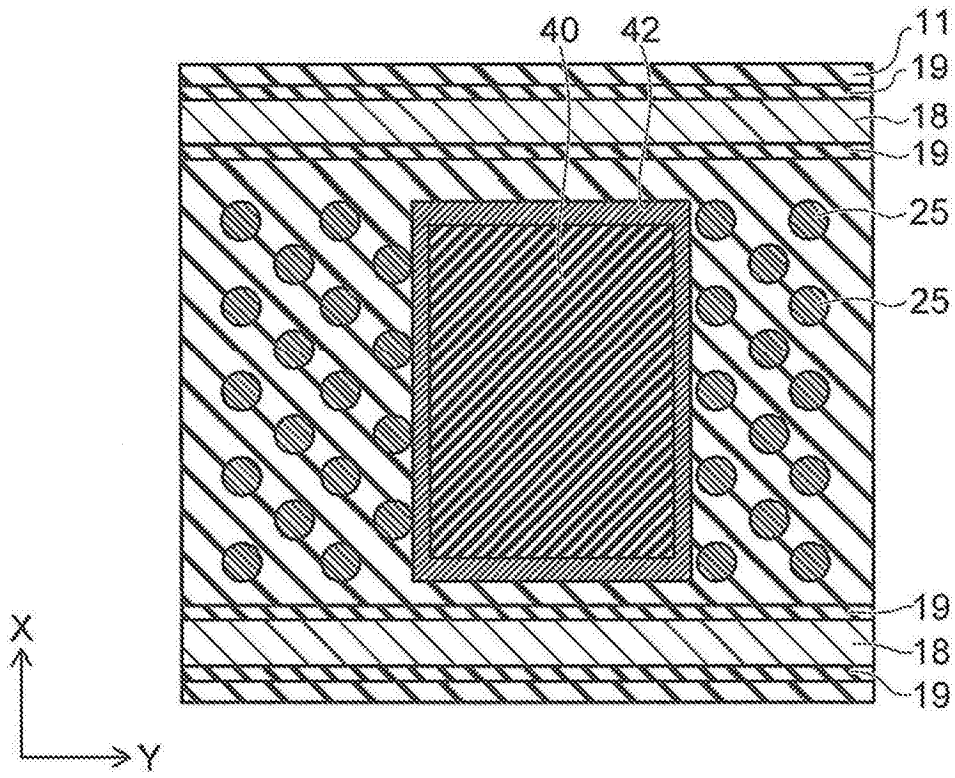


图24A

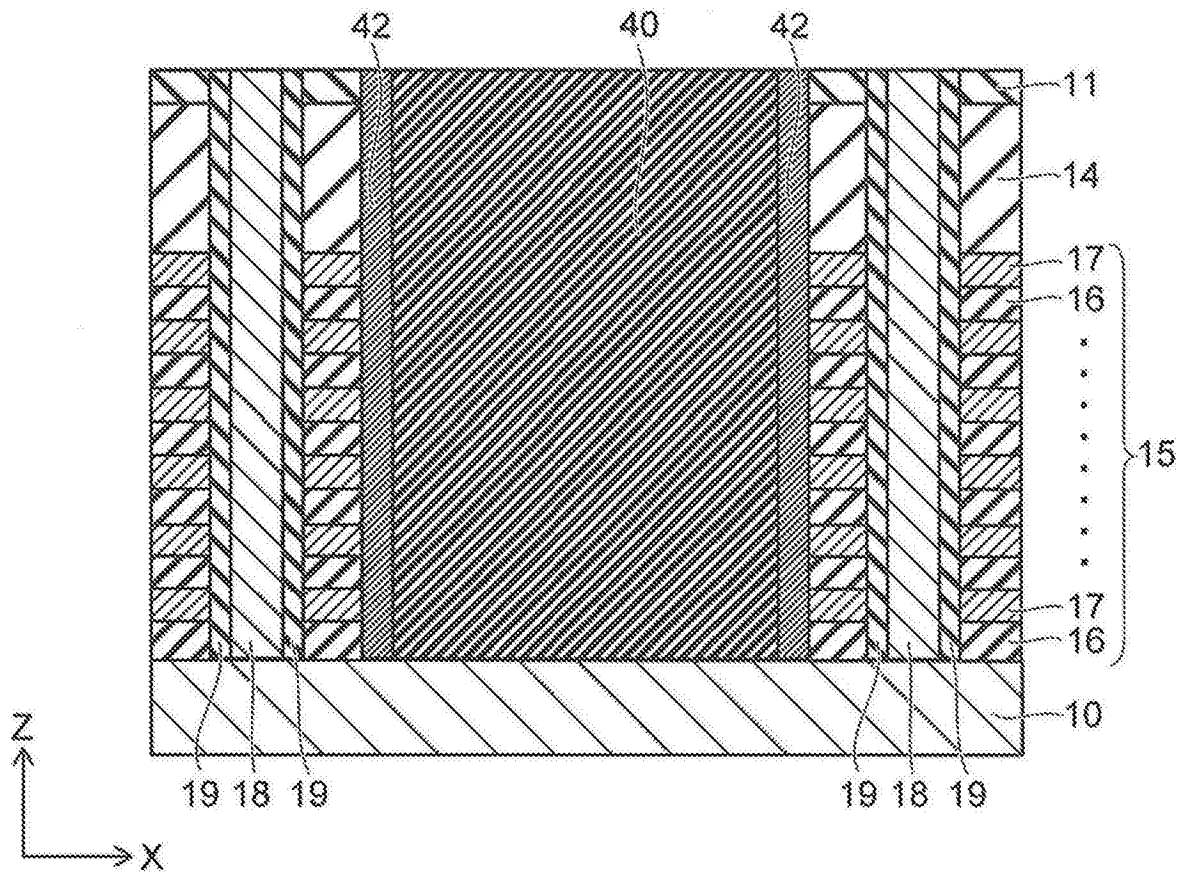


图24B

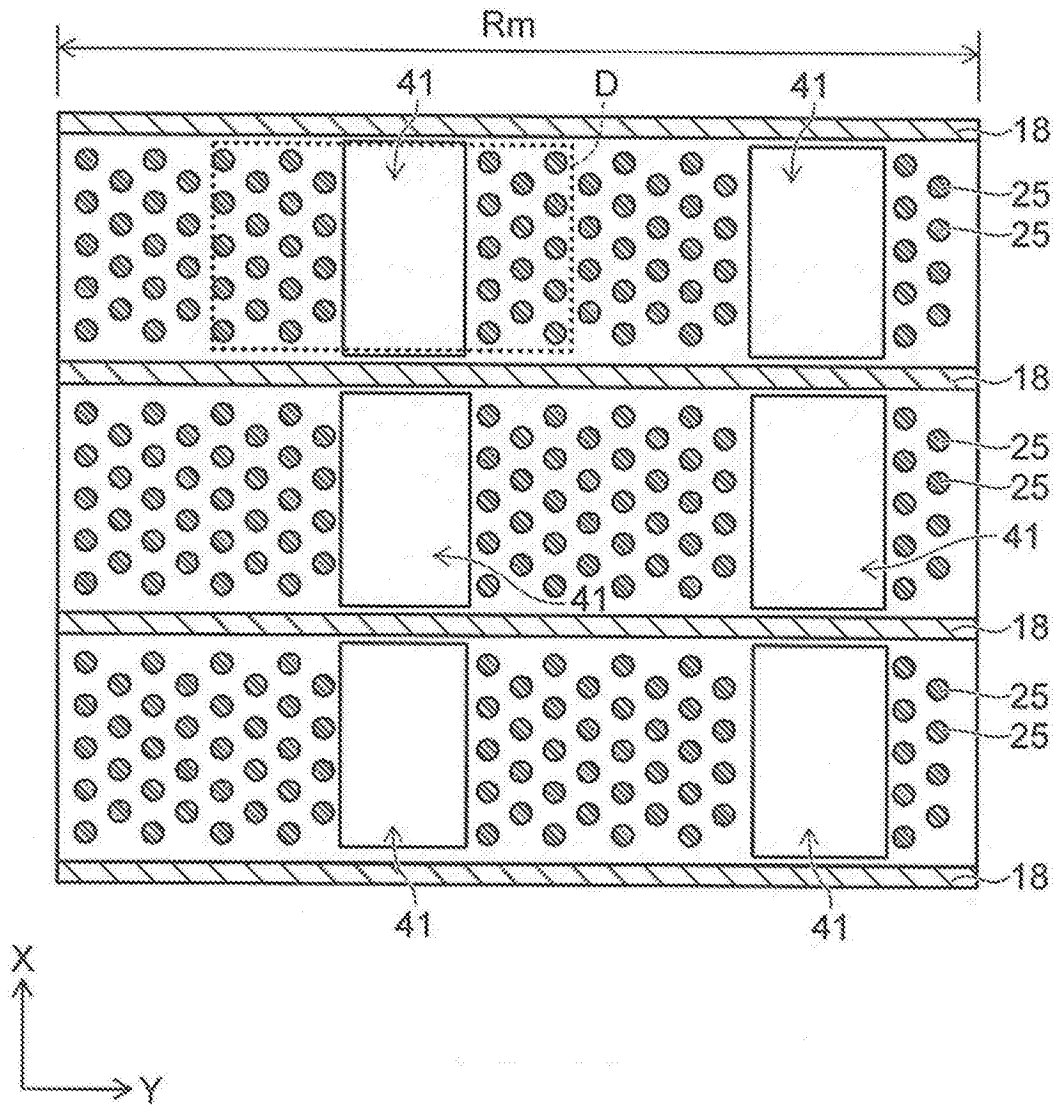


图25

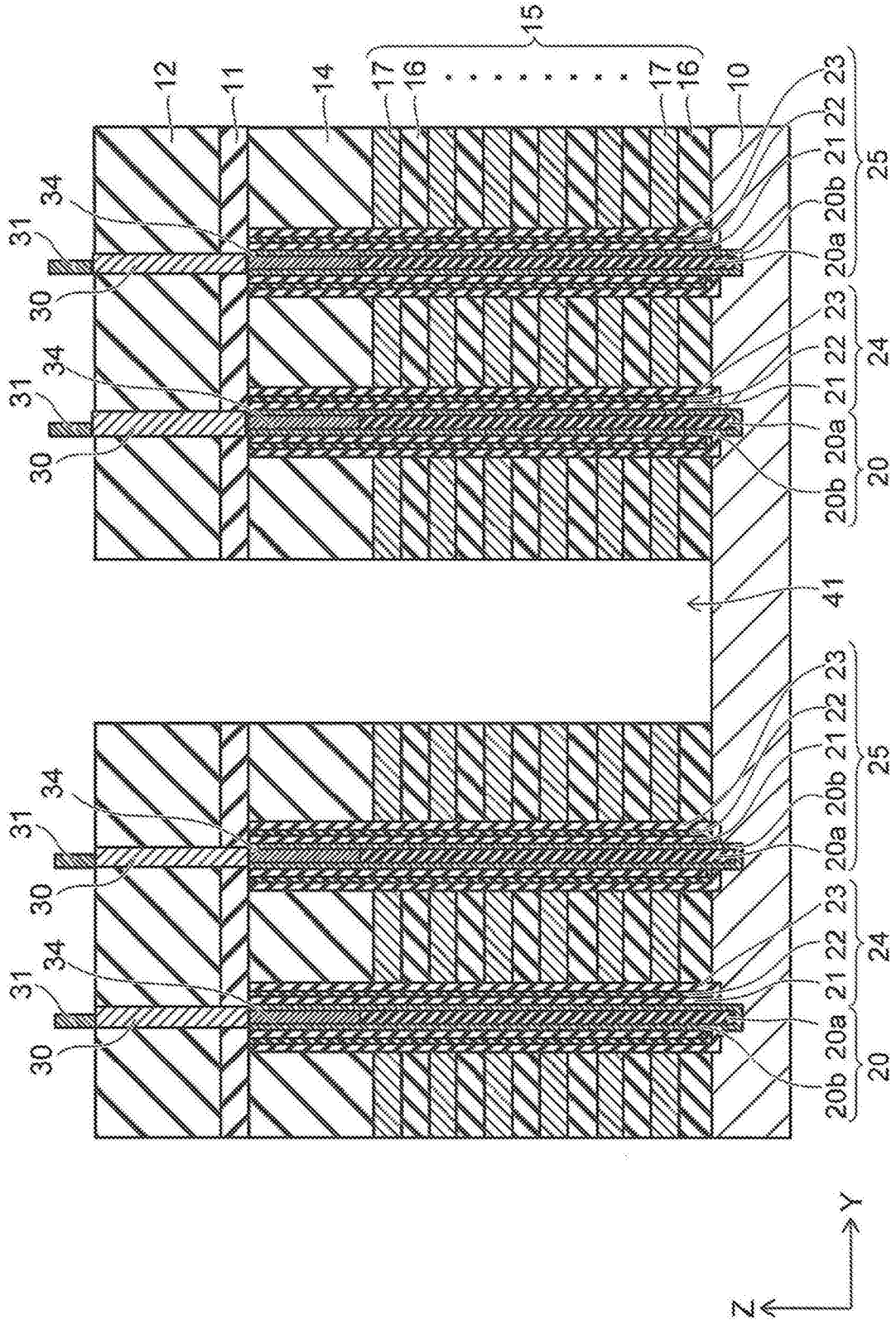


图26