

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4193452号
(P4193452)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	611H
H04N 5/70 (2006.01)	G09G 3/20	612F
	G09G 3/20	621M
	G09G 3/20	621F
請求項の数 27 (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2002-252191 (P2002-252191)	(73) 特許権者	000004237
(22) 出願日	平成14年8月29日(2002.8.29)		日本電気株式会社
(65) 公開番号	特開2003-195812 (P2003-195812A)		東京都港区芝五丁目7番1号
(43) 公開日	平成15年7月9日(2003.7.9)	(74) 代理人	100090158
審査請求日	平成17年3月18日(2005.3.18)		弁理士 藤巻 正憲
(31) 優先権主張番号	特願2001-259677 (P2001-259677)	(74) 代理人	100095407
(32) 優先日	平成13年8月29日(2001.8.29)		弁理士 木村 満
(33) 優先権主張国	日本国(JP)	(72) 発明者	安部 勝美
			東京都港区芝五丁目7番1号 日本電気株式会社社内
		審査官	橋本 直明
			最終頁に続く

(54) 【発明の名称】 電流負荷デバイス駆動用半導体装置及びそれを備えた電流負荷デバイス

(57) 【特許請求の範囲】

【請求項1】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される1種又は複数種の基準電流により決定されるn(nは自然数)種の電流値を記憶する機能と、前記記憶電流値から得られる2ⁿレベルの電流値の内、入力されるnビットデジタルデータに従って1つの電流を出力する機能を備えるnビットデジタル/電流変換回路を、1つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記nビットデジタル/電流変換回路は、1種の基準電流より1種の電流値を記憶し、入力される1ビットデジタルデータにより前記記憶電流を出力するか否かを定める1ビットデジタル/電流変換回路をn個備え、

前記1ビットデジタル/電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの1ビットが伝達されるデータ線と、第1及び第2の制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続された第1のトランジスタと、前記第1のトランジスタのゲートと前記第2の電圧供給線との間に接続された容量素子と、前記第1のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第1のスイッチと、前記第1のトランジスタのゲートと前記第1のトランジスタのドレイン又は前記信号線との間に接続され前記第2の制御線を伝達する信号により制御される第2のスイッチと、前記第1のトランジスタのドレインと前記信号線との間に接続され前記第1の制御線を伝達する信号により制御される第3のスイッ

10

20

と、前記第1のトランジスタのソースと前記第1の電圧供給線の間接続されゲートが第3の電圧供給線によりバイアスされている第2のトランジスタと、を有する、
 ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項2】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される1種又は複数種の基準電流により決定される n (n は自然数)種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って1つの電流を出力する機能を備える n ビットデジタル/電流変換回路を、1つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記1ビットデジタル/電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの1ビットが伝達されるデータ線と、制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続された第1のトランジスタと、前記第1のトランジスタのゲートと前記第2の電圧供給線との間に接続された容量素子と、前記第1のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第1のスイッチと、前記第1のトランジスタのゲートと前記第1のトランジスタのドレイン又は前記信号線との間に接続され前記制御線を伝達する信号により制御される第2のスイッチと、前記トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第3のスイッチと、前記第1のトランジスタのソースと前記第1の電圧供給線の間接続されゲートが第3の電圧供給線によりバイアスされている第2のトランジスタと、を有する、

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項3】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される1種又は複数種の基準電流により決定される n (n は自然数)種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って1つの電流を出力する機能を備える n ビットデジタル/電流変換回路を、1つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル/電流変換回路は、1種の基準電流より1種の電流値を記憶し、
 入力される1ビットデジタルデータにより前記記憶電流を出力するか否かを定める1ビットデジタル/電流変換回路を n 個備え、

前記1ビットデジタル/電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの1ビットが伝達されるデータ線と、第1及び第2の制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続された第1のトランジスタと、前記第1のトランジスタのゲートと前記第2の電圧供給線との間に接続された容量素子と、前記第1のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第1のスイッチを構成するトランジスタと、前記第1のトランジスタのゲートと前記第1のトランジスタのドレイン又は前記信号線との間に接続され前記第2の制御線を伝達する信号により制御される第2のスイッチを構成するトランジスタと、前記第1のトランジスタのドレインと前記信号線との間に接続され前記第1の制御線を伝達する信号により制御される第3のスイッチを構成するトランジスタと、前記第2のスイッチを構成するトランジスタのゲートに入力する信号の反転信号がゲートに入力され、ゲートの長さとの積が前記第2のスイッチを構成するトランジスタのゲートの長さとの積の $1/2$ であり、ドレインが前記第1のトランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタと、を有する、

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項4】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

10

20

30

40

50

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 1 ビットデジタル / 電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの 1 ビットが伝達されるデータ線と、制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された第 1 のトランジスタと、前記第 1 のトランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、前記第 1 のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第 1 のスイッチを構成するトランジスタと、前記第 1 のトランジスタのゲートと前記第 1 のトランジスタのドレイン又は前記信号線との間に接続され前記制御線を伝達する信号により制御される第 2 のスイッチを構成するトランジスタと、前記トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第 3 のスイッチを構成するトランジスタと、前記第 2 のスイッチを構成するトランジスタのゲートに inputs する信号の反転信号がゲートに inputs され、ゲートの長さ L と幅 W との積が前記第 2 のスイッチを構成するトランジスタのゲートの長さ L_2 と幅 W_2 との積の $1/2$ であり、ドレインが前記第 1 のトランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタと、を有する、

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項 5】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル / 電流変換回路は、入力される 1 種の前記基準電流より n 以下の複数の電流値を記憶し、記憶した電流値数と同数ビットのデジタルデータにより前記複数の記憶電流を出力するか否かを決定するデジタル / 電流変換回路の記憶した電流値数が n になるように、前記デジタル / 電流変換回路を 1 又は複数個備え、

前記デジタル / 電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される k (k は n 以下の自然数) 本のデータ線と、制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された電流記憶用トランジスタと、互いにゲートが短絡されソースが第 1 の電圧供給線に共通接続された k 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記 k 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される k 個の出力制御用スイッチと、前記電流記憶用トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶用トランジスタのゲートと前記電流出力用トランジスタのゲートとの間に接続され前記制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を備えている

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項 6】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル / 電流変換回路は、入力される 1 種の前記基準電流より n 以下の複数の電流値を記憶し、記憶した電流値数と同数ビットのデジタルデータにより前記複数の記憶電流を出力するか否かを決定するデジタル / 電流変換回路の記憶した電流値数が n になるように、前記デジタル / 電流変換回路を 1 又は複数個備え、

前記デジタル / 電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される k 本のデータ線と、第 1 及び第 2 の制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された電流記憶用トランジスタと、互いにゲートが短絡されソースが第 1 の電圧供給線に共通接続された k 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記 k 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される k 個の出力制御用スイッチと、前記電流記憶用トランジスタのドレインと前記信号線との間に接続され前記第 2 の制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶用トランジスタのゲートと前記電流出力用トランジスタのゲートとの間に接続され前記第 1 の制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を備えている、

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項 7】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル / 電流変換回路は、入力される 1 種の前記基準電流より n 以下の複数の電流値を記憶し、記憶した電流値数と同数ビットのデジタルデータにより前記複数の記憶電流を出力するか否かを決定するデジタル / 電流変換回路の記憶した電流値数が n になるように、前記デジタル / 電流変換回路を 1 又は複数個備え、

前記デジタル / 電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される k 本のデータ線と、制御線と、第 1 及び第 2 の電圧供給線と、電流記憶かつ出力用トランジスタと、ゲートが前記電流記憶かつ出力用トランジスタのゲートと短絡されソースが $k - 1$ 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記電流記憶かつ出力用トランジスタと $k - 1$ 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される k 個の出力制御用スイッチと、前記電流記憶かつ出力用トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶かつ出力用トランジスタのゲートと前記電流記憶かつ出力用トランジスタのドレイン又は信号線との間に接続され前記制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を備えている、

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項 8】

電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル / 電流変換回路は、入力される 1 種の前記基準電流より n 以下の複数の電流値を記憶し、記憶した電流値数と同数ビットのデジタルデータにより前記複数

10

20

30

40

50

の記憶電流を出力するか否かを定めるデジタル／電流変換回路の記憶した電流値数が n になるように、前記デジタル／電流変換回路を 1 又は複数個備え、

前記デジタル／電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される k 本のデータ線と、第 1 及び第 2 の制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された電流記憶かつ出力用トランジスタと、ゲートが前記電流記憶かつ出力用トランジスタのゲートと短絡されソースが第 1 の電圧供給線に共通接続された $k - 1$ 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記電流記憶かつ出力用トランジスタと $k - 1$ 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される k 個の出力制御用スイッチと、前記電流記憶かつ出力用トランジスタのドレインと前記信号線との間に接続され前記第 2 の制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶かつ出力用トランジスタのゲートと前記電流記憶かつ出力用トランジスタのドレイン又は信号線との間に接続され前記第 1 の制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を備えている、

10

ことを特徴とする電流負荷デバイス駆動用半導体装置。

【請求項 9】

前記電流記憶用又は電流記憶かつ出力用トランジスタと、前記出力用トランジスタのそれぞれのソースと前記第 1 の電圧供給線の間、ゲートが第 3 の電圧供給線によりバイアスされている複数の第 2 のトランジスタを追加された前記 1 ビットデジタル／電流変換回路を備えることを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

20

【請求項 10】

前記電流記憶かつ出力用トランジスタの電流能力は、前記電流出力用トランジスタにおける最も電流能力が高いトランジスタと同じかそれ以上であることを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

【請求項 11】

前記出力制御用スイッチがオフの状態の前記第 1 及び第 2 の記憶制御用スイッチがオン状態のときに、前記電流記憶用トランジスタは、そのゲート - ドレイン間が短絡されて飽和領域で動作し、その動作が安定した段階における前記電流記憶用トランジスタのゲート - ソース間電圧は、前記基準電流をドレイン - ソース間に流すために必要な電圧となり、その値は前記電流記憶用トランジスタの電流能力に従い決定され、その後前記第 1 及び第 2 の記憶制御用スイッチがオフ状態になると、前記容量素子に前記電流記憶用トランジスタのゲート - ソース間電圧が保持され、この保持されたゲート - ソース間電圧に基づく基準電流から前記 n 個の電流出力用トランジスタが夫々の電流能力に基づいた総計で n 種の電流を流すことができる状態となり、前記電流出力用トランジスタが流すことができる電流を出力するか否かが前記 n ビットのデジタル画像データによって決定されることを特徴とする請求項 5 乃至 10 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

30

【請求項 12】

前記第 2 の記憶制御用スイッチは、前記第 1 の記憶制御用スイッチがオフ状態になった後にオフ状態になることを特徴とする請求項 11 に記載の電流負荷デバイス駆動用半導体装置。

40

【請求項 13】

前記出力制御用スイッチ並びに第 1 及び第 2 の記憶制御用スイッチがトランジスタから構成されており、

前記デジタル／電流変換回路は、前記第 2 の制御線を伝達する信号の反転信号がゲートに入力されゲートの長さ \times 幅との積が前記第 1 の記憶制御用スイッチを構成するトランジスタのゲートの長さ \times 幅との積の $1/2$ でありドレインが前記電流記憶用トランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタを有することを特徴とする請求項 5 乃至 12 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

50

【請求項 14】

前記 n ビットデジタル / 電流変換回路の数が a である群が 2 つ以上あり、前記電流負荷デバイス内の電流負荷素子の電流と動作の関係が異なる種類が b であり、任意のフレームにおいて、ある群を電流出力用回路とし、他の群のいずれかを電流記憶用回路とし、電流の記憶は各フレーム内で同じ基準電流を用いて a / b 回に分けて行われ、フレーム毎又は数フレーム毎に電流出力と電流記憶との役割を変更することを特徴とする請求項 5 乃至 13 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

【請求項 15】

プリチャージ回路を、1 又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記プリチャージ回路は、前記セルへの供給端子に接続された前記電流負荷デバイス内のデータ線を経由して、前記データ線上のセルに、前記 n ビットデジタル / 電流変換回路の出力電流により決まる電圧を供給すること、及び前記 n ビットデジタル / 電流変換回路の出力電流をそのまま供給することが可能であることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

10

【請求項 16】

前記プリチャージ回路は、前記 n ビットデジタル / 電流変換回路からの出力電流により駆動される電流負荷デバイス内の負荷と同等な負荷である擬似負荷回路と、前記擬似負荷に前記 n ビットデジタル / 電流変換回路の出力電流が供給された際に生じる電圧をインピーダンス変換して出力するボルテージフォロワと、を有することを特徴とする請求項 15 に記載の電流負荷デバイス駆動用半導体装置。

20

【請求項 17】

前記プリチャージ回路の擬似負荷回路は、電流負荷素子と同等な負荷、あるいは、電流を保持・供給するセル回路負荷と同等な回路負荷とすることを特徴とする請求項 16 に記載の電流負荷デバイス駆動用半導体装置。

【請求項 18】

1 水平期間の初期にプリチャージ動作として前記擬似負荷回路に前記 n ビットデジタル / 電流変換回路の出力電流を供給して得られた電圧を、前記プリチャージ回路内のボルテージフォロワによってインピーダンス変換し、前記電流負荷デバイスのデータ線を経由して、前記電流負荷デバイス内のセル内の電流負荷素子又はセル回路負荷に印加し、その後電流駆動動作として、前記 n ビットデジタル / 電流変換回路の出力電流を、前記電流負荷デバイスのデータ線を経由して、直接前記電流負荷デバイス内のセル内の電流負荷素子又はセル回路負荷に供給することを特徴とする請求項 16 又は 17 に記載の電流負荷デバイス駆動用半導体装置。

30

【請求項 19】

前記プリチャージ回路は、前記ボルテージフォロワのオフセット電圧をキャンセルする構成を有することを特徴とする請求項 16 乃至 18 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

【請求項 20】

前記プリチャージ回路内のボルテージフォロワのオフセット電圧をキャンセルする動作は、1 又は数フレームに一度行うことを特徴とする請求項 19 に記載の電流負荷デバイス駆動用半導体装置。

40

【請求項 21】

全てのトランジスタが薄膜トランジスタとして 1 つのチップに集積された請求項 1 乃至 20 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

【請求項 22】

前記電流負荷素子が発光素子である請求項 1 乃至 21 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

【請求項 23】

前記電流負荷素子が有機 EL 素子である請求項 1 乃至 22 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置。

50

【請求項 2 4】

電流負荷素子と同一基板上に請求項 1 乃至 2 3 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置が作成された電流負荷デバイス。

【請求項 2 5】

各前記電流負荷セル内の前記電流負荷素子又は前記電流を保持・供給するセル回路と同一な構成・サイズを持つ負荷を前記プリチャージ回路内の疑似負荷として備える請求項 1 5 乃至 2 0 のいずれか 1 項に記載の電流負荷デバイス駆動用半導体装置が、電流負荷素子と同一基板上に作成された電流負荷デバイス。

【請求項 2 6】

前記電流負荷素子が発光素子であることを特徴とする電流負荷デバイス駆動用半導体装置を備えた請求項 2 4 又は 2 5 に記載の電流負荷デバイス。

10

【請求項 2 7】

前記電流負荷素子が有機 E L 素子であることを特徴とする電流負荷デバイス駆動用半導体装置を備えた請求項 2 4 又は 2 5 に記載の電流負荷デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流負荷素子を含んだセルを複数備える電流負荷デバイスを駆動するための電流負荷デバイス駆動用半導体装置及びそれを備えた電流負荷デバイスに関し、特に電流負荷素子が供給される電流値により階調表示を行う電流負荷デバイス駆動用半導体装置及びそれを備えた電流負荷デバイスに関する。

20

【0002】

【従来の技術】

供給される電流により動作が決定される電流負荷素子含んだセルをマトリックス状に複数備える電流負荷デバイスが開発されている。その応用は、例えば、電流負荷素子が発光素子である発光表示装置であり、また、発光素子として有機 E L 素子が用いられている有機 E L 表示装置である。

【0003】

以下、電流負荷デバイスとして、発光表示装置を例にとりて説明する。図 3 5 はマトリックス型発光表示装置の構成を示す。

30

【0004】

表示装置は、水平駆動回路 2 0 0、垂直走査（駆動）回路 3 0 0 及び表示部 4 0 0 から構成される。階調表示は、表示部 4 0 0 の 1 画素表示部 1 0 0 内にある発光素子に流れる電流を調節することで実現される。多種の電流により輝度が決定される発光素子では、電流と輝度とは比例関係にある。また、1 画素表示部 1 0 0 の構成と水平駆動回路 2 0 0 及び垂直走査回路 3 0 0 から印加される電流又は電圧との組み合わせによって、発光表示装置の駆動方法は単純マトリックス駆動とアクティブマトリックス駆動とに分類される。

【0005】

図 3 6 は単純マトリックス駆動の場合の 1 画素表示部の構成を示す回路図である。単純マトリックス駆動の場合の 1 画素表示部 1 0 1 では、制御線 1 1 0 と信号線 1 2 0 との各交点において、発光素子 1 3 0 が制御線 1 1 0 と信号線 1 2 0 との間に接続されている。図 3 5 に示すように、制御線 1 1 0 は垂直走査回路 3 0 0 により駆動され、信号線 1 2 0 は水平駆動回路 2 0 0 により駆動される。

40

【0006】

そして、垂直走査回路 3 0 0 により制御線 1 1 0 が 1 本毎に順次選択され、第 K 番目の制御線 1 1 0 を走査している期間に、水平駆動回路 2 0 0 から第 L 番目の信号線 1 2 0 に電流又は電圧が出力されると、第 K 行第 L 列目の発光素子に流れる電流が決定され、その発光素子はその電流に対応する強度で発光する。その後、第 (K + 1) 番目の走査が開始されると、第 K 行目の発光素子の発光は終了する。

【0007】

50

図37はアクティブマトリクス駆動の場合の1画素表示部の構成を示す回路図である。アクティブマトリクス駆動の場合の1画素表示部102では、制御線110と信号線120との各交点において、制御線110の電位により制御されるスイッチSW100が信号線110に接続され、スイッチSW100の他端にTFT(Thin Film Transistor: 薄膜トランジスタ)T100のゲート及び容量素子C100の一端が接続されている。TFTT100のソース及び容量素子C100の他端は接地され、TFTT100のドレインと電位がVELの信号線との間に発光素子130が接続されている。

【0008】

そして、垂直走査回路300により制御線110が1本毎に順次選択され、第K番目の制御線110が選択されると、1画素表示部102内のスイッチSW100がオンとなる。このときに水平駆動回路200の第L番目の出力電圧がTFTT100のゲート電圧となり、TFTT100が飽和領域で動作するようなゲート電圧が印加されると、TFTT100のインピーダンスが決定される。この結果、発光素子130に流れる電流が決定され、発光素子130がその電流に対応する強度で発光する。

10

【0009】

アクティブマトリクス駆動の場合には、1画素表示部は他の構成をとることもある。図38(a)及び図38(b)はアクティブマトリクス駆動の場合の1画素表示部の他の構成を示す回路図である。図38(a)に示すように、他の構成の1画素表示部103では、制御線110の電位により制御されるスイッチSW102が信号線110に接続され、スイッチSW102の他端にPチャンネルTFTT102のゲート及びドレインが接続されている。このゲート及びドレインには、制御線110の電位により制御されるスイッチSW101が接続され、その他端にPチャンネルTFTT101のゲート及び容量素子C100の一端が接続されている。TFTT101及びT102のソース及び容量素子C100の他端には、定電位VELが供給される。TFTT101のドレインと接地電位GNDとの間に発光素子130が接続されている。

20

【0010】

そして、垂直走査回路300により第K番目の制御線110が選択され、スイッチSW101及びSW102がオンとなると、水平駆動回路200の第L番目の出力電流を信号線120から流すように、TFTT102のゲート電圧が決まる。TFTT102及びTFTT101はカレントミラー構成を採っているため、TFTT102及びTFTT101の電流能力が互いに等しい場合には、TFTT101を通して、発光素子130に水平駆動回路200の出力電流値と同じ電流が流れ、発光素子130がその電流値に応じた強度で発光する。

30

【0011】

図38(b)に示すように、PチャンネルTFTT101及びT102の代わりにNチャンネルTFTT103及びT104を使用した場合にも、同様の動作が行われる。

【0012】

単純マトリクス駆動とアクティブマトリクス駆動とを比べると、アクティブマトリクス駆動の場合には、次の行が選択された後も電圧が容量素子に蓄積されているため、電流を流し続けることができる。従って、瞬間的に発光するのみの単純マトリクス駆動の場合に比べ、発光素子に流す電流は小さくなる。

40

【0013】

このように、電流又は電圧の絶対値が異なったとしても、単純マトリクス駆動及びアクティブマトリクス駆動の駆動方法の種類に関わらず、階調表示を行う場合には、水平駆動回路200はデジタル階調データを電流又は電圧に変換する機能を有する。しかし、電圧出力であると、画素回路(1画素表示部)内にトランジスタのしきい値のばらつき並びに発光素子の電圧-電流特性及び電流-輝度特性のばらつきが存在するため、同じ電圧を印加しても輝度がばらつく可能性が高い。一方、電流出力の場合には、発光素子の電流-輝度特性のばらつきのみ影響を受けるので、輝度のばらつきは小さく、精度の高い表示が可能となる。

50

【 0 0 1 4 】

図 3 9 は表示部 4 0 0 に電流を出力するための水平駆動回路 2 0 0 の構成の一例を示すブロック図である。この構成では、デジタル階調データをデータロジック部 2 0 1 にて出力数分に展開した後、それらのデジタル階調データを、デジタル/電流変換部 2 1 0 に入力することで、出力数分の電流出力を得る。

【 0 0 1 5 】

図 4 0 は 1 出力分のデジタル/電流変換部の第 1 の従来例を示す回路図である。階調データが 3 ビット (D 0 乃至 D 2) の場合、夫々これらにより制御されるスイッチ S W 1 1 0、S W 1 1 1、S W 1 1 2 が電流 I d a t a を出力する出力端に共通接続されている。スイッチ S W 1 1 0、S W 1 1 1、S W 1 1 2 と接地電位 V G にある接地線との間に、夫々ゲートに入力電圧 V A が供給される N チャンネル T F T T 1 1 0、T 1 1 1、T 1 1 2 が接続されている。なお、発光素子の電流 - 輝度特性は比例関係にあるものとする。また、水平駆動回路 2 0 0、垂直走査回路 3 0 0 を共にガラス基板上に形成する場合を想定しており、トランジスタはすべて T F T となっている。なお、階調データが 3 ビット以上の場合でも同様に構成される。

【 0 0 1 6 】

また、第 1 の従来例では、T F T T 1 1 0、T 1 1 1 及び T 1 1 2 について、各チャンネル長 (L) が一定となり、チャンネル幅 (W) の比が 1 : 2 : 4 となるように設計されている。T F T T 1 1 0 乃至 T 1 1 2 においては、ゲート電圧が電圧 V A、ソース電圧が電圧 V G といずれも共通になっているので、T F T T 1 1 0 乃至 T 1 1 2 が飽和領域で動作している場合には、電流比が 1 : 2 : 4 となる。よって、適当な入力電圧 V A を選択すれば、階調データ D 0 乃至 D 2 に基づいてスイッチ S W 1 1 0 乃至 S W 1 1 2 をオン/オフすることで、出力電流 I d a t a について、電流比が 0 ~ 7 となる 8 階調の電流出力が可能となる。また、電流の絶対値は、入力電圧 V A を変更することで調整することができる。

【 0 0 1 7 】

図 4 1 は 1 出力分のデジタル/電流変換部の第 2 の従来例を示す回路図である。第 2 の従来例では、N チャンネル T F T T 1 1 0 乃至 T 1 1 2 のゲートにデジタル階調データ D 0 乃至 D 2 が入力される。T F T T 1 1 0 乃至 T 1 1 2 のドレインは出力端に共通接続され、ソースには電源電圧 V D が供給される。なお、T F T T 1 1 0 乃至 T 1 1 2 のチャンネル幅の比は、第 1 の従来例と同様に、1 : 2 : 4 に設定されている。

【 0 0 1 8 】

このような第 2 の従来例では、スイッチを設ける代わりに、デジタル階調データ入力のハイレベルを予め適当な電圧に設定しておき、ロウレベルを薄膜トランジスタがオフするレベルとすることで、第 1 の従来例と同様に、電流比が 0 ~ 7 となる 8 階調の電流出力が可能となる。また、電流の絶対値は、デジタル階調データ入力のハイレベルを変更することで調整することができる。

【 0 0 1 9 】

【 発明が解決しようとする課題 】

しかしながら、トランジスタ、特に T F T では、異なる T F T 間で同じゲート電圧が印加された場合の電流能力のばらつきが大きいため、精度の高い電流出力を出すことが難しいという問題点がある。従来のデジタル/電流変換部では、ほぼ電流負荷デバイス幅全域にて T F T の特性ばらつきがあると、T F T のサイズが均一で、かつゲート - ソース間電圧が均一であっても、ばらついた部分では電流値が他の領域と異なるために、表示むらが発生してしまう。また、近接領域にあるような T F T 間でも電流能力がばらつき、そのばらつきが大きくなると、隣接画素との間で表示むらが発生したり、同じ出力に使用される T F T の特性がばらつくと階調の単調性も満足しなくなったりする。

【 0 0 2 0 】

また、従来のデジタル/電流変換部では、特にアクティブマトリクス駆動において、出力電流値が低い場合に、駆動に時間がかかるという問題点もある。これは、電流駆動によるアクティブマトリクス駆動を採用すると、画素内の T F T に、駆動回路であるデジタ

ル / 電流変換部の出力電流と同じ電流が流れた時点で駆動が完了するのであるが、表示部 400 内の信号線 110 には、必ず配線負荷、特に寄生容量が存在し、発光素子も容量値を持つため、一定電流である出力電流でそれらの容量負荷を充放電する必要があるためである。つまり、それらの容量をある電圧に充放電してはじめて、画素内の TFT に駆動回路であるデジタル / 電流変換回路の出力電流と同じ電流が流れるため、それまでに長い時間がかかる。

【0021】

本発明はかかる問題点に鑑みてなされたものであって、入力されるデジタル画像データに対し、精度の高い出力電流を供給することができ、好ましくは出力電流値が低い場合でも高速で発光表示装置を駆動することができる発光表示装置駆動用半導体装置及びそれを備えた発光表示装置を提供し、更に一般的な電流負荷デバイス駆動用半導体装置及びそれを備えた電流負荷デバイスを提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明に係る電流負荷デバイス駆動用半導体装置は、電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において、

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 n ビットデジタル / 電流変換回路は、1 種の基準電流より 1 種の電流値を記憶し、入力される 1 ビットデジタルデータにより前記記憶電流を出力するか否かを定める 1 ビットデジタル / 電流変換回路を n 個備え、

前記 1 ビットデジタル / 電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの 1 ビットが伝達されるデータ線と、第 1 及び第 2 の制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された第 1 のトランジスタと、前記第 1 のトランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、前記第 1 のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第 1 のスイッチと、前記第 1 のトランジスタのゲートと前記第 1 のトランジスタのドレイン又は前記信号線との間に接続され前記第 2 の制御線を伝達する信号により制御される第 2 のスイッチと、前記第 1 のトランジスタのドレインと前記信号線との間に接続され前記第 1 の制御線を伝達する信号により制御される第 3 のスイッチと、前記第 1 のトランジスタのソースと前記第 1 の電圧供給線の間に接続されゲートが第 3 の電圧供給線によりバイアスされている第 2 のトランジスタと、を有する、

ことを特徴とする。

【0023】

また、本発明に係る電流負荷デバイス駆動用半導体装置は、電流負荷素子を含んだセルを複数備える電流負荷デバイスの駆動用半導体装置において、

入力される 1 種又は複数種の基準電流により決定される n (n は自然数) 種の電流値を記憶する機能と、前記記憶電流値から得られる 2^n レベルの電流値の内、入力される n ビットデジタルデータに従って 1 つの電流を出力する機能を備える n ビットデジタル / 電流変換回路を、1 つ又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記 1 ビットデジタル / 電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの 1 ビットが伝達されるデータ線と、制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された第 1 のトランジスタと、前記第 1 のトランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、前記第 1 のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第 1 のスイッチと、前記第 1 のトランジスタのゲートと前記 1 のトランジスタのドレイン又は前記信号線との間に接続され前記制御線を伝達する信号により制御される第 2 のスイッチと、前記トランジスタのドレインと前記信号線との間に接続され前記制

10

20

30

40

50

御線を伝達する信号により制御される第3のスイッチと、前記第1のトランジスタのソースと前記第1の電圧供給線との間に接続されゲートが第3の電圧供給線によりバイアスされている第2のトランジスタと、を有する、
ことを特徴とする。

【0024】

好ましくは、本発明に係る電流負荷デバイス駆動用半導体装置は、プリチャージ回路を、1又は複数の前記セルへの供給端子毎に少なくとも一つ備え、

前記プリチャージ回路は、前記セルへの供給端子に接続された前記電流負荷デバイス内のデータ線を経由して、前記データ線上のセルに、前記nビットデジタル/電流変換回路の出力電流により決まる電圧を供給すること、及び前記nビットデジタル/電流変換回路の出力電流をそのまま供給することが可能であることを特徴とする。

10

【0025】

そして、本発明を、発光表示装置駆動用半導体装置又は発光表示装置に適用したときの構成は、以下のとおりである。

【0026】

即ち、本発明に係る第1の発光表示装置駆動用半導体装置は、供給される電流によって輝度が決まる発光素子が各画素に設けられた発光表示装置を駆動する発光表示装置駆動用半導体装置において、1ビット分の基準電流値を記憶するn個の1ビットデジタル/電流変換回路を備え夫々が1個の前記1ビットデジタル/電流変換回路に記憶される前記発光素子の電流-輝度特性に対応したn種の基準電流を入力しnビットのデジタル画像データに基づいて選択した1又は2以上の1ビットデジタル/電流変換回路に前記基準電流を出力させることにより 2^n 種の電流を出力するnビットデジタル/電流変換回路を前記発光表示装置に電流を出力する出力端子毎に有し、前記n種の基準電流の電流値は、夫々最も低い電流値に対して順次2倍したものに設定されていることを特徴とする。

20

【0027】

なお、前記1ビットデジタル/電流変換回路は、前記基準電流が流れる信号線と、前記デジタル画像データの1ビットが伝達されるデータ線と、制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続された第1のトランジスタと、前記第1のトランジスタのゲートと前記第2の電圧供給線との間に接続された容量素子と、前記第1のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第1のスイッチと、前記第1のトランジスタのゲートと前記信号線又は前記第1のトランジスタのドレインとの間に接続され前記制御線を伝達する信号により制御される第2のスイッチと、前記第1のトランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第3のスイッチと、を有してもよく、前記基準電流が流れる信号線と、前記デジタル画像データの1ビットが伝達されるデータ線と、第1及び第2の制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続された第1のトランジスタと、前記第1のトランジスタのゲートと前記第2の電圧供給線との間に接続された容量素子と、前記第1のトランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号により制御される第1のスイッチと、前記第1のトランジスタのゲートと前記信号線又は前記第1のトランジスタのドレインとの間に接続され前記第2の制御線を伝達する信号により制御される第2のスイッチと、前記第1のトランジスタのドレインと前記信号線との間に接続され前記第1の制御線を伝達する信号により制御される第3のスイッチと、を有してもよい。

30

40

【0028】

又は、前記第1のトランジスタと前記第1の電圧供給線との間に、ゲートがバイアスされた第2のトランジスタを有しても良い。

【0029】

また、前記第1のスイッチがオフ状態で前記第2及び第3のスイッチがオン状態のときに、前記トランジスタは、そのゲート-ドレイン間が短絡されて飽和領域で動作し、その動作が安定した段階における前記トランジスタのゲート-ソース間電圧は、前記基準電流を

50

ドレイン - ソース間に流すために必要な電圧となり、その値は前記トランジスタの電流能力に従い決定され、その後前記第 2 及び第 3 のスイッチがオフ状態となると、前記容量素子に前記トランジスタのゲート - ソース間電圧が保持され、この保持されたゲート - ソース間電圧に基づく基準電流を出力するか否かが前記第 1 のスイッチの動作により決定されれば、各出力に n 個の前記 1 ビットデジタル / 電流変換回路があるため、前記 n ビットデジタル画像データに従い、前記発光素子の電流 - 輝度特性に従う 2^n レベルの電流が出力できる。従って、前記 1 ビットデジタル / 電流変換回路は、前記電流を記憶・出力するトランジスタの電流能力ばらつきに関わらず、高い精度の電流を出力することができる。

【 0 0 3 0 】

更に、前記第 3 のスイッチは、前記第 2 のスイッチがオフ状態になった後にオフ状態になれば、前記第 3 のスイッチとしてのトランジスタのオフ動作によるノイズの影響が小さくなるため、前記 1 ビットデジタル / 電流変換回路は、より高精度に電流を記憶・出力することができる。

10

【 0 0 3 1 】

前記第 1 乃至第 3 のスイッチがトランジスタから構成されていてもよい。

【 0 0 3 2 】

また、前記 1 ビットデジタル / 電流変換回路に、前記第 2 の制御線を伝達する信号の反転信号がゲートに入力されゲートの長さとの積が前記第 2 のスイッチを構成するトランジスタのゲートの長さとの積の $1/2$ でありドレインが前記トランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタを設けることにより、前記第 2 のスイッチとしてのトランジスタがオフする際の電荷の移動を補償できるため、前記 1 ビットデジタル / 電流変換回路は、より高精度に電流を記憶・出力することができる。

20

【 0 0 3 3 】

本発明においては、電流記憶期間において、各 n ビットデジタル / 電流変換回路にある n 個の電流を記憶する第 1 のトランジスタは、ゲート - ドレイン間を短絡して飽和領域で動作しており、ゲート - ソース間電圧は、基準電流が安定して流れる電圧となっている。電流記憶期間の終了時に、ゲート - ドレイン間を短絡しているスイッチをオフし、前記ゲート - ソース間電圧を容量に保存する。この時、前記 n 個の第 1 のトランジスタは、それぞれの電流能力に従い、基準電流を流すゲート - ソース間電圧を記憶するため、前記 n 個の第 1 のトランジスタの電流能力ばらつきに関わらず、基準電流を流すようなゲート - ソース間電圧を保持することで、電流を記憶する。駆動期間において、前記 n 個の電流を記憶した第 1 のトランジスタは、画像デジタルデータに従い、前記 n 個の電流を記憶した第 1 のトランジスタの夫々のドレインと前記デジタル / 電流変換回路の出力との間にある n 個のスイッチをオン / オフすることで、記憶した電流を出力するか否かを定める。このように出力された電流は、前記 n 個の電流を記憶したトランジスタ自身より出力されるため、電流能力ばらつきの影響のない、精度の高いものとなる。以上のような動作により、本発明の n ビットデジタル / 電流変換回路は、電流比が $0, 1, 2, \dots, 2^n - 1$ となる精度の高い電流を出力することが可能となる。この場合、 n ビットデジタル / 電流変換回路を構成するためには、 n 個の基準電流源が必要となる。

30

【 0 0 3 4 】

また、前記ゲートがバイアスされた第 2 のトランジスタを有する際には、前記第 1 のトランジスタと第 2 のトランジスタは、カスコード接続されており、共に飽和領域で動作する場合、ドレイン電流のドレイン電圧依存性を抑えることができるため、発光素子の特性がばらついても、供給される電流のばらつきを抑えることができる。

40

【 0 0 3 5 】

本発明に係る第 2 の発光表示装置駆動用半導体装置は、供給される電流によって輝度が決まる発光素子が各画素に設けられた発光表示装置を駆動する発光表示装置駆動用半導体装置において、1 種の基準電流値を記憶し n ビットのデジタル画像データに基づいて前記記憶された基準電流から前記発光素子の電流 - 輝度特性に対応した 2^n 種の電流を生成して出力する n ビットデジタル / 電流変換回路を前記発光表示装置に電流を出力する出力端子

50

毎に有することを特徴とする。

【 0 0 3 6 】

なお、前記 n ビットデジタル / 電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される n 本のデータ線と、制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された電流記憶用トランジスタと、互いにゲートが短絡されソースが第 1 の電圧供給線に共通接続された n 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記 n 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される n 個の出力制御用スイッチと、前記電流記憶用トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶用トランジスタのゲートと前記電流出力用トランジスタのゲートとの間に接続され前記制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を有し、前記 n 個の電流出力用トランジスタの電流能力は、夫々最も低い電流能力に対して順次 2 倍したものに設定されていてもよく、n ビットデジタル / 電流変換回路は、前記基準電流が流れる信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される n 本のデータ線と、第 1 及び第 2 の制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された電流記憶用トランジスタと、互いにゲートが短絡されソースが第 1 の電圧供給線に共通接続された n 個の電流出力用トランジスタと、前記電流出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された容量素子と、夫々前記 n 個の電流出力用トランジスタのドレインと前記出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される n 個の出力制御用スイッチと、前記電流記憶用トランジスタのドレインと前記信号線との間に接続され前記第 2 の制御線を伝達する信号により制御される第 1 の記憶制御用スイッチと、前記電流記憶用トランジスタのゲートと前記電流出力用トランジスタのゲートとの間に接続され前記第 1 の制御線を伝達する信号により制御される第 2 の記憶制御用スイッチと、を有し、前記 n 個の電流出力用トランジスタの電流能力は、夫々最も低い電流能力に対して順次 2 倍したものに設定されていてもよい。

10

20

【 0 0 3 7 】

又は、前記電流記憶用トランジスタや前記電流出力用トランジスタと前記第 1 の電圧供給線との間に、夫々、ゲートがバイアスされたバイアストランジスタを有しても良い。

30

【 0 0 3 8 】

また、前記出力制御用スイッチがオフの状態の前記第 1 及び第 2 の記憶制御用スイッチがオン状態のときに、前記電流記憶用トランジスタは、そのゲート - ドレイン間が短絡されて飽和領域で動作し、その動作が安定した段階における前記電流記憶用トランジスタのゲート - ソース間電圧は、前記基準電流をドレイン - ソース間に流すために必要な電圧となり、その値は前記電流記憶用トランジスタの電流能力に従い決定され、その後前記第 1 及び第 2 の記憶制御用スイッチがオフ状態になると、前記容量素子に前記電流記憶用トランジスタのゲート - ソース間電圧が保持され、この保持されたゲート - ソース間電圧に基づく基準電流から前記 n 個の電流出力用トランジスタが夫々の電流能力に基づいた総計で n 種の電流を流すことができる状態となり、前記電流出力用トランジスタが流すことができる電流を出力するか否かが前記 n ビットのデジタル画像データによって決定されてもよい。

40

【 0 0 3 9 】

更に、前記第 2 の記憶制御用スイッチは、前記第 1 の記憶制御用スイッチがオフ状態になった後にオフ状態になることが好ましい。

【 0 0 4 0 】

前記出力制御用スイッチ並びに第 1 及び第 2 の記憶制御用スイッチがトランジスタから構成されていてもよい。

【 0 0 4 1 】

また、前記 n ビットデジタル / 電流変換回路は、前記第 2 の制御線を伝達する信号の反転

50

信号がゲートに入力されゲートの長さや幅との積が前記第1の記憶制御用スイッチを構成するトランジスタのゲートの長さや幅との積の1/2でありドレインが前記電流記憶用トランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタを有することが好ましい。

【0042】

本発明は、近接領域にあるトランジスタの電流能力ばらつきが小さい場合に用いることができる。前記nビットデジタル/電流変換回路にある電流を記憶するトランジスタは、上述の本発明に係わる第1の半導体装置と同様な手段で電流を記憶する。ここで、前記電流を記憶するトランジスタと、前記電流を出力するトランジスタとカレントミラー構成であり、電流能力比が1:2:4:・・・:2ⁿ⁻¹であるn個の出力用トランジスタのうち、最も電流能力が大きいトランジスタとの電流能力比を、1:1又は2:1のように、電流を記憶するトランジスタを等しく、又は大きくすると、基準電流値が大きくなり、基準電流が流れる配線負荷を充放電する期間が短縮されるため、電流記憶期間を短くできる。この時、前記電流を記憶するトランジスタは、基準電流が流れた状態のゲート-ソース電圧を記憶するため、電流能力のばらつきによらず、高い精度で電流を記憶できる。よって、近接領域にあるトランジスタの電流能力ばらつきが小さい場合、前記出力用トランジスタのドレインと前記nビットデジタル/電流変換回路の出力との間にデジタル入力画像データに従ってオン/オフするn個のスイッチを手段として備えることで、電流比が0、1、2、・・・、2ⁿ⁻¹となる精度の高い電流を出力することが可能となる。また、この場合、1つの基準電流源でnビットデジタル/電流変換回路を構成でき、必要な入力を少なくすることができる。

10

20

【0043】

ここで、前記ゲートがバイアスされたバイアストランジスタを有する際には、前記電流記憶用トランジスタや前記電流出力用トランジスタと前記バイアストランジスタは、カスコード接続されており、共に飽和領域で動作する場合、ドレイン電流のドレイン電圧依存性を抑えることができるため、発光素子の特性がばらついても、供給される電流のばらつきを抑えることができる。

【0044】

本発明に係る第3の発光表示装置駆動用半導体装置は、供給される電流によって輝度が決まる発光素子が各画素に設けられた発光表示装置を駆動する発光表示装置駆動用半導体装置において、前記発光素子の電流-輝度特性に対応したk種の基準電流を記憶し前記記憶されたk種の基準電流から(n-k)種の電流を生成しこれらの電流の組み合わせからnビットのデジタル画像データに基づいて2ⁿ種の電流を出力するnビットデジタル/電流変換回路を前記発光表示装置に電流を出力する出力端子毎に有することを特徴とする。

30

【0045】

なお、前記nビットデジタル/電流変換回路は、前記基準電流が流れるk本の信号線と、夫々に前記デジタル画像データの1ビットが伝達されるn本データ線と、制御線と、第1及び第2の電圧供給線と、ソースが前記第1の電圧供給線に接続されたk個の電流記憶出力用トランジスタと、ゲートが前記k個の電流記憶出力用トランジスタのうちのいずれか1つのゲートに短絡された(n-k)個の電流出力用トランジスタと、前記電流記憶出力用トランジスタのゲートと前記第2の電圧供給線との間に接続された1又は複数の容量素子と、夫々前記電流記憶出力用トランジスタ及び前記電流出力用トランジスタのドレインと出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御されるn個の出力制御用スイッチと、前記電流記憶出力用トランジスタのドレインと前記信号線との間に接続され前記制御線を伝達する信号により制御されるk個の第1の記憶制御用スイッチと、前記電流記憶出力用トランジスタのゲートとドレインとの間に接続され前記制御線を伝達する信号により制御されるk個の第2の記憶制御用スイッチと、を有し、前記各電流出力用トランジスタの電流能力は、全ての前記電流記憶出力用トランジスタのそれよりも低く、前記電流出力用トランジスタ及び前記電流記憶出力用トランジスタの電流能力は、夫々最も低い電流能力に対して順次2倍したものに設定されていてもよく、前記n

40

50

ビットデジタル/電流変換回路は、前記基準電流が流れる k 本の信号線と、夫々に前記デジタル画像データの 1 ビットが伝達される n 本のデータ線と、第 1 及び第 2 の制御線と、第 1 及び第 2 の電圧供給線と、ソースが前記第 1 の電圧供給線に接続された k 個の電流記憶出力用トランジスタと、ゲートが前記 k 個の電流記憶出力用トランジスタのうちのいずれか 1 つのゲートに短絡された $(n - k)$ 個の電流出力用トランジスタと、前記電流記憶出力用トランジスタのゲートと前記第 2 の電圧供給線との間に接続された 1 又は複数の容量素子と、夫々前記電流記憶出力用トランジスタ及び前記電流出力用トランジスタのドレインと出力端子との間に接続され前記データ線を伝達する信号のいずれかにより制御される n 個の出力制御用スイッチと、前記電流記憶出力用トランジスタのドレインと前記信号線との間に接続され前記第 2 の制御線を伝達する信号により制御される k 個の第 1 の記憶制御用スイッチと、前記電流記憶出力用トランジスタのゲートとドレインとの間に接続され前記第 1 の制御線を伝達する信号により制御される k 個の第 2 の記憶制御用スイッチと、を有し、前記各電流出力用トランジスタの電流能力は、全ての前記電流記憶出力用トランジスタのそれよりも低く、前記電流出力用トランジスタ及び前記電流記憶出力用トランジスタの電流能力は、夫々最も低い電流能力に対して順次 2 倍したものに設定されているもよい。

10

【0046】

あるいは、前記電流記憶用トランジスタや前記電流出力用トランジスタと前記第 1 の電圧供給線との間に、それぞれ、ゲートがバイアスされたバイアストランジスタを有しても良い。

20

【0047】

また、前記出力制御用スイッチがオフ状態で前記第 1 及び第 2 の記憶制御用スイッチがオン状態のときに、前記電流記憶出力用トランジスタは、そのゲート - ドレイン間が短絡されて飽和領域で動作し、その動作が安定した段階における前記電流記憶出力用トランジスタのゲート - ソース間電圧は、前記基準電流をドレイン - ソース間に流すために必要な電圧となり、その値は前記電流かつ記憶出力用トランジスタの電流能力に従い決定され、その後前記第 1 及び第 2 の記憶制御用スイッチがオフ状態になると、前記容量素子に前記電流記憶出力用トランジスタのゲート - ソース間電圧が保持され、この保持されたゲート - ソース間電圧に基づく基準電流から前記電流出力用トランジスタ及び電流記憶かつ出力用トランジスタが夫々の電流能力に基づいた総計で n 種の電流を流すことができる状態となり、前記電流出力用トランジスタ及び電流記憶出力用トランジスタが流すことができる電流を出力するか否かが前記 n ビットのデジタル画像データによって決定されてもよい。

30

【0048】

更に、前記第 2 の記憶制御用スイッチは、前記第 1 の記憶制御用スイッチがオフ状態になった後にオフ状態になることが好ましい。

【0049】

前記出力制御用スイッチ並びに第 1 及び第 2 の記憶制御用スイッチがトランジスタから構成されていてもよい。

【0050】

また、前記 n ビットデジタル/電流変換回路は、前記第 2 の制御線を伝達する信号の反転信号がゲートに入力されゲートの長さ \times 幅との積が前記第 1 の記憶制御用スイッチを構成するトランジスタのゲートの長さ \times 幅との積の $1/2$ でありドレインが前記電流記憶かつ出力用トランジスタのゲートに接続されソースがドレインに短絡されたダミートランジスタを有することが好ましい。

40

【0051】

本発明は、近接領域にあるトランジスタの電流能力ばらつきがやや小さい場合に用いることができる。電流記憶期間において、 n ビットデジタル/電流変換回路手段にある 1 乃至数個の前記電流記憶かつ出力用トランジスタは、トランジスタと同数の基準電流を、上述と同様な手段で記憶する。従って、前記電流を記憶する 1 ~ 数個のトランジスタは、高い精度の電流を出力できる。一方、前記電流を記憶かつ出力するトランジスタとカレントミ

50

ラー構成である1～数個の出力用トランジスタは、前記基準電流よりも低い電流を出力するようにすることで、電流能力がばらついた場合でも、全体の中での影響を小さくできる。以上のような構成により、電流比が1：2：4：・・・： 2^{n-1} である電流を高い精度で供給でき、前記電流を記憶かつ出力するトランジスタや前記出力用トランジスタのドレインと前記デジタル/電流変換回路の出力との間にデジタル入力画像データに従ってオン/オフするn個のスイッチを手段として備えることで、電流比が0、1、2、・・・、 2^{n-1} となる精度の高い電流を出力することが可能となる。また、この場合、1乃至数個の基準電流源でデジタル/電流変換回路を構成でき、外部からの入力を少なくすることができる。

【0052】

ここで、前記ゲートがバイアスされたバイアストランジスタを有する際には、前記電流記憶用トランジスタや前記電流出力用トランジスタと前記バイアストランジスタは、カスコード接続されており、共に飽和領域で動作する場合、ドレイン電流のドレイン電圧依存性を抑えることができるため、発光素子の特性がばらついていても、供給される電流のばらつきを抑えることができる。

【0053】

本発明は、上述の第1から3のいずれかのデジタル/電流変換回路手段を組み合わせ、nビットデジタル/電流変換回路手段を構成することができる。例えば、最も電流値の高いビットには第1の発明の前記1ビットデジタル/電流変換回路を用い、それ以下のビットには第2の発明の(n-1)ビットデジタル/電流変換回路を用いることで、ばらつき
20
の影響の大きい最も電流値が高いビットの精度が高い一方、基準電流が2種類であるnビットデジタル/電流変換回路を構成できる。

【0054】

更に、本発明において、前記第1及び第2の電圧供給線が共通の電源線とされていてもよい。

【0055】

更にまた、前記出力端子の数がa、前記発光表示装置の画素の発光色がb色である場合、基準電流値は $n \times b$ 種必要となるが、この時、電流記憶動作がa/b回に分けて行われてもよく、1出力に相当するデジタル/電流変換回路が2個の前記nビットデジタル/電流変換回路を有することで、任意のフレームにおいて、一方を電流出力用回路とし、他方を
30
電流記憶用回路とし、電流の記憶は各フレーム内で同じ基準電流を用いてa/b回に分けて行われ、フレーム毎に電流出力と電流記憶との役割が入れ替えられることがより好ましい。1フレームごとに枠割りを入れ替えることにより、発光表示装置を駆動する期間の他に電流を記憶するための期間を必要としない。よって、駆動する期間は、フレーム期間全体と考えることができ、1ラインを駆動する1水平期間を長く取ることができ、画素回路に高精度な電流を駆動することが可能となる。上述の動作は、例えば、前記1出力に相当するデジタル/電流変換回路が前記nビットデジタル/電流変換回路を3個以上備えた場合でも、同様である。また、電流出力と電流記憶の役割の入れ替えを行うのは、複数フレーム毎でも良い。

【0056】

本発明は、前記nビットデジタル/電流変換回路のような電流出力回路から出力される電流が入力されることで適当な電圧を出力するプリチャージ回路を有し、前記プリチャージ回路は、前記発光表示装置が単純マトリクス形式ならば前記発光素子と同等な負荷となり、前記発光表示装置がアクティブマトリクス方式ならば画素回路と同等な負荷となる擬似負荷回路と、前記擬似負荷回路に前記電流出力回路からの出力電流が流れた場合の電圧を入力とするボルテージフォロワと、前記電流出力回路の出力と前記擬似負荷回路との間に接続された第1のプリチャージ用スイッチと、前記第1のプリチャージ用スイッチを制御する信号を伝達する第1のプリチャージ用制御線と、前記電流出力回路の出力と前記発光表示装置とを接続する第2のプリチャージ用スイッチと、前記第2のプリチャージ用
40
スイッチを制御し前記第1のプリチャージ用スイッチを制御する信号の反転信号を伝達す
50

10

20

30

40

50

る第2のプリチャージ用制御線と、前記ボルテージフォロウの出力と前記発光表示装置の間に接続され前記第1のプリチャージ用制御線を伝達する信号により制御される第3のスイッチと、を有することが好ましい。

【0057】

更に、1水平期間の初期にプリチャージ動作として前記擬似負荷回路に前記電流出力回路の出力電流を供給し、その電圧をボルテージフォロウを介して前記発光表示装置内の前記画素内の発光素子又は前記画素回路に印加し、その後電流駆動動作として前記電流出力回路の出力電流を直接前記発光表示装置内の前記画素内の発光素子又は前記画素回路に供給することにより、前記電流出力回路の出力電流が小さな場合でも、前記発光表示装置内の配線負荷等を充放電のための時間が短縮することができるため、前記発光表示装置内の前記画素内の発光素子又は前記画素回路をより安定かつ高速、高精度に駆動することができる。

10

【0058】

更にまた、前記プリチャージ回路に、前記ボルテージフォロウのオフセット電圧をキャンセルする構成を設けることにより、前記ボルテージフォロウのオフセット電圧をキャンセルする動作を、前記電流駆動動作時に行うことで、余分な時間が必要ない上に、前記電流を記憶・出力する回路の出力電流を前記擬似負荷回路に供給した場合と実際の前記発光表示装置内の画素（回路）に供給した場合の差が小さくなるため、前記発光表示装置内の前記画素内の発光素子又は前記画素回路を、より安定かつ高速、高精度に駆動することができる。

20

【0059】

プリチャージ回路を設けることにより、前記擬似の画素（回路）は、前記デジタル/電流変換回路の近くにあるため、その間の配線負荷は小さく、出力される電流が小さい場合でも、前記擬似の画素（回路）は、出力された電流を短い時間で安定に流すようになる。前記擬似の画素（回路）に電流が安定に流れている状態でのゲート電圧をボルテージフォロウに入力し、前記ボルテージフォロウの出力を発光表示装置のデータ線に接続することで、前記電流出力回路の出力電流が、前記表示部内の画素（回路）に安定に流れている状態の電圧に近い電圧が、前記信号線や前記表示部内の画素（回路）に印加される。以上のようなプリチャージ動作は、定電流で前記データ線の負荷を充放電するのに比べ、高速に行うことが可能である。プリチャージ動作により前記データ線と前記表示部内の画素（回路）の電圧が安定した後、前記電流出力回路と前記擬似の画素（回路）を切り離し、前記電流出力回路から直接前記データ線に電流を出力する。この場合、前記電流出力回路の出力である定電流による前記データ線の負荷や前記表示部内の画素（回路）の充放電は、既にプリチャージが行われているため、わずかに行うだけでよく、また、プリチャージ前の前記信号線の負荷や前記表示部内の画素（回路）の電圧などから影響を受けない。更に、駆動時間を短くすることができる。従って、以上のような2段階の駆動動作を行うことで、駆動前の発光表示部内の配線負荷や画素（回路）の負荷の電圧の影響を受けずに、安定、高速かつ高精度に画素（回路）を電流駆動することが可能となる。

30

【0060】

本発明に係る発光表示装置駆動用半導体装置は、出力ごとに、基準電流を記憶し、nビットデジタルデータに従って 2^n 種の電流を出力する前記nビットデジタル/電流変換回路を1つ又は複数備え、かつ、前記nビットデジタル/電流変換回路が電流の出力又は記憶動作を行うかにより、nビットデータラッチと、前記nビットデータラッチからのデータを前記nビットデジタル/電流変換回路に伝えるか否かを行うデータセレクタを備え、更に、装置全体として、前記基準電流を記憶する動作と同期した走査信号を出力する電流記憶用シフトレジスタを備える。更にまた、前記発光表示装置駆動用半導体装置は、出力ごとに前記プリチャージ回路を有する。更に、前記発光表示装置駆動用半導体装置は、外部から入力される入力されるnビットデジタルデータをデータ保持用シフトレジスタの走査信号に同期して保持するnビットデータレジスタを出力ごとに備え、装置全体として、前記データ保持用シフトレジスタを備える。また、1水平期間において前記nビットデジタ

40

50

ル/電流回路又は前記プリチャージ回路の出力を、発光表示装置の複数のデータ線にセレクト信号に従って順々に接続できる出力セレクト回路をさらに備えることで、前記発光表示装置駆動用半導体装置は、より少ない回路規模で、発光表示装置を駆動することができる。

【0061】

なお、前記基準電流を生成する回路と共に1つのチップに集積されていてもよい。さらに、トランジスタが薄膜トランジスタで構成されても良い。

【0062】

本発明に係る発光表示装置は、前記発光素子と同じ基板に形成され前記基準電流を生成する回路と共に1つのチップに集積された上述のいずれかの発光表示装置駆動用半導体装置を有することを特徴とする。

10

【0063】

特に、前記発光素子と発光表示装置駆動用半導体装置が同じ基板に形成された場合には、前記プリチャージ回路内の擬似負荷(回路)は、表示装置の画素内の負荷(回路)と同一のサイズ、形状で構成できるため、得られるプリチャージ電圧の精度を高くすることができる。この時、上述のプリチャージ動作と電流出力動作を組み合わせた駆動法は、より安定、高速かつ高精度に駆動することができる。

【0064】

本発明の発光表示装置駆動用半導体装置及び発光表示装置は、前述の通り、発光素子の代わりに電流負荷素子で構成される、より一般的な、電流負荷素子や電流負荷デバイスを駆動するための半導体装置や電流負荷デバイスにも適用できる。

20

【0065】

【発明の実施の形態】

本発明の実施例に係る電流負荷デバイス用半導体装置について、上述と同様に発光表示装置用半導体装置を例にとり、添付の図面を参照して具体的に説明する。なお、以下の説明において、同じ構成要素で順序が設定されている場合は、アンダーバー及び数字を付して示し、個々に注目する場合には、アンダーバー及び数字を付さず示している。

【0066】

図1は本発明の第1の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。第1の実施例には、デジタル/電流(D/I)変換部210が設けられており、このD/I変換部210に、発光表示装置への出力数(3×n)分の1出力D/I変換部230、及び3出力毎に設けられたn個のフリップフロップ(F/F)290₁乃至290_nから構成されたシフトレジスタが設けられている。シフトレジスタには、電流を記憶するタイミング制御のためのスタート信号IST、クロック信号ICL、及びこのクロック信号ICLの反転信号ICLBが入力される。また、1出力D/I変換部230には、各出力のデジタル画像データD0乃至D2が入力され、参照するための基準電流IR0乃至IR2、IG0乃至IG2、IB0乃至IB2のいずれかがそれに割り当てられた発光色に応じて入力される。また、基準電流は、発光色が赤、青、緑である夫々の発光素子の電流-輝度特性にあった電流値であり、基準電流IR0の電流値ir0は発光色が赤の発光素子の1階調目に対応し、基準電流IR1の電流値ir1は発光色が赤の発光素子の2階調目に対応し、基準電流IR2の電流値ir2は発光色が赤の4階調目に対応する。同様に、基準電流IG0乃至IG2の電流値は、夫々発光色が緑の1階調目、2階調目、4階調目に対応し、基準電流IB0乃至IB2は、夫々発光色が青の1階調目、2階調目、4階調目に対応する。1個のF/F290と、このF/F290から出力された信号MSWが入力される3個の1出力D/I変換部230とから1個のRGB D/I変換部220が構成されている。

30

40

【0067】

図2は1出力D/I変換部230の構成を示すブロック図である。1出力D/I変換部230は3個の1ビットD/I変換部231から構成されている。これらの1ビットD/I変換部231には、夫々画像データD0及び基準電流I0の組み合わせ、画像データD1

50

及び基準電流 I_1 の組み合わせ、画像データ D_2 及び基準電流 I_2 の組み合わせのいずれかが入力されると共に、 F/F の出力信号である信号 MSW が入力される。なお、基準電流 I_0 乃至 I_2 は、基準電流 I_{R0} 乃至 I_{R2} の組み合わせ、基準電流 I_{G0} 乃至 I_{G2} の組み合わせ、基準電流 I_{B0} 乃至 I_{B2} の組み合わせのいずれかに対応する。つまり、赤 (R) 表示用の 1 出力 D/I 変換部 230 において、デジタル階調データ D_0 が入力される 1 ビット D/I 変換部 231 に供給される基準電流は、赤表示用の発光素子の 1 階調目の輝度に対応する基準電流 I_{R0} である。また、デジタル階調データ D_1 が入力される 1 ビット D/I 変換部 231 に供給される基準電流は、赤表示用の発光素子の 2 階調目の輝度に対応する基準電流 I_{R1} であり、デジタル階調データ D_2 が入力される 1 ビット D/I 変換部 231 に供給される基準電流は、赤表示用の発光素子の 4 階調目の輝度に対応する基準電流 I_{R2} である。但し、発光素子の電流 - 輝度特性が比例関係を有するので、 $i_{r1} = 2 \times i_{r0}$ 及び $i_{r2} = 4 \times i_{r0}$ の関係が成り立つ。同様に、緑 (G) 表示用又は青 (B) 表示用の 1 出力 D/I 変換部 230 に設けられている 1 ビット D/I 変換部 231 であって、階調データ D_0 、 D_1 、 D_2 が入力されるものには、夫々基準電流 I_{G0} 又は I_{B0} 、基準電流 I_{G1} 又は I_{B1} 、基準電流 I_{G2} 又は I_{B2} が入力される。

【0068】

図 3 は 1 ビット D/I 変換部 231 の構成を示すブロック図である。1 ビット D/I 変換部 231 には、電流記憶・出力用のトランジスタ N チャンネル薄膜トランジスタ (TFT) T_1 、スイッチ SW_1 乃至 SW_3 及び容量素子 C_1 が設けられている。スイッチ SW_1 は $TFT T_1$ のドレインに接続されており、階調データ D^* により制御される。スイッチ SW_1 の他端から、出力電流 I_{out} が出力される。スイッチ SW_2 は、スイッチ SW_1 と $TFT T_1$ との接点と、容量素子 C_1 の一端及び $TFT T_1$ のゲートとの間に接続されており、信号 MSW により制御される。スイッチ SW_3 の一端は基準電流 I^* が供給される信号線に接続され、その他端はスイッチ SW_1 と $TFT T_1$ との接点と容量素子 C_1 の一端との間に接続されており、信号 MSW により制御される。また、 $TFT T_1$ のソース及び容量素子 C_1 の他端は、例えば接地されているが、動作上問題がない場合には、接地電圧 GND よりも高い電圧が供給されてもよい。なお、階調データ D^* 及び基準電流 I^* は、階調データ D_0 及び基準電流 I_0 、階調データ D_1 及び基準電流 I_1 、階調データ D_2 及び基準電流 I_2 のいずれかに相当する。

【0069】

次に、上述のように構成された第 1 の実施例に係る発光表示装置用半導体装置の動作について説明する。図 4 は本発明の第 1 の実施例に係る発光表示装置用半導体装置の動作を示すタイミングチャートである。図 4 中の Y_{-1} 及び Y_{-2} は、夫々垂直走査回路 300 (図 35 参照) の第 1 行目、第 2 行目の出力信号を示し、 D_0 、 D_1 、 D_2 は 3 ビットデジタル画像データ (階調データ) を示し、 I_{out} は 1 出力 D/I 変換部 230 の出力信号を示し、 IST は n 個のフリップフロップ 290 から構成されるシフトレジスタのスタート信号を示し、 ICL はシフトレジスタのクロック信号を示し、 MSW_{-1} 、 MSW_{-2} は、夫々シフトレジスタの第 1 段目、第 2 段目の出力信号を示す。

【0070】

表示部 400 (図 35 参照) を垂直走査し始めてから、次の垂直走査が始まるまでを 1 フレームとする。1 フレームは、電流駆動期間 (第 1 の動作期間) 及び電流記憶期間 (第 2 の動作期間) から構成される。

【0071】

先ず、電流記憶期間 (第 2 の動作期間) について説明する。電流記憶期間において、各 1 ビット D/I 変換部 231 は夫々に基準電流源から供給された基準電流を記憶する。ここで、本期間においては、全デジタル階調データをロウレベルとし、1 ビット D/I 変換部 231 のスイッチ SW_1 は、オフである。

【0072】

電流記憶期間の開始と共に、スタート信号 IST としてパルス信号が第 1 段目の $F/F 290_{-1}$ に入力され、このパルス信号の入力と同時に、クロック信号 ICL 及びクロック

10

20

30

40

50

反転信号ICLBがF/F290__1に入力されることで、n個のF/F290から構成されるシフトレジスタが動作し始める。第1段目のF/F290__1の出力信号MSW__1がハイレベルになると、この出力信号MSW__1が入力される1出力D/I変換部230に設けられた各1ビットD/I変換部231のスイッチSW2及びSW3がオンとなる。スイッチSW2及びSW3がオンになると、その1ビットD/I変換部231内の電流記憶・出力用TF TT1は、そのゲート-ドレイン間がショートされるため、飽和領域で動作する。そして、本動作が安定した状態では、TF TT1のドレイン-ソース間に基準電流源からの基準電流が流れるように、TF TT1の電流能力に合わせてそのゲート電圧が設定される。

【0073】

10

安定状態になった後に、信号MSW__1がロウレベルになると共に、第2段目のF/Fの出力信号MSW__2がハイレベルになると、F/F290__1が設けられたRGB D/I変換部220内の各1ビットD/I変換部231のスイッチSW2及びSW3がオフになる。この時、F/F290__1が設けられたRGB D/I変換部220内のTF TT1のゲート電圧は、容量素子C1によって基準電流が流れるような電圧に保持される。この結果、TF TT1には、夫々の電流能力に関わらず、基準電流が記憶される。このような、信号MSWがハイレベルとなっている期間を、そのRGB D/I変換部220における3出力電流記憶期間とする。一方、第2段目のF/Fが設けられたRGB D/I変換部220内の各スイッチSW2及びSW3はオンとなり、安定した状態では、TF TT1のドレイン-ソース間に基準電流が流れるように飽和領域で動作し、その基準電流が流れるように、TF TT1の電流能力に合わせてゲート電圧が設定される。

20

【0074】

電流記憶期間では、上述のような3出力電流記憶期間が、全てのRGB D/I変換部220について繰り返され、全ての1出力D/I変換部230に基準電流が記憶される。

【0075】

次に、電流駆動期間(第1の動作期間)について説明する。電流駆動期間において、垂直走査回路300が1行ずつ制御線(走査線)を選択していく。図4には、第1行目、第2行目の出力である走査パルスY__1及びY__2を示している。

【0076】

走査パルスY__1がハイレベルになると、第1行目の制御線が選択され、これに同期して出力数分の第1行目の3ビットデジタル階調データD0乃至D2が出力毎に1出力D/I変換部230に入力される。デジタル階調データD0乃至D2が入力されると、これらのレベル(ハイレベル(H)/ロウレベル(L))に応じて1ビットD/I変換部231内のスイッチSW1のオン/オフが制御され、直前のフレームの電流駆動期間でTF TT1に記憶されていた電流が出力される。下記表1に入力デジタル階調データD0乃至D2と階調(出力電流値)との関係を示す。

30

【0077】

【表1】

階調	階調データ			出力電流値 (I_{out} の電流値)
	D0	D1	D2	
0	L	L	L	0
1	H	L	L	i_0
2	L	H	L	$i_1 = 2 \times i_0$
3	H	H	L	$i_1 + i_0 = 3 \times i_0$
4	L	L	H	$i_2 = 4 \times i_0$
5	H	L	H	$i_2 + i_0 = 5 \times i_0$
6	L	H	H	$i_2 + i_1 = 6 \times i_0$
7	H	H	H	$i_2 + i_1 + i_0 = 7 \times i_0$

10

20

【0078】

表1に示すように、出力電流値は、0から $7 \times i_0$ まで、入力されるデジタル階調データによって、調整することができる。また、電流記憶期間（第2の動作期間）でTF TT1の電流能力に合わせて、基準電流源と同等な電流が流れるようにゲート電圧が設定され、同じTF TT1を使用して電流が出力されているため、電流能力のばらつきに関係なく、出力電流のばらつきは小さく、高い精度が得られる。

30

【0079】

一方、電流駆動期間（第1の動作期間）では、シフトレジスタは動作せず、全てのスイッチSW2及びSW3は常にオフのままである。

【0080】

そして、以上のような動作を各フレームについて繰り返すことにより、表示部400において階調データD0乃至D2に応じた表示が行われ、その際、高精度な電流が画素回路に供給される。

【0081】

このような第1の実施例によれば、図38(a)に示すようなPチャンネルTF TTを有する発光表示装置に対し、高速かつ高い精度で電流を供給することができる。

40

【0082】

次に、本発明の第2の実施例について説明する。第2の実施例は、第1の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(b)に示す画素回路に対して適用されるものである。図5は本発明の第2の実施例における1ビットD/I変換部の構成を示すブロック図である。

【0083】

第2の実施例における1ビットD/I変換部231aには、第1の実施例におけるNチャンネルTF TT1に代わってPチャンネルTF TT2が設けられており、そのソース及び容量素子C1の一端に電源電位VDが供給される。電圧VDは、電圧VELと同程度か、又は

50

低い電圧で、動作に問題がないレベルとする。

【0084】

第1の実施例は、図38(a)に示すような画素回路の電流を流すトランジスタがPチャンネルTFTである場合に適用可能なものであるが、第2の実施例は、図38(b)に示すようなNチャンネルTFTに適用可能である。つまり、画素回路内のTFTがPチャンネルTFTである場合には、そのソース電圧は電圧VELであるが、NチャンネルTFTとした場合には、そのソース電圧を接地レベルGNDにする必要があり、本実施例はこれに対応することができる。

【0085】

なお、第2の実施例の動作は、出力電流の極性が変わることを除き、第1の実施例と同様であり、同様の効果が得られる。

10

【0086】

次に、本発明の第3の実施例について説明する。第3の実施例は、第1の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(a)に示す画素回路に対して適用されるものである。図6は本発明の第3の実施例における1ビットD/I変換部の構成を示すブロック図である。

【0087】

第3の実施例における1ビットD/I変換部231bにおいては、容量素子C1の一端に接地電位GNDではなく、適当な安定電圧VBが供給される。

【0088】

20

第3の実施例の動作は、第1の実施例と同様であり、同様の効果が得られる。このことは、容量素子C1に供給される電圧は、安定したものであれば、どのような電圧でも良いことを示している。

【0089】

次に、本発明の第4の実施例について説明する。第4の実施例は、第1の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(b)に示す画素回路に対して適用されるものである。図7は本発明の第4の実施例における1ビットD/I変換部の構成を示すブロック図である。

【0090】

第4の実施例における1ビットD/I変換部231cにおいては、第3の実施例と同様に、容量素子C1の一端に接地電位GNDではなく、適当な安定電圧VBが供給される。また、第2の実施例と同様に、第1の実施例におけるNチャンネルTFT1に代わってPチャンネルTFT2が設けられており、そのソース及び容量素子C1の一端に電源電位VDが供給される。

30

【0091】

このように、第4の実施例は第2の実施例に第3の実施例を適用したようなものであり、第3の実施例と同様に、容量素子C1に供給される電圧は、安定したものであれば、どのような電圧でも良いことを示している。

【0092】

次に、本発明の第5の実施例について説明する。第5の実施例は、第1の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(a)に示す画素回路に対して適用されるものである。図8は本発明の第5の実施例における1ビットD/I変換部の構成を示すブロック図である。

40

【0093】

第5の実施例における1ビットD/I変換部231dには、第1の実施例におけるスイッチSW1乃至SW3に代わって、夫々NチャンネルトランジスタT11乃至T13が設けられている。

【0094】

このような第5の実施例によっても、図4に示すタイミングチャートに基づいて第1の実施例と同様の動作が行われ、同様の効果が得られる。なお、NチャンネルトランジスタT1

50

1乃至T13の代わりにPチャンネルトランジスタを使用することもできる。この場合には、タイミングチャートは、F/Fの出力信号を図4に示すものを反転したものとすればよい。

【0095】

次に、本発明の第6の実施例について説明する。第6の実施例は、第1の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(b)に示す画素回路に対して適用されるものである。図9は本発明の第6の実施例における1ビットD/I変換部の構成を示すブロック図である。

【0096】

第6の実施例における1ビットD/I変換部231eには、第2の実施例におけるスイッチSW1乃至SW3に代わって、夫々NチャンネルトランジスタT11乃至T13が設けられている。

10

【0097】

このような第6の実施例によっても、図4に示すタイミングチャートに基づいて第2の実施例と同様の動作が行われ、同様の効果が得られる。なお、NチャンネルトランジスタT11乃至T13の代わりにPチャンネルトランジスタを使用することもできる。この場合には、タイミングチャートは、F/Fの出力信号を図4に示すものを反転したものとすればよい。

【0098】

次に、本発明の第7の実施例について説明する。第7の実施例は、例えば図38(a)に示す画素回路に対して適用されるものである。図10は本発明の第7の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

20

【0099】

第7の実施例には、D/I変換部210aが設けられており、このD/I変換部210aに、発光表示装置への出力数(3×n)分の1出力D/I変換部230a、及び3出力毎に設けられたn個のフリップフロップ(F/F)290a₁乃至290a_nから構成されたシフトレジスタが設けられている。シフトレジスタには、電流を記憶するタイミング制御のためのスタート信号IST、クロック信号ICL、このクロック信号ICLの反転信号ICLB、及び電流記憶タイミング信号ITが入力される。また、1出力D/I変換部230aには、各出力のデジタル画像データD0乃至D2が入力され、参照するための基準電流IR0乃至IR2、IG0乃至IG2、IB0乃至IB2のいずれかがそれに割り当てられた発光色に応じて入力される。1個のF/F290aと、このF/F290aから出力された信号MSW1及びMSW2が入力される3個の1出力D/I変換部230aとから1個のRGB D/I変換部220aが構成されている。

30

【0100】

図11は1出力D/I変換部230aの構成を示すブロック図である。1出力D/I変換部230aは3個の1ビットD/I変換部231fから構成されている。これらの1ビットD/I変換部231fには、夫々画像データD0及び基準電流I0の組み合わせ、画像データD1及び基準電流I1の組み合わせ、画像データD2及び基準電流I2の組み合わせのいずれかが入力されると共に、F/Fの出力信号である信号MSW1及びMSW2が入力される。

40

【0101】

図12は1ビットD/I変換部231fの構成を示すブロック図である。1ビットD/I変換部231fには、第5の実施例と同様に、電流記憶・出力用のトランジスタNチャンネルTF1、NチャンネルトランジスタT11乃至T13及び容量素子C1が設けられている。トランジスタT11、T12、T13のゲートには、夫々階調データD0、信号MSW2、信号MSW1が入力され、各トランジスタはこれらの信号により制御される。

【0102】

次に、上述のように構成された第7の実施例に係る発光表示装置用半導体装置の動作について説明する。図13は本発明の第7の実施例に係る発光表示装置用半導体装置の動作を

50

示すタイミングチャートである。

【0103】

本実施例においては、図13に示すように、電流記憶期間において、信号MSW1は、第1の実施例における信号MSWと同様に変化する。また、電流記憶タイミング信号ITは、いずれかの信号MSW1の立ち上がり同期して立ち上がり、その信号MSW1よりも早いタイミングで立ち下がる。そして、信号MSW2は、信号MSW1と同じタイミングで立ち上がり、電流記憶タイミング信号ITの立ち下がり同期して立ち下がる。信号MSW2が立ち上がっている期間を、そのRGB D/I変換部220aにおける3出力電流記憶期間とする。

【0104】

このような第7の実施例では、1ビットD/I変換部231fは、3出力電流記憶期間終了時にトランジスタT12のみがオフし、その後トランジスタT13がオフする。従って、ドレイン-ソース間に基準電流を安定に流している状態のTF1のゲート電圧は、トランジスタT13がオフする際のノイズの影響を受けず、より正確に保持される。このため、本実施例は、第5の実施例と比してより一層精度の高い電流を供給することができる。

【0105】

次に、本発明の第8の実施例について説明する。第8の実施例は、第7の実施例における1ビットD/I変換部の構成を変更したものであり、例えば図38(b)に示す画素回路に対して適用されるものである。図14は本発明の第8の実施例における1ビットD/I変換部の構成を示すブロック図である。

【0106】

第8の実施例における1ビットD/I変換部231gには、第7の実施例におけるNチャンネルTF1の代わってPチャンネルTF2が設けられており、そのソース及び容量素子C1の一端に電源電位VDが供給される。

【0107】

なお、第8の実施例の動作は、出力電流の極性が変わることを除き、第7の実施例と同様であり、同様の効果が得られる。例えば第6の実施例と比してより一層精度の高い電流を供給することができる。

【0108】

次に、本発明の第9の実施例について説明する。第9の実施例は、例えば図38(a)に示す画素回路に対して適用されるものである。図15は本発明の第9の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

【0109】

第9の実施例には、D/I変換部210bが設けられており、このD/I変換部210bに、発光表示装置への出力数(3×n)分の1出力D/I変換部230b、及び3出力毎に設けられたn個のフリップフロップ(F/F)290b₁乃至290b_nから構成されたシフトレジスタが設けられている。シフトレジスタには、電流を記憶するタイミング制御のためのスタート信号IST、クロック信号ICL、このクロック信号ICLの反転信号ICLB、及び電流記憶タイミング信号ITが入力される。また、1出力D/I変換部230bには、各出力のデジタル画像データD0乃至D2が入力され、参照するための基準電流IR0乃至IR2、IG0乃至IG2、IB0乃至IB2のいずれかがそれに割り当てられた発光色に応じて入力される。1個のF/F290bと、このF/F290bから出力された信号MSW1、MSW2及びMSW2Bが入力される3個の1出力D/I変換部230bとから1個のRGB D/I変換部220bが構成されている。なお、信号MSW2Bは信号MSW2の反転信号である。

【0110】

図16は1出力D/I変換部230bの構成を示すブロック図である。1出力D/I変換部230bは3個の1ビットD/I変換部231hから構成されている。これらの1ビットD/I変換部231hには、夫々画像データD0及び基準電流I0の組み合わせ、画像

10

20

30

40

50

データ D 1 及び基準電流 I 1 の組み合わせ、画像データ D 2 及び基準電流 I 2 の組み合わせのいずれかが入力されると共に、F / F の出力信号である信号 M S W 1、M S W 2 及び M S W 2 B が入力される。

【 0 1 1 1 】

図 1 7 は 1 ビット D / I 変換部 2 3 1 h の構成を示すブロック図である。1 ビット D / I 変換部 2 3 1 h には、第 7 の実施例と同様に、電流記憶・出力用のトランジスタ N チャンネル T F T T 1、N チャンネルトランジスタ T 1 1 乃至 T 1 3 及び容量素子 C 1 が設けられている。トランジスタ T 1 1、T 1 2、T 1 3 のゲートには、夫々階調データ D 0、信号 M S W 2、信号 M S W 1 が入力され、各トランジスタはこれらの信号により制御される。また、本実施例においては、N チャンネルトランジスタ T 1 2 と容量素子 C 1 の一端との間に N チャンネルトランジスタ T 1 4 が接続されている。N チャンネルトランジスタ T 1 4 のソース及びドレインは、互いに短絡されており、そのゲートには信号 M S W 2 B が入力される。そして、T F T T 1 のゲートは、N チャンネルトランジスタ T 1 4 のドレインと容量素子 C 1 の一端との接点に接続されている。また、トランジスタ T 1 4 のトランジスタ長 L とトランジスタ幅 W との積は、トランジスタ T 1 2 のトランジスタ長 L とトランジスタ幅 W との積の半分である。

10

【 0 1 1 2 】

このように構成された第 9 の実施例に係る発光表示装置用半導体装置は、第 7 の実施例と同様に、図 1 3 に示すタイミングチャートに基づいて動作する。但し、信号 M S W 2 B の波形は、信号 M S W 2 の波形を反転させたものである。

20

【 0 1 1 3 】

従って、1 ビット D / I 変換部 2 3 1 h は、3 出力電流記憶期間終了時にトランジスタ T 1 2 がオフすると同時にトランジスタ T 1 4 がオンし、これに遅れてトランジスタ T 1 3 がオフする。このため、ドレイン - ソース間に基準電流を安定に流している状態の T F T T 1 のゲート電圧は、トランジスタ T 1 3 がオフする際のノイズの影響を受けず、また、トランジスタ T 1 2 がオフする際に生じる電荷の移動もトランジスタ T 1 4 のオンにより吸収され、より一層正確に保持される。このように、本実施例は、第 7 の実施例と比してより一層精度の高い電流を供給することができる。

【 0 1 1 4 】

次に、本発明の第 1 0 の実施例について説明する。第 1 0 の実施例は、第 9 の実施例における 1 ビット D / I 変換部の構成を変更したものであり、例えば図 3 8 (b) に示す画素回路に対して適用されるものである。図 1 8 は本発明の第 1 0 の実施例における 1 ビット D / I 変換部の構成を示すブロック図である。

30

【 0 1 1 5 】

第 1 0 の実施例における 1 ビット D / I 変換部 2 3 1 i には、第 9 の実施例における N チャンネル T F T T 1 の代わって P チャンネル T F T T 2 が設けられており、そのソース及び容量素子 C 1 の一端に電源電位 V D が供給される。

【 0 1 1 6 】

なお、第 1 0 の実施例の動作は、出力電流の極性が変わることを除き、第 9 の実施例と同様であり、同様の効果が得られる。例えば第 8 の実施例と比してより一層精度の高い電流を供給することができる。

40

【 0 1 1 7 】

次に、本発明の第 1 1 の実施例について説明する。第 1 1 の実施例は、第 1 の実施例における 1 ビット D / I 変換部の構成を変更したものであり、例えば図 3 8 (a) に示す画素回路に対して適用されるものである。図 3 0 は本発明の第 1 1 の実施例における 1 ビット D / I 変換部の構成を示すブロック図である。

【 0 1 1 8 】

第 1 1 の実施例における 1 ビット D / I 変換部 2 3 1 j においては、S W 2 の両端が、それぞれ、スイッチ S W 1 と T F T T 1 の接点と T F T T 1 のゲートに接続されるのではなく、基準電流 I * が供給される信号線と T F T T 1 のゲートに接続されている。

50

【 0 1 1 9 】

第 1 1 の実施例の動作は、第 1 の実施例と同様であり、同様の効果が得られる。また第 1 の実施例に対する第 2 乃至第 1 0 の実施例のような変更を行うことができる。

【 0 1 2 0 】

次に、本発明の第 1 2 の実施例について説明する。第 1 2 の実施例は、第 1 の実施例における 1 ビット D / I 変換部の構成を変更したものであり、例えば図 3 8 (a) に示す画素回路に対して適用されるものである。図 3 1 は本発明の第 1 2 の実施例における 1 ビット D / I 変換部の構成を示すブロック図である。

【 0 1 2 1 】

第 1 2 の実施例における 1 ビット D / I 変換部 2 3 1 k においては、T F T T 1 と G N D 線の間に T F T T 1 5 が追加され、T F T T 1 5 のゲートには適当な電圧 V S 1 が印加されている。

10

【 0 1 2 2 】

第 1 2 の実施例の動作は、第 1 の実施例と同様であり、同様の効果が得られる。また実施例は、追加された T F T T 1 5 と T F T T 1 がカスコード接続されているため、T F T T 1 の飽和領域におけるドレイン電流のドレイン電圧依存性が平坦化され、出力電流 I o u t の精度を高めることが可能となる。されに本実施例は、第 1 の実施例に対する第 2 乃至第 1 0 の実施例のような変更を行うことができる。

【 0 1 2 3 】

次に、本発明の第 1 3 の実施例について説明する。第 1 1 の実施例は、例えば図 3 8 (a) に示す画素回路に対して適用されるものであり、近接領域の電流能力ばらつきが小さい場合に使用することができる。図 1 9 は本発明の第 1 3 の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

20

【 0 1 2 4 】

第 1 3 の実施例には、D / I 変換部 2 1 0 c が設けられており、この D / I 変換部 2 1 0 c に、発光表示装置への出力数 (3 × n) 分の 1 出力 D / I 変換部 2 3 0 c、及び 3 出力毎に設けられた n 個のフリップフロップ (F / F) 2 9 0 _ 1 乃至 2 9 0 _ n から構成されたシフトレジスタが設けられている。シフトレジスタには、電流を記憶するタイミング制御のためのスタート信号 I S T、クロック信号 I C L、及びこのクロック信号 I C L の反転信号 I C L B が入力される。また、1 出力 D / I 変換部 2 3 0 c には、各出力のデジタル画像データ D 0 乃至 D 2 が入力され、参照するための基準電流 I R 2、I G 2、I B 2 のいずれかがそれに割り当てられた発光色に応じて入力される。1 個の F / F 2 9 0 と、この F / F 2 9 0 から出力された信号 M S W が入力される 3 個の 1 出力 D / I 変換部 2 3 0 c とから 1 個の R G B D / I 変換部 2 2 0 c が構成されている。

30

【 0 1 2 5 】

なお、基準電流の電流値は、発光色が赤、青、緑である夫々の電流輝度特性に合わせており、基準電流 I R 2 の電流値 i r 2 は発光色が赤の 4 階調目に対応し、基準電流 I G 2 の電流値 i g 2 は発光色が緑の 4 階調目に対応し、基準電流 I B 2 の電流値 i b 2 は、発光色が青の 4 階調目に対応している。つまり、赤 (R) 表示用の 1 出力 D / I 変換部 2 3 0 c に供給される基準電流は赤表示用の発光素子の 4 階調目の輝度に対応する基準電流 I R 2 である。但し、発光素子の電流 - 輝度特性が比例関係を有するので、1 階調目に対応する電流値を i r 0 とすると、i r 2 = 4 × i r 0 となる。同様に、緑 (G) 表示用又は青 (B) 表示用の 1 出力 D / I 変換部 2 3 0 c には、夫々基準電流 I G 2 又は I B 2 が入力される。従って、本実施例では、入力される基準電流の最小値は、第 1 の実施例の 4 倍となる。なお、基準電流を 4 階調目に対応させた理由は、後述のように、1 出力 D / I 変換部 2 3 0 c に設けられる電流を記憶する N チャネル T F T T 2 3 の電流能力と、4 階調目に相当する電流を出力する N チャネル T F T T 2 2 の電流能力とを等しくなるように設計したためである。

40

【 0 1 2 6 】

図 2 0 は 1 出力 D / I 変換部 2 3 0 c の構成を示すブロック図である。1 出力 D / I 変換

50

部 2 3 0 c には、信号 M S W により制御されその一端に基準電流 I^* が供給されるスイッチ S W 2 3 a が設けられている。スイッチ 2 3 a の他端には、Nチャネル T F T T 2 3 のドレイン及びゲートが共通接続されている。T F T T 2 3 のソースは接地されている。Nチャネル T F T T 2 3 のドレイン及びゲートに、信号 M S W により制御されるスイッチ S W 2 3 b の一端が接続され、他端にNチャネル T F T T 2 0 乃至 T 2 2 のゲート及び容量素子 C 2 の一端が共通接続されている。T F T T 2 0 乃至 T 2 2 のソース及び容量素子 C 2 の他端は接地されている。T F T T 2 0、T 2 1、T 2 2 のドレインには、夫々階調データ D 0、D 1、D 2 により制御されるスイッチ S W 2 0、S W 2 1、S W 2 2 が接続されており、これらのスイッチ S W 2 0 乃至 S W 2 2 の他端が共通接続されている。この共通接続点から、出力電流 I_{out} が出力される。なお、T F T T 2 0、T 2 1、T 2 2 の電流能力比は 1 : 2 : 4 となっている。また、T F T T 2 2 の電流能力と T F T T 2 3 の電流能力とは、互いに同じになるように設計する。なお、動作上問題がない場合には、T F T T 2 0 乃至 T 2 3 のソース及び容量素子 C 2 の一端には接地電位 G N D ではなく、接地電位 G N D よりも高い電圧が供給されても良い。例えば容量素子 C 2 のみが異なる信号線に接続されていてもよい。

10

【 0 1 2 7 】

このように構成された第 1 3 の実施例に係る発光表示装置用半導体装置は、第 1 の実施例と同様に、図 4 に示すタイミングチャートに基づいて動作する。

【 0 1 2 8 】

第 1 3 の実施例における電流記憶期間（第 2 の動作期間）において、各 1 出力 D / I 変換部 2 3 0 c は夫々に基準電流源から供給された基準電流（ I_{R2} 、 I_{G2} 又は I_{B2} のいずれか）を記憶する。ここで、本期間においては、全デジタル階調データをロウレベルとし、1 出力 D / I 変換部 2 3 0 c のスイッチ S W 2 0 乃至 S W 2 2 は、オフである。

20

【 0 1 2 9 】

電流記憶期間の開始と共に、スタート信号 I S T としてパルス信号が第 1 段目の F / F 2 9 0 _ 1 に入力され、このパルス信号の入力と同時に、クロック信号 I C L 及びクロック反転信号 I C L B が F / F 2 9 0 _ 1 に入力されることで、n 個の F / F 2 9 0 から構成されるシフトレジスタが動作し始める。第 1 段目の F / F 2 9 0 _ 1 の出力信号 M S W _ 1 がハイレベルになると、この F / F 2 9 0 _ 1 が設けられている R G B D / I 変換部 2 2 0 c 内の 1 出力 D / I 変換部 2 3 0 c に設けられているスイッチ S W 2 3 a 及び S W 2 3 b がオンとなる。スイッチ S W 2 3 a 及び S W 2 3 b がオンとなると、1 出力 D / I 変換部 2 3 0 c の電流記憶用 T F T T 2 3 は、そのゲート - ドレイン間がショートされているため、飽和領域で動作する。その後、安定状態になると、T F T T 2 3 のドレイン - ソース間に基準電流源からの基準電流が流れるように、T F T T 2 3 の電流能力に合わせてそのゲート電圧が設定される。

30

【 0 1 3 0 】

安定状態になった後に、信号 M S W _ 1 がロウレベルになると共に、第 2 段目の F / F の出力信号 M S W _ 2 がハイレベルになると、F / F 2 9 0 _ 1 が設けられた R G B D / I 変換部 2 2 0 c 内の 1 出力 D / I 変換部 2 3 0 c のスイッチ S W 2 3 a 及び S W 2 3 b がオフになる。この時、F / F 2 9 0 _ 1 が設けられた R G B D / I 変換部 2 2 0 c 内の 1 出力 D / I 変換部 2 3 0 c の容量素子 C 2 によって、T F T T 2 3 が基準電流を流すような電圧が保持される。容量素子 C 2 の一端は、出力用 T F T T 2 0 乃至 T 2 2 のゲートに接続されているので、出力用 T F T T 2 0 乃至 T 2 2 は、T F T T 2 3 に対する夫々の電流能力比に対応して、夫々 1 階調目に対応する電流、2 階調目に対応する電流、4 階調目に対応する電流を流すことができる。このような、信号 M S W がハイレベルとなっている期間を、その R G B D / I 変換部 2 2 0 c における 3 出力電流記憶期間とする。一方、第 2 段目の F / F が設けられた R G B D / I 変換部 2 2 0 c 内のスイッチ S W 2 3 a 及び S W 2 3 b はオンとなり、安定した状態では、T F T T 2 3 のドレイン - ソース間に基準電流が流れるように飽和領域で動作し、その基準電流が流れるように、T F T T 2 3 の電流能力に合わせてゲート電圧が設定される。

40

50

【 0 1 3 1 】

電流記憶期間では、上述のような3出力電流記憶期間が、全てのRGB D / I変換部220cについて繰り返され、全ての1出力D / I変換部230cに基準電流が記憶される。

【 0 1 3 2 】

電流駆動期間（第1の動作期間）においては、垂直走査回路300が1行ずつ制御線を選択していく。

【 0 1 3 3 】

走査パルスY₁がハイレベルになると、第1行目の制御線が選択され、これに同期して出力数分の第1行目の3ビットデジタル階調データD₀乃至D₂が出力毎に1出力D / I変換部230cに入力される。デジタル階調データD₀乃至D₂が入力されると、これらのレベル（ハイレベル（H）/ロウレベル（L））に応じてスイッチSW₂₀乃至SW₂₂のオン/オフが制御され、直前のフレームの電流駆動期間で記憶されていた電流が各TF_{TT}2₀乃至TF_{TT}2₂の電流能力に応じて出力される。この結果、表1に示すような階調表現が可能となる。従って、出力電流値は、0から7×i₀まで、入力されるデジタル階調データによって、調整することができる。また、電流記憶期間（第2の動作期間）で電流能力のばらつきに合わせて基準電流を記憶し、近接領域では電流能力のばらつきが小さいとしているので、大きな領域での電流能力ばらつきに関係なく、電流ばらつきは小さく、高い精度が得られる。

【 0 1 3 4 】

一方、電流駆動期間（第1の動作期間）では、シフトレジスタは動作せず、全てのスイッチSW_{23a}及びSW_{23b}は常にオフのままである。

【 0 1 3 5 】

そして、以上のような動作を各フレームについて繰り返すことにより、表示部400において階調データD₀乃至D₂に応じた表示が行われ、その際、高精度な電流が画素回路に供給される。

【 0 1 3 6 】

このような第13の実施例によれば、基準電流が第1の実施例における基準電流の最低値の4倍であるため、基準電流を流す配線の負荷の充放電を高速に行うことができ、素早く安定状態にすることができる。従って、電流記憶期間を短縮して電流駆動期間を長くすることができるため、より一層精度の高い電流を表示部内の画素に供給することができる。

【 0 1 3 7 】

なお、第13の実施例に対して、第2乃至第12の実施例のように、画素回路が図38（b）に示すような構成の場合にトランジスタの極性を変えてもよく、スイッチとしてトランジスタを使用してもよく、スイッチSW_{23a}及びSW_{23b}のオフのタイミングを互いにずらすことやトランジスタを追加することで出力電流精度を上げてよい。更に、例えばTF_{TT}2₃の電流能力をTF_{TT}2₂の電流能力よりも大きくすることで、基準電流の最低値をより大きくすることができる。この場合、電流記憶期間を短縮し、電流駆動期間を長くすることができるため、表示部内の画素への配線が持つ負荷等の充放電時間をより長く確保することができるようになり、より一層高い精度の電流を画素に供給することができる。

【 0 1 3 8 】

次に、本発明の第14の実施例について説明する。第14の実施例は、第13の実施例における1出力D / I変換部の構成を変更したものであり、例えば図38（a）に示す画素回路に対して適用されるものであり、近接領域の電流能力ばらつきがやや小さい場合に使用することができる。図21は本発明の第14の実施例における1ビットD / I変換部の構成を示すブロック図である。

【 0 1 3 9 】

第14の実施例における1出力D / I変換部230dにおいては、TF_{TT}2₃が設けられておらず、スイッチSW_{23a}の一端がTF_{TT}2₂のドレインに接続されている。ま

10

20

30

40

50

た、スイッチSW23bはTF TT 22のドレインとソースとの間に接続されている。

【0140】

なお、第13の実施例と同様に、基準電流の電流値は、発光色が赤、青、緑である夫々の電流輝度特性に合わせており、基準電流IR2の電流値ir2は発光色が赤の4階調目に対応し、基準電流IG2の電流値ig2は発光色が緑の4階調目に対応し、基準電流IB2の電流値ib2は、発光色が青の4階調目に対応している。つまり、赤(R)表示用の1出力D/I変換部230dに供給される基準電流は赤表示用の発光素子の4階調目の輝度に対応する基準電流IR2である。但し、発光素子の電流-輝度特性が比例関係を有するので、1階調目に対応する電流値をir0とすると、 $ir2 = 4 \times ir0$ となる。同様に、緑(G)表示用又は青(B)表示用の1出力D/I変換部230cには、夫々基準電流IG2又はIB2が入力される。従って、本実施例では、入力される基準電流の最小値は、第1の実施例の4倍となる。なお、基準電流を4階調目に対応させた理由は、後述のように、1出力D/I変換部230dの出力用TF TT 20、T21の電流能力と電流を記憶・出力するTF TT 22の電流能力とを1:2:4になるように設計したためである。

10

【0141】

このように構成された第14の実施例に係る発光表示装置用半導体装置も、第1の実施例と同様に、図4に示すタイミングチャートに基づいて動作する。

【0142】

第14の実施例における電流記憶期間(第2の動作期間)において、各1出力D/I変換部230dは夫々に基準電流源から供給された基準電流(IR2、IG2又はIB2のいずれか)を記憶する。ここで、本期間においては、全デジタル階調データをロウレベルとし、1出力D/I変換部230dのスイッチSW20乃至SW22は、オフである。

20

【0143】

電流記憶期間の開始と共に、スタート信号ISTとしてパルス信号が第1段目のF/F290__1に入力され、このパルス信号の入力と同時に、クロック信号ICL及びクロック反転信号ICLBがF/F290__1に入力されることで、n個のF/F290から構成されるシフトレジスタが動作し始める。第1段目のF/F290__1の出力信号MSW__1がハイレベルになると、このF/F290__1が設けられているRGB D/I変換部220c内の1出力D/I変換部230dに設けられているスイッチSW23a及びSW23bがオンとなる。スイッチSW23a及びSW23bがオンとなると、1出力D/I変換部230dの電流記憶・出力用TF TT 22は、そのゲート-ドレイン間がショートされるため、飽和領域で動作する。その後、安定状態になると、TF TT 22のドレイン-ソース間に基準電流源からの基準電流が流れるように、TF TT 22の電流能力に合わせてそのゲート電圧が設定される。

30

【0144】

安定状態になった後に、信号MSW__1がロウレベルになると共に、第2段目のF/Fの出力信号MSW__2がハイレベルになると、F/F290__1が設けられたRGB D/I変換部220c内の1出力D/I変換部230dのスイッチSW23a及びSW23bがオフになる。この時、F/F290__1が設けられたRGB D/I変換部220c内の1出力D/I変換部230dの容量素子C2によって、TF TT 22が基準電流を流すような電圧が保持される。容量素子C2の一端は、出力用TF TT 20及びT21のゲートに接続されているので、出力用TF TT 20乃至T22は、夫々の電流能力比に対応して、1階調目に対応する電流、2階調目に対応する電流、4階調目に対応する電流を流すことができる。このような、信号MSWがハイレベルとなっている期間を、そのRGB D/I変換部220cにおける3出力電流記憶期間とする。一方、第2段目のF/Fが設けられたRGB D/I変換部220c内のスイッチSW23a及びSW23bはオンとなり、安定した状態では、TF TT 22のドレイン-ソース間に基準電流が流れるように飽和領域で動作し、その基準電流が流れるように、TF TT 22の電流能力に合わせてゲート電圧が設定される。

40

50

【 0 1 4 5 】

電流記憶期間では、上述のような3出力電流記憶期間が、全てのRGB D / I変換部220cについて繰り返され、全ての1出力D / I変換部230dに基準電流が記憶される。

【 0 1 4 6 】

電流駆動期間（第1の動作期間）においては、垂直走査回路300が1行ずつ制御線を選択していく。

【 0 1 4 7 】

走査パルスY₁がハイレベルになると、第1行目の制御線が選択され、これに同期して出力数分の第1行目の3ビットデジタル階調データD₀乃至D₂が出力毎に1出力D / I変換部230dに入力される。デジタル階調データD₀乃至D₂が入力されると、これらのレベル（ハイレベル（H）/ロウレベル（L））に応じてスイッチSW₂₀乃至SW₂₂のオン/オフが制御され、直前のフレームの電流駆動期間で記憶されていた電流が各TF_{TT}₂₀乃至TF_{TT}₂₂の電流能力に応じて出力される。この結果、表1に示すような階調表現が可能となる。従って、出力電流値は、0から7×i₀まで、入力されるデジタル階調データによって、調整することができる。また、電流記憶期間（第2の動作期間）で4階調目に対応する基準電流をTF_{TT}₂電流能力ばらつきに合わせて記憶し、TF_{TT}₂にて4階調目に対応する電流を出力しているため、4階調目に対応する電流として高い精度の電流を出力できる。更に、TF_{TT}₂₀及びTF_{TT}₂₁にて出力する電流は、夫々1階調目、2階調目に対応するものであるが、これらの電流値は、4階調目の電流の半分以下であり、電流能力ばらつきによって電流値が変動しても、その影響は、4階調目がばらついた場合と比較すれば小さい。従って、近接領域に電流ばらつきがいくらかある場合でも、精度の高い電流を供給することができる。

【 0 1 4 8 】

一方、電流駆動期間（第1の動作期間）では、シフトレジスタは動作せず、全てのスイッチSW_{23a}及びSW_{23b}は常にオフのままである。

【 0 1 4 9 】

そして、以上のような動作を各フレームについて繰り返すことにより、表示部400において階調データD₀乃至D₂に応じた表示が行われ、その際、高精度な電流が画素回路に供給される。

【 0 1 5 0 】

このような第14の実施例によれば、基準電流が第1の実施例における基準電流の最低値の4倍であるため、基準電流を流す配線の負荷の充放電を高速に行うことができ、素早く安定状態にすることができる。従って、電流記憶期間を短縮して電流駆動期間を長くすることができるため、表示部内の画素への配線が持つ負荷等の充放電時間を長く確保することが可能である。このため、より一層高い精度の電流を画素に供給することができる。

【 0 1 5 1 】

なお、第14の実施例に対して、第2乃至第10の実施例のように、画素回路が図38（b）に示すような構成の場合にトランジスタの極性を変えてもよく、スイッチとしてトランジスタを使用してもよく、スイッチSW_{23a}及びSW_{23b}のオフのタイミングを互いにずらすことやトランジスタを追加することで出力電流精度を上げてよい。更に、TF_{TT}₂₂のみ電流を記憶・出力するトランジスタとするのではなく、TF_{TT}₂₁をも電流を記憶・出力するようにし、基準電流を増やすことで、更に近接領域がばらついた場合でも、より高い精度の電流を供給することができるようになる。

また、例えば、第13又は第14の実施例の発光表示装置用半導体装置において、第13又は14の実施例の1出力D / I変換回路に第1乃至12の実施例の1ビットD / I変換回路を1又は複数追加することで、1又は複数ビット分の精度を高めることが可能となる。

【 0 1 5 2 】

次に、本発明の第15の実施例について説明する。第15の実施例は、例えば図38（a

10

20

30

40

50

)に示す画素回路に対して適用されるものである。図22は本発明の第15の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

【0153】

第15の実施例には、D/I変換部210dが設けられており、このD/I変換部210dに、発光表示装置への出力数(3×n)分の1出力D/I変換部230e、及び3出力毎に設けられたn個のフリップフロップ(F/F)290c₁乃至290c_nから構成されたシフトレジスタが設けられている。シフトレジスタには、電流を記憶するタイミング制御のためのスタート信号IST、クロック信号ICL、このクロック信号ICLの反転信号ICLB及び電流セクタ信号ISEL1が入力される。また、1出力D/I変換部230eには、各出力のデジタル画像データD0乃至D2が入力され、参照するための基準電流IR0乃至IR2、IG0乃至IG2、IB0乃至IB2のいずれかがそれに割り当てられた発光色に応じて入力される。基準電流は、発光色が赤、青、緑である夫々の発光素子の電流-輝度特性にあった電流値であり、基準電流IR0の電流値ir0は発光色が赤の発光素子の1階調目に対応し、基準電流IR1の電流値ir1は発光色が赤の発光素子の2階調目に対応し、基準電流IR2の電流値ir2は発光色が赤の4階調目に対応する。同様に、基準電流IG0乃至IG2の電流値は、夫々発光色が緑の1階調目、2階調目、4階調目に対応し、基準電流IB0乃至IB2は、夫々発光色が青の1階調目、2階調目、4階調目に対応する。また、1出力D/I変換部230eには、電流セクタ信号ISEL1及びISEL2が入力される。1個のF/F290cと、このF/F290cから出力された信号MSWA及びMSWBが入力される3個の1出力D/I変換部230eとから1個のRGB D/I変換部220dが構成されている。

【0154】

図23は1出力D/I変換部230eの構成を示すブロック図である。1出力D/I変換部230eは、夫々3個の1ビットD/I変換部231により構成される出力ブロック240a及び240b並びにデータ作成回路232が設けられている。また、夫々電流セクタ信号ISEL1及びISEL2により制御され、出力ブロック240a及び240bのうち、どちらのブロックから電流を出力するかを選択するスイッチSW31、SW32が設けられている。データ作成回路232は、1出力分のデジタル階調データD0乃至D2並びに電流セクタ信号ISEL1及びISEL2に基づいて、データ信号D0A乃至D2A及びD0B乃至D2Bを生成する。データ信号D0A乃至D2Aは出力ブロック240aに入力され、データ信号D0B乃至D2Bは出力ブロック240-2に入力される。また、出力ブロック240aには、F/F290cの出力信号MSWAが入力され、出力ブロック240bには、F/F290cの出力信号MSWBが入力される。また、出力ブロック240a及び240bには、参照するための基準電流I0乃至I2が入力される。なお、1ビットD/I変換部231は、第1の実施例のものと同様の構成を有しており、発光素子の電流-輝度特性が比例関係を有するので、 $ir1 = 2 \times ir0$ 及び $ir2 = 4 \times ir0$ の関係が成り立つ。同様に、緑(G)表示用又は青(B)表示用の1出力D/I変換部230に設けられている1ビットD/I変換部231であって、階調データD0、D1、D2が入力されるものには、夫々基準電流IG0又はIB0、基準電流IG1又はIB1、基準電流IG2又はIB2が入力される。

【0155】

図24はデータ作成回路232の一例の構成を示す回路図である。データ作成回路232には、例えば電流セクタ信号ISEL1を1入力とするナンドゲートNAND0A乃至NAND2A、夫々これらの出力を反転するインバータIV0A乃至IV2A、電流セクタ信号ISEL2を1入力とするナンドゲートNAND0B乃至NAND2B、夫々これらの出力を反転するインバータIV0B乃至IV2Bが設けられている。ナンドゲートNAND0A及びNAND0Bには、階調データD0が更に入力され、ナンドゲートNAND1A及びNAND1Bには、階調データD1が更に入力され、ナンドゲートNAND2A及びNAND2Bには、階調データD2が更に入力される。そして、インバータIV0A乃至IV2A及びIV0B乃至IV2Bから、夫々データ信号D0A乃至D2A及び

D 0 B 乃至 D 2 B が出力される。但し、この構成は一例であり、同様の信号を出力できれば、他の構成をとってもよい。

【 0 1 5 6 】

次に、上述のように構成された第 1 5 の実施例に係る発光表示装置用半導体装置の動作について説明する。図 2 5 は本発明の第 1 5 の実施例に係る発光表示装置用半導体装置の動作を示すタイミングチャートである。

【 0 1 5 7 】

表示部 4 0 0 (図 3 5 参照) を垂直走査し始めてから、次の垂直走査が始まるまでを 1 フレームとする。本実施例の場合、互いに排他的な電流セレクト信号 I S E L 1 及び I S E L 2 の一方がハイレベルになる 2 種類のフレームが交互に現れる。

10

【 0 1 5 8 】

まず、第 1 のフレームについて説明する。第 1 のフレームでは、電流セレクト信号 I S E L 1 がハイレベル、電流セレクト信号 I S E L 2 がロウレベルになる。この場合、出力ブロック 2 4 0 a 及び 2 4 0 b において、デジタル画像データ D A 0 乃至 D A 2 が入力される第 1 の出力ブロック 2 4 0 a では、スイッチ S W 1 がオンし、電流を出力する。一方、デジタル画像データ D B 0 乃至 D B 2 が入力される第 2 の出力ブロック 2 4 0 b では、スイッチ S W 2 がオフし、電流を記憶する。より詳細には、出力ブロック 2 4 0 b 内の 1 ビット D / I 変換部 2 3 1 が、基準電流 I R 0 乃至 I R 2、I G 0 乃至 I G 2、I B 0 乃至 I B 2 のいずれか 1 つを記憶する。但し、本フレームにおいて、デジタル階調データ D B 0 乃至 D B 2 はロウレベルにあり、出力ブロック 2 4 0 b 内の 1 ビット D / I 変換部 2 3 1 のスイッチ S W 1 はオフとなっている。

20

【 0 1 5 9 】

次に、出力ブロック 2 4 0 b の電流を記憶する動作について説明する。

【 0 1 6 0 】

第 1 のフレームの開始と共に、スタート信号 I S T としてパルス信号が第 1 段目の F / F 2 9 0 c _ 1 に入力され、このパルス信号の入力と同時に、クロック信号 I C L 及びクロック反転信号 I C L B が F / F 2 9 0 c _ 1 に入力されることで、n 個の F / F 2 9 0 から構成されるシフトレジスタが動作し始める。第 1 段目の F / F 2 9 0 c _ 1 の出力信号 M S W B _ 1 がハイレベルになると、この出力信号 M S W B _ 1 が入力される 1 出力 D / I 変換部 2 3 0 e に設けられた出力ブロック 2 4 0 b の各 1 ビット D / I 変換部 2 3 1 の

30

【 0 1 6 1 】

安定状態になった後に、信号 M S W B _ 1 がロウレベルになると共に、第 2 段目の F / F の出力信号 M S W B _ 2 がハイレベルになると、F / F 2 9 0 _ 1 が設けられた R G B D / I 変換部 2 2 0 d 内の 1 出力 D / I 変換部 2 3 0 e に設けられた出力ブロック 2 4 0 b 内のスイッチ S W 2 及び S W 3 がオフとなる。この時、F / F 2 9 0 _ 1 が設けられた R G B D / I 変換部 2 2 0 d 内の出力ブロック 2 4 0 b の T F T T 1 のゲート電圧は、容量素子 C 1 によって基準電流が流れるような電圧に保持される。この結果、T F T T 1 には、夫々の電流能力に関わらず、基準電流が記憶される。このような、信号 M S W がハイレベルとなっている期間を、その R G B D / I 変換部 2 2 0 d における 3 出力電流記憶期間とする。一方、第 2 段目の F / F が設けられた R G B D / I 変換部 2 2 0 d 内の出力ブロック 2 4 0 b のスイッチ S W 2 及び S W 3 はオンとなり、安定した状態では、その 1 ビット D / I 変換部 2 3 1 の T F T T 1 のドレイン - ソース間に基準電流が流れるように飽和領域で動作し、その基準電流が流れるように、T F T T 1 の電流能力に合わせてゲート電圧が設定される。

40

【 0 1 6 2 】

50

第1のフレーム期間では、上述のような3出力電流記憶期間が、全てのRGBD/I変換部220d内の第2の出力ブロック240bについて繰り返され、全ての1出力D/I変換部230eの第2の出力ブロック240bに基準電流が記憶される。

【0163】

次に、第1のフレームにおける第1の出力ブロック240aの動作について説明する。第1のフレームで、垂直走査回路300が1行ずつ制御線を選択していく。図25には、第1行目、第2行目の出力である走査パルスY₁、Y₂を示している。

【0164】

走査パルスY₁がハイレベルになると、第1行目の制御線が選択され、これに同期して出力数分の第1行目の3ビットデジタル階調データD₀乃至D₂が出力毎に1出力D/I変換部230e内の第1の出力ブロック240aに入力される。デジタル階調データD₀乃至D₂が入力されると、これらのレベル(ハイレベル(H)/ロウレベル(L))に応じて1ビットD/I変換部231内のスイッチSW1のオン/オフが制御され、直前のフレームの電流駆動期間でTF₁に記憶されていた電流が出力され、階調表現が行われる。

【0165】

表1に示すように、出力電流値は、0から7×i₀まで、入力されるデジタル階調データによって、調整することができる。また、直前のフレームでTF₁の電流能力に合わせて、基準電流源と同等な電流が流れるようにゲート電圧が設定され、同じTF₁を使用して出力しているため、電流能力ばらつきに関係なく、出力電流のばらつきは小さく、高い精度が得られる。

【0166】

一方、第1のフレームでは、シフトレジスタの出力MSWAは、常にロウレベルであり、全ての出力ブロック240a内のスイッチSW2及びSW3は常にオフのままである。

【0167】

次の第2のフレームでは、電流セクタ信号ISEL₁をロウレベル、電流セクタ信号ISEL₂をハイレベルとすることで、第1の出力ブロック240aの動作と、第2の出力ブロック240bの動作とを入れ替える。この結果、第1の出力ブロック240aは電流を記憶し、第2の出力ブロック240bは電流を出力する。

【0168】

2フレーム毎に以上の動作を繰り返すことにより、本実施例は、高精度な電流を画素回路に供給することができる。更に、本実施例では、1出力に2個の出力ブロックが設けられているので、各フレームにおいて、一方の出力ブロックを電流を出力するために使用し、他方の出力ブロックは電流を記憶するために使用することができ、電流記憶期間を別に設ける必要がない。これにより、1フレーム期間がすべて電流駆動期間となり、表示部内の画素への配線が持つ負荷等の充放電時間を長く確保することが可能となる。従って、より一層高い精度の電流を画素に供給することができる。

【0169】

なお、第15の実施例に対して、第2乃至第14の実施例を適用してもよく、同様な効果を得ることができる。

【0170】

また、電流記憶の周期は、1フレーム毎に限定されるものではなく、数フレーム毎となってもよい。電流記憶の周期を数フレーム毎にすることにより、電流記憶の期間が長くなるため、より一層高い精度で電流を記憶することができるようになる。但し、記憶時の電流に対応するゲート電圧に、トランジスタのリーク等により求められる精度以下の変動が生じないことが必要とされる。

【0171】

次に、本発明の第16の実施例について説明する。第16の実施例は、1出力D/I変換部の後段にプリチャージ回路を設けたものである。図26は本発明の第16の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

【0172】

第16の実施例には、D/I変換部210eが設けられている。D/I変換部210eは、各1出力D/I変換部230eの後段に、夫々プリチャージ回路250が設けられている点を除いて、第16の実施例におけるD/I変換部210dと同様の構成を有している。プリチャージ回路250には、プリチャージ信号PC入力される。

【0173】

プリチャージ回路250は、プリチャージ信号により設定される期間に、D/I変換部210dの各出力において、1出力D/I変換部230eの出力電流の代わりに、その1出力D/I変換部の出力電流により決まる電圧を出力する。図27はプリチャージ回路250の構成例を示す回路図である。プリチャージ回路250には、プリチャージ信号PCにより制御されるNチャンネルトランジスタT31乃至T33及びPチャンネルトランジスタT34が設けられている。トランジスタT31及びT32の一端には、1出力D/I変換部230eからの出力電流IOUTが入力され、トランジスタT31の他端には、擬似負荷回路252及びオペアンプ251の非反転入力端子が接続されている。擬似附加回路252において、トランジスタT33の一端がトランジスタT31に接続され、トランジスタT33の他端にPチャンネルトランジスタT35のゲートが接続されている。トランジスタT35のソースには電圧VELが供給され、他端はトランジスタT31に接続されている。オペアンプ251の反転入力端子には、オペアンプ251自体の出力信号が入力され、トランジスタT32の一端は、オペアンプ251の出力端子に接続され、他端はトランジスタT34の他端に接続されている。トランジスタT32及びT34の共通接続点から発光素子の駆動電流が出力される。

【0174】

このようなプリチャージ回路250においては、トランジスタT34により、1出力D/I変換部230eの出力電流IOUTを出力電流Ioutとして直接出力するか、擬似負荷回路252に出力するかが決定される。また、トランジスタT32により、オペアンプ251の出力をD/I変換部210eの出力とするかがどうか決定される。更に、オペアンプ251は、その出力を反転入力に負帰還しているため、非反転入力に入力される電圧をボルテージフォロウ出力する。また、トランジスタT35は、表示部400内の画素回路(図38(a))のTF102と同じトランジスタ、又は同等の電流能力を有するトランジスタである。但し、擬似負荷回路252としては、トランジスタT35のゲート-ドレイン間を短絡し、トランジスタT33を設けない構成としてもよい。また、トランジスタT31、T32及びT34は、スイッチとして作用するため、例えばプリチャージ信号PCの極性によっては、逆の極性のトランジスタとすることもでき、また、プリチャージ信号PC自体及びその反転信号を入力する構成とすれば、どのような極性のトランジスタを使用することも可能である。

【0175】

次に、プリチャージ回路250の動作について説明する。図28はプリチャージ回路250の動作を示すタイミングチャートである。

【0176】

本実施例においては、1ライン選択期間がプリチャージ信号PCのレベルにより、第1の期間と第2の期間とに分けられる。

【0177】

第1の期間では、プリチャージ信号PCがハイレベルとなっており、プリチャージ期間である。走査パルスY₁がハイレベルになると、第1行目の制御線が選択され、これに同期して出力数分の第1行目の3ビットデジタル階調データD0乃至D2が出力毎に1出力D/I変換部230eに入力される。1出力D/I変換部230eは、入力されたデジタル階調データDA0乃至DA2から表1に示す関係に従って電流を出力する。この時、プリチャージ信号PCがハイレベルとなっていれば、プリチャージ回路250内のトランジスタT34がオフ、トランジスタT31及びT32がオンとなる。よって、プリチャージ回路250において、1出力D/I変換部230eの出力電流が擬似負荷回路252に流れ

る。擬似負荷回路 252 には、トランジスタ T35 が設けられているため、出力電流 I_{out} が安定して流れた場合、トランジスタ T35 のゲート電圧は出力電流 I_{out} が表示部内の画素回路に安定して流れた場合のゲート電圧とほぼ同じ電圧となる。そして、この電圧は、オペアンプ 252 により構成されたボルテージフォロワの入力となり、このプリチャージ期間ではトランジスタ T32 がオンとなっているため、ボルテージフォロワの出力が D/I 変換部 210e の出力となる。よって、本期間において、表示部内の画素回路にトランジスタ T35 のゲート電圧を印加することができる。

【0178】

擬似負荷回路 252 は、画素回路よりも 1 出力 D/I 変換部 230e の近くにあり、充放電する必要がある配線負荷等が極めて小さいため、1 出力 D/I 変換部 230e の一定出力電流をトランジスタ T35 に安定して流すという動作は、1 出力 D/I 変換回路の一定出力電流で表示部内の画素回路を駆動する場合と比較すると、出力電流値が低い場合でも、非常に高速に行うことができる。また、トランジスタ T35 のゲート電圧を表示部内の画素回路に印加するという動作も、ボルテージフォロワという低インピーダンスの出力にて行われるため、高速に実現できる。

【0179】

第 2 の期間は、プリチャージ信号 PC がロウレベルとなっており、電流出力期間である。プリチャージ信号 PC がロウレベルとなっている場合、プリチャージ回路 250 内のトランジスタ T34 がオン、トランジスタ T31 及び T32 がオフとなる。よって、プリチャージ回路 250 において、1 出力 D/I 変換部 230e の出力電流がそのまま出力され、表示部内の画素回路が駆動される。この時、第 1 の期間で、プリチャージ動作が行われているため、表示部内の画素回路には、1 出力 D/I 変換部 230e の出力電流が安定して流れた場合に近い電圧が印加されている。従って、第 2 の期間では、トランジスタ T35 と表示部内の画素回路にあるトランジスタ FT102 (図 38(a)) の間の電流能力ばらつきを補正するという動作、及び表示部内の画素回路に出力電流 I_{out} を安定して流して駆動するという動作が行われる。この結果、第 2 の期間において配線負荷等を充放電する量は小さくて済む。従って、第 2 の期間は、プリチャージ動作を行わない場合に比べ、期間を短縮することができる。また、プリチャージ動作によって安定な電圧を出力した後、電流駆動を行うために 1 ライン選択期間の前の状態に影響されることなく動作が可能である。

【0180】

その後、走査パルス Y₁ がロウレベル、走査パルス Y₂ がハイレベルになり、第 2 行目の制御線が選択され、同じ動作が繰り返される。以上の動作によって、表示部内の画素回路をより一層高い精度の電流により高速に駆動できる。

【0181】

なお、第 16 の実施例の 1 出力 D/I 変換部として第 1 乃至第 15 の実施例を適用してもよく、また、電流を供給する回路・半導体装置が、本発明に含まれていないような場合に適用しても、同様の効果を得ることができる。

【0182】

次に、第 17 の実施例について説明する。第 17 の実施例は、第 16 の実施例におけるプリチャージ回路の構成を変更したものである。図 29 は本発明の第 17 の実施例におけるプリチャージ回路の構成を示すブロック図である。

【0183】

第 17 の実施例におけるプリチャージ回路 250a には、プリチャージ信号 PC が入力される N チャンネルトランジスタ T36 並びに P チャンネルトランジスタ T37 及び T38 が、プリチャージ回路 250 の構成要素に加えて設けられている。トランジスタ T38 は、オペアンプ 251 の出力端子と反転入力端子との間に接続されている。また、オペアンプ 251 の出力端子には容量素子 C3 が入力され、その他端と反転入力端子との間にトランジスタ T36 が接続され、非反転入力端子との間にトランジスタ T37 が接続されている。

【0184】

このように構成されたプリチャージ回路250aは、よく知られたオペアンプ251のオフセット電圧をキャンセルする回路を備え、電流駆動期間にオフセットキャンセル動作を行うことにより、オペアンプ251のオフセット電圧の影響を受けず、プリチャージ動作を行うことができる。他の動作は、第16の実施例におけるプリチャージ回路250の動作と同様である。

【0185】

次に、本発明の第18の実施例を図32に示す。第18の実施例は、入力されるデジタルデータ信号を保持するデータレジスタ203と、その保持するタイミングと同期した走査信号を出力するデータシフトレジスタ202と、ラッチ信号に同期して全データレジスタの信号を保持し、D/I変換部210に出力するデータラッチ204と、デジタルデータ信号に従って電流を出力するD/I変換部210とを備える水平駆動回路200である。D/I変換部210は、プリチャージ回路を含んでも良い。さらに、D/I変換部210は、本発明の第1乃至第17のいずれかの実施例のD/I変換部で構成されて良い。

10

【0186】

次に、本発明の第19の実施例を図33に示す。第19の実施例は、第18の実施例のD/I変換部210の出力が、セレクト回路211によって、順次複数の表示部400のデータ線に接続できるようにしたことで、回路規模を増やすことなく駆動できるデータ線、画素回路を増やすことができる。

【0187】

次に、本発明の第20の実施例を図34に示す。第20の実施例は、第18の実施例に基準電流を作成する基準電流源212を水平駆動回路200に内蔵したものである。

20

【0188】

本発明の第1乃至20の実施例では、トランジスタをTFTで説明しているが、より一般的なトランジスタで構成されて良く、1つの表示部に対し、複数の水平駆動回路200を使用しても良い。また、全てのトランジスタをTFTで作成することで、表示部400、水平駆動回路200及び垂直走査回路300を同じ基板上に形成してもよい。この場合、本発明の実施例におけるプリチャージ回路の負荷(回路)を表示部400の負荷と同じ構成の負荷(回路)を作成することで、より高精度なプリチャージが実現できる。

【0189】

また、本発明の第1乃至20の実施例では、カラー(R、G、B)で電流-輝度特性が比例関係である発光素子を備えた発光表示装置を、夫々0階調~7階調表示の3ビットデジタル階調データが入力する4096色表示で駆動する実施例について説明しているが、単色の場合、又はより多ビットの場合にも、同様な構成をそのまま拡張することができる。また、トランジスタを全てTFTとしているが、より一般のトランジスタでも、本発明は同様な構成により実現できる。さらに、アクティブマトリックス方式の画素回路として、図38(a)を仮定しているが、他の電流駆動方式の画素回路にも、また、単純マトリックス方式の画素に対しても、本発明は、同様な構成によって実現できる。

30

【0190】

以上のような実施例は、発光表示素子を備える発光表示装置において説明しているが、より一般的な電流負荷素子を備える電流負荷デバイスに対しても適用される。

40

【0191】**【発明の効果】**

以上詳述したように、本発明によれば、高精度の電流を電流負荷デバイスのセル(回路)に供給することができる。これは、デジタル/電流変換装置内のトランジスタのドレイン-ソース間に基準電流が安定に流れる状態のゲート-ソース間電圧を記憶することにより、トランジスタの電流能力ばらつきに影響を受けることなく、精度の高い電流を記憶することができる。更に電流を記憶したトランジスタにて電流を出力するためである。また、近接領域における電流能力ばらつきに従って、電流を記憶して出力するトランジスタの数を増減することもできる。記憶する電流が少なく、その電流値が大きい場合には、記憶する時間を短縮でき、出力する(駆動する)時間を延ばすことで、電流負荷デバイス内のデー

50

夕線や画素の負荷を充放電のための時間が長く確保することができる。従って、より一層高精度の電流負荷デバイスのセル（回路）に供給することができる。また、出力端子毎に電流記憶用のトランジスタ及び電流出力用のトランジスタを設け、それをフレームごとに入れ替えることで、別途に記憶期間を必要としなくなり、出力する（駆動する）時間を延ばすことができる。この結果、更に高精度の電流を電流負荷デバイスのセル（回路）に供給することができる。

【0192】

また、デジタル／電流変換装置の出力と電流負荷デバイスとの間に、擬似負荷回路を備えたプリチャージ回路を備えることで、出力電流値が低い場合でも、電流かデバイスの画素（回路）を高速に駆動することができる。これは、出力の初期段階には、デジタル／電流変換装置の電流出力により、擬似負荷回路を高速に駆動し、擬似負荷回路から得られる電圧をボルテージフォロワにて電流負荷デバイス内のセル（回路）に供給して、ほぼデジタル／電流変換装置の電流出力が電流負荷デバイス内のセル（回路）に印加された場合の電圧を高速に印加することができ、その後、直接、デジタル／電流変換装置の電流出力にて電流負荷デバイス内のセル（回路）を駆動し、補正するという動作を行うことで、定電流による電流負荷デバイス内の画素や信号線の負荷の充放電量を減らすことができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

【図2】1出力D/I変換部230の構成を示すブロック図である。

【図3】1ビットD/I変換部231の構成を示すブロック図である。

【図4】本発明の第1の実施例に係る電流負荷デバイス駆動用半導体装置の動作を示すタイミングチャートである。

【図5】本発明の第2の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図6】本発明の第3の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図7】本発明の第4の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図8】本発明の第5の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図9】本発明の第6の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図10】本発明の第7の実施例に係る発光表示装置用半導体装置の構成を示すブロック図である。

【図11】1出力D/I変換部230aの構成を示すブロック図である。

【図12】1ビットD/I変換部231fの構成を示すブロック図である。

【図13】本発明の第7の実施例に係る電流負荷デバイス駆動用半導体装置の動作を示すタイミングチャートである。

【図14】本発明の第8の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図15】本発明の第9の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

【図16】1出力D/I変換部230bの構成を示すブロック図である。

【図17】1ビットD/I変換部231hの構成を示すブロック図である。

【図18】本発明の第10の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図19】本発明の第13の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

10

20

30

40

50

【図20】1出力D/I変換部230cの構成を示すブロック図である。

【図21】本発明の第14の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図22】本発明の第15の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

【図23】1出力D/I変換部230eの構成を示すブロック図である。

【図24】データ作成回路232の一例の構成を示す回路図である。

【図25】本発明の第15の実施例に係る電流負荷デバイス駆動用半導体装置の動作を示すタイミングチャートである。

【図26】本発明の第16の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

10

【図27】プリチャージ回路250の構成を示す回路図である。

【図28】プリチャージ回路250の動作を示すタイミングチャートである。

【図29】本発明の第17の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図30】本発明の第11の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図31】本発明の第12の実施例における1ビットD/I変換部の構成を示すブロック図である。

【図32】本発明の第18の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

20

【図33】本発明の第19の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

【図34】本発明の第20の実施例に係る電流負荷デバイス駆動用半導体装置の構成を示すブロック図である。

【図35】供給される電流により輝度が決定される発光素子が各画素にある発光表示装置の構成を示す図である。

【図36】単純マトリクス駆動の場合の1画素表示部の構成を示す回路図である。

【図37】アクティブマトリクス駆動の場合の1画素表示部の構成を示す回路図である。

30

【図38】(a)及び(b)はアクティブマトリクス駆動の場合の1画素表示部の他の構成を示す回路図である。

【図39】表示部400に電流を出力するための水平駆動回路200の構成の一例を示すブロック図である。

【図40】1出力分のデジタル/電流変換部の第1の従来例を示す回路図である。

【図41】1出力分のデジタル/電流変換部の第2の従来例を示す回路図である。

【符号の説明】

210、210a～210d：D/I変換部

220、220a～220c：RGB D/I変換部

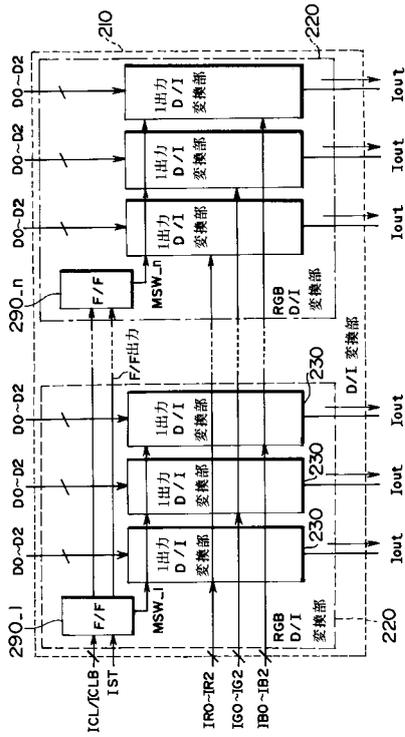
230、230a～230c：1出力D/I変換部(1出力D/I変換回路)

40

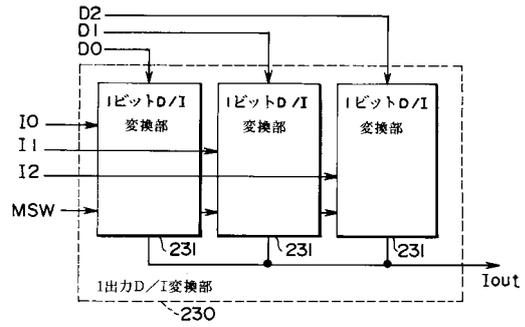
231、231a～231i：1ビットD/I変換部(1ビットD/I変換回路)

250、250a：プリチャージ回路

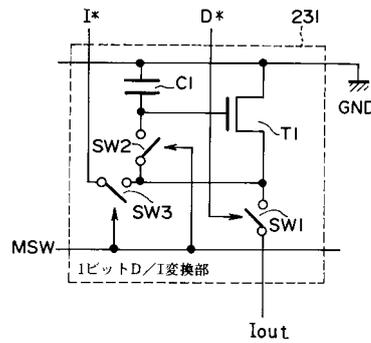
【図1】



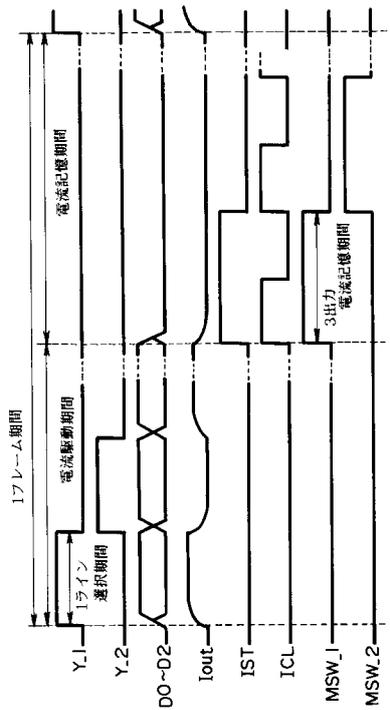
【図2】



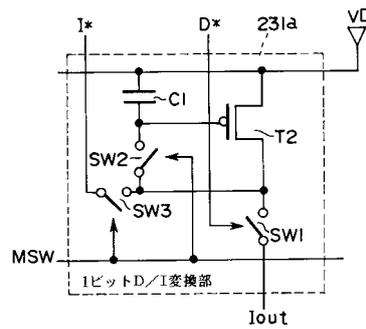
【図3】



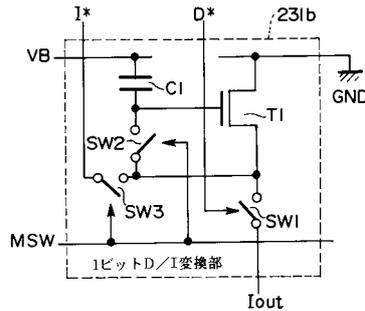
【図4】



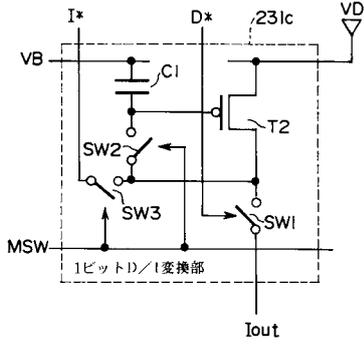
【図5】



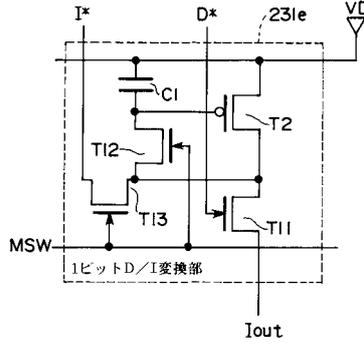
【図6】



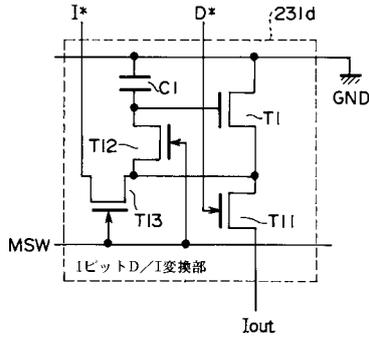
【図7】



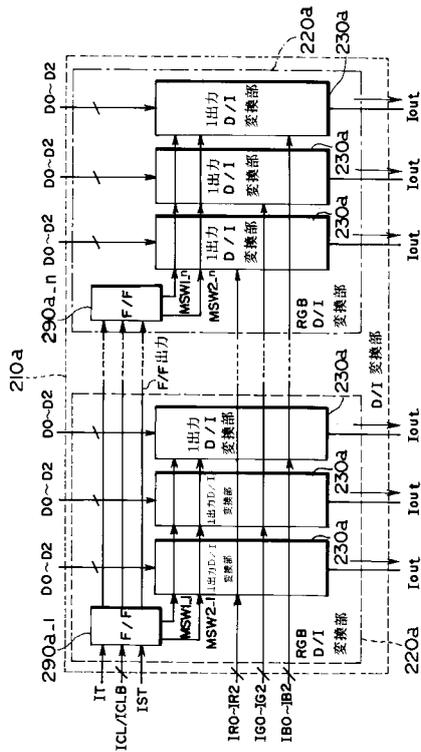
【図9】



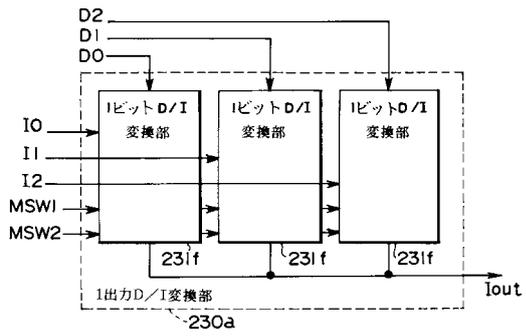
【図8】



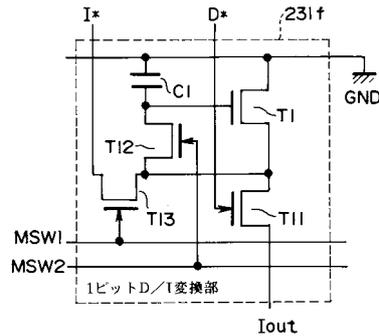
【図10】



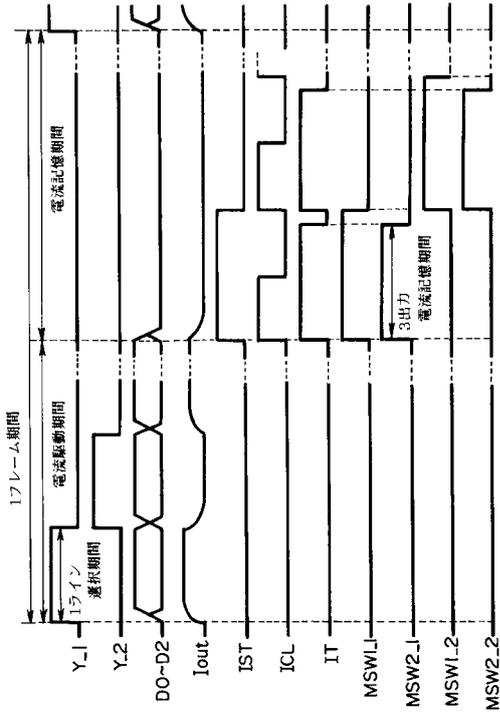
【図11】



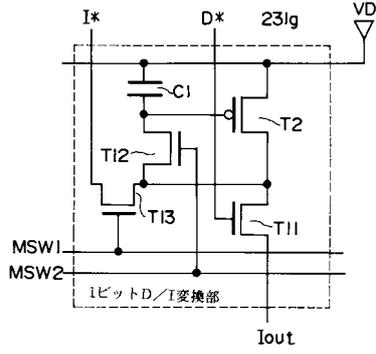
【図12】



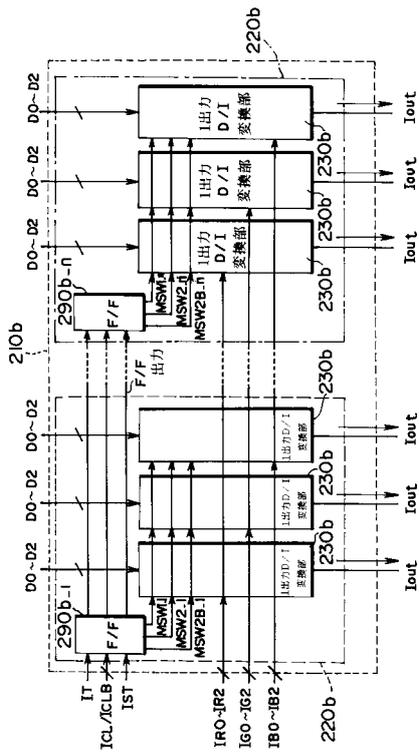
【図13】



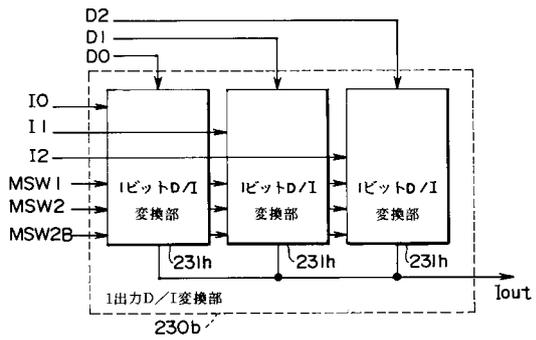
【図14】



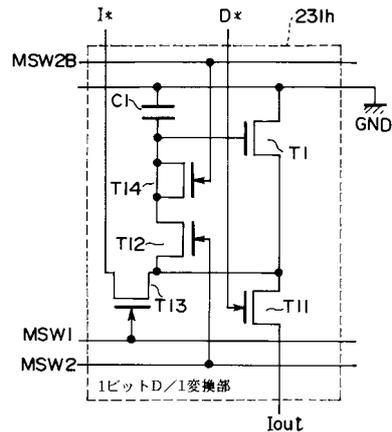
【図15】



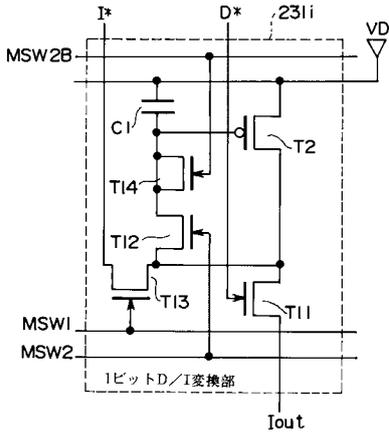
【図16】



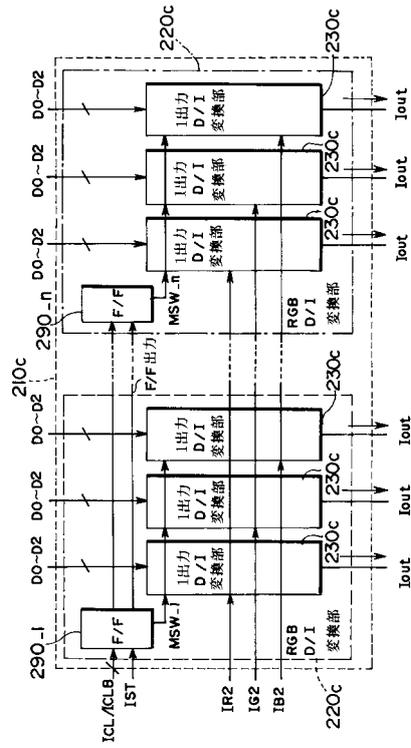
【図17】



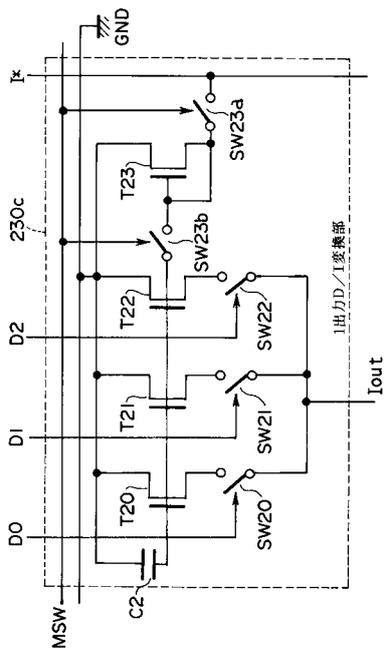
【図18】



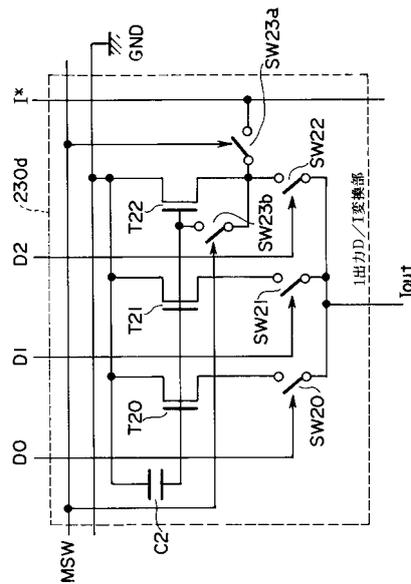
【図19】



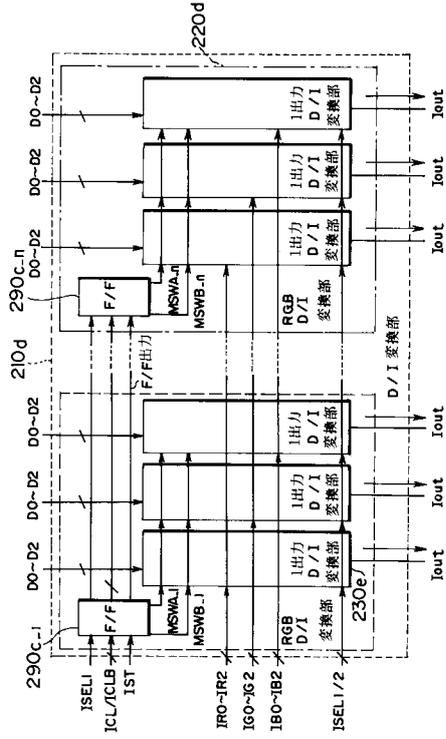
【図20】



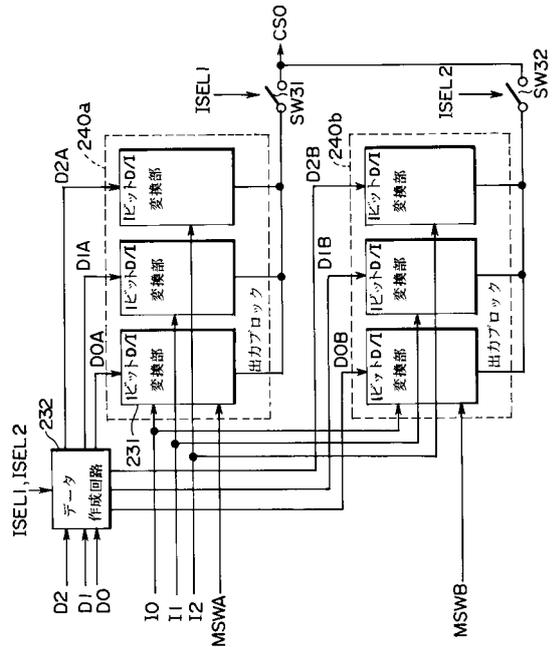
【図21】



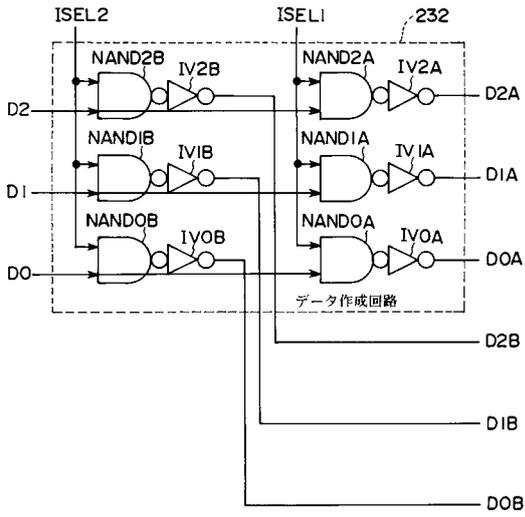
【 図 2 2 】



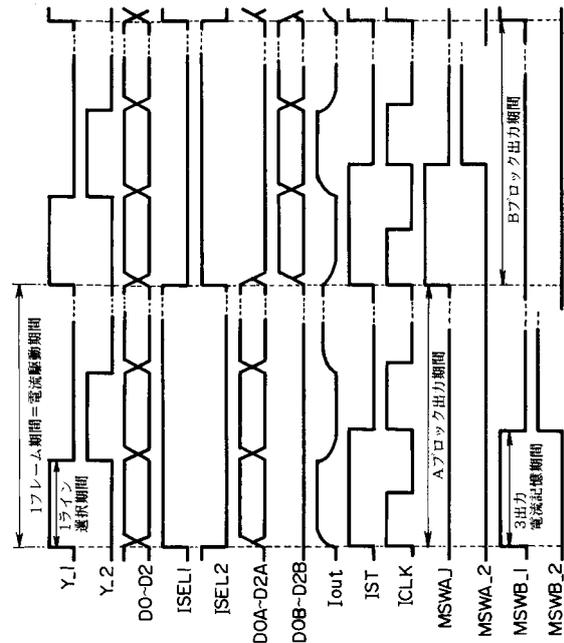
【 図 2 3 】



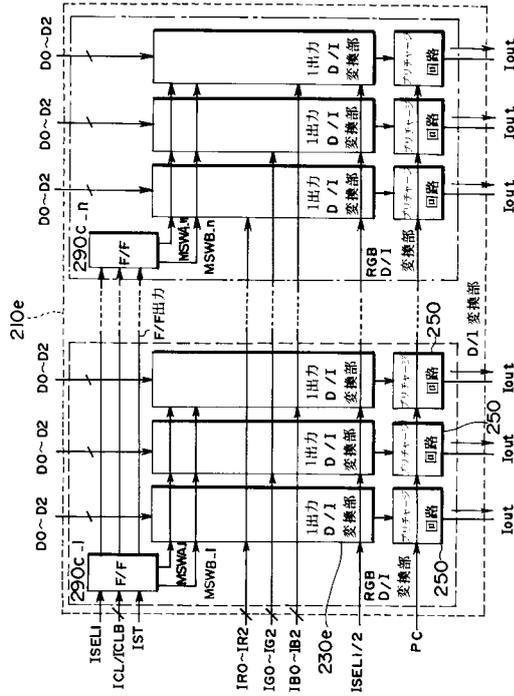
【 図 2 4 】



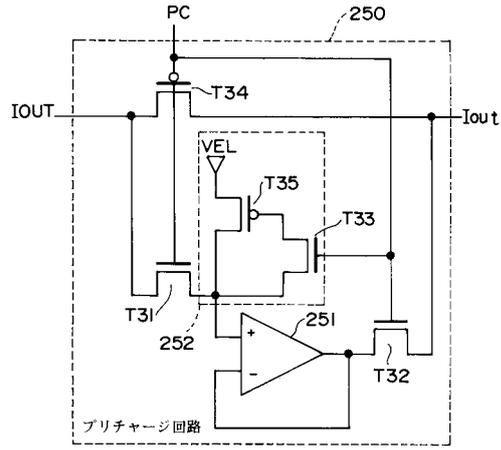
【 図 2 5 】



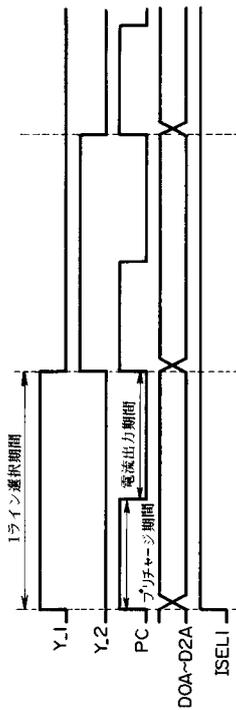
【図 26】



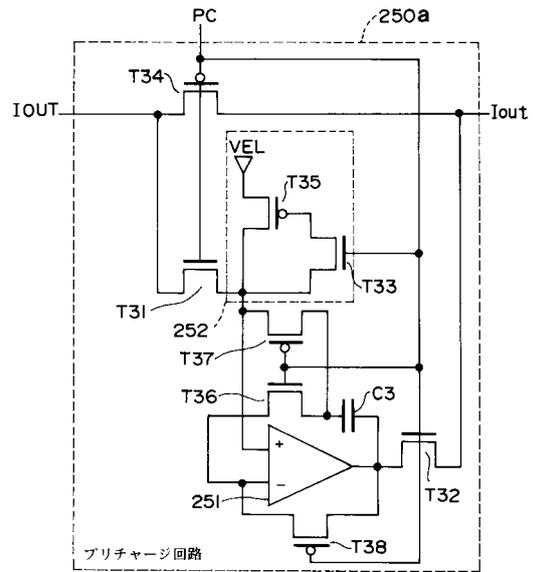
【図 27】



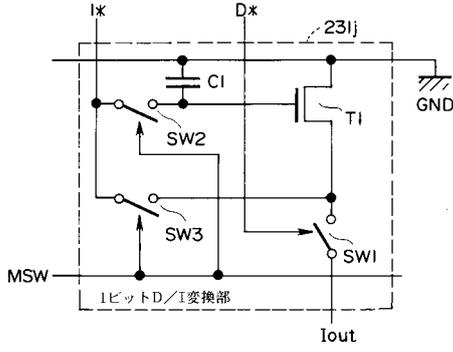
【図 28】



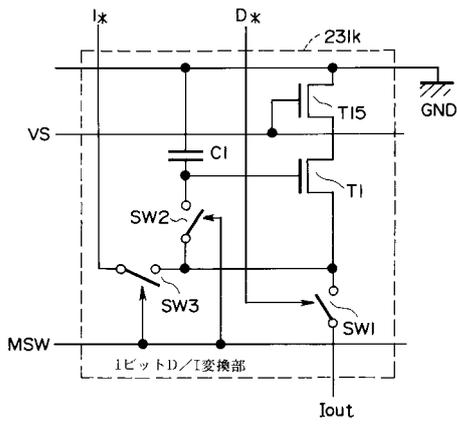
【図 29】



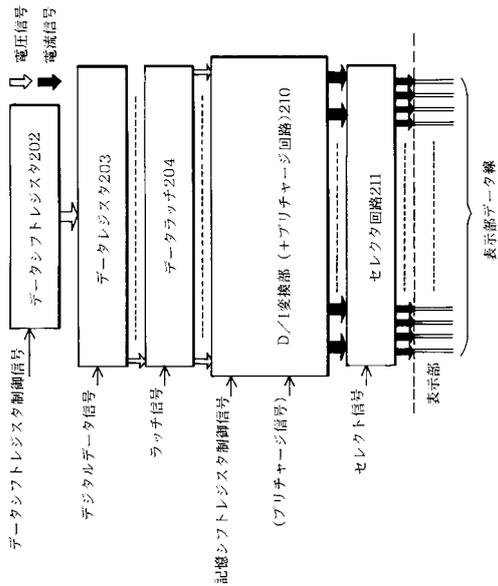
【図30】



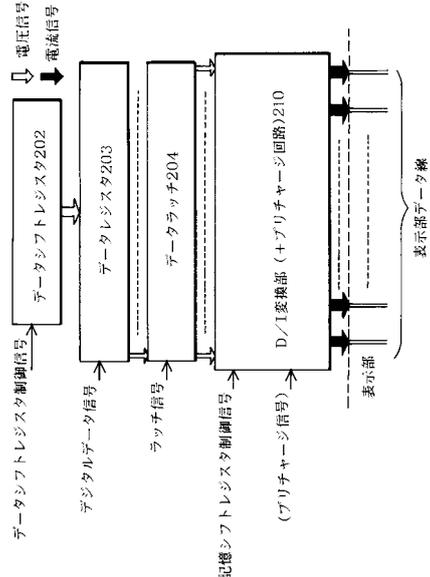
【図31】



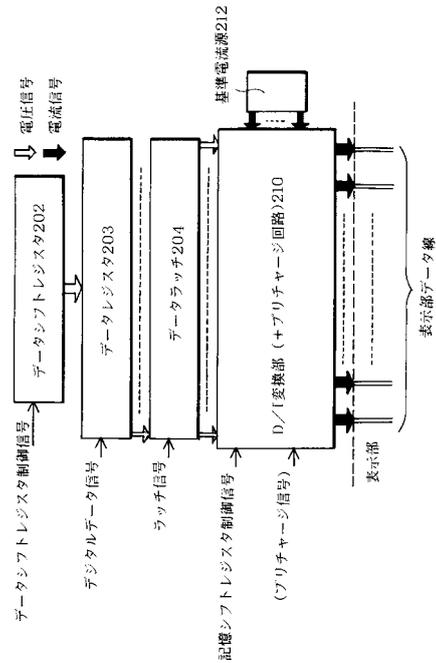
【図33】



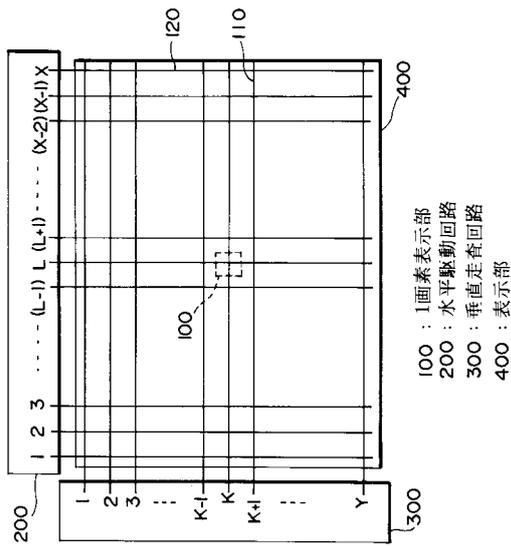
【図32】



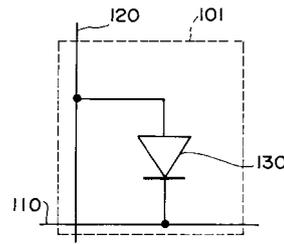
【図34】



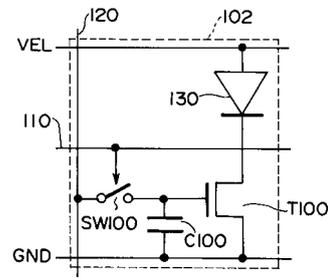
【図35】



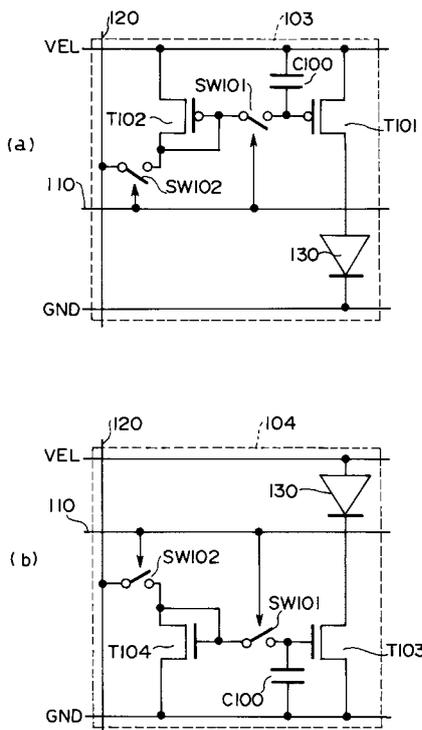
【図36】



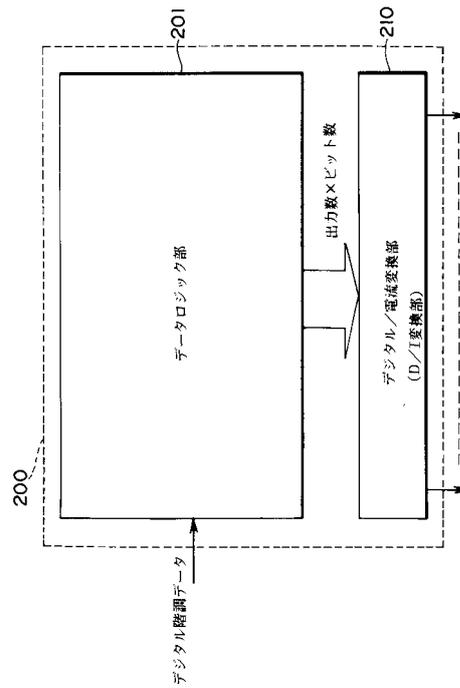
【図37】



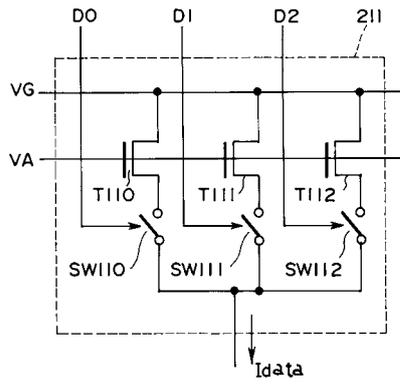
【図38】



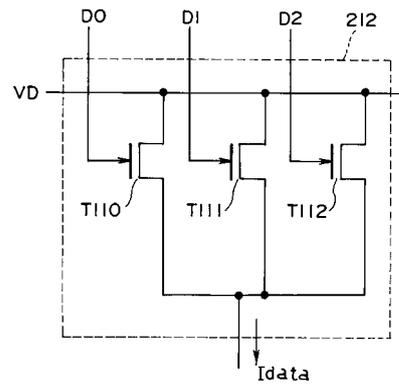
【図39】



【 図 4 0 】



【 図 4 1 】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 F
	G 0 9 G	3/20	6 2 3 V
	G 0 9 G	3/20	6 2 4 A
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 8 0 G
	H 0 4 N	5/70	A

- (56)参考文献 特開平02 - 105907 (JP, A)
特開2000 - 122608 (JP, A)
特開2000 - 105574 (JP, A)
実開昭62 - 122488 (JP, U)
国際公開第01 / 006484 (WO, A1)
特開2000 - 340842 (JP, A)
特開2000 - 039926 (JP, A)
特開平10 - 093436 (JP, A)
特開2002 - 152565 (JP, A)
特開2000 - 081920 (JP, A)
国際公開第98 / 011554 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
G09G 3/20
H04N 5/70