

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4167313号
(P4167313)

(45) 発行日 平成20年10月15日 (2008.10.15)

(24) 登録日 平成20年8月8日 (2008.8.8)

(51) Int.Cl.

F I

H O 1 L 29/861 (2006.01)

H O 1 L 29/91 D

H O 1 L 29/06 (2006.01)

H O 1 L 29/06 3 O 1 M

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 P

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 5 F

H O 1 L 29/78 6 5 5 D

請求項の数 2 (全 34 頁)

(21) 出願番号 特願平10-50745

(22) 出願日 平成10年3月3日 (1998.3.3)

(65) 公開番号 特開平10-321877

(43) 公開日 平成10年12月4日 (1998.12.4)

審査請求日 平成16年6月15日 (2004.6.15)

(31) 優先権主張番号 特願平9-65151

(32) 優先日 平成9年3月18日 (1997.3.18)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100092196

弁理士 橋本 良郎

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100070437

弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 高耐压電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1と第2の主面を有し、前記第1および第2の主面のいずれかに少なくとも一つの段差により形成された凹部を有する高抵抗の第1導電型の半導体基板と、

前記半導体基板の前記凹部が形成された領域に少なくともその1部が形成された、低不純物濃度の第2導電型リサーフからなる電界緩和構造と、

前記半導体基板の前記凹部が形成された前記第1および第2の主面のいずれかの側に形成され、前記リサーフより高不純物濃度の第2導電型アノード層を有する電力用ダイオード、

とを具備し、

前記電力用ダイオードの前記アノード層が形成された前記半導体基板の高抵抗部分の厚さが、前記電界緩和構造下の前記半導体基板の高抵抗部分の厚さよりも小さく、

前記リサーフは、前記半導体基板の前記第1の主面または第2の主面に形成された前記凹部を取り囲み、前記電力用ダイオードの前記アノード層に接していることを特徴とする高耐压電力用半導体装置。

【請求項 2】

前記電力用ダイオードの前記アノード層が、前記第1導電型の半導体基板との界面に複数の段差を有することを特徴とする請求項1に記載の高耐压電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイオードやＩＧＢＴ等の高耐压電力用半導体素子を含む半導体装置に関する。

【０００２】**【従来の技術】**

電力制御を行なう高耐压半導体装置に用いられる高耐压半導体素子の１つとして、高耐压ダイオードがある。図５５に、従来の高耐压ダイオードの断面図を示す。

【０００３】

図５５において、８１は高抵抗の第１のｎ型カソード層（半導体基板）を示しており、このｎ型カソード層８１の表面には、第１のｐ型アノード層８２が選択的に形成されている。この第１のｐ型アノード層８２の表面には、高不純物濃度の第２のｐ型アノード層８３が選択的に形成されている。

10

【０００４】

また、ｎ型カソード層８１の表面には、電界緩和構造（接合終端構造）である低不純物濃度のｐ型リサーフ層８４がｐ型アノード層に接してその周囲に形成されている。さらに、ｎ型カソード層８１の表面には、高不純物濃度のｎ型チャンネルストッパ層８５がｐ型リサーフ層８４から所定距離離れてその外側に形成されている。

【０００５】

また、第２のｐ型アノード層８３の縁から第１のｐ型アノード層８２、ｐ型リサーフ層８４、ｎ型カソード層８１、ｎ型チャンネルストッパ層８５にまたがる領域上には高抵抗膜８６が設けられている。なお、高抵抗膜８６の代わりに、絶縁膜が設けられているものもある。

20

【０００６】

一方、高抵抗の第１のｎ型カソード層８１の裏面には、それよりも高不純物濃度の第２のｎ型カソード層８７が形成されている。このｎ型カソード層８７にはカソード電極８８が設けられている。また、第２のｐ型アノード層８３にはアノード電極８９、ｎ型チャンネルストッパ層８５には電極９０が設けられている。９１は絶縁膜を示している。

【０００７】

しかしながら、この種の従来の高耐压ダイオードには、以下のような問題がある。すなわち、高耐压化を図るために、ｎ型カソード層８１を厚くする必要があるが、ｎ型カソード層８１が厚くなると、その分、順方向電圧降下、逆回復損失が大きくなるなど素子特性が劣化するという問題が起こる。最悪の場合、装置の破壊につながる。

30

【０００８】

一方、インバータ回路やチョッパ回路等のスイッチング回路に対して、装置の小型化と高性能化のニーズが近年ますます強くなっている。

【０００９】

図５６は、従来のＩＧＢＴを用いたインバータの主回路構成を示す。インバータ回路では、モータ制御のように負荷にインダクタンス成分を含むため、スイッチング素子（ここでは、ＩＧＢＴ）Ｔｒ１－Ｔｒ４を選択的にターンオフしたとき、負荷のインダクタンスに蓄えられたエネルギーを放出する必要がある。この電気エネルギーを還流するために、還流ダイオードＤ１－Ｄ４がＩＧＢＴに逆並列に接続される。

40

【００１０】

このような従来の半導体装置では、ＩＧＢＴと還流ダイオードのそれぞれにおいて、電源電圧以上の耐压を得るために、半導体チップ内で一定面積以上の接合終端領域が必要となる。このため、チップ面積の縮小が難しく、高電流密度化が困難である。また、モジュールとする場合、ＩＧＢＴに個別素子の還流ダイオードが外付けで接続される。すなわち、ＩＧＢＴチップと還流ダイオードチップが同一基板上に載置され、それぞれチップ上の電極と外部導出電極の間が配線で接続される。この構成では、接続配線のインダクタンスのために、高速化が困難である。

【００１１】

50

また、IGBT单体についても、低損失化が求められている。図57は、この種のIGBTの構成を示す断面図である。このIGBTでは、高抵抗のn型ベース層（半導体基板）101の一方の面にp型ドレイン層102が形成されている。一方、n型ベース層101の他方の面にp型ベース層104が選択的に形成され、p型ベース層104内にはn型ソース層105が形成されている。さらに、n型ベース層101とn型ソース層105との間のp型ベース層104上には、ゲート絶縁膜106を介してゲート電極107が形成されている。なお、これらゲート電極107、ゲート絶縁膜106、p型ベース層104、n型ベース層101及びn型ソース層105により、CH1をチャネル領域とする電子注入用MOSFETが構成されている。p型ドレイン層102上にはドレイン電極108が形成され、n型ソース層105上及びp型ベース層104上にはソース電極109が形成されている。

10

【0012】

次に、このような半導体装置の動作を説明する。ドレイン電極108に正電圧、ソース電極109に負電圧が印加されている時、ソースよりも正となる正電圧をゲート電極107に印加すると、p型ベース層104のゲート電極107に接した表面がn型に反転し、電子eがn型ソース層105から反転層を介してn型ベース層101に注入されてp型ドレイン層102に到達する。これに伴い、p型ドレイン層2から正孔hがn型ベース層101に注入される。このようにn型ベース層101に電子eと正孔hの両方が注入され、伝導度変調が起こってオン電圧が低減可能となる。

【0013】

20

一方、ターンオフ動作の際には、ソースに対して負である負電圧が絶縁ゲート107に印加される。これにより、ゲート電極107直下に形成されていた反転層が消失して電子注入が止まる。一方、n型ベース層101中の正孔hは、その一部がp型ベース層104を介してソース電極109に排出され、残りの正孔hは、電子eと再結合して消滅する。これにより、半導体装置はターンオフする。

【0014】

しかしながら、上述のような従来のIGBTでは、その導通状態において、電子e及び正孔hがn型ベース層101とp型ドレイン層102との間に形成されるpn接合によるポテンシャル障壁を越える必要がある。すなわち、図58の電流-電圧特性図に示すように、pn接合による電圧降下として、約0.7V程度のビルトイン電圧分だけオン抵抗が増大する。このため、従来のIGBTでは、導通状態のオン抵抗を十分に低減できないという問題がある。

30

【0015】

【発明が解決しようとする課題】

上述の如く、従来の高耐圧ダイオードは、高耐圧化を図るために、n型カソード層（半導体基板）を厚くする必要があった。しかしながら、n型カソード層が厚くなると、順方向電圧降下、逆回復損失等の素子特性が劣化するという問題があった。

【0016】

本発明の第1の目的は、素子特性の劣化を招かずに、必要な耐圧を確保できる高耐圧電力用半導体装置を提供することにある。

40

【0017】

また、従来の電力用半導体装置では、スイッチング素子に還流ダイオードを外付けで逆並列接続するために高電流密度化が難しく、接続配線のために高速化が困難であるという問題がある。

【0018】

本発明の第2の目的は、従来よりも構成が簡素で小型化と高性能化が図れる電力用半導体装置を提供することにある。

【0019】

また、従来の電力用半導体装置では、オン電圧をビルトイン電圧以下には低減し得ないという問題がある。

50

【 0 0 2 0 】

本発明の第 3 の目的は、通電時に零電圧から電流が立上がると共に、低電流領域から高電流領域に亘ってオン抵抗が小さい電力用半導体装置を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

上記目的を達成するために、本発明の高耐圧電力用半導体装置は、第 1 と第 2 の主面を有し、前記第 1 および第 2 の主面のいずれかに少なくとも一つの段差により形成された凹部を有する高抵抗の第 1 導電型の半導体基板と、前記半導体基板の前記凹部が形成された領域に少なくともその 1 部が形成された、低不純物濃度の第 2 導電型リサーフからなる電界緩和構造と、前記半導体基板の前記凹部が形成された前記第 1 および第 2 の主面のいずれかの側に形成され、前記リサーフより高不純物濃度の第 2 導電型アノード層を有する電力用ダイオードとを具備し、前記電力用ダイオードの前記アノード層が形成された前記半導体基板の高抵抗部分の厚さが、前記電界緩和構造下の前記半導体基板の高抵抗部分の厚さよりも小さく、前記リサーフは前記半導体基板の前記第 1 の主面または第 2 の主面に形成された前記凹部を取り囲み前記電力用ダイオードの前記アノード層に接していることを特徴とする。

10

【 0 0 2 3 】

前記電力用ダイオードの前記アノード層が、前記第 1 導電型の半導体基板との界面に複数の段差を有することを特徴とする。

20

【 0 0 2 8 】

したがって、電界緩和構造の効率を高めるために半導体基板を厚くしても、高耐圧半導体素子の順方向電圧降下、逆回復損失等の素子特性の劣化を招かずに済む。

【 0 0 2 9 】

また、半導体ウェハが大口径化するにつれ、強度の観点から半導体基板を厚くせざるを得ない場合でも、高耐半導体素子の厚さは凹部の深さに対応した薄いものとして設定することができる。これにより、素子特性の劣化を招かずに、半導体基板の厚さを任意に設定することができ、必要な耐圧を確保できる高耐圧半導体装置を実現できるようになる。

【 0 0 3 0 】

また、本発明によれば、半導体基板との界面に複数の段差を有する電界緩和構が用いられているので、段差がない従来の電界緩和構造が用いられた場合に比べて、電界が集中する箇所が増し、電界を積分して得られる耐圧が高くなる。これにより、従来の電界緩和構造に比べて、耐圧の高い高耐圧半導体装置を実現できるようになる。

30

【 0 0 3 1 】

また、本発明では、高抵抗の第 1 導電型の半導体基板として、第 1 の主面（表面）と第 2 の主面（裏面）に凹部が形成されたものを用いてもよい。そして、高耐圧半導体素子が表面と裏面の凹部との間の部分に形成されている。このため、半導体基板が厚くても、高耐圧半導体素子の厚さは凹部の深さに対応した薄いものとなる。

【 0 0 3 2 】

表面に段差を設ける場合には、微細パターン形成プロセスによる制約で段差をあまり大きくできないの対し、裏面に段差を設ける場合には、このような制約がなく、広範囲で半導体基板の厚さを設定することができる。これにより、素子特性の劣化を招かずに、半導体基板の厚さを広範囲で任意に設定することができ、必要な耐圧を確保できる高耐圧半導体装置を実現できるようになる。

40

【 0 0 4 6 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。まず、本発明の第 1 の態様の実施形態（第 1 乃至第 15 の実施形態）を説明する。これらの実施形態では、第 1 導電型が n 型の場合を説明するが、n 型に代えて p 型とすることも可能である。また、上記の実施形態を通じて、同一箇所には、同一番号を付して、重複する説明を省略する。

【 0 0 4 7 】

50

(第1の実施形態)

図1は、本発明の第1の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態では、高耐圧半導体素子として高耐圧ダイオードを用いている。

【0048】

図1において、1は高抵抗の第1のn型カソード層(半導体基板)を示しており、このn型カソード層1の表面には、凹部が形成されている。この凹部の底部の表面には、第1のp型アノード層2が選択的に形成されている。この第1のp型アノード層2の表面には、高不純物濃度の第2のp型アノード層3が選択的に形成されている。

【0049】

また、n型カソード層1の表面には、電界緩和構造(接合終端構造)である低不純物濃度のp型リサーフ層4が第1のp型アノード層2に接してその周囲に形成されている。この場合、p型リサーフ層4は、n型カソード層1の凹部の底部および側面部からその外側の基板表面にかけて形成されている。

10

【0050】

さらに、n型カソード層1の表面には、接合終端構造である高不純物濃度のn型チャンネルストッパ層5がp型リサーフ層4から所定距離離れてその外側に形成されている。

【0051】

また、第2のp型アノード層3の縁から第1のp型アノード層2、p型リサーフ層4、n型カソード層1、n型チャンネルストッパ層5にまたがる領域上にはS I P O S(semi-insulating polycrystalline silicon)膜等の高抵抗膜6が設けられている。なお、高抵抗膜6の代わりに、絶縁膜を設けても良い。

20

【0052】

一方、第1のn型カソード層1の裏面には、それよりも高不純物濃度の第2のn型カソード層7が形成されている。このn型カソード層7にはカソード電極8が設けられている。また、第2のp型アノード層3にはアノード電極9、そしてn型チャンネルストッパ層5には電極10が設けられている。電極10は耐圧を安定させるために必要な予備電極であるが、これをカソード電極としてアノード電極9との間に横型ダイオード構造を構成することも可能である。なお、11は絶縁膜である。

【0053】

本実施形態では、n型カソード層1の表面に凹部が形成され、この凹部の厚さの薄い領域にダイオードが形成されている。すなわち、本実施形態では、n型カソード層1(半導体基板)が厚くても、ダイオードとして動作する部分の厚さは凹部の深さに対応した薄いものとなる。したがって、n型カソード層1を厚くしても、順方向電圧降下、逆回復損失等の素子特性の劣化を招かずに済む。

30

【0054】

また、本実施形態によれば、以下の理由によっても、上記の特徴が得られる。本実施形態の素子を従来構造のそれと比較する。まず、従来の場合、図2に示すように、p型リサーフ層4が形成される領域には段差がなく、電界が集中する箇所は図中A、B、Cで示した3つの箇所である。それぞれの箇所の電界強度を図2の下部に示す。従来は耐圧を高くするためには、基板厚を大きくする必要があり、このため定常オン損失、ターンオン損失が大きくなっていた。

40

【0055】

一方、本実施形態の場合、p型リサーフ層4が形成される領域に段差があり、図3に示すように、電界が集中する箇所はA、B、C、Dで示した4つの箇所である。すなわち、本実施形態では段差があるので、電界が集中する箇所が1つ増える。

【0056】

したがって、本実施形態によれば、従来に比べて、電界を積分して得られる耐圧が高くなるので、半導体基板の厚さが同じでもより高耐圧の半導体素子を実現することができる。

【0057】

なお、p型リサーフ層4を設けず、凹部の厚さの薄い領域に素子を形成することだけでも

50

、順方向電圧降下、逆回復損失等の素子特性の劣化を防止することは可能である。また、p型リサーフ層4が形成されている領域に、2個、3個と段差がある場合には更に高耐圧の半導体素子を実現することが可能である。

【0058】

次に凹部の深さと電界分布との関係について説明する。

【0059】

図4に、凹部の深さが浅い場合の電界分布を示す。この深さでは、半導体素子の内の主素子部分(A-A'間の領域)はp型リサーフ層4に比べて電界が低く余裕があるので、ブレイクダウンはp型リサーフ層4で起こる。したがって、凹部をもっと深い領域まで形成し、通電損失とターンオフ損失を小さくしても耐圧は落ちることはない。

10

【0060】

図5に、凹部の深さが中間の場合の電界分布を示す。この深さでは、主素子の電界とp型リサーフ層4のそれとが同じ大きさであるため、ブレイクダウンは素子とp型リサーフ層4とで同時に起こる。

【0061】

図6に、凹部の深さが深い場合の電界分布を示す。この深さでは、主素子はp型リサーフ層4に比べて電界が大きいので、ブレイクダウンは主素子で起こる。すなわち、全体の耐圧は主素子耐圧(主素子設計)のみで決まり、p型リサーフ層4等の電界緩和構造にはよらない。この場合、図5の場合に比べて、耐圧の絶対値は低下するが、同時に順方向電圧降下、逆回復損失が減少し、損失特性が格別に優れた半導体素子を得ることができる。また、ブレイクダウンが半導体表面から離れたA点で起こるので、表面の影響を受けにくく耐圧の安定した半導体素子を実現することができる。

20

【0062】

高耐圧素子としては、図5、図6のように設計することが望ましい。本発明によれば、電流通過部の基板厚を薄く、電界緩和構造(リサーフ層等)の基板厚を厚くすることにより、定常オン損失、ターンオン損失を小さくすることができ、平坦接合並みの耐圧を得ることが可能である。

【0063】

図7に、凹部の素子構造の形成方法を示す。

【0064】

まず、図7(a)に示すようにn型ベース層1(半導体基板)が用意され、次に図7(b)に示すように、n型ベース層1の表面に凹部が形成される。

30

【0065】

次に図7(c)に示すように、凹部およびその周囲のn型ベース層1の表面にp型不純物イオン I_{p-} が図示しないマスクを用いて選択的に注入される。

【0066】

次に図7(d)に示すように、凹部底部のn型ベース層1の表面にp型不純物イオン I_p が図示しないマスクを用いて選択的に注入される。この場合、p型不純物イオン I_p のドーズ量は、p型不純物イオン I_{p-} のそれよりも多くされる。

【0067】

最後に、図7(e)に示すように、アニールを行なうことによって、p型アノード層2、p型リサーフ層4が完成する。

40

【0068】

なお、この例では、p型アノード層3を省略したが、p型アノード層3を形成する場合には、例えば、図7(d)の工程の後に、p型不純物イオン I_{p-} の注入領域の表面に、さらに高不純物濃度のp型不純物イオンを選択的に注入すれば良い。

【0069】

図8、図9に、本実施形態の変形例を示す。図8の素子では、凹部の段差が2段になっている。また、図9の素子では、凹部の段差が3段になっている。このように段差を多くすることにより、電界緩和構造の屈曲部の曲率半径が大きくなり、耐圧が向上する。これに

50

より、薄い基板厚の素子を容易に作製することができる。なお、凹部の段差は４段以上であって良い。

【００７０】

（第２の実施形態）

図１０は、本発明の第２の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【００７１】

本実施例が第１の実施例と異なる点は、半導体素子の内ｐ型リサーフ層４を形成する領域のみに凹部を形成したことにある。ｐ型リサーフ層４はｎ型カソード層１の凹部の底部および側面部からその外側の表面にかけて形成され、その結果、ｐ型のリサーフ層４とｎ型カソード層１との界面に２段の段差が形成されている。したがって、本実施形態によれば、電界緩和構造における屈曲部の曲率半径が大きくなり、電界を積分して得られる耐圧が高くなる。

10

【００７２】

（第３の実施形態）

図１１は、本発明の第３の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【００７３】

本実施形態が第２の実施形態と異なる点は、ｐ型リサーフ層４の外周部が凹部の底部を越えないように形成したことにある。この場合も、電界を積分して得られる耐圧が高くなるので、第２の実施形態と同様な効果が得られる。

【００７４】

20

（第４の実施形態）

図１２は、本発明の第４の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【００７５】

本実施形態が第１の実施形態と異なる点は、電界緩和構造（接合終端構造）として、ｐ型リサーフ層４の代わりに高不純物濃度のｐ型ガードリング層１２を用いたことにある。なお、ｐ型ガードリング層１２は凹部以外の領域に形成しても良い。

【００７６】

本実施形態でも、ｎ型カソード層１（半導体基板）が厚くても、素子の厚さは凹部の深さに対応した薄いものとなる。したがって、必要な耐圧を確保するために、ｐ型ガードリング層１２を設けるとともに、ｎ型カソード層１を厚くしても、順方向電圧降下、逆回復損失等の素子特性の劣化を招かずに済む。

30

【００７７】

（第５の実施形態）

図１３は、本発明の第５の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【００７８】

本実施形態が第１の実施形態と異なる点は、ｐ型リサーフ層４の表面に、凹部の段差部に接するように、高不純物濃度の第２のｐ型リサーフ層１３を選択的に形成したことにある。第２のｐ型リサーフ層１３は、基板段差部表面の不安定箇所を覆って安定化している。

【００７９】

本実施形態でも第１の実施形態と同様な効果が得られるが、第２のｐ型リサーフ層１３を設けた分その効果が安定して得られる。

40

【００８０】

（第６の実施形態）

図１４は、本発明の第６の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【００８１】

本実施形態が第１の実施形態と異なる点は、ｐ型リサーフ層４の形成領域に凹部の段差が存在せず、凹部の段差が主素子領域のみに存在することにある。その結果、ｐ型アノード層２，３に段差が形成されている。

【００８２】

本実施形態でも、ｎ型カソード層１（半導体基板）が厚くても、主素子の厚さは凹部の深

50

さに対応した薄いものとなる。したがって、必要な耐圧を確保するために、p型リサーフ層4を設けるとともに、n型カソード層1を厚くしても、順方向電圧降下、逆回復損失等の素子特性の劣化を招かずに済む。

【0083】

図15に、凹部の素子構造の形成方法を示す。

まず、図15(a)に示すようにn型ベース層1(半導体基板)が用意され、次に図15(b)に示すように、n型ベース層1の表面に凹部が形成される。

【0084】

次に図15(c)に示すように、凹部およびその周囲のn型ベース層1の表面にp型不純物イオン $I p^-$ が図示しないマスクを用いて選択的に注入される。

10

【0085】

次に図15(d)に示すように、凹部およびその周囲(ただし、p型不純物イオン $I p^-$ の注入領域よりも内側)のn型ベース層1の表面にp型不純物イオン $I p$ が図示しないマスクを用いて選択的に注入される。この場合、p型不純物イオン $I p$ のドーズ量は、p型不純物イオン $I p^-$ のそれよりも多くする。

【0086】

最後に、図15(e)に示すように、アニールを行なうことによって、p型アノード層2、p型リサーフ層4が完成する。

【0087】

なお、この例では、p型アノード層3を省略したが、p型アノード層3を形成する場合には、例えば、図15(d)の工程の後に、凹部およびその周囲(ただし、p型不純物イオン $I p$ の注入領域よりも内側)の表面に、さらに高不純物濃度のp型不純物イオンを選択的に注入すれば良い。

20

【0088】

図16に、本実施形態の変形例を示す。この素子では、素子領域に段差が1つの凹部が2つ形成されている。ウェハ強度やエッチング加工での形状制御などプロセス上の制約から、凹部を形成する領域の寸法が制限されている場合に有効である。なお、凹部の数は3つ以上でも良い。

【0089】

(第7の実施形態)

30

図17は、本発明の第7の実施形態に係る高耐圧半導体装置を示す断面図である。本実施形態が第1の実施形態と異なる点は、凹部(第1の凹部)の底部にさらに第2の凹部が設けられ、この第2の凹部を含む第1の凹部の底部にp型アノード層2, 3が形成されていることにある。本実施形態でも、第1の実施形態と同様な効果が得られる。

【0090】

(第8の実施形態)

図18は、本発明の第8の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態では、高耐圧半導体素子としてIGBTを用いている。

【0091】

図18において、21は高抵抗のn型ベース層を示しており、このn型ベース層21の表面には凹部が形成されており、この凹部の底部表面には第1のp型ベース層22が選択的に形成されている。この第1のp型ベース層22が形成された領域にはそれを貫通する深さの高不純物濃度の第2のp型ベース層23が選択的に形成されている。

40

【0092】

p型ベース層22, 23の表面には高不純物濃度のn型ソース層24が選択的に形成されており、このn型ソース層24とn型ベース層21とで挟まれた領域のp型ベース層22上にはゲート絶縁膜25を介してゲート電極26が配設されている。

【0093】

また、n型ベース層21の表面には、電界緩和構造(接合終端構造)である低不純物濃度のp型リサーフ層27がp型ベース層23に接してその周囲に形成されている。この場合

50

、p型リサーフ層27は、n型ベース層21の凹部の底部および側面部からその外側の表面にかけて形成されている。なお、ここでのp型ベース層23は、凹部に形成された半導体装置のうち最も外側のものである。

【0094】

さらに、n型ベース層21の表面には、接合終端構造である高不純物濃度のn型チャンネルストップ層28がp型リサーフ層27から所定距離離れてその外側に形成されている。また、第2のp型ベース層23の縁からp型リサーフ層27、n型ベース層21、n型チャンネルストップ層28にまたがる領域上には、SIPOS膜等の高抵抗膜29が設けられている。なお、高抵抗膜29の代わりに、絶縁膜を設けても良い。

【0095】

一方、高抵抗の第1のn型ベース層21の裏面には、それよりも高不純物濃度の第2のn型ベース層30が形成されており、このn型ベース層30の表面には高不純物濃度のp型ドレイン層31が形成されている。このp型ドレイン層31にはドレイン電極32が設けられている。また、n型ソース層24にはソース電極33が設けられている。このソース電極33はp型ベース層23にもコンタクトしている。そして、n型チャンネルストップ層28には電極34が設けられている。なお、35は絶縁膜を示している。

【0096】

本実施形態では、n型ベース層21の表面に凹部が形成され、この凹部の厚さの薄い領域にIGBTが形成されている。すなわち、n型ベース層21（半導体基板）が厚くても、IGBTの厚さは凹部の深さに対応した薄いものとなる。

【0097】

したがって、必要な耐圧を確保するために、p型リサーフ層27を設けるとともに、n型ベース層21を厚くしても、順方向電圧降下、ターンオフ特性等の素子特性の劣化を招かずに済む。

【0098】

また、本実施形態によれば、以下の理由によっても、上記の効果を得ることができる。すなわち、本実施形態の場合、p型リサーフ層27が形成される領域に段差があり、電界が集中する箇所が従来よりも増える。したがって、電界を積分して得られる耐圧が高くなる。

【0099】

なお、凹部の厚さの薄い領域に素子を形成すること単独でも、あるいはn型ベース層21との界面に複数の段差を有するp型リサーフ層27を形成すること単独でも、上記の効果を得ることが可能である。

【0100】

（第9の実施形態）

図19は、本発明の第9の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態が第8の実施形態と異なる点は、p型リサーフ層27の形成領域に凹部の段差が存在せず、凹部の段差が主素子領域のみに存在することにある。

【0101】

本実施形態でも、n型ベース層21（半導体基板）が厚くても、主素子の厚さは凹部の深さに対応した薄いものとなる。したがって、必要な耐圧を確保するために、p型リサーフ層27を設けるとともに、n型ベース層21を厚くしても、順方向電圧降下、ターンオフ特性等の素子特性の劣化を招かずに済む。

【0102】

（第10の実施形態）

図20は、本発明の第10の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態が第1の実施形態と異なる点は、凹部をn型カソード層1の裏面（アノード側の主面と反対側の面）に形成し、かつ凹部がp型アノード層2、3と対向するように形成したことにある。

【0103】

本実施形態によれば、 n 型カソード層 1（半導体基板）が厚くても、主素子の厚さは裏面の凹部の深さに対応した薄いものとなる。したがって、必要な耐圧を確保するために、 p 型リサーフ層 4 を設けるとともに、 n 型カソード層 1 を厚くしても、順方向電圧降下、逆回復損失等の素子特性の劣化を招かずに済む。

【0104】

図 21 に、本実施形態の変形例を示す。この素子では、 p 型アノード層 2, 3 と対向する領域の n 型カソード層 1 の裏面に、段差が 1 つの凹部が 2 つ形成されている。ウェハ強度やエッチング加工での形状制約などプロセス上の制約から凹部を形成する場合の寸法が制限されている場合に有効である。

【0105】

10

（第 11 の実施形態）

図 22 は、本発明の第 11 の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態の素子は、第 10 の実施形態と第 1 の実施形態とを組み合わせた例である。すなわち、図 1 の素子において、その n 型ベース層 1 の裏面に、アノード層 2, 3 と対向するように凹部が設けられている。本実施形態でも第 1、第 10 の実施形態と同様な効果が得られる。

【0106】

図 23 に、素子の基本構造の形成方法を示す。

まず、図 23（a）に示すように、第 1 の実施形態で説明した方法に従って、表面（主接合側）に素子構造が形成される。

20

【0107】

次に図 23（b）に示すように、 n 型ベース層 1 の裏面に凹部を形成した後、図 23（c）に示すように、裏面全面に n 型不純物イオン I_n が注入される。

【0108】

最後に、図 23（d）に示すように、アニールを行なうことによって、 n 型カソード層 7 を形成して、素子の基本構造が完成する。

【0109】

図 24 に、他の形成方法を示す。図 23 に示した方法は、 n 型ベース層の表面に素子構造を形成した後に、その裏面に素子構造（ n 型カソード層 7）を形成する方法であるが、図 24 に示す方法ではその形成順序が逆になっている。

30

【0110】

すなわち、まず、図 24（a）、（b）に示すように、 n 型ベース層 1（半導体基板）が用意され、その裏面に凹部が形成される。

【0111】

次に図 24（c）、（d）に示すように、裏面全面に n 型不純物イオン I_n を注入した後、アニールを行なうことによって、 n 型カソード層 7 が形成される。

【0112】

最後に、図 24（e）に示すように、第 1 の実施形態で説明した方法に従って、表面（主接合側）に素子構造が形成される。

【0113】

40

図 25、図 26 にそれぞれさらに別の形成方法を示す。図 25 の形成方法は、図 23 の形成方法とは逆に、裏面全面に n 型不純物イオン I_n が注入され、 n 型カソード層 7 が形成された後に凹部が形成されるものである。同様に、図 26 の形成方法は、図 24 の形成方法とは逆に、裏面全面に n 型不純物イオン I_n が注入され、 n 型カソード層 7 が形成された後に凹部が形成されるものである。

【0114】

図 25、図 26 の形成方法によれば、素子領域の n 型カソード層 7 の表面濃度を下げることができるので、ダイオードの逆回復時のテール電流が低減され、逆回復損失の小さなダイオードを実現することができる。

【0115】

50

(第12の実施形態)

図27は、本発明の第12の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態が第6の実施形態と異なる点は、凹部の素子構造の形成方法にある。すなわち、本実施形態では、凹部の素子構造の形成方法で、p型アノード層2を形成した後に凹部を形成している点が異なっている。

【0116】

図28に、凹部の素子構造の形成方法を示す。まず、図28(a)、(b)に示すように、n型ベース層1(半導体基板)が用意され、その表面の一部にp型不純物イオン I_{p^-} が注入される。

【0117】

次に図28(c)に示すように、p型不純物イオン I_{p^-} が注入された領域の一部にp型不純物イオン I_p が注入される。この場合、p型不純物イオン I_p のドーズ量は、p型不純物イオン I_{p^-} のそれよりも多くされる。

【0118】

次に図28(d)に示すように、アニールを行なうことによって、p型アノード層2、p型リサーフ層4が形成される。

【0119】

最後に、図28(e)に示すように、p型アノード層2の表面がエッチングされ、凹部が形成されて、凹部領域の基本構造が完成する。

【0120】

なお、この例では、p型アノード層3を省略したが、p型アノード層3を形成する場合には、例えば、図28(e)の工程の後に、p型不純物イオン I_p の注入領域の表面に、さらに高不純物濃度のp型不純物イオンを選択的に注入すれば良い。

【0121】

図29に、本実施形態の変形例を示す。この素子では段差が1つの凹部が5つ形成されている。なお、段差の数はこれに限定されるものではない。このようにしても主素子領域のベース厚を実質的に薄くすることができるので、同様な効果を得ることができる。

【0122】

(第13の実施形態)

図30は、本発明の第13の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【0123】

本実施形態が第12の実施形態と異なる点は、高不純物濃度のp型アノード層3が無いことにある。これによってp型アノード層2の表面濃度を下げることができるので、ダイオードの逆回復時の最大逆方向電流が低減され、逆回復損失の小さなダイオードを実現することができる。ただし、本実施形態では、第6の実施形態よりもp型アノード層2の面積は広くしてある。これにより、順方向電圧 V_F を低く保つことができる。

【0124】

(第14の実施形態)

図31は、本発明の第14の実施形態に係る高耐圧半導体装置の要部を示す断面図である。

【0125】

本実施例の特徴は、n型カソード層7に図20の素子の特徴に加えて、裏面の凹部の底部および側壁部に接するところのn型カソード層4の表面に、高不純物濃度のn型カソード層14を形成したことにある。これにより、電子の注入効率がより高くなり、特に順方向電圧降下を低くした場合に有効である。

【0126】

図31に、本実施形態の変形例を示す。この素子では、裏面に段差が1つの凹部を3つ形成したことにある。なお、凹部の数は2つでも4つ以上でも良い。

【0127】

10

20

30

40

50

(第15の実施形態)

図33は、本発明の第15の実施形態に係る高耐圧半導体装置の要部を示す断面図である。本実施形態の特徴は、第14の実施形態の高耐圧半導体装置において、高不純物濃度のn型カソード層14を省き、素子構造を簡略したことにある。

【0128】

次に、本発明の第2の態様の実施形態(第16乃至第21の実施形態)を説明する。なお、上記の実施形態では第1導電型層としてn型、第2導電型層としてp型を用いているが、導電型を逆にしてもよい。また、同一箇所には、同一番号を付して、重複する説明を省略する。

【0129】

10

(第16の実施形態)

図34は、本発明の第16の実施形態に係る電力用半導体装置の断面図を示す。図34において、41は高抵抗のn型ベース層(半導体基板)を示しており、このn型ベース層41の一方の面(裏面)には、選択的に凹部が形成されている。

【0130】

n型ベース層41の凹部が形成されていない領域40aの裏面には、p型ドレイン層42が形成されており、他方の面(表面)には、p型ベース層43が選択的に形成されている。p型ベース層43内にはn型ソース層44が形成されている。n型ベース層41とn型ソース層44との間のp型ベース層43上には、ゲート絶縁膜45を介してゲート電極46が形成されている。なお、これらゲート電極46、ゲート絶縁膜45、p型ベース層43、n型ベース層41及びn型ソース層44により、CH1をチャンネル領域とする電子注入用MOSFETが構成されている。

20

【0131】

一方、n型ベース層41の凹部の底面(裏面)と側壁には、n型カソード層47が形成されている。また、n型ベース層41の他方の面(表面)で凹部と対向する領域には、p型アノード層48が形成されている。

【0132】

さらに、p型ドレイン層42上及びn型カソード層47上には、両層42、47に接してドレイン電極(第2の主電極)49が形成されている。また、n型ソース層44、p型ベース層43上には、両層に接してソース電極50aが形成されている。p型アノード層48上にはソース電極(アノード電極)50bが形成されている。電極50aと電極50bにより、第1の主電極が構成され、ゲート電極46が副電極となる。なお、複数のソース電極、複数のゲート電極は、それぞれ相互に接続されており、図中では結線で模式的に表されている。

30

【0133】

上記の構成により、凹部が形成された領域40bにはダイオードが構成され、凹部が形成されない領域40aにはIGBTが構成されている。

【0134】

IGBT領域40aとダイオード領域40bの間で、絶縁膜51の下領域40cは、IGBTとダイオードの分離領域である。この領域の幅Lは、キャリアの拡散長 L_d 以上とするのが望ましい。すなわち、キャリアのライフタイムを τ 、拡散係数をDとしたとき、次の関係が満足されるようにする。

40

【0135】

$$L > L_d = (D \tau)^{1/2}$$

あるいは、分離領域40cに、後述のライフタイムキラーを含ませてもよい。

【0136】

次に、このような半導体装置の動作を説明する。ドレイン電極49に正電圧、ソース電極50aに負電圧が印加されている時、ソースよりも正となる正電圧をゲート電極46に印加すると、p型ベース層43のゲート電極46に接した表面がn型に反転し、電子eがn型ソース層44から反転層を介してn型ベース層41aに注入されてp型ドレイン層42

50

に到達する。これに伴い、p型ドレイン層42から正孔hがn型ベース層41に注入される。このようにn型ベース層41に電子eと正孔hの両方が注入され、伝導度変調が起こってオン電圧が低減される。

【0137】

一方、ターンオフ動作の際には、ソースに対して負である負電圧が絶縁ゲート46に印加される。これにより、ゲート電極46直下に形成されていた反転層が消失して電子注入が止まる。一方、n型ベース層41a中の正孔hは、その一部がp型ベース層43を介してソース電極50aに排出され、残りの正孔hは、電子eと再結合して消滅する。これにより、半導体装置はターンオフする。

【0138】

上記のような機構により、例えば図56において、インバータのTr1とTr4がオンしている状態(図56の(i)の状態)において、上側アーム素子Tr1がターンオフすると、誘導負荷による逆起電力が発生し、下側アーム素子Tr2のドレイン電極(図34の参照番号49)が負に、ソース電極(図34の参照番号50a)が正にバイアスされる。この過程で、下側アーム素子のソース電極50aの電圧が上昇して、p型アノード層48とn型ベース層41bより構成されるpn接合が順バイアスされると、p型アノード層48からn型ベース層41bに正孔hが注入され、同時にn型カソード層47から電子eが注入されて、素子が逆方向にターンオンする。この結果、n型ベース層41bで伝導度変調が起こり、ダイオード領域40bが低オン電圧で通電する(図56の(ii)の状態)

。

【0139】

この場合、ダイオードを構成する高抵抗ベース層(基板)41bの厚さW2はIGBTを構成する高抵抗ベース層(基板)41aの厚さW1よりも薄いので、素子を逆方向に導通させた場合、低いオン電圧で通電することができる。

【0140】

つぎに、再びTr1がターンオンすると、Tr2の極性が反転し、逆回復電流(図56の(iii))が流れ、負荷電流(図56の(i))に重畳される。この現象は、一般にスイッチング素子(IGBT)のターンオン損失を増大させるが、本発明のダイオード部分は低オン抵抗であるため、高速化を図ることができる。

【0141】

なお、分離領域40cは、ダイオードが逆回復する際、IGBT領域に拡散したキャリアにより、IGBTのp型エミッタ42から正孔が逆注入したり、あるいはIGBTのn型ソース44が局所的にラッチアップしたりするのを抑制する。

【0142】

以上のように、本発明の電力用半導体装置は、逆並列還流ダイオードの機能が内蔵され、順方向においてスイッチング機能を有し、逆方向において導通特性を有する。すなわち、誘導負荷により逆起電力が発生すると、半導体装置が逆方向にターンオンし、低いオン電圧で通電する。

【0143】

図35は、本発明の電力用半導体装置の原理を説明するための特性図である。図35(a)は、IGBT領域40aの表面から裏面にかけての深さ方向の電界強度を示す。IGBTは、ノンパンチスルー型のデバイスであるので、電界強度はn型ベース層41aの中でゼロに達している。一方、図35(b)のダイオードの電界強度は、ダイオードがパンチスルー型の構造を有しているので、n型ベース層41bの中では、図35(a)のn型ベース層41aと同じ傾斜でもって、アノード側からカソード側に向けて減少していくが、n型カソード層47の中で急激に減少してゼロとなる。さらに、図35(a)と図35(b)のそれぞれの電界強度の積分値は等しくなる。

【0144】

図36は、ダイオード(パンチスルー型)とIGBT(ノンパンチスルー型)のn型ベース層の厚さと耐圧の関係を示したグラフである(基板の比抵抗が $30 \cdot \text{cm}$ 場合)。ダ

10

20

30

40

50

イオードと I G B T が同じ耐圧（例えば 600 V）であるめには、ダイオードで約 35 μ m、I G B T で約 75 μ m あれば良いことがわかる。もし、ダイオードの厚さを I G B T に合わせて厚く（75 μ m）作ったとすると、ダイオードの耐圧は 600 V 以上得られるが、オン電圧が過大なダイオードが得られる。このように、本発明では I G B T とダイオードがそれぞれ最適な n 型ベース厚を有する構造を提供している。

【0145】

次に、図 37 を参照して、本発明の電力用半導体装置の製造方法を説明する。

【0146】

まず、図 37 (a) に示すように、n 型ベース層となる半導体基板 41 を用意する。次に、図 37 (b) に示すように、n 型ベース基板の表面に、I G B T の p ベース層となる複数の p ウェル 43 と、ダイオードの p 型アノードとなる p 型層 48 を形成する。p ウェル 43 の中には、それぞれ n 型ソース層 43 を形成し、隣接する p ウェル間に露出する n 型ベース基板の表面には、p ウェル 43、n 型ソース層 44 の上部に延在するように、ゲート絶縁膜 45 を介してゲート電極 46 を形成する。同時に、n 型ソース層 44 と p ウェル 43 に接するようにソース電極 50 a を形成し、p 型アノード層 48 の上にはアノード電極 50 b を形成する。さらに、I G B T 領域 40 a とダイオード領域 40 b の間に分離領域 40 c 用の絶縁膜 51 を形成する。

【0147】

次に、図 37 (c) に示すように、n 型ベース基板 41 裏面のダイオード領域 40 b に相当する部分を R I E を用いてドライエッチングし、凹部 52 を形成する。さらに、この凹部を含めて n 型ベース基板 41 の裏面全面に、n 型不純物 53、例えばリン (P) をイオン注入する。

【0148】

次に、図 38 (d) に示すように、n ベース基板 41 裏面の凹部が形成されていない領域 (I G B T 領域) 41 a に p 型不純物イオン 54、例えばボロン (B) をイオン注入する。この時、p 型不純物イオン 54 のドーズ量は、n 型不純物イオン 53 のそれよりも多くする。例えば、n 型不純物イオンとしてリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、p 型不純物としてボロンを $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入する。

【0149】

続いて、アニールを行うことにより、図 38 (e) に示すように、I G B T 領域 40 a の裏面に p 型層 42、ダイオード領域 40 b の裏面に n 型層 47 を形成する。

【0150】

なお、I G B T 形成領域 40 a に相当する領域は、電子線やプロトンなどの粒子線を照射する。また、ダイオード領域 40 b、分離領域 40 c に相当する領域は、キャリアのライフタイムを減少させるライフタイムキラーとして Au, Pt, Fe 等の重金属を堆積拡散する。

【0151】

上記の図 37 (c) 乃至図 38 (e) の工程は、図 39 のように変形して実施してもよい。すなわち、n 型ベース基板 41 の裏面に予め p 型イオン 54 をイオン注入しておき (図 39 (a))、その後図 39 (b) に示すように、凹部 52 を形成する。続いて n 型イオン 53 を n 型ベース基板 41 の裏面全体にイオン注入する。その後アニールを行うことにより、図 39 (c) に示すように p 型層 42 と n 型層 47 を形成する。

【0152】

以上で、逆並列還流ダイオードの機能が内蔵され、順方向においてスイッチング機能を有し、逆方向において導通特性を有する高電力半導体装置が完成する。

【0153】

図 34 では、本発明の半導体装置の部分的な断面図のみが示されているが、半導体装置全体としては、図 40 の平面図に示すような構成とすることができる。図 40 において、56 はリサーフ、ガードリング等が形成される接合終端領域である。図 40 (a) は角型チップを示し、I G B T 領域 40 a がダイオード領域 40 b で取り囲まれている。図 40 (

10

20

30

40

50

b)も角型チップを示し、IGBT領域40aとダイオード領域40bとが並列に形成されている。図40(c)は、図40(a)の構成を丸型にしたものである。

【0154】

なお、図40(b)において、IGBT領域40aと接合終端領域56とのB-B線に沿った断面は、例えば第1の態様の図18に示したように、IGBT領域の最も外側に接合終端構造が形成される。ダイオード領域40bと接合終端領域56との接続構造にも、第1の態様で述べた種々の構造が適用できる。

【0155】

このように形成された半導体装置は、誘導負荷により逆起電力が発生すると、逆方向にターンオンする。その際、ダイオードは低オン電圧で導通される。よって、外付けの逆並列還流ダイオードが不要となり、高電流密度化と高速化が図られて、小型で高性能な半導体装置が実現される。

【0156】

(第17の実施形態)

図41は、本発明の第17の実施形態に係る電力用半導体装置の要部断面図である。

【0157】

本実施形態が第16の実施形態と異なる点は、ダイオード領域40bの裏面に形成される凹部が機械的研削やウエットエッチングにより形成され、凹部の側壁部が斜めに形成されていることである。これらの方法を用いると、凹部の深さを深く形成できるという利点がある。機械的研削は、弗硝酸等によるウエットエッチングと併用してもよく、ウエットエッチングは、水酸化カリウム(KOH)等を使用することができる。

【0158】

(第18の実施形態)

図42は、本発明の第18の実施形態に係る電力用半導体装置の要部断面図である。

【0159】

本実施形態が第17の実施形態と異なる点は、IGBTのゲート電極50aがトレンチの中に形成されていることである。トレンチゲートの形成は、RIEなどを使用すればよく、良く知られているので説明を省略する。

【0160】

このような構成であっても、第16の実施形態と同様な効果を得ることができ、かつIGBTのオン電圧を一層低減できる。

【0161】

(第19の実施形態)

図43は、本発明の第19の実施形態に係る電力用半導体装置の要部断面図である。

【0162】

本実施形態が第16の実施形態と異なる点は、IGBT領域40aとダイオード領域40bが同一の厚さの基板上に形成されていることである。その代わり、ダイオード領域40bのp型アノード層48が深く形成されている。

【0163】

このため、ダイオード領域40bの耐圧を実質的に決定するn型ベース層41bの厚さ $W2'$ は、IGBT領域40aの耐圧を実質的に決定するn型ベース層41aの厚さ $W1'$ との間に、 $W2' < W1'$ なる関係を有する。

【0164】

このような、このような構成であっても、第16の実施形態と同様な効果を得ることができる。

【0165】

(第20の実施形態)

図44は、本発明の第20の実施形態に係る電力用半導体装置の要部断面図である。

【0166】

本実施形態が第16の実施形態と異なる点は、ダイオード領域40bのp型アノード層4

10

20

30

40

50

8 をとり囲み、これより深く形成された p^- 型層 57 を有する点である。この p^- 型層 57 は、アノード層 48 からのホールの注入量を実質的に低減する働きをする。

【0167】

(第21の実施形態)

図45は、本発明の第21の実施形態に係る電力用半導体装置の要部断面図である。

【0168】

本実施形態が第16の実施形態と異なる点は、ダイオード領域40bがn型ベース基板41の表面に形成された凹部に設けられていることである。N型ベース基板41の裏面は平坦にされており、IGBT領域40aのn型ベース基板の厚さW1と、ダイオード領域のn型ベース基板の厚さW2との間には、 $W1 > W2$ の関係が成り立つ。

10

【0169】

このような構成であっても第16の実施形態と同様な効果を得ることができる。

【0170】

次に、本発明の第3の態様の電力用半導体装置の実施形態(第22乃至第26の実施形態)を説明する。なお、これらの実施形態では第1導電型層としてn型、第2導電型層としてp型を用いているが、導電型を逆にしてもよい。また、同一箇所には同一番号を付して、重複する説明を省略する。

【0171】

(第22の実施形態)

図46は、本発明の第22の実施形態に係る電力用半導体装置の要部断面図を示す。図46において、61は高抵抗のn型ベース層(半導体基板)を示しており、このn型ベース層61の一方の面(裏面)には、凹部が形成されている。この裏面で凹部が形成されていない領域60aにp型ドレイン層62が形成され、凹部が形成された領域60bにn型ドレイン層63が形成されている。

20

【0172】

一方、n型ベース層61の他方の面(表面)には、複数のp型ベース層64が選択的に形成され、各p型ベース層64内にはn型ソース層65が形成されている。さらに、n型ベース層61とn型ソース層65との間のp型ベース層64上には、ゲート絶縁膜66を介してゲート電極67が形成されている。なお、これらゲート電極67、ゲート絶縁膜66、p型ベース層64、n型ベース層61及びn型ソース層65により、CH1をチャンネル領域とする電子注入用MOSFETが構成されている。

30

【0173】

p型ドレイン層62上及びn型ドレイン層63上には、両層62, 63に接してドレイン電極(第2の主電極)68が形成されている。また、n型ソース層65上及びp型ベース層64上には、両層65, 64に接してソース電極(第1の主電極)69が形成されている。ゲート電極69が副電極となる。なお、複数のソース電極、複数のゲート電極は、それぞれ相互に接続されており、図中では結線で模式的に表されている。

【0174】

上記のように、p型ドレイン層62が形成された領域60aにはIGBTが構成されており、n型ドレイン層63が形成された領域60bには、パワーMOSFETが構成されている。

40

【0175】

以上のように、本発明の電力用半導体装置は、IGBTとMOSFETとが並列接続され、かつMOSFETを構成する高抵抗のn型ベース層(基板)61bの厚さW2がIGBTを構成する高抵抗のn型ベース層(基板)61aの厚さW1より小さいことが特徴である。

【0176】

次に、このような半導体装置の動作を説明する。ドレイン電極68に正電圧、ソース電極69に負電圧が印加されている時、ソースよりも正となる正電圧がゲート電極69に印加されると、p型ベース層64のゲート電極67に接した表面がn型に反転し、電子eがn

50

型ソース層 6 5 から反転層を介して n 型ベース層 6 1 に注入される。

【 0 1 7 7 】

ここで、ドレイン電流が小さくドレイン電圧も小さい場合、n 型ベース層 6 1 に注入された電子 e は、p 型ドレイン層 6 2 と n 型ベース層 6 1 とによって構成される p n 接合のビルトインポテンシャルを越えることができない。このため、電子 e は p 型ドレイン層 6 2 には流れ込まず、n 型ドレイン層 6 3 に流れ込む。すなわち低電流領域では、ソース電極 6 9、n 型ソース層 6 5、反転層（チャネル）CH 1、n 型ベース層 6 1 b、n 型ドレイン層 6 3、ドレイン電極 6 8 を結ぶ経路が多数キャリアの流路となるので、p n 接合に起因する電圧降下が生じず、零電圧から電流が立ち上がる。

【 0 1 7 8 】

次に、電流が増加してドレイン電圧が上昇してくると、上記 p n 接合が順バイアスされて、電子 e はビルトインポテンシャルを越えて p 型ドレイン層 6 2 に流入するようになる。これに伴い、p 型ドレイン層 6 2 から n 型ベース層 6 1 に正孔 h が注入される。結果的に、n 型ベース層 6 1 に電子 e と正孔 h の両方が注入され、伝導度変調が起こる。これにより半導体装置は低オン電圧で導通する。

【 0 1 7 9 】

特に、本発明の半導体装置では、M O S F E T を構成する高抵抗ベース層（基板）6 1 b の厚さ W 2 が I G B T を構成する高抵抗ベース層（基板）6 1 a の厚さ W 1 よりも薄いことから、低電流領域でのオン抵抗を極めて小さくできる。以上の機構により、本発明の半導体装置では、低電流領域から高電流領域に互って、オン抵抗を低減することができる。

図 4 7 は、このような本発明の半導体装置のオン特性を説明する特性図である。

【 0 1 8 0 】

また、M O S F E T は、パンチスルー構造を有しているので、図 3 5 を使用して説明した特徴は、本実施形態の半導体装置にもそのまま当てはめることができる。

【 0 1 8 1 】

一方、ターンオフ動作の際には、ソースに対して負である負電圧が絶縁ゲート 6 7 に印加される。これにより、ゲート電極 6 7 直下に形成されていた反転層が消失して電子注入が止まる。一方、n 型ベース層 6 1 中の正孔 h は、その一部が p 型ベース層 6 4 を介してソース電極 6 9 に排出され、残りの正孔 h は、電子 e と再結合して消滅する。これにより、半導体装置はターンオフする。

【 0 1 8 2 】

次に、図 4 8、図 4 9 を参照して、本発明の電力用半導体装置の製造方法を説明する。

【 0 1 8 3 】

まず、図 4 8 (a) に示すように、n 型ベース層となる半導体基板 6 1 を用意する。次に、図 4 8 (b) に示すように、n 型ベース基板の上面に、M O S F E T および I G B T の p ベース層となる複数の p ウェル 6 3 を形成する。p ウェル 6 3 の中には、それぞれ n 型ソース層 6 5 を形成し、隣接する p ウェル間に露出する n 型ベース基板の表面には、p ウェル 6 3、n 型ソース 6 5 の上部に延在するように、ゲート絶縁膜 6 6 を介してゲート電極 6 7 を形成する。同時に、ソース電極 6 8 を形成する。

【 0 1 8 4 】

次に、図 4 8 (c) に示すように、n 型ベース基板 6 1 裏面の M O S F E T 領域 6 0 b に相当する部分を R I E を用いてドライエッチングし、凹部 7 0 を形成する。続いて、I G B T 形成領域 6 0 a に相当する領域に、電子線やプロトン等の粒子線を照射する。さらに、この凹部を含めて n 型ベース基板 6 1 の裏面全面に、n 型不純物 7 1、例えばリン (P) をイオン注入する。

【 0 1 8 5 】

次に、図 4 9 (d) に示すように、n ベース基板 6 1 裏面の凹部が形成されていない領域 (I G B T 領域) 6 1 a に p 型不純物イオン 7 2、例えばボロン (B) をイオン注入する。この時、p 型不純物イオン 7 2 のドーズ量は、n 型不純物イオン 7 1 のそれよりも多くする。例えば、n 型不純物イオンとしてリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、p 型不純物としてボロ

10

20

30

40

50

ンを $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入する。

【0186】

続いて、アニールを行うことにより、図49(e)に示すように、IGBT領域60aの裏面にp型ドレイン層62、MOSFET領域60bの裏面にn型ドレイン層63を形成する。

【0187】

上記の図48(c)乃至図49(e)の工程は、図50ように変形して実施してもよい。すなわち、n型ベース基板61の裏面に予めp型イオン72をイオン注入しておき(図50(a))、その後図50(b)に示すように、凹部72を形成する。続いてn型イオン71をn型ベース基板61の裏面全体にイオン注入する。その後アニールを行うことにより、図50(c)に示すようにp型ドレイン層62とn型ドレイン層63を形成する。

10

【0188】

以上で、MOSFETとIGBTが並列接続された電力用半導体装置が完成する。

【0189】

図46では、本発明の半導体装置の部分的な断面図のみが示されているが、半導体装置全体としては、第16の実施形態と同様に、図40の平面図に示すような構成とすることができる。図40において、40bをMOSFET領域と読み替えれば、そのまま本実施形態に適用することができる。

【0190】

以上のように、本発明によれば、低電流領域では主に、ソース電極69、n型ソース層65、反転層(チャネル)CH1、n型ベース層61b、n型ドレイン層63、ドレイン電極68を結ぶ経路が多数キャリアの流路となるので、pn接合に起因する電圧降下が生じず、零電圧から電流が立ち上がる。一方、高電流領域では、p型ドレイン層62からn型ベース層61aに少数キャリアが注入されるので、伝導度変調が起きる。従って、低電流領域から高電流領域に互って、オン抵抗を低減することができる。

20

【0191】

(第23の実施形態)

図51は、本発明の第23の実施形態に係る電力用半導体装置の要部断面図である。

【0192】

本実施形態が第22の実施形態と異なる点は、MOSFET領域60bの裏面に形成される凹部が機械的研削やウェットエッチングにより形成され、凹部の側壁部が斜めに形成されていることである。これらの方法を用いると、凹部の深さを深く形成できるという利点がある。機械的研削は、弗硝酸等によるウェットエッチングと併せておこなってもよく、ウェットエッチングは、水酸化カリウム(KOH)等を用いて行うことができる。

30

【0193】

(第24の実施形態)

図52は、本発明の第24の実施形態に係る電力用半導体装置の要部断面図である。

【0194】

本実施例が第23の実施形態と異なる点は、IGBT若しくはMOSFETのゲート電極67がトレンチの中に形成されていることである。トレンチゲートはRIE等を用いて形成すればよく、その形成方法は良く知られているので説明を省略する。

40

【0195】

このような、このような構成であっても、第23の実施形態と同様な効果をえることができ、かつIGBTおよびMOSFETをさらに低オン抵抗化できる。

【0196】

(第25の実施形態)

図53は、本発明の第25の実施形態に係る電力用半導体装置の要部断面図である。

【0197】

本実施例が第23の実施形態と異なる点は、IGBT領域60aとMOSFET領域60bとの間に分離領域60cを有することである。分離領域60は、本発明の素子がターン

50

オフする際、M O S F E T 領域に拡散した正孔により、M O S F E T 領域の動作のアンバランスが生じるのを抑制するためのものである。分離領域 6 0 c の幅が、キャリアの拡散長より短い場合は、I G B T と同様に、ライフタイムキラーを導入するのが望ましい。7 3 は、分離領域上に設けられた絶縁膜である。

【 0 1 9 8 】

(第 2 6 の実施形態)

図 5 4 は、本発明の第 2 6 の実施形態に係る電力用半導体装置の要部断面図である。

【 0 1 9 9 】

本実施形態が第 2 3 の実施形態と異なる点は、M O S F E T 領域 6 0 b が n 型ベース基板 6 1 の表面に形成された凹部に設けられていることである。N 型ベース基板 6 1 の裏面は平坦にされており、I G B T 領域 6 0 a の n 型ベース基板の厚さ W 1 と、M O S F E T 領域の n 型ベース基板の厚さ W 2 との間には、 $W 1 > W 2$ の関係が成り立つ。

【 0 2 0 0 】

このような構成であっても第 2 3 の実施形態と同様な効果を得ることができる。

【 0 2 0 1 】

【 発明の効果 】

以上詳述したように本発明の第 1 の態様によれば、半導体基板に凹部を形成することによって、高耐圧半導体素子が形成される領域を薄くしたり、半導体基板との界面に複数の段差を有する電界緩和構造を用いることにより、必要な耐圧を確保するために、電界緩和構造を用いるとともに、半導体基板を厚くしても、高耐圧半導体素子の順方向電圧降下、逆回復損失等の素子特性の劣化を防止できる高耐圧半導体装置を実現できるようになる。

【 0 2 0 2 】

また、本発明の第 2 の態様によれば、逆並列還流ダイオードの機能が内蔵され、順方向においてスイッチング機能を有し、逆方向において導通特性を有する。これにより、誘導負荷により逆起電力が発生すると、半導体装置は逆方向にターンオフする。その際、ダイオードは低オン電圧で導通される。もって、逆並列還流ダイオードが不要となる結果、高電流密度化と高速化が図られて、小型で高性能な半導体装置が実現される。

【 0 2 0 3 】

また、本発明の第 3 の態様によれば、低電流領域では主に、薄い高抵抗ベース層を有する M O S F E T 領域をキャリアが流れ、高電流領域では I G B T 領域を流れる。これにより、低電流領域では p n 接合に起因する電圧降下が生じないので、零電圧から電流が立ち上がり、高電流領域では、p 型ドレイン層から少数キャリアが注入されるので、伝導度変調が起きる。従って、低電流領域から高電流領域に互って、オン抵抗を低減することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態に係る高耐圧半導体装置の要部を示す断面図。

【 図 2 】 従来の p 型リサーフ層を用いた高耐圧半導体装置の断面図に、電界強度のプロファイルを併記した図。

【 図 3 】 第 1 の実施形態における電界分布を説明するための断面図に、電界強度のプロファイルを併記した図。

【 図 4 】 第 1 の実施形態において凹部の深さが浅い場合の高耐圧半導体装置の断面図に、電界強度のプロファイルを併記した図。

【 図 5 】 第 1 の実施形態において凹部の深さが中間の場合の高耐圧半導体装置の断面図に、電界強度のプロファイルを併記した図。

【 図 6 】 第 1 の実施形態において凹部の深さが深い場合の高耐圧半導体装置の断面図に、電界強度のプロファイルを併記した図。

【 図 7 】 第 1 の実施形態における凹部の素子構造の形成方法を段階的に示す断面図。

【 図 8 】 第 1 の実施形態の高耐圧半導体装置の変形例を示す断面図。

【 図 9 】 第 1 の実施形態の高耐圧半導体装置の他の変形例を示す断面図。

【 図 1 0 】 本発明の第 2 の実施形態に係る高耐圧半導体装置の要部を示す断面図。

- 【図 1 1】本発明の第 3 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 1 2】本発明の第 4 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 1 3】本発明の第 5 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 1 4】本発明の第 6 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 1 5】本発明の凹部の素子構造の形成方法を段階的に示す半導体装置の断面図。
- 【図 1 6】図 1 5 の高耐圧半導体装置の変形例を示す断面図。
- 【図 1 7】本発明の第 7 の実施形態に係る高耐圧半導体装置を示す断面図。
- 【図 1 8】本発明の第 8 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 1 9】本発明の第 9 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 2 0】本発明の第 1 0 の実施形態に係る高耐圧半導体装置の要部を示す断面図。 10
- 【図 2 1】図 2 0 の高耐圧半導体装置の変形例を示す断面図。
- 【図 2 2】本発明の第 1 1 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 2 3】図 2 2 の高耐圧半導体装置の基本構造の形成方法を段階的に示す断面図。
- 【図 2 4】図 2 2 の高耐圧半導体装置の基本構造の他の形成方法を段階的に示す断面図。
- 【図 2 5】図 2 2 の高耐圧半導体装置の基本構造のさらに他の形成方法を段階的に示す断面図。
- 【図 2 6】図 2 2 の高耐圧半導体装置の基本構造のさらに他の形成方法を段階的に示す断面図。
- 【図 2 7】本発明の第 1 2 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 2 8】図 2 7 の凹部の素子構造の形成方法を段階的に示す断面図。 20
- 【図 2 9】図 2 7 の高耐圧半導体装置の変形例を示す断面図。
- 【図 3 0】本発明の第 1 3 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 3 1】本発明の第 1 4 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 3 2】図 2 9 の高耐圧半導体装置の変形例を示す断面図。
- 【図 3 3】本発明の第 1 5 の実施形態に係る高耐圧半導体装置の要部を示す断面図。
- 【図 3 4】本発明の第 1 6 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 3 5】(a)、(b) は、それぞれ図 3 4 の I G B T 部、ダイオード部の電界強度のプロファイルを示す図。
- 【図 3 6】パンチスルー型素子 (ダイオード等) とノンパンチスルー型素子 (I G B T 等) について、 n 型ベース層の厚さと耐圧の関係を比較した図。 30
- 【図 3 7】図 3 4 の電力用半導体装置の基本構造の製造方法を段階的に示す断面図。
- 【図 3 8】図 3 7 に続く工程を示す断面図。
- 【図 3 9】図 3 7 (c) 乃至図 3 8 (e) に対応する他の製造方法を示す断面図。
- 【図 4 0】図 3 4 の電力用半導体装置が採り得る平面形状を示した図で、図 3 4 は、図 4 0 (a)、(b)、(c) の各々の A - A 線に沿った断面図に相当。
- 【図 4 1】本発明の第 1 7 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 4 2】本発明の第 1 8 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 4 3】本発明の第 1 9 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 4 4】本発明の第 2 0 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 4 5】本発明の第 2 1 の実施形態に係る電力用半導体装置の要部を示す断面図。 40
- 【図 4 6】本発明の第 2 2 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 4 7】図 4 6 の電力用半導体装置の電圧 - 電流特性を説明するための特性図。
- 【図 4 8】図 4 6 の電力用半導体装置の基本構造の製造方法を段階的に示す断面図。
- 【図 4 9】図 4 8 に続く工程を示す断面図。
- 【図 5 0】図 4 8 (c) 乃至図 4 9 (e) に対応する他の製造方法を示す断面図。
- 【図 5 1】本発明の第 2 3 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 5 2】本発明の第 2 4 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 5 3】本発明の第 2 5 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 5 4】本発明の第 2 6 の実施形態に係る電力用半導体装置の要部を示す断面図。
- 【図 5 5】従来の高耐圧ダイオードの主要部の素子構造を示す部分断面図。 50

【図 5 6】従来の I G B T を用いたインバータの主要部の回路構成図。

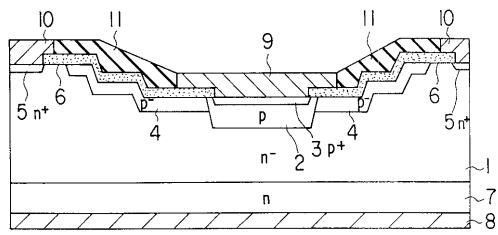
【図 5 7】従来の I G B T の主要部の断面図。

【図 5 8】I G B T の電圧 - 電流特性を示す特性図。

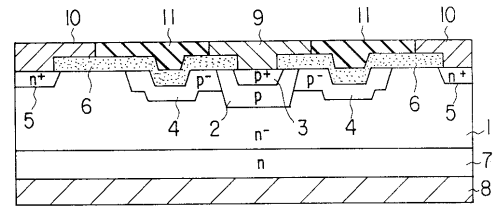
【符号の説明】

1 ... 第 1 の n 型カソード層 (半導体基板)	
2 ... 第 1 の p 型アノード層	
3 ... 第 2 の p 型アノード層	
4 ... p 型リサーフ層 (電界緩和構造)	
5 ... n 型チャンネルストッパ層	
6 ... 高抵抗膜	10
7 ... n 型カソード層	
8 ... カソード電極	
9 ... アノード電極	
1 0 ... 電極	
1 1 ... 絶縁膜	
1 2 ... p 型ガードリング層	
1 3 ... p 型リサーフ層 (電界緩和構造)	
1 4 ... 高濃度 n カソード層	
2 1 ... 第 1 の n 型ベース層 (半導体基板)	
2 2 ... 第 1 の p 型ベース層	20
2 3 ... 第 2 の p 型ベース層	
2 4 ... n 型ソース層	
2 5 ... ゲート絶縁膜	
2 6 ... ゲート電極	
2 7 ... p 型リサーフ層	
2 8 ... n 型チャンネルストッパ層	
2 9 ... 高抵抗膜	
3 0 ... 第 2 の n 型ベース層	
3 1 ... p 型ドレイン層	
3 2 ... ドレイン電極	30
3 3 ... ソース電極	
3 4 ... 電極	
3 5 ... 絶縁膜	

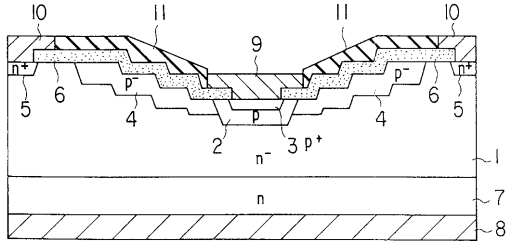
【図 8】



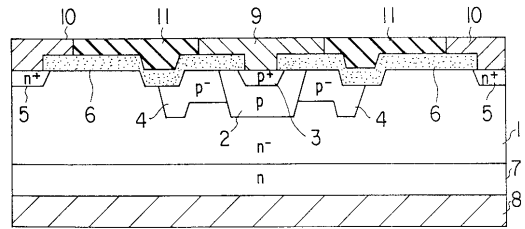
【図 10】



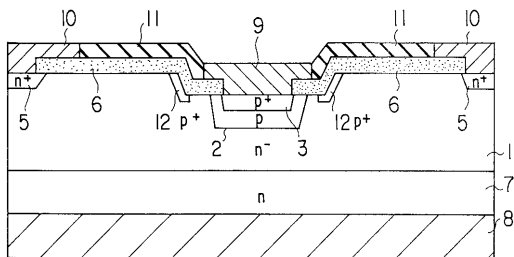
【図 9】



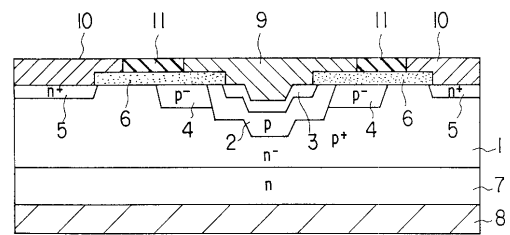
【図 11】



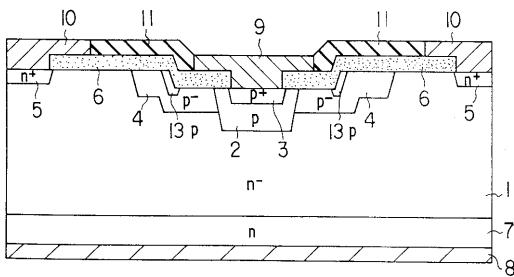
【図 12】



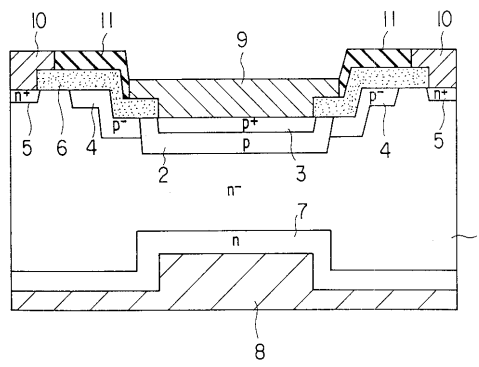
【図 14】



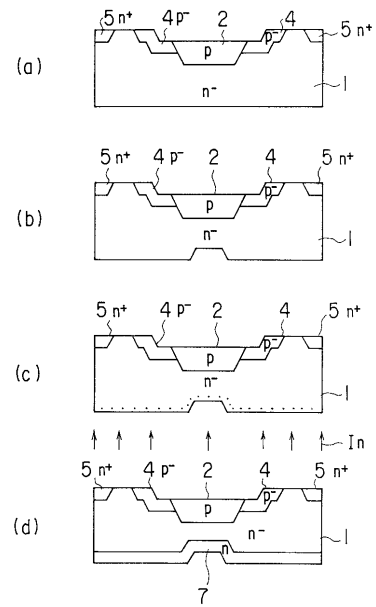
【図 13】



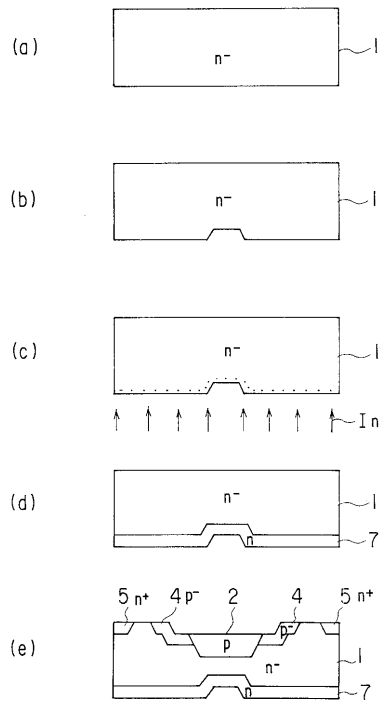
【図 22】



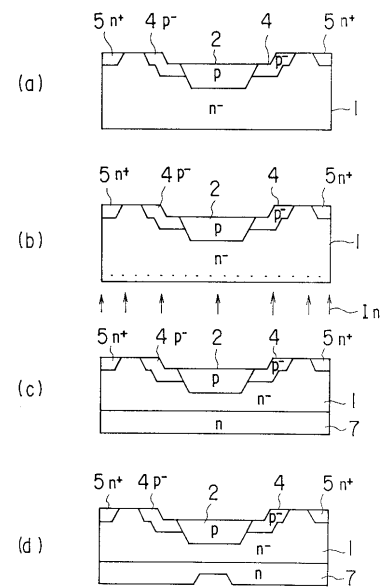
【図 23】



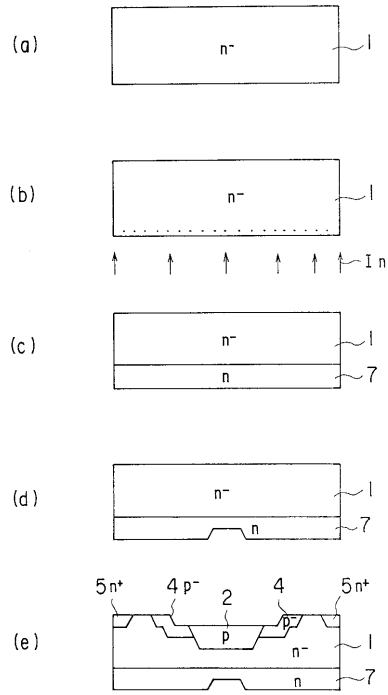
【図 24】



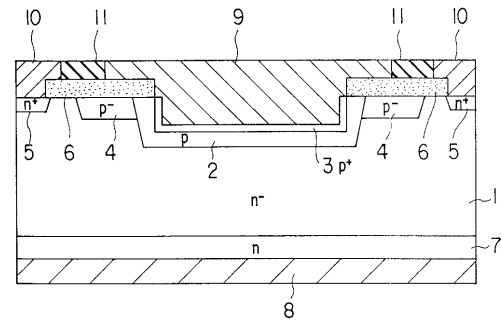
【図 25】



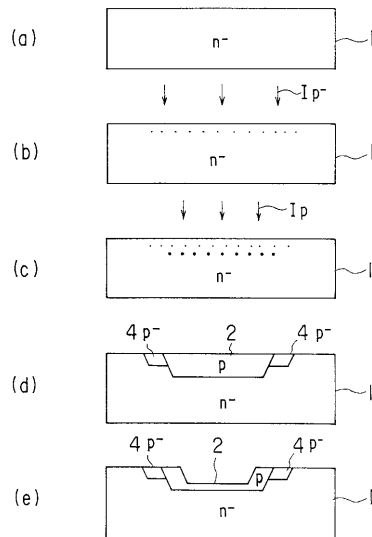
【図 26】



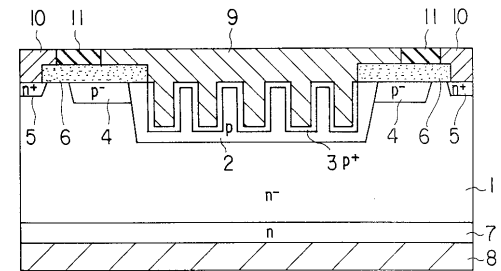
【図 27】



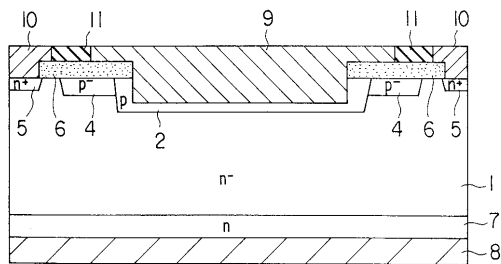
【図 28】



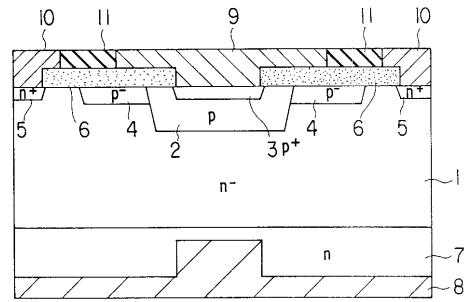
【図 29】



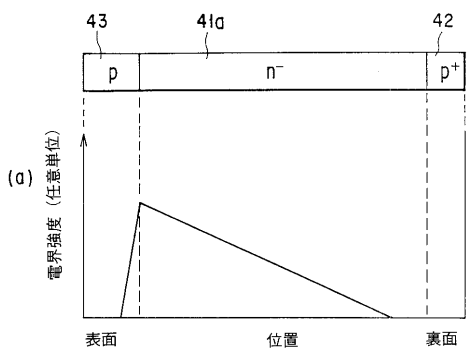
【図 30】



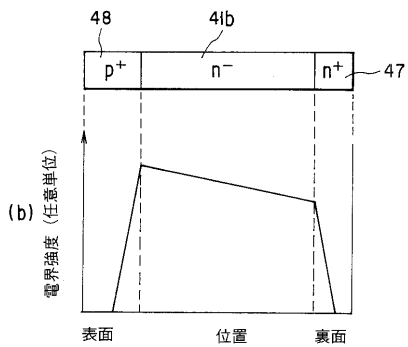
【 図 3 3 】



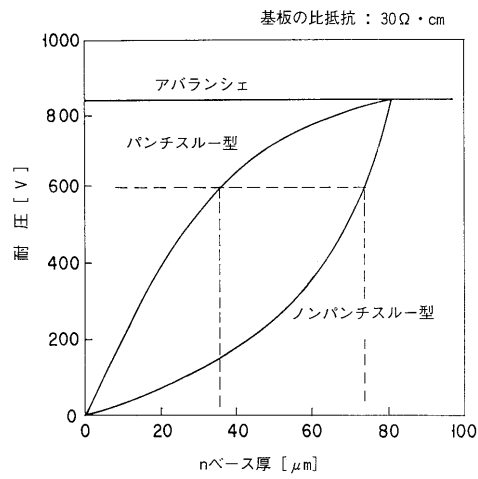
【 図 3 5 】



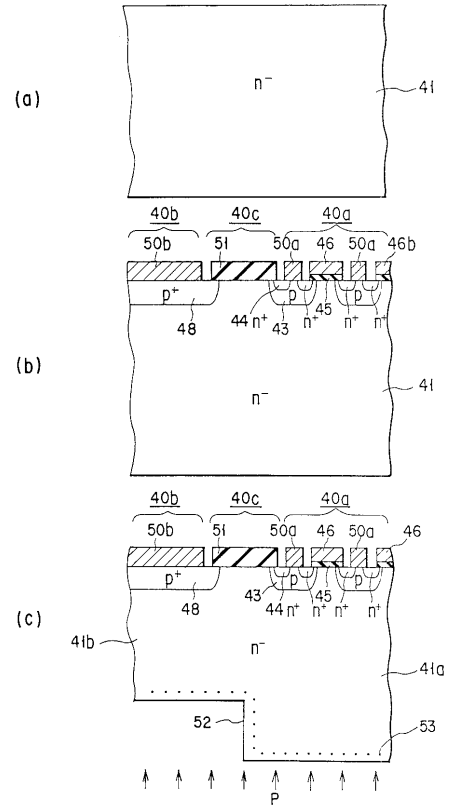
(b) 任期



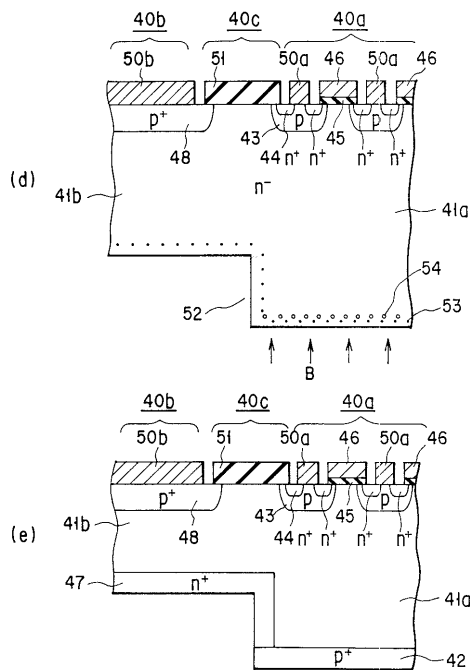
【図 36】



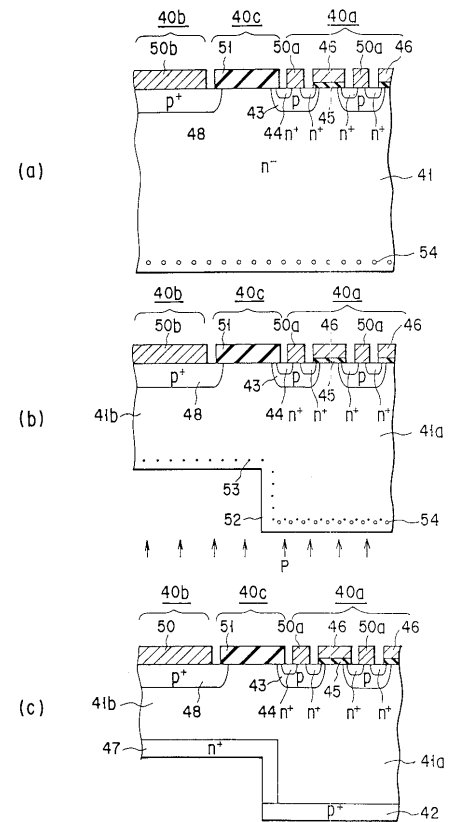
【図 37】



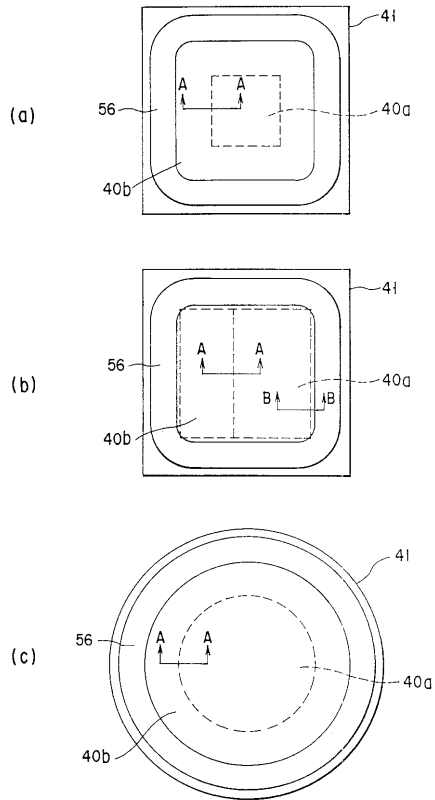
【図 38】



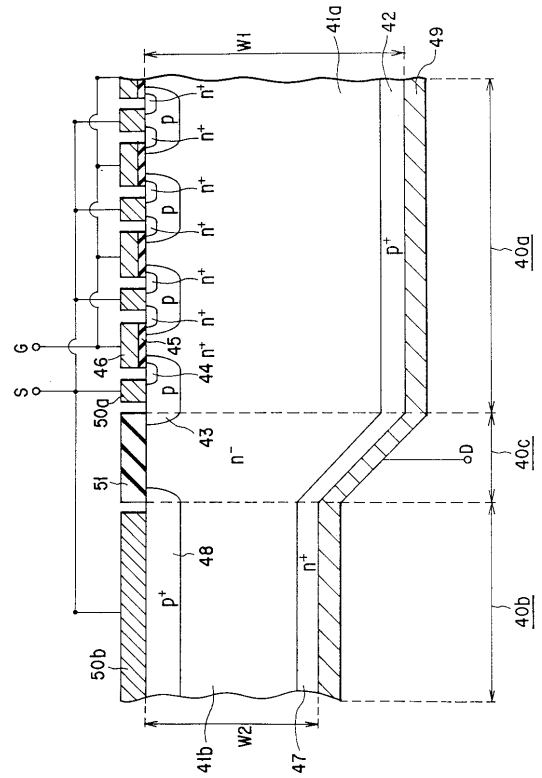
【図 39】



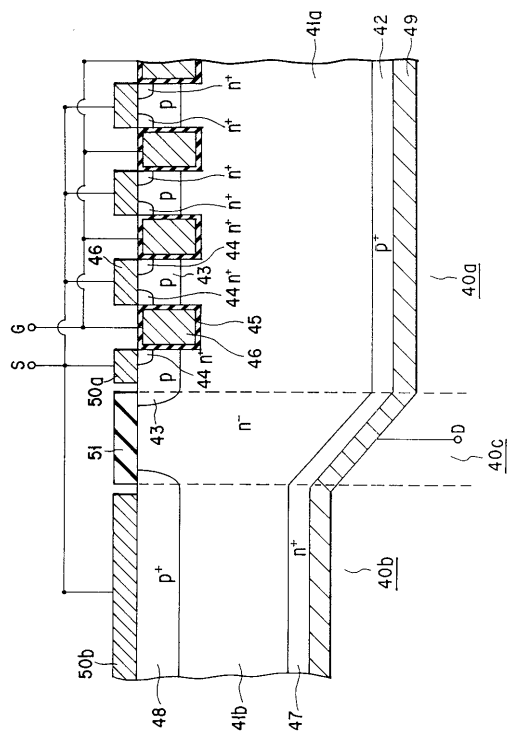
【 図 4 0 】



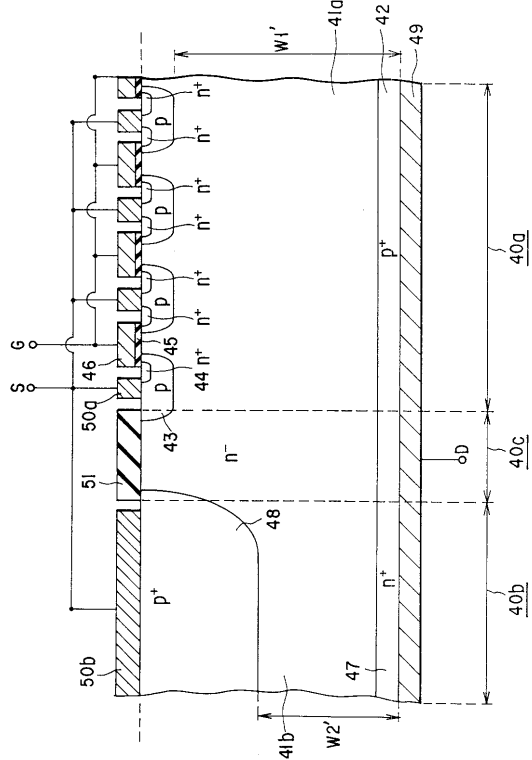
【 図 4 1 】



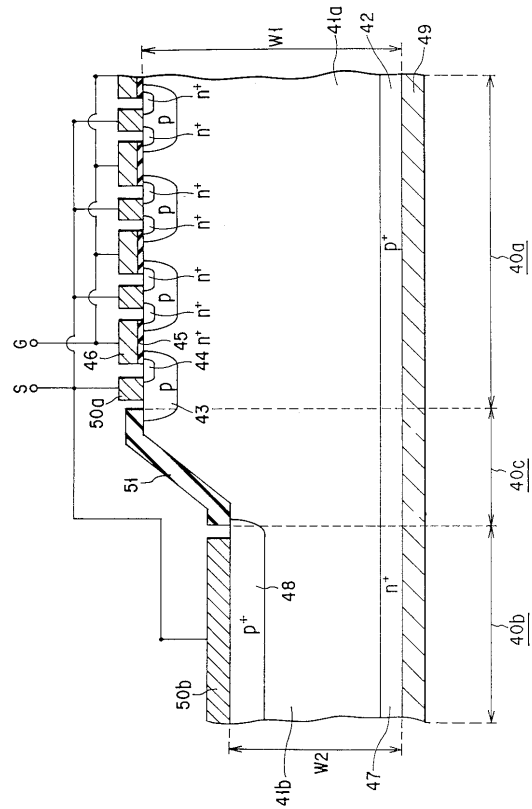
【 図 4 2 】



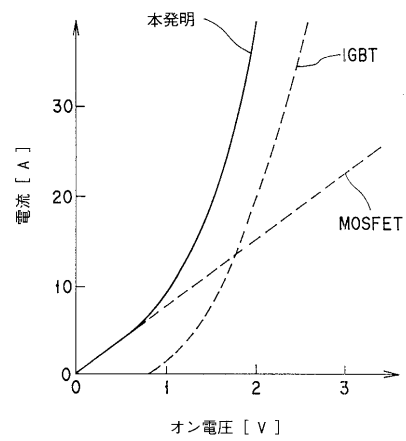
【 図 4 3 】



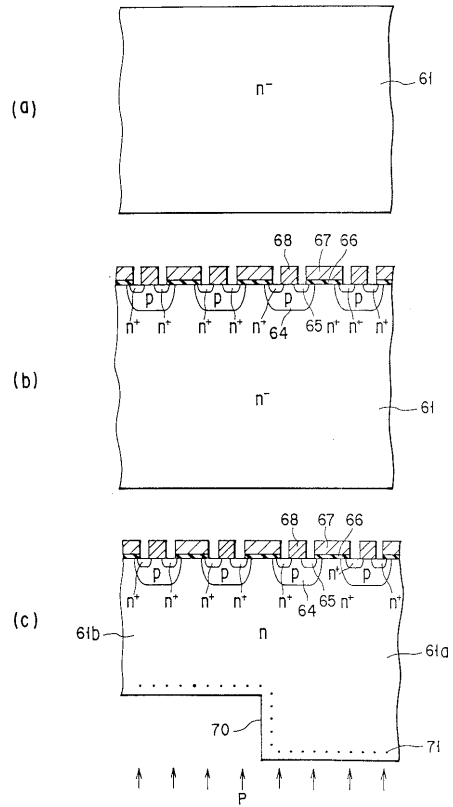
【 図 4 5 】



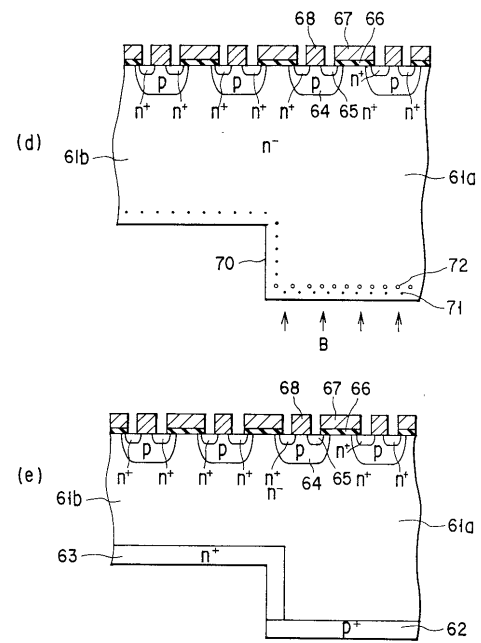
【圖 47】



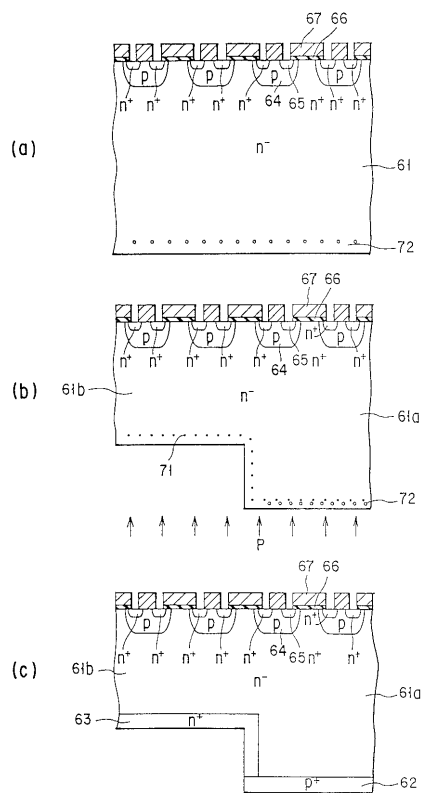
【図 48】



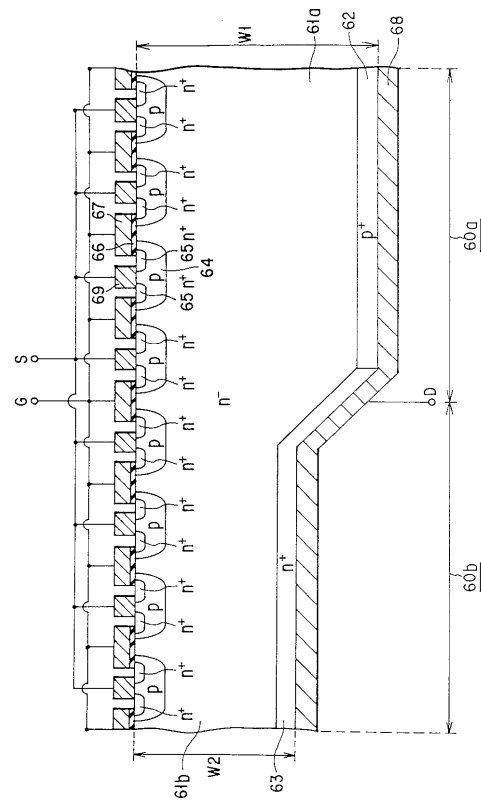
【図 49】



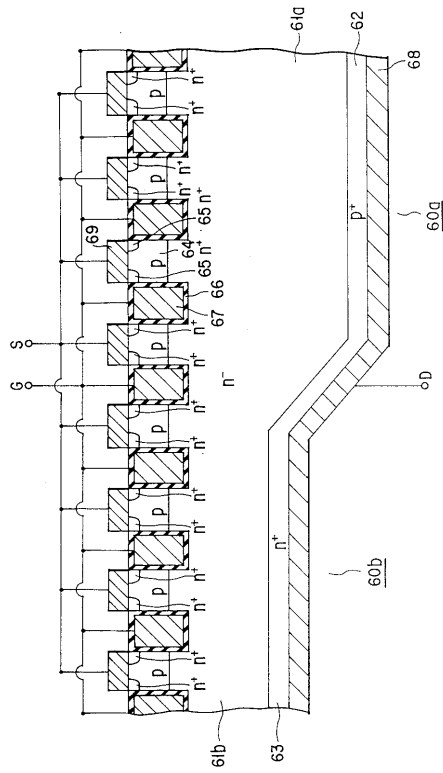
【図 50】



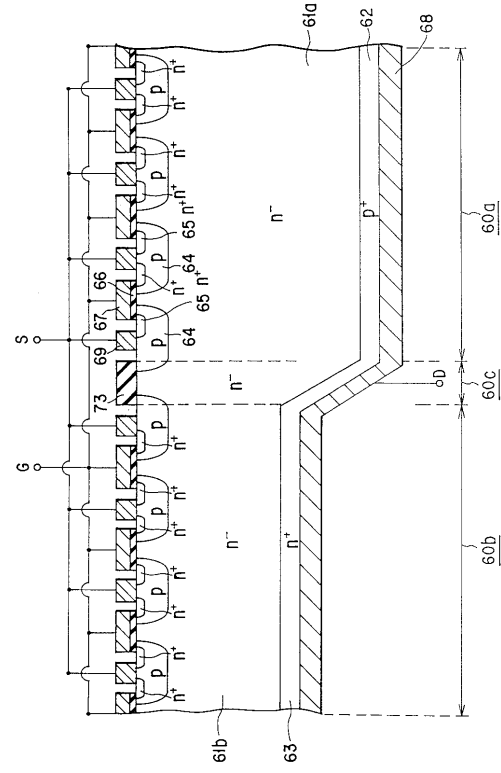
【図 51】



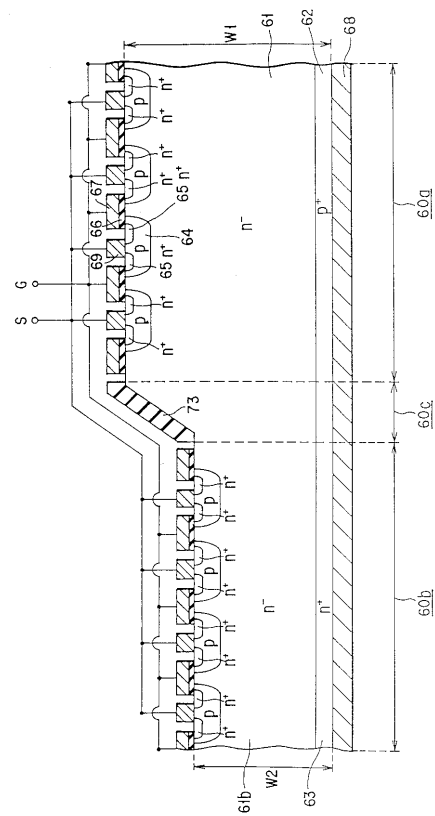
【図 5 2】



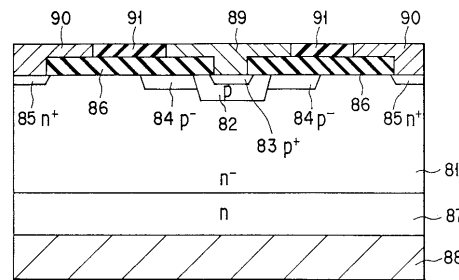
【図 5 3】



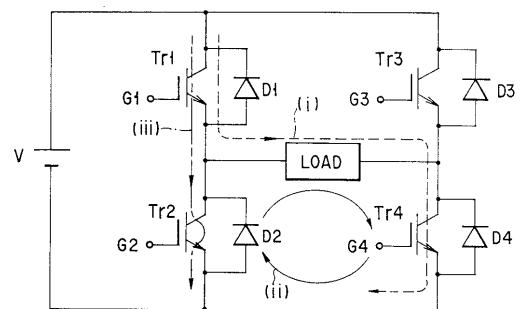
【図 5 4】



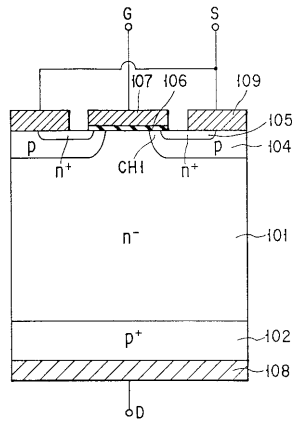
【図 5 5】



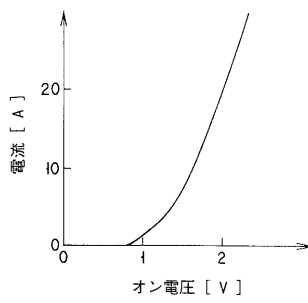
【図 5 6】



【図 57】



【図 58】



フロントページの続き

- (72)発明者 附田 正則
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 四戸 孝
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 山口 正一
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

審査官 河口 雅英

- (56)参考文献 特開平 0 5 - 1 5 2 5 7 4 (J P , A)
特開平 0 7 - 1 5 3 9 5 1 (J P , A)
特開平 0 4 - 0 1 4 2 6 3 (J P , A)
特開平 0 2 - 0 8 2 5 3 4 (J P , A)
特開昭 5 3 - 1 2 7 2 7 0 (J P , A)
実開平 0 3 - 0 1 0 5 5 6 (J P , U)
特開平 0 1 - 2 7 2 1 5 1 (J P , A)
特開昭 6 3 - 0 5 3 9 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/861
H01L 29/06
H01L 29/739
H01L 29/78