



(12) 发明专利申请

(10) 申请公布号 CN 103663343 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310395447. 9

(22) 申请日 2013. 09. 03

(30) 优先权数据

2012-199160 2012. 09. 11 JP

(71) 申请人 精工爱普生株式会社

地址 日本东京都

(72) 发明人 北野洋司 奥山规生

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

代理人 李辉 黄纶伟

(51) Int. Cl.

B81B 3/00 (2006. 01)

B81C 1/00 (2006. 01)

H03H 9/02 (2006. 01)

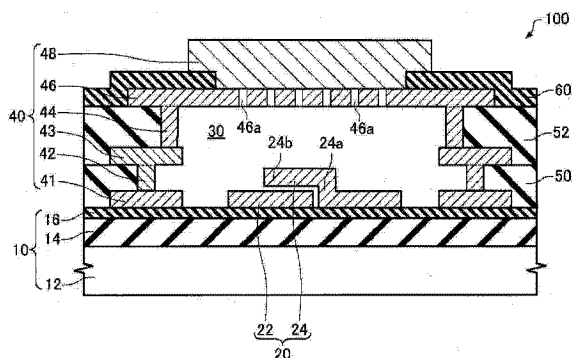
权利要求书1页 说明书10页 附图6页

(54) 发明名称

电子装置及其制造方法、以及振荡器

(57) 摘要

本发明提供电子装置及其制造方法、以及振荡器,该电子装置能够抑制对配置有功能元件的空腔部进行划定的覆盖层发生挠曲。电子装置(100)包含:基板(10);空腔部(30),其形成在基板(10)的上方,在内部配置有功能元件(20);以及划定空腔部(30)的覆盖构造体(40),覆盖构造体(40)具有:第1包围壁(42),其位于基板(10)的上方,且形成于空腔部(30)的周围;第2包围壁(44),其位于第1包围壁(42)的上方,且形成于空腔部(30)的周围;以及划定空腔部(30)的上表面的覆盖层(46),第2包围壁(44)在俯视时位于第1包围壁(42)的内侧。



1. 一种电子装置,其具有:
基板;
功能元件,其配置在所述基板的上方;
第 1 包围壁,其位于所述基板的上方,且配置于所述功能元件的周围;
第 2 包围壁,其被配置成相对于所述第 1 包围壁位于与所述基板侧相反的一侧,且俯视时位于所述第 1 包围壁的内侧,并且包围所述功能元件;以及
覆盖层,其位于所述第 2 包围壁的上方,并且在俯视时与所述功能元件重叠。
2. 根据权利要求 1 所述的电子装置,其中,
所述覆盖层与所述第 2 包围壁是一体的。
3. 根据权利要求 1 或 2 所述的电子装置,其中,
在所述基板与所述功能元件重叠的方向上,在所述第 1 包围壁与所述第 2 包围壁之间具有第 3 包围壁,并且所述第 3 包围壁在俯视时位于所述第 1 包围壁与所述第 2 包围壁之间。
4. 根据权利要求 1 或 2 所述的电子装置,其中,
所述第 1 包围壁和所述第 2 包围壁划定了配置有所述功能元件的区域的侧面。
5. 一种振荡器,其具有:
权利要求 1 或 2 所述的电子装置;以及
与所述电子装置的所述功能元件电连接的电路部。
6. 一种电子装置的制造方法,其包含以下工序:
在基板的上方形成功能元件;
以覆盖所述功能元件的方式,在所述基板的上方形成第 1 层间绝缘层;
在所述第 1 层间绝缘层,形成包围所述功能元件的第 1 包围壁;
在所述第 1 层间绝缘层的上方形成第 2 层间绝缘层;
在所述第 2 层间绝缘层,形成包围所述功能元件的第 2 包围壁;
在所述第 2 层间绝缘层的上方形成覆盖层;
在所述覆盖层上形成贯通孔;以及
通过所述贯通孔去除所述功能元件上方的所述第 1 层间绝缘层和所述第 2 层间绝缘层,
在形成所述第 2 包围壁的工序中,在俯视时,在所述第 1 包围壁的内侧形成所述第 2 包围壁。
7. 根据权利要求 6 所述的电子装置的制造方法,其中,
在形成所述覆盖层的工序中,与所述第 2 包围壁一体地形成所述覆盖层。
8. 根据权利要求 6 或 7 所述的电子装置的制造方法,其中,
在形成所述第 2 层间绝缘层的工序之前,包含以下工序:
在所述第 1 层间绝缘层的上方形成第 3 层间绝缘层;以及
在所述第 3 层间绝缘层,形成包围所述功能元件的第 3 包围壁,
在形成所述第 3 包围壁的工序中,在俯视时,在所述第 1 包围壁的内侧形成所述第 3 包围壁,
在形成所述第 2 包围壁的工序中,在俯视时,在所述第 3 包围壁的内侧形成所述第 2 包围壁。

电子装置及其制造方法、以及振荡器

技术领域

[0001] 本发明涉及电子装置及其制造方法、以及振荡器。

背景技术

[0002] MEMS (Micro Electro Mechanical Systems :微电子机械系统) 是微小构造体形成技术之一,是指例如制作微米级的精细电子机械系统的技术及其产品。

[0003] 作为通过 MEMS 技术制造的主要器件,有振子、传感器、致动器等。作为这样的 MEMS 器件,众所周知的是具有可动部、并将该可动部的微小位移引起的静电电容的变化作为信号读出的 MEMS 器件。在 MEMS 器件中,可动部的位移非常微小,妨碍位移的空气等气体成为引起器件的性能以及可靠性的降低的主要原因。例如,已知当减小空气等气体引起的阻力时,振子和压力传感器等的频率精度、灵敏度等性能明显改善,因而期望 MEMS 器件周围的气体尽可能少。因此,研究了以下方法:通过将 MEMS 器件配置到处于减压状态的空腔部并进行气密密封,由此实现器件特性的提高。此外,也尝试了通过密封的方法、密封构造等来提高空腔部内的真空度。

[0004] 例如,在专利文献 1 中,公开了具备覆盖构造体的电子装置,该覆盖构造体划定了配置有 MEMS 器件等功能元件的空腔部。在专利文献 1 的电子装置中,覆盖构造体具有层间绝缘膜和布线层的层叠构造,并且用布线层的一部分构成了从上方覆盖空腔部的上方覆盖部(覆盖层)。

[0005] 【专利文献 1】日本特开 2008-114354 号公报

[0006] 但是,在专利文献 1 的电子装置中,例如当涂布向电子基板安装时使用的聚酰亚胺等保护树脂时,有时从上方覆盖空腔部的覆盖层会由于涂布压力而挠曲。此外,例如,有时从上方覆盖空腔部的覆盖层会由于芯片化时的切割压力和磨削基板背面时的压力而挠曲。当覆盖层发生挠曲时,往往会引起空腔部内的真空度降低的问题,最差的情况可能会引起覆盖层与功能元件接触的问题。

发明内容

[0007] 本发明的几个方式的目的之一在于,提供一种能够抑制对配置功能元件的空腔部进行划定的覆盖层发生挠曲的电子装置及其制造方法。此外,本发明的几个方式的目的之一在于提供包含上述电子装置的振荡器。

[0008] 本发明的电子装置具有:基板;功能元件,其配置在所述基板的上方;第 1 包围壁,其位于所述基板的上方,且配置于所述功能元件的周围;第 2 包围壁,其被配置成位于所述第 1 包围壁的上方,且俯视时位于所述第 1 包围壁的内侧,并且包围所述功能元件;以及覆盖层,其位于所述第 2 包围壁的上方,并且在俯视时与所述功能元件重叠。

[0009] 根据这种电子装置,第 2 包围壁在俯视时位于第 1 包围壁的内侧,因此能够减小覆盖层的覆盖空腔部上方的区域的面积。因此,能够抑制覆盖层发生挠曲。

[0010] 另外,在本发明的记载中,在将“上方”这一词语例如用作“在特定部件(以下称作

“A”)的‘上方’形成其他特定部件(以下称作“B”)”等的情况下,设为包含了在A上直接形成B的情况和在A上隔着其他部件形成B的情况,来使用“上方”这一词语。

[0011] 在本发明的电子装置中,所述覆盖层可以与所述第2包围壁是一体的。

[0012] 根据这种电子装置,能够抑制覆盖层发生挠曲。

[0013] 在本发明的电子装置中,也可以是,在所述基板与所述功能元件重叠的方向上,在所述第1包围壁与所述第2包围壁之间具有第3包围壁,并且第3包围壁在俯视时位于所述第1包围壁与所述第2包围壁之间。

[0014] 根据这种电子装置,能够进一步抑制覆盖层发生挠曲。

[0015] 在本发明的电子装置中,也可以是,所述第1包围壁和所述第2包围壁划定了配置有所述功能元件的区域的侧面。

[0016] 根据这种电子装置,能够抑制覆盖层发生挠曲。

[0017] 本发明的电子装置的制造方法包含以下工序:

[0018] 在基板的上方形成功能元件;

[0019] 以覆盖所述功能元件的方式,在所述基板的上方形成第1层间绝缘层;

[0020] 在所述第1层间绝缘层,形成包围所述功能元件的第1包围壁;

[0021] 在所述第1层间绝缘层的上方形成第2层间绝缘层;

[0022] 在所述第2层间绝缘层,形成包围所述功能元件的第2包围壁;

[0023] 在所述第2层间绝缘层的上方形成覆盖层;

[0024] 在所述覆盖层上形成贯通孔;以及

[0025] 通过所述贯通孔去除所述功能元件上方的所述第1层间绝缘层和所述第2层间绝缘层,形成空腔部,

[0026] 在形成所述第2包围壁的工序中,在俯视时,在所述第1包围壁的内侧形成所述第2包围壁。

[0027] 根据这种电子装置的制造方法,第2包围壁在俯视时形成于第1包围壁的内侧,因此能够减小覆盖层的覆盖空腔部上方的区域的面积。因此,能够得到可抑制覆盖层发生挠曲的电子装置。

[0028] 本发明的振荡器包含:

[0029] 本发明的电子装置;以及

[0030] 与所述电子装置的所述功能元件电连接的电路部。

[0031] 这种振荡器能够包含电子装置,该电子装置能够抑制对配置功能元件的空腔部进行划定的覆盖层发生挠曲。

[0032] 在本发明的电子装置的制造方法中,也可以是,在形成所述覆盖层的工序中,与所述第2包围壁一体地形成所述覆盖层。

[0033] 根据这种电子装置的制造方法,能够得到可抑制覆盖层发生挠曲的电子装置。

[0034] 在本发明的电子装置的制造方法中,也可以是,在形成所述第2层间绝缘层的工序之前,包含以下工序:

[0035] 在所述第1层间绝缘层的上方形成第3层间绝缘层;以及

[0036] 在所述第3层间绝缘层,形成包围所述功能元件的第3包围壁,

[0037] 在形成所述第3包围壁的工序中,在俯视时,在所述第1包围壁的内侧形成所述第

3 包围壁，

[0038] 在形成所述第 2 包围壁的工序中，在俯视时，在所述第 3 包围壁的内侧形成所述第 2 包围壁。

[0039] 根据这种电子装置的制造方法，能够得到可进一步抑制覆盖层发生挠曲的电子装置。

附图说明

[0040] 图 1 是示意性示出本实施方式的电子装置的剖视图。

[0041] 图 2 是示意性示出本实施方式的电子装置的俯视图。

[0042] 图 3 是示意性示出本实施方式的电子装置的制造工序的剖视图。

[0043] 图 4 是示意性示出本实施方式的电子装置的制造工序的剖视图。

[0044] 图 5 是示意性示出本实施方式的电子装置的制造工序的剖视图。

[0045] 图 6 是示意性示出本实施方式的电子装置的制造工序的剖视图。

[0046] 图 7 是示意性示出本实施方式的电子装置的制造工序的剖视图。

[0047] 图 8 是示意性示出本实施方式的变形例的电子装置的剖视图。

[0048] 图 9 是示意性示出本实施方式的变形例的电子装置的俯视图。

[0049] 图 10 是示出本实施方式的振荡器的电路图。

[0050] 图 11 是示出本实施方式的变形例的振荡器的电路图。

[0051] 标号说明

[0052] 10：基板；12：支撑基板；14：第 1 基底层；16：第 2 基底层；20：功能元件；22：第 1 电极；24：第 2 电极；24a：支撑部；24b：梁部；30：空腔部；40：覆盖构造体；41：第 1 导电层；42：第 1 包围壁；43：第 2 导电层；44：第 2 包围壁；46：覆盖层；46a：贯通孔；48：密封层；50：第 1 层间绝缘层；51：贯通孔；52：第 2 层间绝缘层；53：贯通孔；54：第 3 层间绝缘层；56：第 4 层间绝缘层；58：第 5 层间绝缘层；60：钝化层；70：牺牲层；100：电子装置；100a：第 1 端子；100b：第 2 端子；200：电子装置；242：第 3 包围壁；243：第 3 导电层；244：第 4 包围壁；245：第 4 导电层；246：第 5 包围壁；247：第 5 导电层；300：振荡器；310a：输入端子；310b：输出端子；320：电阻；330：第 1 电容器；332：第 2 电容器；340：分频电路。

具体实施方式

[0053] 下面，使用附图对本发明的优选实施方式进行详细说明。另外，以下说明的实施方式并不对权利要求书中记载的本发明的内容进行不恰当的限定。并且并非以下说明的所有结构都是本发明的必要结构要件。

[0054] 1. 电子装置

[0055] 首先，参照附图来说明本实施方式的电子装置。图 1 是示意性示出本实施方式的电子装置 100 的剖视图。图 2 是示意性示出本实施方式的电子装置 100 的俯视图。另外，图 1 是图 2 的 I-I 线的剖视图。

[0056] 如图 1 所示，电子装置 100 包含基板 10、功能元件 20、空腔部 30 和覆盖构造体 40。并且，电子装置 100 可包含层间绝缘层 50、52 和钝化层 60。

[0057] 如图 1 所示，基板 10 可具有支撑基板 12、第 1 基底层 14 和第 2 基底层 16。

[0058] 例如使用硅基板等半导体基板作为支撑基板 12。也可使用陶瓷基板、玻璃基板、蓝宝石基板、金刚石基板、合成树脂基板等各种基板作为支撑基板 12。

[0059] 第 1 基层 14 形成在支撑基板 12 上。例如使用 LOCOS (local oxidation of silicon: 硅局部氧化) 绝缘层、半埋入 LOCOS 绝缘层、沟道绝缘层, 作为第 1 基层 14。第 1 基层 14 能够将功能元件 20 与其他元件 (例如晶体管, 未图示) 在电气上分离。

[0060] 第 2 基层 16 形成在第 1 基层 14 上。例如使用氮化硅层作为第 2 基层 16。第 2 基层 16 在后述的释放工序中, 能够作为蚀刻阻挡层发挥作用。

[0061] 功能元件 20 形成在基板 10 上, 被收纳 (配置) 在空腔部 30 中。功能元件 20 例如是悬臂梁型的 MEMS 振子。在图示的例子中, 功能元件 20 具有形成在基板 10 上的第 1 电极 22、以及与第 1 电极 22 隔开间隔而形成的第 2 电极 24。

[0062] 第 2 电极 24 可具有形成在基板 10 上的支撑部 24a、和从支撑部 24a 延伸出并与第 1 电极 22 相对地配置的梁部 24b。作为第 1 电极 22 和第 2 电极 24 的材质, 例如可举出通过掺杂预定的杂质 (例如硼) 而被赋予了导电性的多晶硅。

[0063] 在功能元件 20 中, 在向第 1 电极 22 和第 2 电极 24 之间施加电压 (交变电压) 时, 梁部 24b 由于在电极 22、24 之间产生的静电力而在基板 10 的厚度方向上振动。

[0064] 另外, 功能元件 20 不限于图示的例子, 例如也可以是梁部的两端部被固定的双臂支撑梁型的振子。此外, 功能元件 20 也可以是如下的振子: 第 2 电极具有支撑部、以及从支撑部朝向彼此相反方向延伸的第 1 梁部和第 2 梁部, 分别与第 1 梁部和第 2 梁部相对地形成有第 1 电极。此外, 功能元件 20 例如也可以是 MEMS 振子以外的石英振子、SAW (表面声波) 元件、加速度传感器、陀螺仪、微型致动器等各种功能元件。由此, 电子装置 100 能够具有可收纳在空腔部 30 中的任意的功能元件。

[0065] 空腔部 30 是用于收纳功能元件 20 的空间。在图示的例子中, 空腔部 30 由基板 10 和覆盖构造体 40 划定 (规定)。空腔部 30 内例如是减压状态。由此, 能够实现功能元件 20 的动作精度的提高。另外, 虽然未图示, 但空腔部 30 可以进一步由层间绝缘层 50、52 划定。

[0066] 覆盖构造体 40 划定 (规定) 了空腔部 30。覆盖构造体 40 构成为包含第 1 导电层 41、第 1 包围壁 42、第 2 导电层 43、第 2 包围壁 44、覆盖层 46 和密封层 48。在图示的例子中, 从基板 10 侧起, 按照第 1 导电层 41、第 1 包围壁 42、第 2 导电层 43、第 2 包围壁 44、覆盖层 46 和密封层 48 的顺序进行了层叠。

[0067] 第 1 导电层 41 形成在基板 10 上。第 1 导电层 41 例如是通过掺杂预定的杂质而被赋予了导电性的多晶硅层。第 1 导电层 41 形成为在空腔部 30 的周围包围功能元件 20。第 1 导电层 41 的平面形状例如是四边形。另外, 第 1 导电层 41 的平面形状没有特别限定, 例如可采用圆形、多边形等任意形状。

[0068] 第 1 包围壁 42 形成在第 1 导电层 41 上。第 1 包围壁 42 形成在空腔部 30 的周围。例如图 2 所示, 第 1 包围壁 42 在俯视时具有包围功能元件 20 的封闭形状。在图示的例子中, 第 1 包围壁 42 的平面形状为四边形。另外, 第 1 包围壁 42 的平面形状没有特别限定, 可采用圆形、多边形等任意形状。在图示的例子中, 第 1 包围壁 42 划定了空腔部 30 的侧面。在图示的例子中, 在俯视时, 在由第 1 包围壁 42 包围的区域内形成有功能元件 20。即, 在俯视时, 由第 1 包围壁 42 包围的区域的大小和形状是由功能元件 20 的大小和形状决定的。第 1 包围壁 42 形成于第 1 层间绝缘层 50。例如对第 1 层间绝缘层 50 进行蚀刻而形

成贯通孔,并用金属材料填充该贯通孔,由此形成第 1 包围壁 42。即,第 1 包围壁 42 是连接第 1 导电层 41 和第 2 导电层 43 的过孔。

[0069] 第 2 导电层 43 形成在第 1 包围壁 42 上。在图示的例子中,第 2 导电层 43 还形成在第 1 层间绝缘层 50 上。第 2 导电层 43 与第 1 包围壁 42 一体地形成。即,第 2 导电层 43 与第 1 包围壁 42 可在相同的工序中形成。在俯视时,第 2 导电层 43 形成为在空腔部 30 的周围包围功能元件 20。第 2 导电层 43 例如在俯视时具有包围功能元件 20 的封闭形状。在图示的例子中,第 2 导电层 43 的平面形状为四边形。另外,第 2 导电层 43 的平面形状没有特别限定,可采用圆形、多边形等任意形状。第 1 包围壁 42 和第 2 导电层 43 例如是铝层、钛层或者铝层和钛层的层叠体。

[0070] 第 2 包围壁 44 形成在第 2 导电层 43 上。即,第 2 包围壁 44 相对于第 1 包围壁 42 形成于与基板 10 侧相反的一侧。第 2 包围壁 44 形成在空腔部 30 的周围。第 2 包围壁 44 例如在俯视时具有包围功能元件 20 的封闭形状。在图示的例子中,第 2 包围壁 44 的平面形状为四边形。另外,第 2 包围壁 44 的平面形状没有特别限定,可采用圆形、多边形等任意形状。第 2 包围壁 44 划定了空腔部 30 的侧面。第 2 包围壁 44 形成于第 2 层间绝缘层 52。例如对第 2 层间绝缘层 52 进行蚀刻而形成贯通孔,并用金属材料填充该贯通孔,由此形成第 2 包围壁 44。即,第 2 包围壁 44 是连接第 2 导电层 43 和覆盖层 46 的过孔。

[0071] 如图 2 所示,第 2 包围壁 44 在俯视时位于第 1 包围壁 42 的内侧。因此,在俯视时,由第 2 包围壁 44 包围的区域的面积小于由第 1 包围壁 42 包围的区域的面积。此处,所谓第 2 包围壁 44 在俯视时位于第 1 包围壁 42 的内侧的情况,只要在俯视时第 2 包围壁 44 的内缘位于第 1 包围壁 42 的内缘的内侧即可,例如还包含第 1 包围壁 42 的一部分与第 2 包围壁 44 的一部分重叠的情况。第 2 包围壁 44 在俯视时仅配置于由第 1 包围壁 42 包围的区域内。

[0072] 覆盖层 46 从上方覆盖空腔部 30 而形成。覆盖层 46 划定了空腔部 30 的上表面。在图示的例子中,覆盖层 46 形成在空腔部 30 上、第 2 包围壁 44 上以及第 2 层间绝缘层 52 上。覆盖层 46 在俯视时至少形成在由第 2 包围壁 44 包围的区域上。覆盖层 46 与第 2 包围壁 44 一体地形成。即,覆盖层 46 与第 2 包围壁 44 可在相同的工序中形成。在覆盖层 46 中设置有贯通孔 46a。在图示的例子中,设置有 18 个贯通孔 46a,但其数量不受限定。如后所述,在形成空腔部 30 的释放工序中,能够通过贯通孔 46a 提供蚀刻液或蚀刻气。第 2 包围壁 44 和覆盖层 46 例如是铝层、钛层或者铝层和钛层的层叠体。

[0073] 密封层 48 配置在覆盖层 46 上。密封层 48 将形成于覆盖层 46 的贯通孔 46a 封闭。由此,能够防止气体等从外部通过贯通孔 46a 侵入到空腔部 30。密封层 48 例如是铝层、钛层或者铝层和钛层的层叠体。覆盖层 46 和密封层 48 通过从上方覆盖空腔部 30,从而能够作为密封空腔部 30 的密封部件发挥作用。

[0074] 期望向覆盖构造体 40 施加一定电位(例如接地电位)。由此,能够使覆盖构造体 40 作为电磁屏蔽部发挥作用。因此,能够将功能元件 20 与外部电遮蔽。

[0075] 钝化层 60 形成在覆盖层 46 上和第 2 层间绝缘层 52 上。钝化层 60 例如是氮化硅层。

[0076] 本实施方式的电子装置 100 例如具有以下特征。

[0077] 在电子装置 100 中,划定空腔部 30 的覆盖构造体 40 具有:第 1 包围壁 42,其位于

基板 10 的上方,且形成于空腔部 30 的周围;第 2 包围壁 44,其位于第 1 包围壁 42 的上方,且形成于空腔部 30 的周围;以及划定空腔部 30 的上表面的覆盖层 46,第 2 包围壁 44 在俯视时位于第 1 包围壁 42 的内侧。这样,由于第 2 包围壁 44 在俯视时位于第 1 包围壁 42 的内侧,因此和例如第 1 包围壁 42 与第 2 包围壁 44 在俯视时重叠地形成的情况相比,既能够确保形成功能元件 20 的区域,又能减小覆盖层 46 的覆盖空腔部 30 的上方的区域的面积。因此,能够抑制覆盖层 46 发生挠曲。因此,能够防止例如当涂布向电子基板安装时使用的聚酰亚胺等保护树脂时,覆盖层 46 由于涂布压力发生挠曲而与功能元件 20 接触的情况。此外,能够防止覆盖层 46 例如由于芯片化时的切割压力和磨削基板 10 的背面时的压力发生挠曲而与功能元件 20 接触的情况。此外,根据本实施方式的电子装置 100,能够提高覆盖构造体 40 的机械强度。

[0078] 2. 电子装置的制造方法

[0079] 接着,参照附图来说明本实施方式的电子装置的制造方法。图 3~图 7 是示意性示出本实施方式的电子装置 100 的制造工序的剖视图。

[0080] 如图 3 所示,在支撑基板 12 上形成第 1 基层 14。例如通过 LOCOS 法、STI(shallow trench isolation:浅沟道隔离)法形成第 1 基层 14。

[0081] 接着,在第 1 基层 14 上形成第 2 基层 16。第 2 基层 16 例如是通过 CVD (chemical vapor deposition:化学气相沉积)法、溅射法进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。能够通过本工序形成基板 10。

[0082] 如图 4 所示,在第 2 基层 16 上形成第 1 电极 22。第 1 电极 22 是通过 CVD 法或溅射法等进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。在第 1 电极 22 由多晶硅构成的情况下,为了赋予导电性而掺杂预定的杂质。

[0083] 接着,以覆盖第 1 电极 22 的方式形成牺牲层 70。牺牲层 70 例如是二氧化硅层。牺牲层 70 是通过第 1 电极 22 进行热氧化而形成的。可通过调整第 1 电极 22 的结晶性和杂质浓度来控制牺牲层 70 的膜厚,另外,也可以使用 CVD 法或溅射法形成牺牲层 70。

[0084] 然后,形成第 2 电极 24 和第 1 导电层 41。第 2 电极 24 形成在牺牲层 70 和第 2 基层 16 上。第 1 导电层 41 形成在第 2 基层 16 上。第 2 电极 24 和第 1 导电层 41 是通过 CVD 法或溅射法等进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。在第 2 电极 24 和第 1 导电层 41 由多晶硅构成的情况下,为了赋予导电性而掺杂预定的杂质。这样,在本工序中,能够在同一工序中形成第 2 电极 24 和第 1 导电层 41。另外,第 1 导电层 41 也可以不与第 2 电极 24 在同一工序中形成,而与第 1 电极 22 在同一工序中形成。能够通过本工序在基板 10 上形成功能元件 20。

[0085] 如图 5 所示,以覆盖功能元件 20 的方式在基板 10 的上方形成第 1 层间绝缘层 50。例如可通过 CVD 法或涂布(旋转涂敷)法形成第 1 层间绝缘层 50。也可以在形成第 1 层间绝缘层 50 后,进行使第 1 层间绝缘层 50 的表面平坦化的处理。接着,对第 1 层间绝缘层 50 进行构图,形成贯通第 1 层间绝缘层 50 的贯通孔 51。贯通孔 51 在俯视时以包围功能元件 20 的方式形成。

[0086] 接着,形成第 1 包围壁 42 和第 2 导电层 43。第 1 包围壁 42 形成在贯通孔 51 内。第 2 导电层 43 形成在第 1 包围壁 42 上和第 1 层间绝缘层 50 上。第 1 包围壁 42 和第 2 导电层 43 例如是通过溅射法、镀覆法等进行成膜后,通过光刻技术和蚀刻技术进行构图而形

成的。在本工序中,能够在同一工序中形成第 1 包围壁 42 和第 2 导电层 43。第 1 包围壁 42 和第 2 导电层 43 一体地形成。

[0087] 如图 6 所示,以覆盖第 1 层间绝缘层 50 和第 2 导电层 43 的方式形成第 2 层间绝缘层 52。第 2 层间绝缘层 52 例如是通过 CVD 法或涂布(旋转涂敷)法而形成的。也可以在形成第 2 层间绝缘层 52 后,进行使第 2 层间绝缘层 52 的表面平坦化的处理。接着,对第 2 层间绝缘层 52 进行构图,形成贯通第 2 层间绝缘层 52 的贯通孔 53。贯通孔 53 以俯视时处于贯通孔 51(第 1 包围壁 42)的内侧且包围功能元件 20 的方式形成。

[0088] 接着,形成第 2 包围壁 44 和覆盖层 46。第 2 包围壁 44 形成在贯通孔 53 内。覆盖层 46 形成在第 2 包围壁 44 上和第 2 层间绝缘层 52 上。第 2 包围壁 44 和覆盖层 46 例如是通过溅射法、镀膜法等进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。第 2 包围壁 44 形成在贯通孔 53 内,贯通孔 53 位于形成了第 1 包围壁 42 的贯通孔 51 的内侧,因此第 2 包围壁 44 形成于第 1 包围壁 42 的内侧。在本工序中,能够在同一工序中形成第 2 包围壁 44 和覆盖层 46。第 2 包围壁 44 和覆盖层 46 一体地形成。

[0089] 接着,对覆盖层 46 进行构图,形成贯通孔 46a。另外,可以在形成覆盖层 46 的工序中同时形成贯通孔 46a。由此,能够实现制造工序的简化。

[0090] 如图 7 所示,使蚀刻液或蚀刻气通过贯通孔 46a,去除功能元件 20 上方的层间绝缘层 50、52 和牺牲层 70,形成空腔部 30(释放工序)。释放工序例如是通过使用了氢氟酸或缓冲氢氟酸(氢氟酸和氟化铵的混合液)等的湿蚀刻、使用了氢氟系的气体等的干蚀刻等进行的。包围壁 42、44、导电层 41、43 以及覆盖层 46 是由在释放工序中不会被蚀刻掉的材料形成的,由此能够防止空腔部 30 向包围壁 42、44 的外侧扩展。此外,第 2 基层 16 能够作为蚀刻阻挡层发挥作用。

[0091] 接着,在覆盖层 46 上和第 2 层间绝缘层 52 上形成钝化层 60。钝化层 60 例如是通过 CVD 法或溅射法等进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。

[0092] 如图 1 所示,在覆盖层 46 和钝化层 60 上形成封闭贯通孔 46a 的密封层 48。密封层 48 例如是通过 CVD 法或溅射法等气相生长法进行成膜后,通过光刻技术和蚀刻技术进行构图而形成的。由此,能够将空腔部 30 在维持减压状态下密封。通过本工序形成覆盖构造体 40。

[0093] 通过以上的工序能够制造电子装置 100。

[0094] 本实施方式的电子装置的制造方法例如具有以下特征。

[0095] 在本实施方式的电子装置的制造方法中,包含以下工序:在第 1 层间绝缘层 50 上形成包围功能元件 20 的第 1 包围壁 42;以及,在第 2 层间绝缘层 52 上形成包围功能元件 20 的第 2 包围壁 44,在形成第 2 包围壁 44 的工序中,在俯视时将第 2 包围壁 44 形成于第 1 包围壁 42 的内侧。由此,能够得到可抑制覆盖层 46 发生挠曲的电子装置。

[0096] 3. 电子装置的变形例

[0097] 接着,参照附图来说明本实施方式的电子装置的变形例。图 8 是示意性示出本实施方式的变形例的电子装置 200 的剖视图。图 9 是示意性示出本实施方式的变形例的电子装置 200 的俯视图。另外,图 8 是图 9 的 VIII—VIII 线的剖视图。以下,在本实施方式的变形例的电子装置 200 中,对具有与上述电子装置 100 的结构部件相同功能的部件标注相同标号并省略其详细说明。

[0098] 如图 1 和图 2 所示,上述电子装置 100 具有层叠了第 1 导电层 41、第 2 导电层 43 和覆盖层 46 而得到的 3 层构造。

[0099] 与此相对,如图 8 和图 9 所示,上述电子装置 200 具有层叠了第 1 导电层 41、第 2 导电层 43、第 3 导电层 243、第 4 导电层 245、第 5 导电层 247 和覆盖层 46 而得到的 6 层构造。

[0100] 电子装置 200 除了电子装置 100 的结构部件以外,还可以包含包围壁 242、244、246、导电层 243、245、247 和层间绝缘层 54、56、58。

[0101] 如图 8 所示,第 3 包围壁 242、第 4 包围壁 244 和第 5 包围壁 246 形成于第 1 包围壁 42 与第 2 包围壁 44 之间。如图 9 所示,在俯视时,第 3 包围壁 242、第 4 包围壁 244 和第 5 包围壁 246 位于第 1 包围壁 42 的内侧。第 2 包围壁 44 位于第 3 包围壁 242、第 4 包围壁 244 和第 5 包围壁 246 的内侧。在电子装置 200 中,覆盖构造体 40 构成为包含包围壁 42、44、242、244、246、导电层 41、43、243、245、247、覆盖层 46 和密封层 48。在图示的例子中,从基板 10 侧起,按照第 1 导电层 41、第 1 包围壁 42、第 2 导电层 43、第 3 包围壁 242、第 3 导电层 243、第 4 包围壁 244、第 4 导电层 245、第 5 包围壁 246、第 5 导电层 247、第 2 包围壁 244、覆盖层 46 和密封层 48 的顺序进行了层叠。

[0102] 第 3 包围壁 242 形成在第 2 导电层 43 上。第 3 包围壁 242 形成于第 3 层间绝缘层 54。例如对第 3 层间绝缘层 54 进行蚀刻而形成贯通孔,并用金属材料填充该贯通孔,由此形成第 3 包围壁 242。即,第 3 包围壁 242 是连接第 2 导电层 43 和第 3 导电层 243 的过孔。如图 9 所示,第 3 包围壁 242 在俯视时位于第 1 包围壁 42 的内侧。因此,在俯视时,由第 3 包围壁 242 包围的区域的面积小于由第 1 包围壁 42 包围的区域的面积。

[0103] 第 4 包围壁 244 形成在第 3 导电层 243 上。第 4 包围壁 244 形成于第 4 层间绝缘层 56。例如对第 4 层间绝缘层 56 进行蚀刻而形成贯通孔,并用金属材料填充该贯通孔,由此形成第 4 包围壁 244。即,第 4 包围壁 244 是连接第 3 导电层 243 和第 4 导电层 245 的过孔。如图 9 所示,第 4 包围壁 244 在俯视时位于第 3 包围壁 242 的内侧。因此,在俯视时,由第 4 包围壁 244 包围的区域的面积小于由第 3 包围壁 242 包围的区域的面积。

[0104] 第 5 包围壁 246 形成在第 4 导电层 245 上。第 5 包围壁 246 形成于第 5 层间绝缘层 58。例如对第 5 层间绝缘层 58 进行蚀刻而形成贯通孔,并用金属材料填充该贯通孔,由此形成第 5 包围壁 246。即,第 5 包围壁 246 是连接第 4 导电层 245 和第 5 导电层 247 的过孔。如图 9 所示,第 5 包围壁 246 在俯视时位于第 4 包围壁 244 的内侧。因此,在俯视时,由第 5 包围壁 246 包围的区域的面积小于由第 4 包围壁 244 包围的区域的面积。

[0105] 包围壁 242、244、246 形成在空腔部 30 的周围。包围壁 242、244、246 例如在俯视时具有包围功能元件 20 的封闭形状。在图示的例子中,包围壁 242、244、246 的平面形状为四边形。另外,包围壁 242、244、246 的平面形状没有特别限定,可采用圆形、多边形等任意形状。包围壁 242、244、246 划定了空腔部 30 的侧面。包围壁 242、244、246 例如通过与上述第 1 包围壁 42 相同的工序形成。

[0106] 在电子装置 200 中,第 2 包围壁 44 形成在第 5 导电层 247 上。如图 9 所示,第 2 包围壁 44 在俯视时位于第 5 包围壁 246 的内侧。因此,在俯视时,由第 2 包围壁 44 包围的区域的面积小于由第 5 包围壁 246 包围的区域的面积。

[0107] 第 3 导电层 243 形成在第 3 包围壁 242 上。在图示的例子中,第 3 导电层 243 还

形成在第 3 层间绝缘层 54 上。第 3 导电层 243 与第 3 包围壁 242 一体地形成。即,第 3 导电层 243 与第 3 包围壁 242 可在相同的工序中形成。第 3 导电层 243 和第 3 包围壁 242 例如是铝层、钛层或者铝层和钛层的层叠体。第 3 导电层 243 例如在俯视时具有包围功能元件 20 的封闭形状。

[0108] 第 4 导电层 245 形成在第 4 包围壁 244 上。在图示的例子中,第 4 导电层 245 还形成在第 4 层间绝缘层 56 上。第 4 导电层 245 与第 4 包围壁 244 一体地形成。即,第 4 导电层 245 与第 4 包围壁 244 可在相同的工序中形成。第 4 导电层 245 和第 4 包围壁 244 例如是铝层、钛层或者铝层和钛层的层叠体。第 4 导电层 245 例如在俯视时具有包围功能元件 20 的封闭的形状。

[0109] 第 5 导电层 247 形成在第 5 包围壁 246 上。在图示的例子中,第 5 导电层 247 还形成在第 5 层间绝缘层 58 上。第 5 导电层 247 与第 5 包围壁 246 一体地形成。即,第 5 导电层 247 与第 5 包围壁 246 可在相同的工序中形成。第 5 导电层 247 和第 5 包围壁 246 例如是铝层、钛层或者铝层和钛层的层叠体。第 5 导电层 247 例如在俯视时具有包围功能元件 20 的封闭的形状。导电层 243、245、247 例如通过与第 2 导电层 43 相同的工序形成。

[0110] 本实施方式的电子装置 200 例如具有以下特征。

[0111] 在电子装置 200 中,划定空腔部 30 的覆盖构造体 40 具有:第 1 包围壁 42,其位于基板 10 的上方,且形成于空腔部 30 的周围;第 2 包围壁 44,其位于第 1 包围壁 42 的上方,且形成于空腔部 30 的周围;第 3 包围壁 242,其位于第 1 包围壁 42 与第 2 包围壁 44 之间,且形成于空腔部 30 的周围;以及划定空腔部 30 的上表面的覆盖层 46,第 3 包围壁 242 在俯视时位于第 1 包围壁 42 的内侧,第 2 包围壁 44 在俯视时位于第 3 包围壁 242 的内侧。由此,与上述电子装置 100 相比,能够减小覆盖层 46 的覆盖空腔部 30 的上方的区域的面积,因此能够进一步抑制覆盖层 46 发生挠曲。

[0112] 另外,此处说明了电子装置 200 具有 6 层构造的情况,但层数只要为 2 层以上即可,没有特别限定。

[0113] 4. 振荡器

[0114] 接着,参照附图来说明本实施方式的振荡器。图 10 是示出本实施方式的振荡器 300 的电路图。

[0115] 如图 10 所示,振荡器 300 例如包含本发明的电子装置(例如电子装置 100)、和反转放大电路(电路部) 310。

[0116] 电子装置 100 具有与功能元件 20 的第 1 电极 22 电连接的第 1 端子 100a、与功能元件 20 的第 2 电极 24 电连接的第 2 端子 100b。电子装置 100 的第 1 端子 100a 至少与反转放大电路 310 的输入端子 310a 交流连接。电子装置 100 的第 2 端子 100b 至少与反转放大电路 310 的输出端子 310b 交流连接。

[0117] 在图示的例子中,反转放大电路 310 由一个反相器构成,但为了满足期望的振荡条件,也可以组合多个反相器(反转电路)和放大电路来构成。

[0118] 振荡器 300 可以构成为包含针对反转放大电路 310 的反馈电阻。在图 10 所示的例子中,反转放大电路 310 的输入端子与输出端子经由电阻 320 连接。

[0119] 振荡器 300 构成为包含连接在反转放大电路 310 的输入端子 310a 与基准电位(接地电位)之间的第 1 电容器 330、和连接在反转放大电路 310 的输出端子 310b 与基准电位

(接地电位)之间的第2电容器332。由此,能够成为由电子装置100和电容器330、332构成谐振电路的振荡电路。振荡器300输出由该振荡电路得到的振荡信号 f 。

[0120] 构成振荡器300的晶体管和电容器等元件(未图示)例如可以形成在支撑基板12上(参照图1)。由此,能够单片地形成电子装置100和反转放大电路310。

[0121] 在支撑基板12上形成构成振荡器300的晶体管等元件的情况下,可以在与形成上述电子装置100的工序相同的工序中形成构成振荡器300的晶体管等元件。具体而言,在形成牺牲层70的工序中(参照图4),可以形成晶体管的栅极绝缘层。并且,在形成第2电极24的工序中(参照图4),可以形成晶体管的栅电极。由此,通过将电子装置100的制造工序和构成振荡器300的晶体管等元件的制造工序共同化,能够实现制造工序的简化。

[0122] 根据振荡器300,能够包含电子装置100,该电子装置100能够抑制对配置功能元件20的空腔部30进行划定的覆盖层46发生挠曲。

[0123] 另外,如图11所示,振荡器300还可以具有分频电路340。分频电路340对振荡电路的输出信号 V_{out} 进行分频,输出振荡信号 f 。由此,振荡器300例如能够得到频率比输出信号 V_{out} 的频率低的输出信号。

[0124] 本发明包含与实施方式中说明的结构实质相同的结构(例如,功能、方法和结果相同的结构,或者目的和效果相同的结构)。此外,本发明包含对实施方式中说明的结构的非本质部分进行置换后的结构。此外,本发明包含能够起到与实施方式中说明的结构相同作用效果的结构或达到相同目的的结构。此外,本发明包含对实施方式中说明的结构附加了公知技术后的结构。

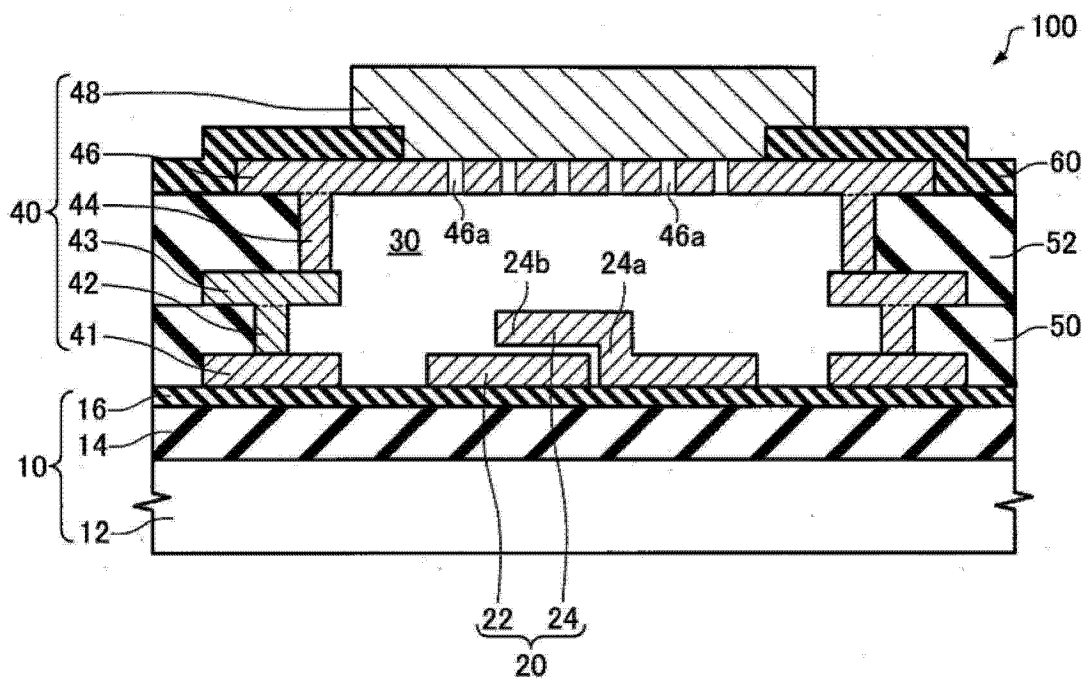


图 1

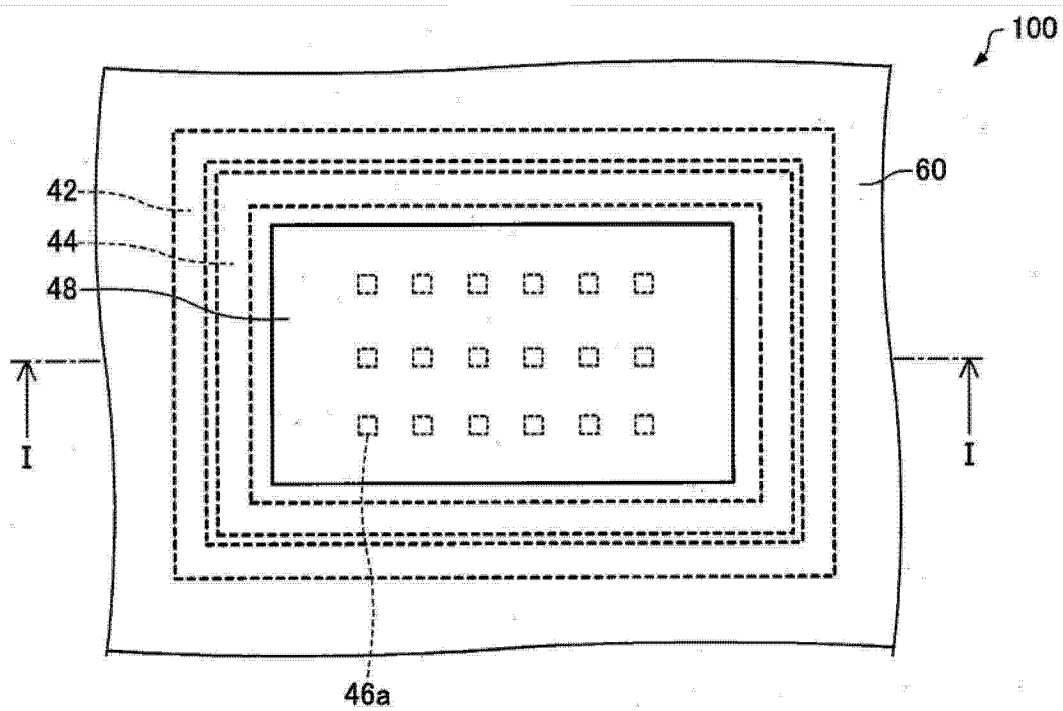


图 2

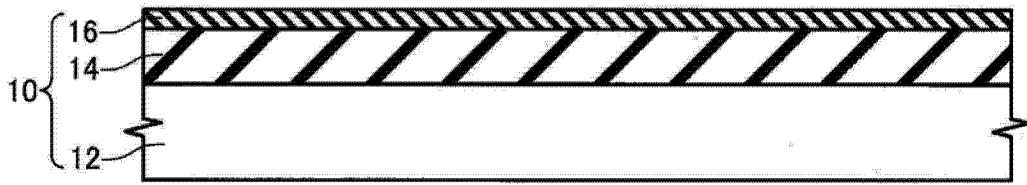


图 3

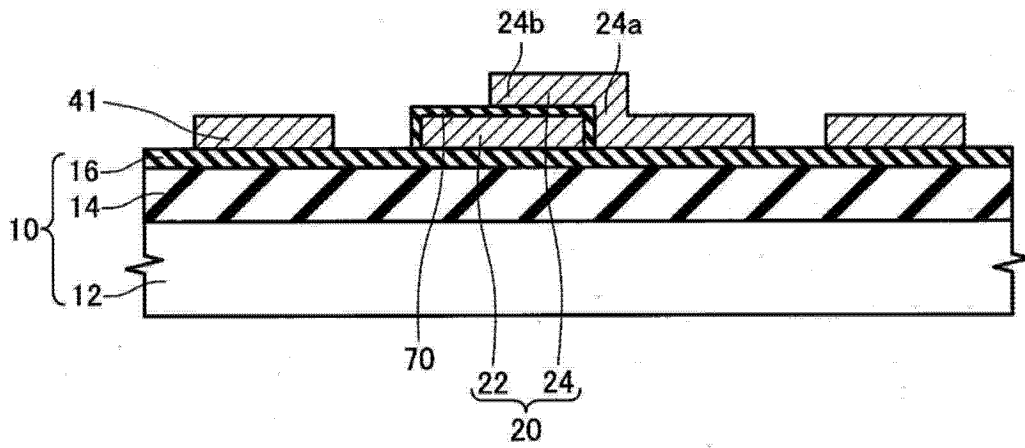


图 4

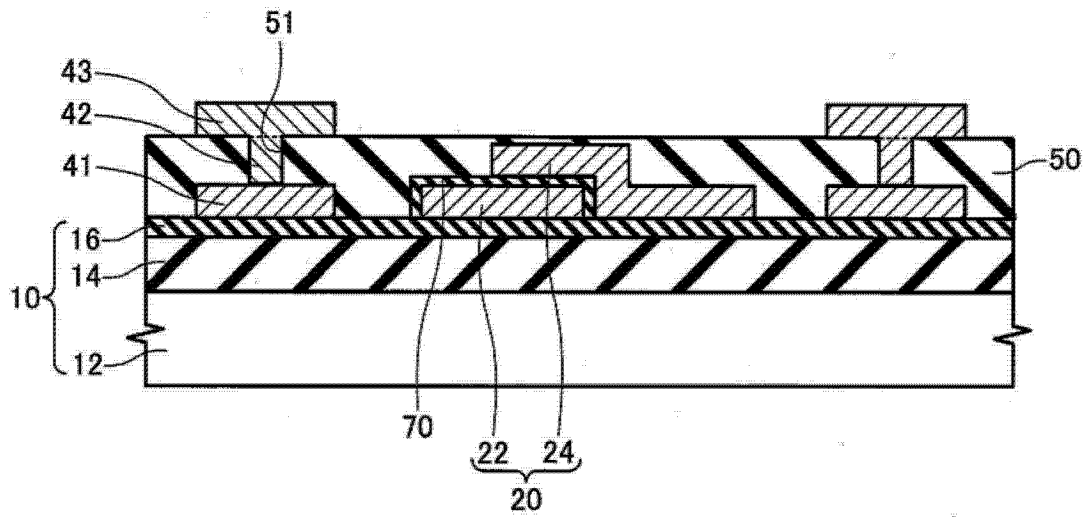


图 5

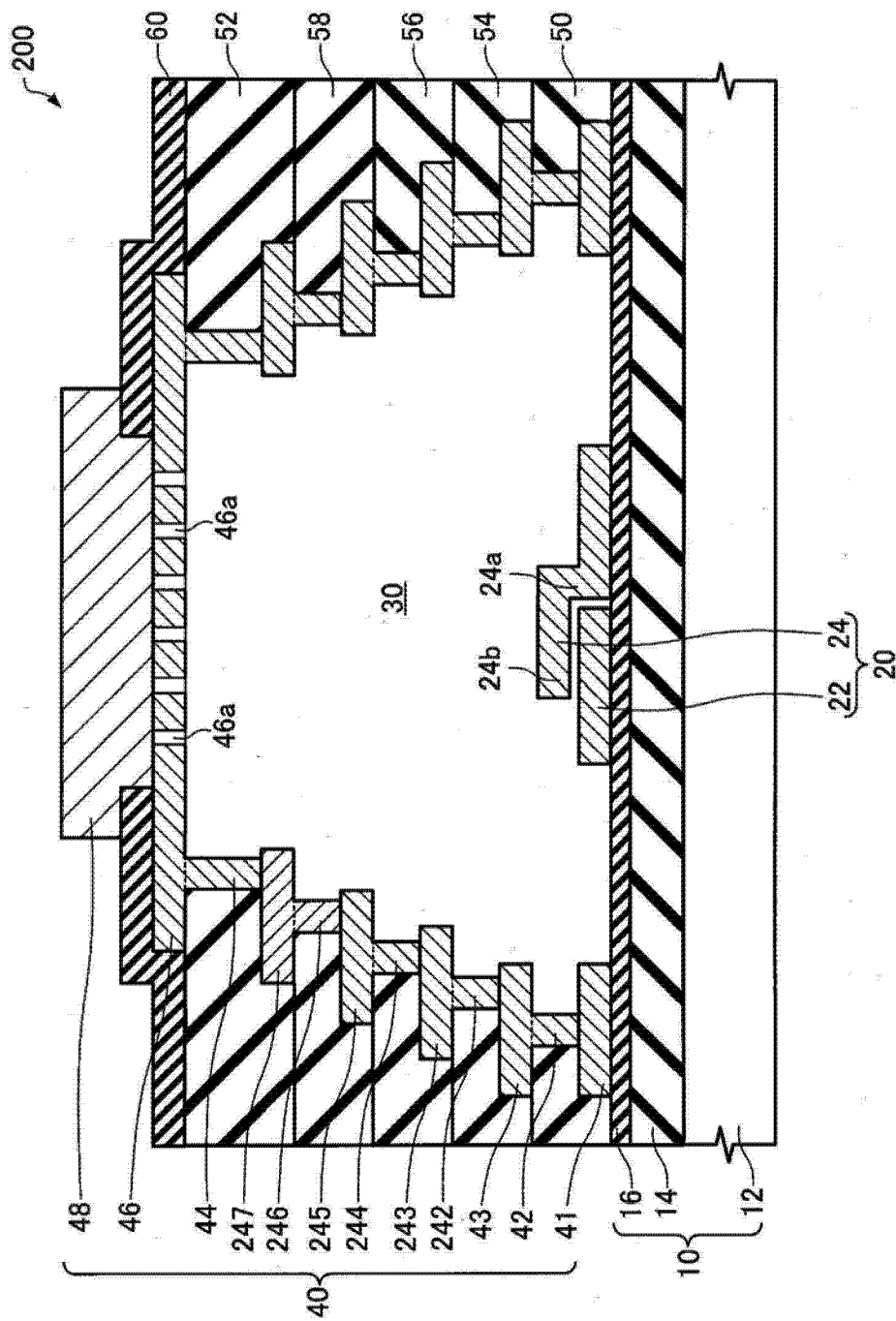


图 8

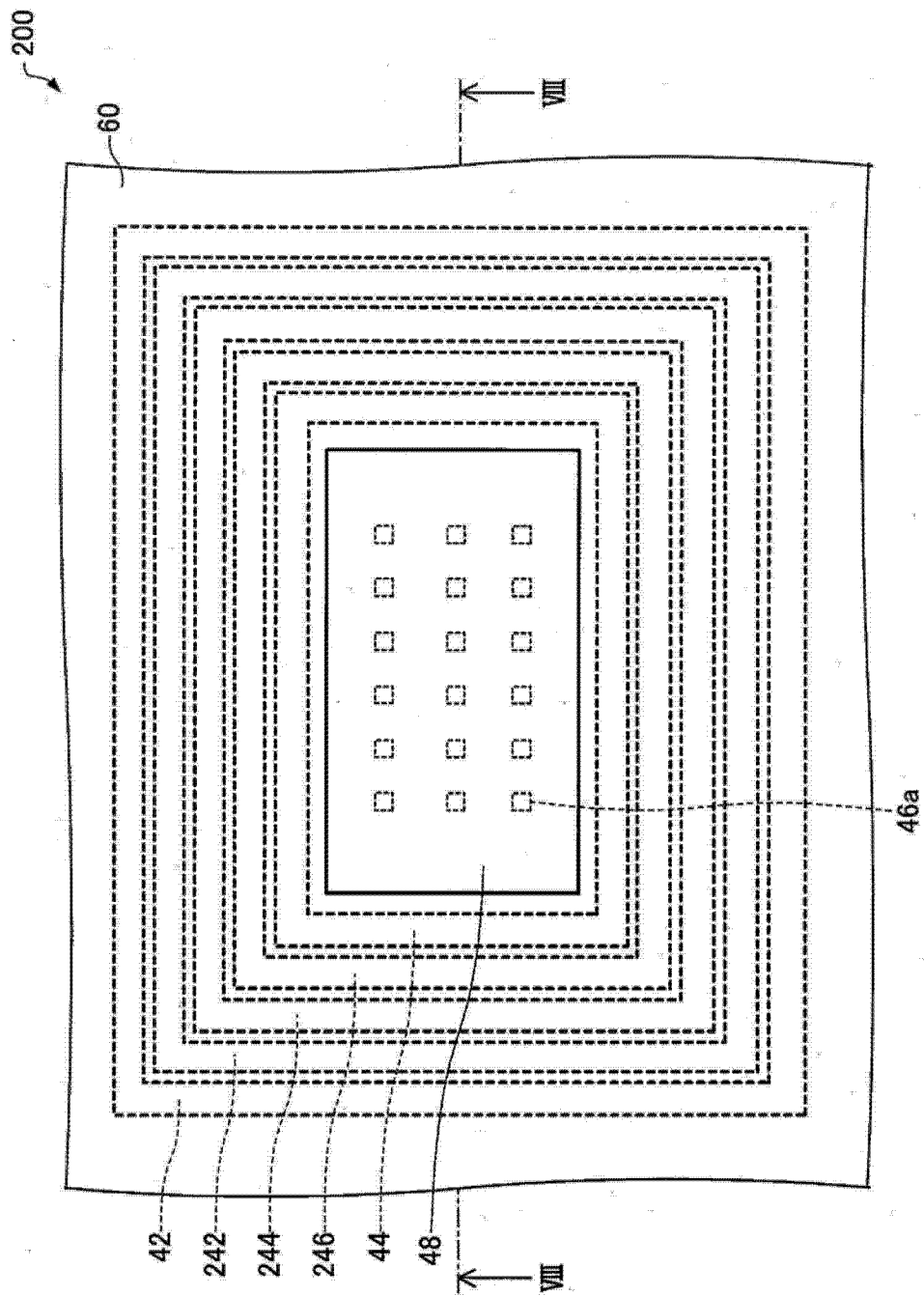


图 9

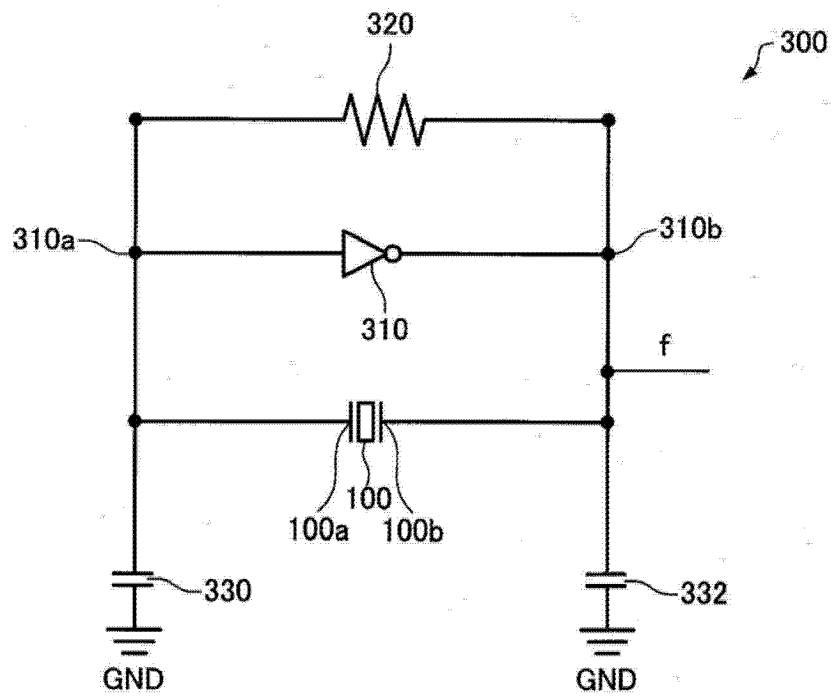


图 10

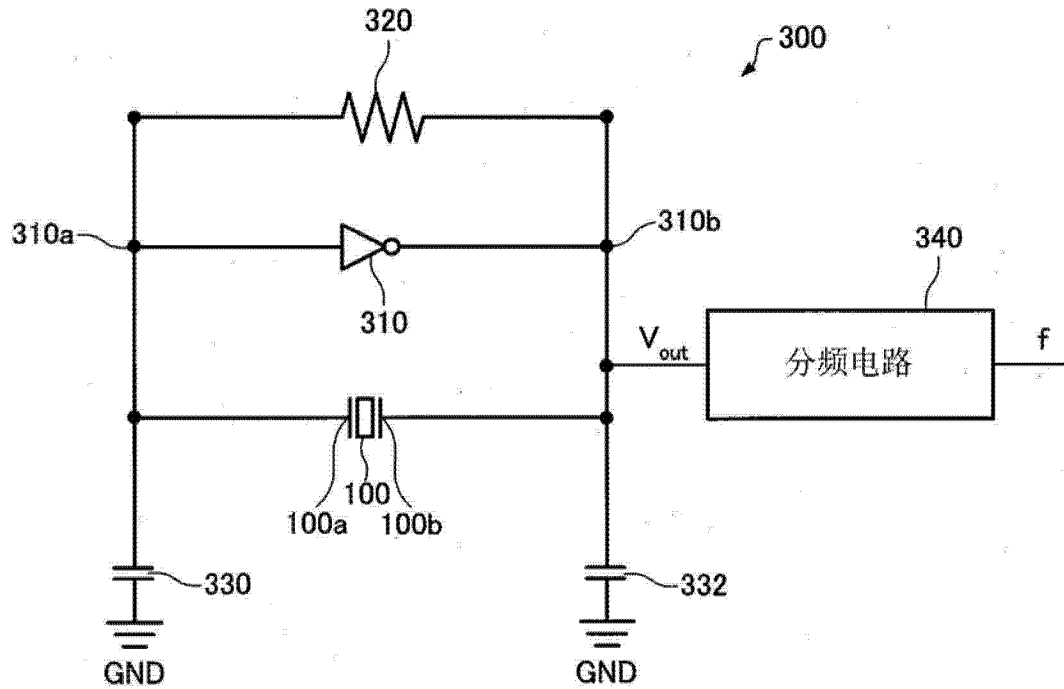


图 11