



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월07일
(11) 등록번호 10-1293845
(24) 등록일자 2013년07월31일

(51) 국제특허분류(Int. Cl.)

H03K 5/13 (2006.01)

(21) 출원번호 10-2010-0003148

(22) 출원일자 2010년01월13일

심사청구일자 2011년12월21일

(65) 공개번호 10-2010-0083738

(43) 공개일자 2010년07월22일

(30) 우선권주장

JP-P-2009-004271 2009년01월13일 일본(JP)

(56) 선행기술조사문헌

JP03104413 A

KR1019920004904 B1

KR1020050004113 A

KR1020080029577 A

전체 청구항 수 : 총 3 항

(73) 특허권자

세이코 인스트루 가부시기가이샤

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지

(72) 발명자

이가라시 아츠시

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시기가이샤 내

스기우라 마사카즈

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시기가이샤 내

(74) 대리인

한양특허법인

심사관 : 김수섭

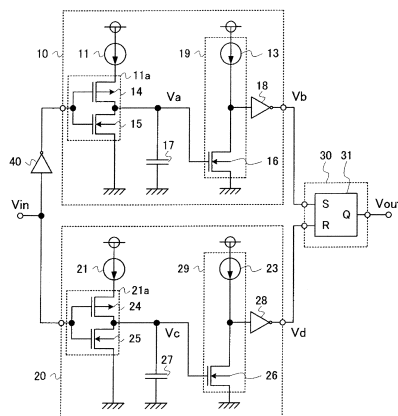
(54) 발명의 명칭 지연 회로

(57) 요약

(과제)지연 시간이 전원 전압에 의존하지 않고, 입력 신호가 로우로부터 하이가 될 때와 하이로부터 로우로 될 때의 지연 시간이 동일한 지연 회로를 제공한다.

(해결 수단)본 발명의 지연 회로는, 입력 신호가 입력되는 제1 내부 지연 회로와, 반전 입력 신호가 입력되는 제2 내부 지연 회로와, 세트 단자에 제1 내부 지연 회로의 출력 단자가 접속되고, 리셋 단자에 제2 내부 지연 회로의 출력 단자가 접속되고, 출력 단자가 지연 회로의 출력 단자에 접속되는 래치를 구비하는 구성으로 했다.

대표도 - 도1



특허청구의 범위

청구항 1

입력 신호를 지연시켜 출력하는 지연 회로에 있어서,

상기 입력 신호가 입력되는 제1 내부 지연 회로와, 상기 입력 신호가 반전한 반전 입력 신호가 입력되는 제2 내부 지연 회로와, 상기 제1 내부 지연 회로 및 상기 제2 내부 지연 회로의 출력 신호가 입력되고 상기 지연 회로의 출력 신호를 출력하는 선택 회로를 구비하고,

상기 제1 내부 지연 회로 및 상기 제2 내부 지연 회로는,

제1 전류원과 충전용 스위치와 방전용 스위치와 커패시터를 구비하고, 상기 충전용 스위치는, 상기 입력 신호에 기초하여 상기 제1 전류원에 의해 상기 커패시터를 충전시키고, 상기 방전용 스위치는, 상기 입력 신호에 기초하여 상기 커패시터를 방전시키는 제1 인버터와,

제2 전류원과 NMOS 트랜지스터를 구비하고, 상기 커패시터의 전압이 상기 NMOS 트랜지스터의 역치 전압에 기초한 반전 역치 전압 이상이 되면 로우의 출력 신호를 출력하는 정전류 인버터를 구비하는 것을 특징으로 하는 지연 회로.

청구항 2

청구항 1에 있어서,

상기 제1 내부 지연 회로 및 제2 내부 지연 회로는 각각, 상기 정전류 인버터의 출력 단자에 제2 인버터를 구비하고,

상기 선택 회로는, 세트 단자가 상기 제2 내부 지연 회로의 출력 단자에 접속되고, 리셋 단자가 상기 제1 내부 지연 회로의 출력 단자에 접속되고, 출력 단자가 상기 지연 회로의 출력 단자에 접속되는 래치인 것을 특징으로 하는 지연 회로.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 제1 인버터는, 상기 방전용 스위치와 접지 단자의 사이에 제3 전류원을 구비한 것을 특징으로 하는 지연 회로.

명세서

기술분야

[0001] 본 발명은, 입력 신호를 지연시켜 출력하는 지연 회로에 관한 것이다.

배경기술

[0002] 종래의 지연 회로에 대해 설명한다. 도 7은, 종래의 지연 회로를 나타내는 도면이다. 도 8은, 종래의 지연 시간을 나타내는 타임 차트이다.

[0003] 입력 신호(Vin)가 로우로부터 하이가 될 때, 인버터(91)에 의해, PMOS 트랜지스터(92) 및 NMOS 트랜지스터(95)의 게이트 전압이 로우가 되고, PMOS 트랜지스터(92)가 온이 되고, NMOS 트랜지스터(95)가 오프가 된다. 그러면, PMOS 트랜지스터(92)에 의해 커패시터(96)가 충전되므로, 내부 전압(Vx)이 서서히 높아진다. 입력 신호(Vin)가 하이가 되고 나서 로우로부터 하이가 될 때의 지연 시간(Tx)이 경과하고, 내부 전압(Vx)이 버퍼(97)의 반전 역치 전압(Vti) 이상이 되면, 출력 신호(Vout)가 하이가 된다.

[0004] 또, 입력 신호(Vin)가 하이로부터 로우가 될 때, 인버터(91)에 의해, PMOS 트랜지스터(92) 및 NMOS 트랜지스터(95)의 게이트 전압이 하이가 되고, PMOS 트랜지스터(92)가 오프가 되고, NMOS 트랜지스터(95)가 온이 된다. 그러면, PMOS 트랜지스터(95)에 의해 커패시터(96)가 방전하므로, 내부 전압(Vx)이 서서히 낮아진다. 입력 신

호(Vin)가 로우가 되고 나서 하이로부터 로우가 될 때의 지연 시간(T_y)이 경과하고, 내부 전압(V_x)이 버퍼(97)의 반전 역치 전압(V_{ti})보다 낮아지면, 출력 신호(V_{out})가 로우가 된다(예를 들면, 특허 문헌 1 참조).

[0005] (선행 기술 문헌)

[0006] [특허 문헌]

[0007] [특허 문헌 1:일본국 특허공개 2007-096661호 공보(도 5)]

발명의 내용

해결하려는 과제

[0008] 그러나, 종래의 기술에서는, 전원 전압(VDD)이 변화하면, 인버터(도시 생략) 등으로 구성되는 버퍼(97)의 반전 역치 전압(V_{ti})도 변화해 버린다. 그러면, 로우로부터 하이가 될 때의 지연 시간(T_x) 및 하이로부터 로우가 될 때의 지연 시간(T_y)도 변화해 버린다.

[0009] 또, 버퍼(97)의 PMOS 트랜지스터(도시 생략) 및 NMOS 트랜지스터(도시 생략)의 제조 편차에 의해, 반전 역치 전압(V_{ti})이 전압(VDD/2)이 되지 않게 되어 버리는 위험성이 있다. 그러면, 로우로부터 하이가 될 때의 지연 시간(T_x)과 하이로부터 로우가 될 때의 지연 시간(T_y)이 달라져 버린다.

[0010] 본 발명은, 상기 과제를 감안하여 이루어진 것이며, 지연 시간이 전원 전압에 의존하지 않고, 입력 신호가 로우로부터 하이가 될 때와 하이로부터 로우가 될 때의 지연 시간이 동일한 지연 회로를 제공한다.

과제의 해결 수단

[0011] 본 발명은, 상기 과제를 해결하기 위해서, 입력 신호를 지연시켜 출력하는 지연 회로에 있어서, 상기 입력 신호가 입력되는 제1 내부 지연 회로와, 상기 입력 신호가 반전한 반전 입력 신호가 입력되는 제2 내부 지연 회로와, 상기 제1 내부 지연 회로 및 상기 제2 내부 지연 회로의 출력 신호가 입력되고 상기 지연 회로의 출력 신호를 출력하는 선택 회로를 구비하고, 상기 제1 내부 지연 회로 및 상기 제2 내부 지연 회로는, 제1 전류원과 충전용 스위치와 방전용 스위치와 커패시터를 구비하고, 상기 충전용 스위치는, 상기 입력 신호에 기초하여 상기 제1 전류원에 의해 상기 커패시터를 충전시키고, 상기 방전용 스위치는, 상기 입력 신호에 기초하여 상기 커패시터를 방전시키는 제1 인버터와, 제2 전류원과 NMOS 트랜지스터를 구비하고, 상기 커패시터의 전압이 상기 NMOS 트랜지스터의 역치 전압에 기초한 반전 역치 전압 이상이 되면 로우의 출력 신호를 출력하는 정전류 인버터를 구비하는 것을 특징으로 하는 지연 회로를 제공한다.

발명의 효과

[0012] 본 발명에서는, 커패시터의 전압이 접지 전압으로부터 NMOS 트랜지스터의 역치 전압에 기초한 반전 역치 전압보다 높은 전압이 될 때까지의 시간이 지연 시간이 되므로, 지연 시간은 접지 전압을 기준으로 하여 정해진다. 따라서, 지연 시간은 전원 전압에 의존하지 않는다.

[0013] 또, 입력 신호가 하이가 되면, 지연 회로는 제1 내부 지연 회로에 의한 지연 시간을 사용하고, 입력 신호가 로우가 되면, 지연 회로는 제2 내부 지연 회로에 의한 지연 시간을 사용하고, 이들 제1~제2 내부 지연 회로는 동일하다. 따라서, 입력 신호가 하이가 될 때와 로우가 될 때의 지연 시간은 동일해진다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 제1 실시 형태의 지연 회로를 나타내는 회로도이다.

도 2는 도 1의 지연 회로의 지연 시간을 나타내는 타임 차트이다.

도 3은 도 1의 지연 회로의 내부 전압을 나타내는 타임 차트이다.

도 4는 본 발명의 제2 실시 형태의 지연 회로를 나타내는 회로도이다.

도 5는 도 4의 지연 회로의 지연 시간을 나타내는 타임 차트이다.

도 6은 도 4의 지연 회로의 내부 전압을 나타내는 타임 차트이다.

도 7은 종래의 지연 회로를 나타내는 도면이다.

도 8은 종래의 지연 시간을 나타내는 타임 차트이다

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시 형태를, 도면을 참조하여 설명한다.
- [0016] (제1 실시 형태)
- [0017] 우선, 제1 실시 형태의 지연 회로의 구성에 대해 설명한다. 도 1은, 제1 실시 형태의 지연 회로를 나타내는 회로도이다.
- [0018] 여기서, 내부 지연 회로(10)와 내부 지연 회로(20)는, 도면 중 다른 부호를 가지지만, 동일한 구성으로 되어 있다.
- [0019] 지연 회로는, 인버터(40), 내부 지연 회로(10), 내부 지연 회로(20) 및 선택 회로(30)를 구비한다. 내부 지연 회로(10)는, 전류원(11), 인버터(11a), 커패시터(17), 정전류 인버터(19) 및 인버터(18)를 가진다. 인버터(11a)는, PMOS 트랜지스터(14) 및 NMOS 트랜지스터(15)를 가진다. 정전류 인버터(19)는, 전류원(113) 및 NMOS 트랜지스터(16)를 가진다. 선택 회로(30)는, 래치(31)를 가진다.
- [0020] 지연 회로의 입력 단자와 내부 지연 회로(10)의 입력 단자는 인버터(40)를 통해 접속한다. 지연 회로의 입력 단자와 내부 지연 회로(20)의 입력 단자는 접속한다. 내부 지연 회로(10)의 출력 단자와 선택 회로(30)의 제1 입력 단자는 접속한다. 내부 지연 회로(20)의 출력 단자와 선택 회로(30)의 제2 입력 단자는 접속한다. 선택 회로(30)의 출력 단자와 지연 회로의 출력 단자는 접속한다.
- [0021] 지연 회로의 입력 단자는, 인버터(40)를 개재하여 PMOS 트랜지스터(14) 및 NMOS 트랜지스터(15)의 게이트에 접속되고, PMOS 트랜지스터(24) 및 NMOS 트랜지스터(25)의 게이트에 접속된다. NMOS 트랜지스터(15)는, 소스가 접지 단자에 접속된다. PMOS 트랜지스터(14)는, 소스가 전원 단자에 전류원(11)을 통해 접속된다. 커패시터(17)는, PMOS 트랜지스터(14)의 드레인 및 NMOS 트랜지스터(15)의 드레인의 접속점과 접지 단자의 사이에 설치된다. NMOS 트랜지스터(16)는, 게이트가 PMOS 트랜지스터(14)의 드레인 및 NMOS 트랜지스터(15)의 드레인의 접속점에 접속되고, 소스가 접지 단자에 접속되고, 드레인이 전원 단자에 전류원(13)을 통해 접속된다. 인버터(18)는, 입력 단자가 전류원(13)과 NMOS 트랜지스터(16)의 드레인과 접속점에 접속되고, 출력 단자가 래치(31)의 세트 단자(S)에 접속된다. 여기서, 내부 지연 회로(10)와 내부 지연 회로(20)에서, 인버터(18) 및 인버터(28)의 입력 단자의 접속처가 다르고, 인버터(18) 및 인버터(28)의 출력 단자의 접속처가 다르다. 인버터(28)는, 출력 단자가 래치(31)의 리셋 단자(R)에 접속된다. 래치(31)는, 출력 단자(Q)가 지연 회로의 출력 단자에 접속된다.
- [0022] 입력 신호(V_{in})가 하이가 되어 인버터(40)의 출력 신호가 로우가 되면, PMOS 트랜지스터(14)는 온이 되어 전류원(11)에 의해 커패시터(17)를 충전시킨다. 입력 신호(V_{in})가 하이가 되면, NMOS 트랜지스터(25)는 온이 되어 커패시터(27)를 방전시킨다. 또, 입력 신호(V_{in})가 로우가 되어 인버터(40)의 출력 신호가 하이가 되면, NMOS 트랜지스터(15)는 온이 되어 커패시터(17)를 방전시킨다. 입력 신호(V_{in})가 로우가 되면, PMOS 트랜지스터(24)는 온이 되어 전류원(21)에 의해 커패시터(27)를 충전시킨다.
- [0023] PMOS 트랜지스터(14)가 온이 되고 나서 지연 시간이 경과함에 따라 커패시터(17)가 충전되고, 내부 전압(V_a)이 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(V_{tn})) 이상이 되면, 정전류 인버터(19)는 로우의 출력 신호를 출력한다. 이 때, 인버터(18)는 하이의 출력 신호를 출력한다. 또, 내부 지연 회로(20)에서도 마찬가지이다.
- [0024] 즉, 입력 신호(V_{in})가 하이가 되어 인버터(40)의 출력 신호가 로우가 되어 지연 시간이 경과하면, 정전류 인버터(19)의 출력 신호가 로우가 되고, 내부 전압(V_b)이 하이가 된다. 또, 입력 신호(V_{in})가 로우가 되어 지연 시간이 경과하면, 정전류 인버터(29)의 출력 신호가 로우가 되고, 내부 전압(V_d)이 하이가 된다. 내부 전압(V_b) 및 내부 전압(V_d)에 기초하여, 래치(31)는 출력 신호(V_{out})를 출력한다.
- [0025] 다음에, 지연 회로의 동작에 대해서 설명한다. 도 2는, 지연 시간을 나타내는 타임 차트이다.
- [0026] $t_1 \leq t < t_2$ 일 때, 입력 신호(V_{in})가 하이가 되면, 인버터(40)의 출력 신호는 로우가 되고, PMOS 트랜지스터(14)가 온이 되고, NMOS 트랜지스터(15)가 오프가 된다. 그러면, 전류원(11)이 커패시터(17)를 충전하므로, 내부 전압(V_a)이 완만하게 높아진다. 여기서, 내부 전압(V_a)은 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(V_{tn}))보다 낮기 때문에, NMOS 트랜지스터(16)는 오프가 되고, NMOS 트랜지스터(16)의 드레

인 전압(정전류 인버터(19)의 출력 신호)은 하이가 되고, 내부 전압(Vb)은 로우가 된다.

[0027] 또, PMOS 트랜지스터(24)가 오프가 되고, NMOS 트랜지스터(25)가 온이 된다. 그러면, 내부 전압(Vc)은 급준하게 로우가 된다. 따라서, NMOS 트랜지스터(26)가 오프가 되고, NMOS 트랜지스터(26)의 드레인 전압이 하이가 되고, 내부 전압(Vd)은 로우가 된다.

[0028] $t_2 \leq t < t_3$ 일 때, 내부 전압(Va)이 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(Vtn)) 이상이 되면, NMOS 트랜지스터(16)는 온이 되고, NMOS 트랜지스터(16)의 드레인 전압(정전류 인버터(19)의 출력 신호)은 로우가 되고, 내부 전압(Vb)은 하이가 된다. 이 때, 래치(31)에서는, 세트 단자(S)가 하이가 되므로, 출력 단자(Q)(출력 신호(Vout))도 하이가 된다. 여기서, 입력 신호(Vin)가 하이가 되고 나서 출력 신호(Vout)가 하이가 되기까지의 동안에, 지연 시간(Ta)이 존재한다. 이 지연 시간(Ta)은, 전류원(11)의 전류와 커패시터(17)의 용량치와 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(Vtn))에 의해 정해진다.

[0029] $t_3 \leq t < t_4$ 일 때, 입력 신호(Vin)가 로우가 되면, PMOS 트랜지스터(24)가 온이 되고, NMOS 트랜지스터(25)가 오프가 된다. 그러면, 전류원(21)이 커패시터(27)를 충전하므로, 내부 전압(Vc)이 완만하게 높아진다. 여기서, 내부 전압(Vc)은 정전류 인버터(29)의 반전 역치 전압(NMOS 트랜지스터(26)의 역치 전압(Vtn))보다 낮기 때문에, NMOS 트랜지스터(26)는 오프가 되고, NMOS 트랜지스터(26)의 드레인 전압(정전류 인버터(29)의 출력 신호)은 하이가 되고, 내부 전압(Vd)은 로우가 된다.

[0030] 또, 인버터(40)의 출력 신호는 하이가 되고, PMOS 트랜지스터(14)가 오프가 되고, NMOS 트랜지스터(15)가 온이 된다. 그러면, 내부 전압(Va)은 급준하게 로우가 된다. 따라서, NMOS 트랜지스터(16)가 오프가 되고, NMOS 트랜지스터(16)의 드레인 전압이 하이가 되고, 내부 전압(Vb)은 로우가 된다.

[0031] $t_4 \leq t$ 일 때, 내부 전압(Vc)이 정전류 인버터(29)의 반전 역치 전압(NMOS 트랜지스터(26)의 역치 전압(Vtn)) 이상이 되면, NMOS 트랜지스터(26)는 온이 되고, NMOS 트랜지스터(26)의 드레인 전압(정전류 인버터(29)의 출력 신호)은 로우가 되고, 내부 전압(Vd)은 하이가 된다. 이 때, 래치(31)에서는, 리셋 단자(R)가 하이가 되므로, 출력 단자(Q)(출력 신호(Vout))는 로우가 된다. 여기서, 입력 신호(Vin)가 로우가 되고 나서 출력 신호(Vout)가 로우가 되기까지의 동안에, 지연 시간(Ta)이 존재한다.

[0032] 여기서, 입력 전압(Vin)이 하이로부터 로우가 된 직후에 로우로부터 하이가 될 때에 있어서의 내부 전압(Va)에 대해서 설명한다. 도 3은, 내부 전압(Va)을 나타내는 타임 차트이다.

[0033] $t_{11} \leq t < t_{12}$ 일 때, 입력 신호(Vin)가 하이가 되면, 상술과 같이, 내부 전압(Va)은 완만하게 높아진다.

[0034] $t_{12} \leq t < t_{13}$ 일 때, 입력 신호(Vin)가 로우가 되면, 상술과 같이, 내부 전압(Va)은 급준하게 로우가 된다.

[0035] $t_{13} \leq t < t_1$ 일 때, 입력 신호(Vin)가 하이가 되면, 상술과 같이, 내부 전압(Va)이 완만하게 높아진다.

[0036] $t_{14} \leq t$ 일 때, 내부 전압(Va)이 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(Vtn)) 이상이 되면, 상술과 같이, 출력 단자(Q)(출력 신호(Vout))가 하이가 된다. 여기서, 입력 신호(Vin)가 하이가 되고 나서 출력 신호(Vout)가 하이가 되기까지의 동안에, 지연 시간(Ta)($Ta = t_{14} - t_{13}$)이 존재한다.

[0037] 이와 같이 하면, 커패시터(17)의 전압(내부 전압(Va))이 접지 전압(VSS)으로부터 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(Vtn))보다 높은 전압이 되기 때까지의 시간이 지연 시간(Ta)이 되므로, 지연 시간(Ta)은 접지 전압(VSS)을 기준으로 하여 정해진다. 따라서, 지연 시간(Ta)은 전원 전압(VDD)에 의존하지 않는다. 또, 내부 지연 회로(20)에서도 마찬가지이다.

[0038] 또, 입력 신호(Vin)가 하이가 되면, 지연 회로는 내부 지연 회로(10)에 의한 지연 시간(Ta)을 사용하고, 입력 신호(Vin)가 로우가 되면, 지연 회로는 내부 지연 회로(20)에 의한 지연 시간(Ta)을 사용하고, 이들 내부 지연 회로(10) 및 내부 지연 회로(20)는 동일하다. 따라서, 입력 신호(Vin)가 하이가 될 때와 로우가 될 때의 지연 시간은 동일해진다.

[0039] 또, 입력 신호(Vin)가 하이로부터 로우가 되는 경우, 지연 시간(Ta)이 즉시 리셋된다. 따라서, 그 후에 있어서의 입력 신호(Vin)가 로우로부터 하이가 될 때의 지연 시간(Ta)이 정확하다. 입력 신호(Vin)가 로우로부터 하이가 되는 경우도 마찬가지이다.

[0040] 또한, 선택 회로(30)는 래치(31)이지만, 도시하지 않지만, 이것에 한정되지 않는다. 선택 회로(30)는, 내부 전압(Vb)과 내부 전압(Vd)을 선택하여 출력하는 회로이면 된다.

- [0041] (제2 실시 형태)
- [0042] 우선, 제2 실시 형태의 지연 회로의 구성에 대해 설명한다. 도 4는, 제2 실시 형태의 지연 회로를 나타내는 회로도이다.
- [0043] 제2 실시 형태의 지연 회로에서는, 제1 실시 형태와 비교하면, 내부 지연 회로(10)에 전류원(12)이 추가되고, 내부 지연 회로(20)에 전류원(22)이 추가되어 있다.
- [0044] 전류원(12)은, NMOS 트랜지스터(15)의 소스와 접지 단자의 사이에 설치된다. 전류원(22)은, NMOS 트랜지스터(25)의 소스와 접지 단자의 사이에 설치된다.
- [0045] 입력 신호(Vin)가 하이가 되어 인버터(40)의 출력 신호가 로우가 되면, PMOS 트랜지스터(14)는 온이 되어 전류원(11)에 의해 커패시터(17)를 충전시킨다. 입력 신호(Vin)가 하이가 되면, NMOS 트랜지스터(25)는 온이 되어 전류원(22)에 의해 커패시터(27)를 방전시킨다. 또, 입력 신호(Vin)가 로우가 되어 인버터(40)의 출력 신호가 하이가 되면, NMOS 트랜지스터(15)는 온이 되어 전류원(12)에 의해 커패시터(17)를 방전시킨다. 입력 신호(Vin)가 로우가 되면, PMOS 트랜지스터(24)는 온이 되어 전류원(21)에 의해 커패시터(27)를 충전시킨다.
- [0046] 다음에, 지연 회로의 동작에 대해 설명한다. 도 5는, 지연 시간을 나타내는 타임 차트이다.
- [0047] $t1 \leq t < t3$ 일 때, 도 2에서는, 입력 신호(Vin)가 하이가 되면, PMOS 트랜지스터(24)가 오프가 되고, NMOS 트랜지스터(25)가 온이 되고, 내부 전압(Vc)은 급준하게 로우로 되어 있다. 그러나, 도 5 중의 A에 나타내는 바와 같이, 전류원(22)의 방전에 의해, 내부 전압(Vc)은 완만하게 낮아진다.
- [0048] 이것에 수반하여, 도 2에서는, 내부 전압(Vd)도 급준하게 로우로 되어 있지만, 도 5 중의 B에 나타내는 바와 같이, 전류원(22)의 방전에 의해, 내부 전압(Vc)이 전원 전압(VDD)으로부터 반전 역치 전압(Vtn)보다 낮은 전압이 되고, 즉, 소정 시간이 경과하는 것이 필요하게 되며, 그 후, 내부 전압(Vd)이 급준하게 로우가 된다.
- [0049] $t3 \leq t$ 일 때, 도 2에서는, 입력 신호(Vin)가 로우가 되면, 인버터(40)의 출력 신호는 하이가 되고, PMOS 트랜지스터(14)가 오프가 되고, NMOS 트랜지스터(15)가 온이 되고, 내부 전압(Va)은 급준하게 로우로 되어 있다. 그러나, 도 5 중의 C에 나타내는 바와 같이, 전류원(12)의 방전에 의해, 내부 전압(Va)은 완만하게 낮아진다. 또한, 여기서의 소정 시간은 지연 시간으로서 사용되지 않는다.
- [0050] 이것에 수반하여, 도 2에서는, 내부 전압(Vb)도 급준하게 로우로 되어 있지만, 도 5 중의 D에 나타내는 바와 같이, 전류원(12)의 방전에 의해, 내부 전압(Va)이 전원 전압(VDD)으로부터 반전 역치 전압(Vtn)보다 낮은 전압이 되고, 즉, 소정 시간이 경과하는 것이 필요하게 되며, 그 후, 내부 전압(Vb)이 급준하게 로우가 된다. 또한, 여기서의 소정 시간은 지연 시간으로서 사용되지 않는다.
- [0051] 여기서, 입력 전압(Vin)이 하이로부터 로우가 된 직후에 로우로부터 하이가 될 때에 있어서의 내부 전압(Va)에 대해 설명한다. 도 6은, 내부 전압(Va)을 나타내는 타임 차트이다.
- [0052] $t11 \leq t < t12$ 일 때, 입력 신호(Vin)가 하이가 되면, 상술과 같이, 내부 전압(Va)은 완만하게 높아진다.
- [0053] $t12 \leq t < t13$ 일 때, 입력 신호(Vin)가 로우가 되면, 상술과 같이, 내부 전압(Va)은 완만하게 낮아진다.
- [0054] $t13 \leq t < t14$ 일 때, 입력 신호(Vin)가 하이가 되면, 상술과 같이, 내부 전압(Va)이 완만하게 높아진다.
- [0055] $t14 \leq t$ 일 때, 내부 전압(Va)이 정전류 인버터(19)의 반전 역치 전압(NMOS 트랜지스터(16)의 역치 전압(Vtn)) 이상이면, 상술과 같이, 출력 단자(Q)(출력 신호(Vout))가 하이가 된다. 여기서, 입력 신호(Vin)가 하이가 되고 나서 출력 신호(Vout)가 하이가 되기까지의 동안에, 지연 시간(Ta)($Ta = t14 - t13$)이 존재한다.
- [0056] 또, 입력 신호(Vin)가 하이로부터 로우가 되는 경우, 지연 시간(Ta)이 즉시 리셋되지 않고 완만하게 리셋된다. 따라서, 노이즈 등에 의해 입력 신호(Vin)가 하이로부터 로우가 되고, 그 후, 입력 신호(Vin)가 하이가 되는 경우, 지연 시간(Ta)이 0으로부터 재카운트되지 않게 된다. 입력 신호(Vin)가 로우로부터 하이가 되는 경우도 마찬가지이다.

부호의 설명

- [0057] 10, 20: 내부 지연 회로 11, 21: 전류원
11a, 18, 21a, 28: 인버터 13, 23: 전류원

19, 29: 정전류 인버터

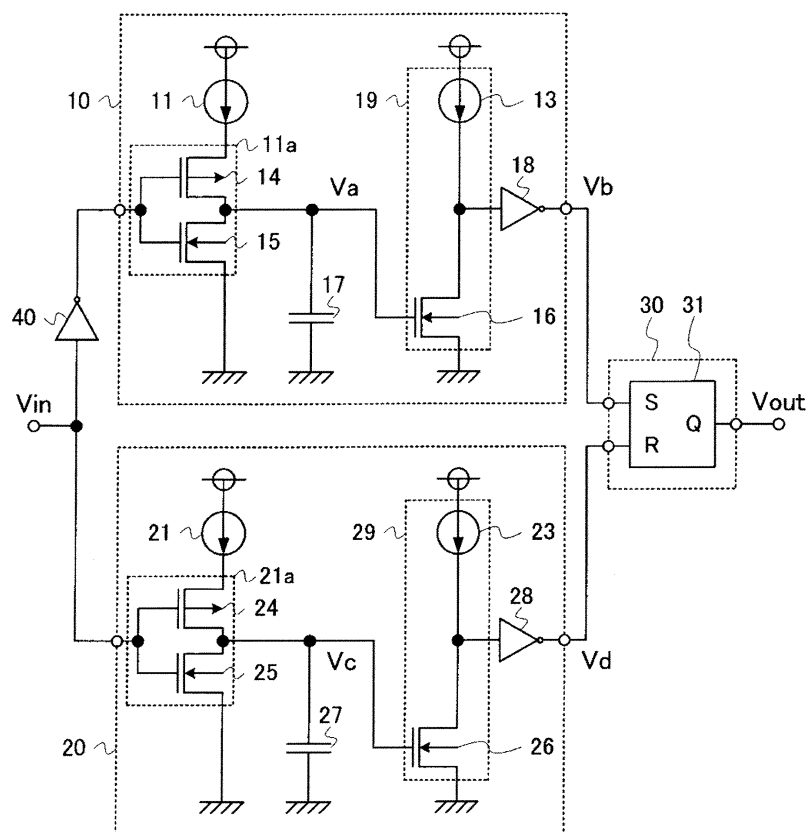
30: 선택 회로

31: 래치

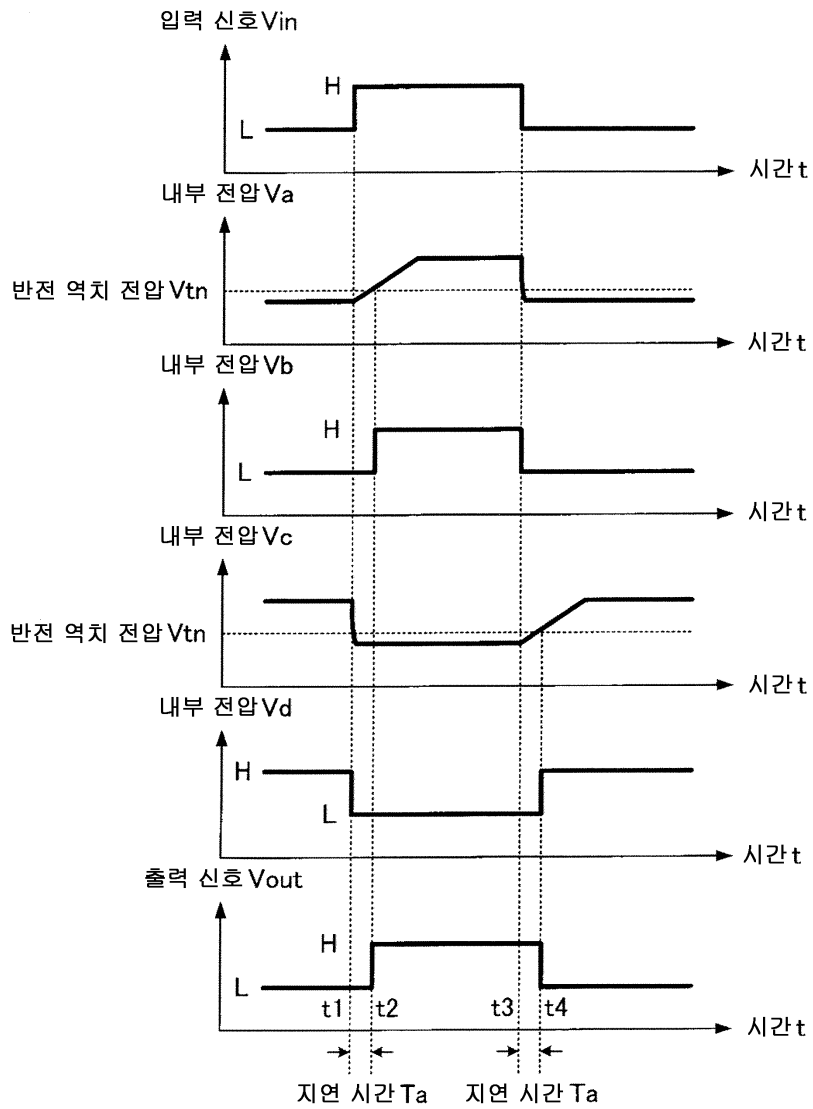
40: 인버터

도면

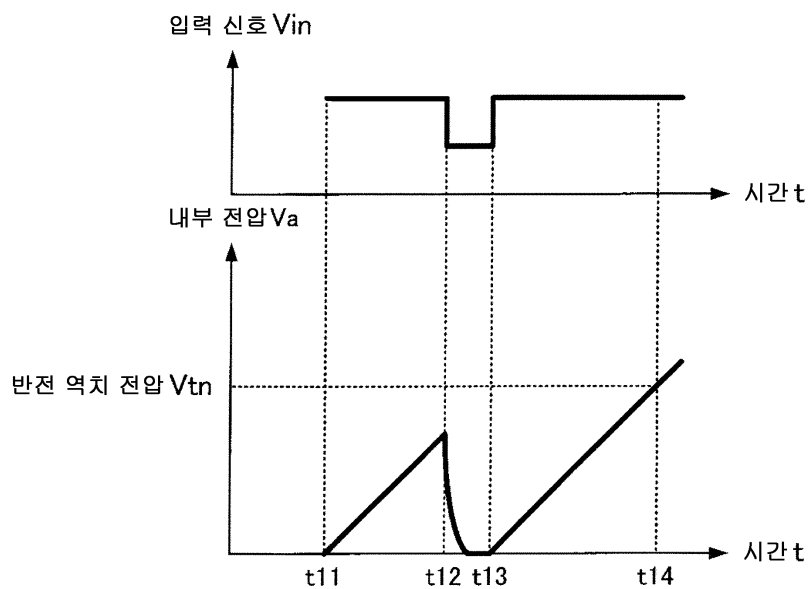
도면1



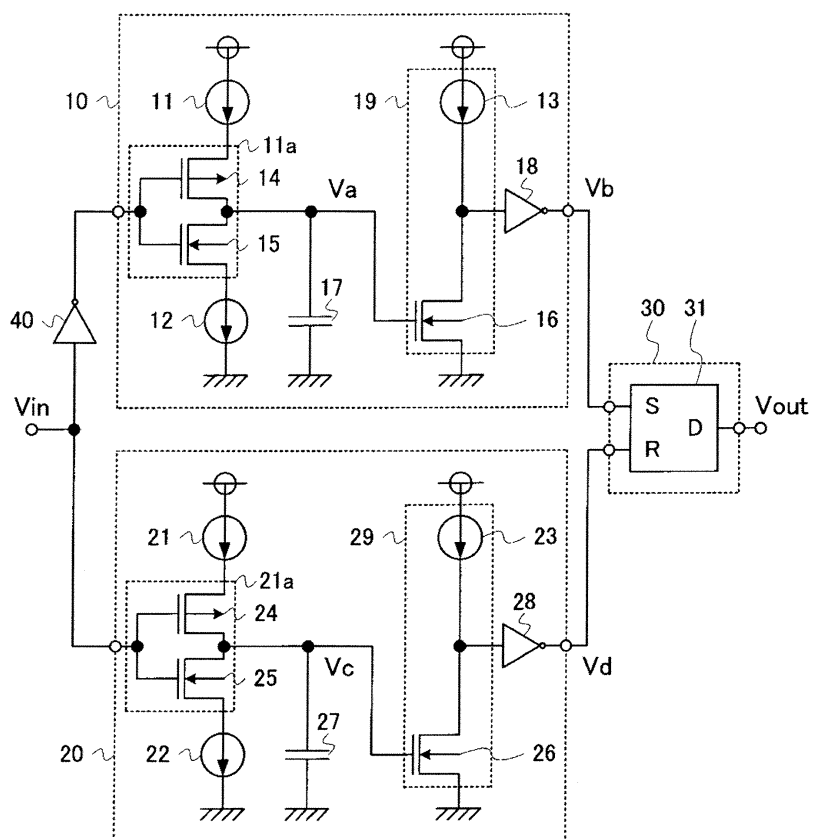
도면2



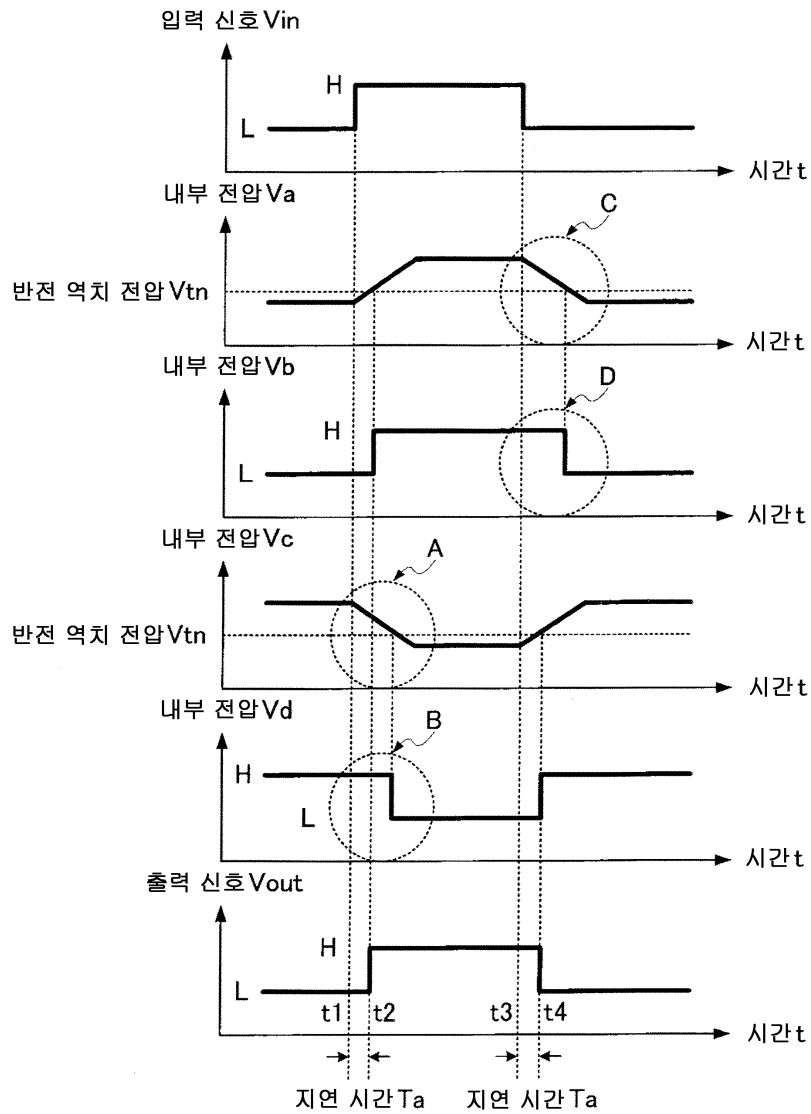
도면3



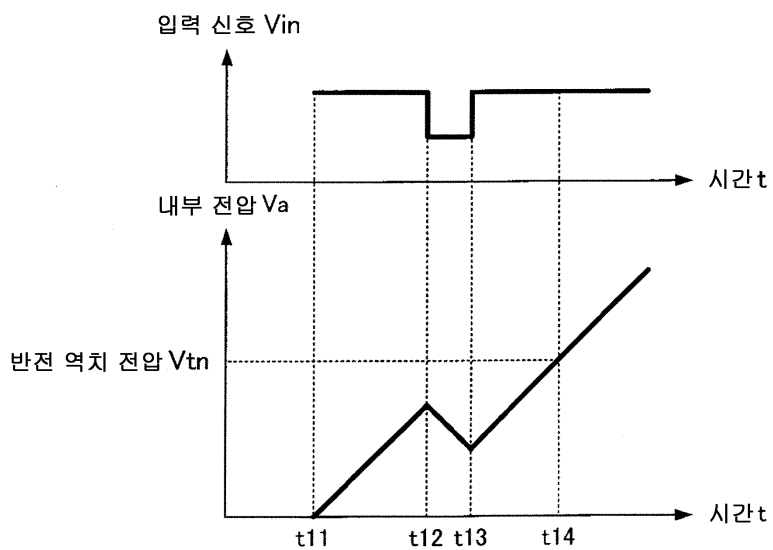
도면4



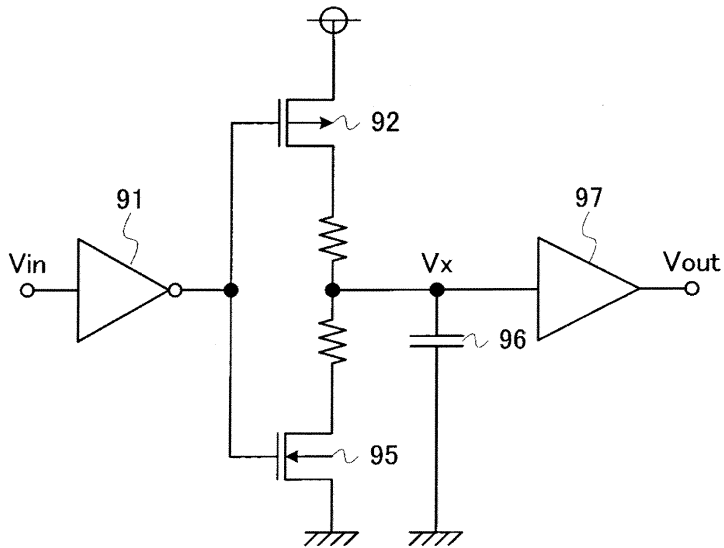
도면5



도면6



도면7



도면8

