(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)

WIPO | PCT

(10) 国际公布号
WO 2025/001039 A1

(51) 国际专利分类号:
H04B 10/278 (2013.01) *G06F 13/14* (2006.01)
H04B 10/038 (2013.01)

(21) 国际申请号: PCT/CN2024/070455

(22) 国际申请日: 2024 年 1 月 3 日 (03.01.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310771673.6 2023年6月28日 (28.06.2023) CN

(71) 申请人: 苏州元脑智能科技有限公司 (**SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.**) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(72) 发明人:赵伟康(**ZHAO, Weikang**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。 杨才坤(**YANG, Caikun**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。 高显扬(**GAO, Xianyang**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。 慈潭龙(**CI, Tanlong**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢, Jiangsu 215000 (CN)。

(74) 代理人: 北京康信知识产权代理有限责任公司 (**KANGXIN PARTNERS , P.C.**); 中国北京市海淀区知春路甲48号盈都大厦A座16层, Beijing 100098 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,

(54) **Title:** METHOD AND APPARATUS FOR ESTABLISHING PCIE OPTICAL INTERCONNECTION LINK, AND DEVICE, MEDIUM AND SYSTEM

(54) 发明名称: PCIe光互连链路建立方法、装置、设备、介质及系统

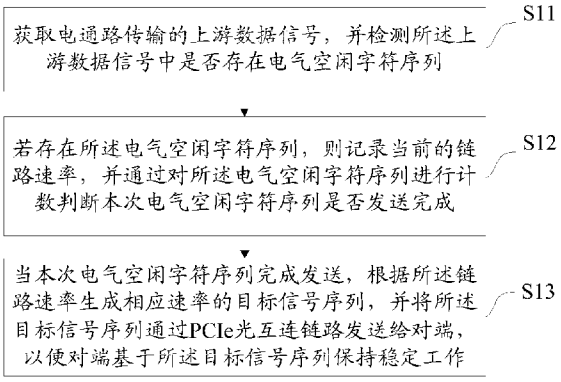


图 1

S11 Acquire an upstream data signal which is transmitted by means of an electrical path, and detect whether there is an electrical idle ordered set in the upstream data signal

S12 If there is an electrical idle ordered set, record the current link rate, and by means of counting the electrical idle ordered set, determine whether the current sending of the electrical idle ordered set has been completed

S13 When the current sending of the electrical idle ordered set has been completed, generate a target signal sequence of a corresponding rate according to the link rate, and send the target signal sequence to an opposite end by means of a PCIe optical interconnection link, such that the opposite end maintains stable operation on the basis of the target signal sequence

(57) **Abstract:** The present application relates to the technical field of signal transmission. Disclosed are a method and apparatus for establishing a peripheral component interconnect express (PCIe) optical interconnection link, and a device, a non-volatile readable storage medium and a system. The method comprises: acquiring an upstream data signal which is transmitted by means of an electrical path, and detecting whether there is an electrical idle ordered set in the upstream data signal (S11); if there is an electrical idle ordered set, recording the current link rate, and by means of counting the electrical idle ordered set, determining whether the current sending of the electrical idle ordered set has been completed (S12); and when the current sending of the electrical idle ordered set has been completed, generating a target signal sequence of a corresponding rate according to the link rate, and sending the target signal sequence to an opposite end by means of a PCIe optical interconnection link, such that the opposite end maintains stable operation on the basis of the target signal sequence (S13). A PCIe optical interconnection link can be established, and the success rate of establishing the PCIe optical interconnection link can be increased, thereby avoiding the problem of a link establishment failure caused by an electrical idle state during link establishment.

WO 2025/001039 A1

[见续页]

GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开了一种高速串行计算机扩展总线标准PCIe光互连链路建立方法、装置、设备、非易失性可读存储介质及系统，涉及信号传输技术领域。该方法包括：获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列（S11）；若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成（S12）；当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作（S13）。能够建立PCIe光互联链路，提高PCIe光互联链路建立的成功率，避免链路建立过程中因电气空闲状态导致链路建立失败的问题。

PCIe 光互连链路建立方法、装置、设备、介质及系统

相关申请的交叉引用

本申请要求于 2023 年 06 月 28 日提交中国专利局，申请号为 202310771673.6，申请名称为“PCIe 光互连链路建立方法、装置、设备、介质及系统”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及信号传输技术领域，特别涉及一种 PCIe 光互连链路建立方法、装置、设备、非易失性可读存储介质及系统。

背景技术

PCIe（Peripheral Component Interconnect Express）是一种高速串行计算机扩展总线标准，主要用于扩充计算机系统总线数据吞吐量以及提高设备通信速度。当前 PCIe 数据信号主要通过电互连方式构建传输路径，例如 PCB（Printed Circuit Board，印制电路板）级铜线和铜缆。随着 PCIe 协议的不断更新，由电互连造成的损耗问题日益突出，电互连所能实现的信号传输距离也逐渐降低。此时，低损耗的光互连是一个优先的解决方案，但是，由于光模块相应标准并非针对 PCIe 协议制定，PCIe 协议中有一些设定与现有光模块标准不兼容，主要问题在于光模块接收端在接收到突发信号时需要一段时间才能稳定工作，在稳定工作前的这段时间后端无法从数据中提取时钟信号，即 PCIe 光互连链路建立过程中会因电气空闲状态导致链路建立失败。因此，如何实现 PCIe 光互联链路的建立，是目前亟需解决的问题。

发明内容

有鉴于此，本申请的目的在于提供一种 PCIe 光互连链路建立方法、装置、设备及非易失性可读存储介质，能够建立 PCIe 光互联链路，提高 PCIe 光互联链路建立的成功率。其具体方案如下：

第一方面，本申请公开了一种 PCIe 光互连链路建立方法，应用于预先创建的旁路模块，包括：

获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列；

若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；

当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过 PCIe 光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

可选的，记录当前的链路速率，包括：

根据电气空闲字符序列的发送速率，确定当前 PCIe 光互连链路的链路速率并记录。

可选的，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列

是否发送完成，包括:

通过对电气空闲字符序列进行计数；电气空闲字符序列用于表征发送端将进入电气空闲状态;

当计数值达到 PCIe 协议设定的目标值时判定本次电气空闲字符序列发送完成，否则，判定本次电气空闲字符序列没有发送完成。

可选的，检测上游数据信号中是否存在电气空闲字符序列之后，还包括:

若判定上游数据信号中不存在电气空闲字符序列，则直接通过 PCIe 光互连链路传输上游数据信号;

通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成之后，还包括:

若判定本次电气空闲字符序列没有发送完成，则直接通过 PCIe 光互连链路传输上游数据信号。

可选的，根据链路速率生成相应速率的目标信号序列，包括:

在链路速率的基础上根据预设增减范围确定出目标速率，根据目标速率生成目标信号序列。

可选的，将目标信号序列通过 PCIe 光互连链路发送给对端，包括:

将目标信号序列通过本地的光发射组件进行电光转换后，通过 PCIe 光互连链路发送给对端的光接收组件。

可选的，对端基于目标信号序列保持稳定工作，包括:

对端的光接收组件对接收到的光信号进行光电转换后，得到目标信号序列，并将目标信号序列转发给对端的旁路模块中的端接器件，以便对端的光模块内的跨阻抗放大器保持稳定工作。

可选的，对端的光接收组件对接收到的光信号进行光电转换后，得到目标信号序列，包括:

对端的光接收组件对接收到的光信号进行光电转换得到电信号;

检测电信号中是否存在目标信号序列;

若存在目标信号序列，则执行将目标信号序列转发给对端的旁路模块中的端接器件的步骤。

可选的，检测电信号中是否存在目标信号序列之后，还包括:

若不存在目标信号序列，则直接将电信号转发给终端设备。

可选的，检测电信号中是否存在目标信号序列之前，还包括:

检测电信号中是否存在电气空闲字符序列;

若不存在电气空闲字符序列，则执行检测电信号中是否存在目标信号序列的步骤。

可选的，检测电信号中是否存在电气空闲字符序列之后，还包括:

若存在电气空闲字符序列，则根据电气空闲字符序列确定当前的链路速率并记录;

对电气空闲字符序列进行计数，并根据计数值判断本次电气空闲字符序列是否发送完成;

若本次电气空闲字符序列发送完成，则准备接收目标信号序列。

可选的，根据计数值判断本次电气空闲字符序列是否发送完成之后，还包括:

若本次电气空闲字符序列没有发送完成，则直接将电信号转发给终端设备。

可选的，旁路模块与本地的光发射组件和光接收组件集成在光模块内。

可选的，旁路模块作为独立器件分别与主机和光模块相连。

可选的，旁路模块集成在 PCIe 信号中继器，PCIe 信号中继器分别与主机和光模块相连。

可选的，旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件;

码型检测控制器被配置为获取电通路传输的上游数据信号，检测上游数据信号中是否存在电气空闲字符序列，记录当前的链路速率，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，控制数据信号选通器的数据传输，控制码型生成器生成码型;

码型生成器被配置为根据链路速率生成相应速率的目标信号序列;

数据信号选通器被配置为获取电通路传输的上游数据信号，将目标信号序列通过 PCIe 光互连链路发送给对端;

端接器件被配置为存储对端发送的目标信号序列。

可选的，码型检测控制器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，控制数据信号选通器的信号传输通道;

数据信号选通器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，在电信号为目标信号序列时转发给端接器件，在电信号不是目标信号序列时转发给终端设备。

可选的，码型检测控制器支持识别 PCIe 链路训练过程中与电气空闲状态相关的码型。

可选的，数据信号选通器支持的信号速率涵盖 PCIe 协议规定的信号速率。

第二方面，本申请公开了一种 PCIe 光互连链路建立装置，包括:

检测模块，被配置为获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列;

记录模块，被配置为若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成;

序列发送模块，被配置为当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过 PCIe 光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

第三方面，本申请公开了一种电子设备，包括:

存储器，被配置为保存计算机程序;

处理器，被配置为执行计算机程序，以实现前述的 PCIe 光互连链路建立方法。

第四方面，本申请公开了一种计算机非易失性可读存储介质，被配置为存储计算机程序；其中计算机程序被处理器执行时实现前述的 PCIe 光互连链路建立方法。

第五方面，本申请公开了一种 PCIe 光互连链路系统，包括主机、光模块和前述的旁路模块；旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件；

数据信号选通器分别与主机、光模块中的光发射组件和光接收组件、码型生成器和端接器件相连；

码型检测控制器分别与主机、数据信号选通器、光接收组件和码型生成器相连。

本申请中，获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列；若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过 PCIe 光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

可见，通过根据电气空闲字符序列判断链路是否将要进入电气空闲状态，并在进入电气空闲状态后，通过生成相应速率的目标信号序列维持本地和接收端的工作状态，能够避免突发信号对跨阻抗放大器产生的冲击，实现服务器等主机和外部设备之间通过光纤建立 PCIe 链路，避免 PCIe 光互连链路建立过程中因电气空闲状态导致链路建立失败的问题，即解决了链路退出电气空闲状态时互连链路会存在从无数据传输到高速数据信号传输的突发模式的问题。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

图 1 为本申请提供的一种 PCIe 光互连链路建立方法流程图；

图 2 为本申请提供的一种可选的旁路模块结构示意图；

图 3 为本申请提供的一种可选的发送端 PCIe 光互连方法流程图；

图 4 为本申请提供的一种可选的接收端 PCIe 光互连方法流程图；

图 5 为本申请提供的一种可选的 PCIe 光互连系统结构示意图；

图 6 为本申请提供的另一种可选的 PCIe 光互连系统结构示意图；

图 7 为本申请提供的另一种可选的 PCIe 光互连系统结构示意图；

图 8 为本申请提供的一种 PCIe 光互连链路建立装置结构示意图；

图 9 为本申请提供的一种电子设备结构图。

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

现有技术中，由于光模块相应标准并非针对PCIe协议制定，PCIe协议中有一些设定与现有光模块标准不兼容，主要问题在于光模块接收端在接收到突发信号时需要一段时间才能稳定工作，在稳定工作前的这段时间后端无法从数据中提取时钟信号，即光模块无法应对电气空闲状态后突然的高速信号传输，导致直接使用光模块构建PCIe光互连通路会构建失败。为克服上述技术问题，本申请提出一种PCIe光互连链路建立方法，能够建立PCIe光互联链路，提高PCIe光互联链路建立的成功率，避免PCIe光互连链路建立过程中因电气空闲状态导致链路建立失败的问题。

本申请实施例公开了一种PCIe光互连链路建立方法，参见图1所示，应用于预先创建的旁路模块，该方法可以包括以下步骤：

步骤S11：获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列。

本实施例中，首先获取电通路传输的上游数据信号，获取后检测上游数据信号中是否存在电气空闲字符序列。可以理解的是，PCIe互连链路建立过程中存在链路训练过程，整个互连链路需要能在链路训练过程中正确传输信号才能使链路成功建立；链路训练过程中，链路会多次进入电气空闲（ElectricalIdle，EI）状态，进入EI状态后，互连链路中不会有数据信号传输。此后，发送端（Tx）在需要传输数据时会发送相应字符序列（OrderedSets）唤醒接收端（Rx）以继续链路训练过程；可选的，发送端在进入EI状态前，需要向接收端发送若干个由PCIe协议定义的电气空闲字符序列（ElectricalIdleOrderedSets，EIOS），才能进入EI状态；当发送端要退出EI状态时，需要向对端设备发送若干个由PCIe协议定义的电气空闲退出字符序列（ElectricalIdleExitOrderedSets，EIEOS），才能退出EI状态。具体可以根据PCIe协议定义的电气空闲字符序列的特征判断上游数据信号中是否存在电气空闲字符序列。

本实施例中，检测上游数据信号中是否存在电气空闲字符序列之后，还可以包括：若判定上游数据信号中不存在电气空闲字符序列，则直接通过PCIe光互连链路传输上游数据信号。即若上游数据信号中不存在电气空闲字符序列，则证明链路处于正常数据传输过程，此时直接通过PCIe光互连链路传输上游数据信号给对端即可。

步骤S12：若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成。

本实施例中，若检测到电气空闲字符序列，则可以表征链路准备要进入

空闲状态了，此时记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，可以理解的是，若电气空闲字符序列发送完成则表征进入空闲状态，否则表征还处于进入空闲状态的准备阶段。

本实施例中，记录当前的链路速率，可以包括：根据电气空闲字符序列的发送速率，确定当前PCIe光互连链路的链路速率并记录。链路速率，即链路传输速率，是指主机或路由器向链路上发送数据的速度，因此可以根据电气空闲字符序列的发送速率，确定当前PCIe光互连链路的链路速率然后进行记录。

本实施例中，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，可以包括：通过对电气空闲字符序列进行计数；电气空闲字符序列用于表征发送端将进入电气空闲状态；当计数值达到PCIe协议设定的目标值时判定本次电气空闲字符序列发送完成，否则，判定本次电气空闲字符序列没有发送完成。即每次进入电气空闲状态发送的电气空闲字符序列的总数是固定的，即上述PCIe协议设定的目标值，因此，可以通过对电气空闲字符序列进行计数，然后根据计数值判断本次电气空闲字符序列发送完成，计数值达到目标值为完成，否则没有完成。

本实施例中，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成之后，还可以包括：若判定本次电气空闲字符序列没有发送完成，则直接通过PCIe光互连链路传输上游数据信号。即若本次电气空闲字符序列没有发送完成，则证明链路处于电气空闲字符序列传输过程，此时直接通过PCIe光互连链路传输包括电气空闲字符序列在内的上游数据信号给对端即可。

步骤S13：当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

本实施例中，当判定本次电气空闲字符序列完成发送时，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端通过不断接收目标信号序列保持稳定工作。可以理解的是，PCIe光互连链路建立过程中会因电气空闲状态导致链路建立失败的主要原因在于，从电气空闲状态到正常数据传输装状态时链路会存储数据速率的突变，然而，光模块接收端的跨阻抗放大器（Trans-Impendence Amplifier，TIA）在接收到突发信号时需要一段时间才能稳定工作，在稳定工作前的这段时间TIA无法准确将前端光电流信号转化为正确的电压信号，也就无法从数据中提取时钟信号，进而导致链路建立失败。本实施例中，利用目标信号序列保持跨阻抗放大器一直处于正常工作状态，从而避免因电气空闲状态导致链路建立失败的问题。

本实施例中，根据链路速率生成相应速率的目标信号序列，可以包括：在链路速率的基础上根据预设增减范围确定出目标速率，根据目标速率生成

目标信号序列。即可以在链路速率的基础上适当减或适当增或保持不变得到目标速率，该目标速率只要与链路速率的差异不会大到导致跨阻抗放大器需要一段时间去适应即可，在某些情况下，可以在允许范围内选择一个最低速率，这样既能避免链路建立失败的问题，也可以节约资源。

本实施例中，将目标信号序列通过PCIe光互连链路发送给对端，可以包括：将目标信号序列通过本地的光发射组件进行电光转换后，通过PCIe光互连链路发送给对端的光接收组件。即利用光发射组件将目标信号序列的电信号转换为光信号，通过光纤将光信号传输到对端。需要理解的是，本实施例中的本地和对端只是站在不同角度的描述，发送端和接收端同理，但是每个终端都会对应一个相同的旁路模块用于实现上述步骤。

相关技术中，还有采用时钟数据恢复电路的方式，其在面对突发信号时可以将本地参考时钟作为输入数据发送至相位调整模块，以保证CDR（clock Data Recovery，时钟数据恢复）模块可以恢复正确的时钟信号，虽然一定程度上解决数据信号紊乱时正确恢复时钟数据的工况，但是依然会面临突发模式下TIA无法迅速响应造成的稳定性问题，依然会导致链路训练过程中链路建立失败。而本实施例中，通过在发送端检测链路训练过程中标志进入电气空闲状态的EIOS序列，利用生成的相应速率的目标信号序列，保证链路发送端和接收端在进入电气空闲状态时光模块和光纤构成的光链路始终保持与进入电气空闲状态前的高速传输的活跃状态，避免接收端从电气空闲状态进入正常数据传输状态的突发信号传输模式，保持光模块接收端TIA始终处于稳定工作模式，完成链路训练过程并在发送端和接收端之间建立PCIe光互连链路。

本实施例中，对端基于目标信号序列保持稳定工作，可以包括：对端的光接收组件对接收到的光信号进行光电转换后，得到目标信号序列，并将目标信号序列转发给对端的旁路模块中的端接器件，以便对端的光模块内的跨阻抗放大器保持稳定工作。即光电转换后从电信号中提取得到目标信号序列，对端的跨阻抗放大器即可根据该目标信号序列继续工作。

本实施例中，对端的光接收组件对接收到的光信号进行光电转换后，得到目标信号序列，包括：对端的光接收组件对接收到的光信号进行光电转换得到电信号；检测电信号中是否存在目标信号序列；若存在目标信号序列，则执行将目标信号序列转发给对端的旁路模块中的端接器件的步骤；若不存在目标信号序列，则直接将电信号转发给终端设备。即先检测是否为目标信号序列，若不是目标信号序列则可能是正常数据信息或电气空闲字符序列，则直接发送给终端设备即可。

本实施例中，检测电信号中是否存在目标信号序列之前，还包括：检测电信号中是否存在电气空闲字符序列；若不存在电气空闲字符序列，则执行检测电信号中是否存在目标信号序列的步骤；若存在电气空闲字符序列，则根据电气空闲字符序列确定当前的链路速率并记录；对电气空闲字符序列进行计数，并根据计数值判断本次电气空闲字符序列是否发送完成；若本次电

气空闲字符序列发送完成，则准备接收目标信号序列；若本次电气空闲字符序列没有发送完成，则直接将电信号转发给终端设备。即由于电气空闲字符序列会在目标信号序列前传输，因此对端每次接收到信号后可以先检测电气空闲字符序列，再检测目标信号序列，提高检测效率。另外，上述方法适用用于基于PCIe5.0协议的CXL（Compute Express Link，计算快速链接）协议规范下的光互连链路建立。

由上可见，本实施例中获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列；若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

可见，通过根据电气空闲字符序列判断链路是否将要进入电气空闲状态，并在进入电气空闲状态后，通过生成相应速率的目标信号序列维持本地和接收端的工作状态，能够避免突发信号对跨阻抗放大器产生的冲击，实现服务器等主机和外部设备之间通过光纤建立PCIe链路，避免PCIe光互连链路建立过程中因电气空闲状态导致链路建立失败，即解决了链路退出电气空闲状态时互连链路会存在从无数据传输到高速数据信号传输的突发模式的问题。

在上述实施例的基础上，本申请还提供了一种可选的旁路模块结构，旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件；其中，码型检测控制器被配置为获取电通路传输的上游数据信号，检测上游数据信号中是否存在电气空闲字符序列，记录当前的链路速率，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，控制数据信号选通器的数据传输，控制码型生成器生成码型；码型生成器被配置为根据链路速率生成相应速率的目标信号序列；数据信号选通器被配置为获取电通路传输的上游数据信号，将目标信号序列通过PCIe光互连链路发送给对端；端接器件被配置为存储对端发送的目标信号序列。

例如图2所示，1为旁路模块，101为码型生成器，102为数据信号选通器，103为光发射组件，104为码型检测控制器，105为光接收组件，106为端接器件，201为与旁路模块连接的电通路，301为与光发射组件和光接收组件连接的光纤。当设备通过光纤301发送信号时，旁路模块1通过电通路201的接收通路（Rx）接收上游信号，接收的信号进入数据信号选通器102和码型检测控制器104，码型检测控制器104控制码型生成器101和数据信号选通器102，之后数据信号选通器102输出的信号经光发射组件103转化为光信号，最后通过光纤301向外传输。

本实施例中，码型检测控制器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，控制数据信号选通器的信号传输通道；数据信号选通器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，在电信号为目标信号序列时转发给端接器件，在电信号不是目标信号序

列时转发给终端设备。即当设备通过光纤301接收信号时，接收的信号经光接收组件105进行光电转换后输入数据信号选通器102和码型检测控制器104，码型检测控制器104控制数据信号选通器102以将输入的信号传入端节器件106或通过电通路201传输。

本实施例中，码型检测控制器支持识别PCIe链路训练过程中与电气空闲状态相关的码型。即码型检测控制器104需能识别PCIe链路训练过程中与EI相关的码型，包括但不限于ASIC（Application Specific Integrated Circuit）芯片、ARM（Advanced RISC Machines）芯片或FPGA（Field Programmable GateArray，现场可编程逻辑门阵列）芯片等，用以实现码型检测以及控制数据信号选通器的功能。

本实施例中，数据信号选通器支持的信号速率涵盖PCIe协议规定的信号速率。即数据信号选通器102用以实现信号选择通过，所支持信号速率需覆盖PCIe协议规定的信号速率，包括但不限于ASIC芯片、ARM芯片或FPGA芯片等，用以实现信号的选通功能。

本实施例中，码型生成器101可产生符合PCIe协议速率的码型，包括但不限于ASIC芯片、ARM芯片或FPGA芯片等，用以维持接收端光模块正常工作。

在上述实施例的基础上，本申请还提供了一种可选的发送端PCIe光互连方法，例如图3所示，包括以下步骤：

1、上游数据信号首先传入旁路模块内部的数据信号选通器和码型检测控制器；

2、码型检测控制器检测上游信号中是否有EIOS序列，若码型检测控制器检测上游信号中有EIOS序列则代表发送端将要进入电气空闲状态，此时码型检测控制器需根据EIOS序列判断当前链路速率，并对EIOS序列进行计数；若码型检测控制器检测上游信号中没有EIOS序列则代表发送端未进入电气空闲状态，码型检测控制器控制数据信号选通器直接传输上游数据信号；

3、若EIOS序列到达PCIe协议设定数目，代表发送端和接收端在完成本次EIOS序列的发送和接收后会进入电气空闲状态；首先通过数据信号选通器直接传输最后一个EIOS序列后，码型检测控制器控制码型生成器产生与当前链路速率相同的信号。并控制数据信号选通器传输码型生成器所生成的信号，以保证链路依然有高速信号传输；

4、若EIOS序列没有到达PCIe协议设定数目，此时对端设备还需等待发送端若干次EIOS序列才会进入电气空闲状态，码型检测控制器控制数据信号选通器直接传输上游数据信号，此时的数据信号为EIOS序列；

5、最终，经数据信号选通器传入的电信号通过光发送组件进行电光转换后经光纤传输到接收端。

在上述实施例的基础上，本申请还提供了一种可选的接收端PCIe光互连方法，例如图4所示，包括以下步骤：

1、首先，光接收组件将接收到的光信号转换为电信号后传入数据信号选通器和码型检测控制器；

2、码型检测控制器检测信号中是否有EIOS序列和码型生成器所产生的信号序列，若码型检测控制器检测信号中没有EIOS序列和码型生成器所产生的信号序列则表明发送端处于正常链路训练状态或正常数据传输状态，则码型检测控制器控制数据信号选通器直接传输电信号数据；

3、若码型检测控制器检测到信号中有EIOS序列，则代表发送端要进入电气空闲状态，此时码型检测控制器需根据EIOS序列判断当前链路速率，并对EIOS序列进行计数；

4、若EIOS序列达到PCIe协议设定数目，代表发送端已进入电气空闲状态，将不再发送训练序列或数据，此时码型检测控制器在传输完最后一个EIOS序列后，控制数据信号选通器将信号接入端接器件。

相应的，本申请实施例还公开了一种PCIe光互连链路系统，该系统包括：包括主机、光模块和前述的旁路模块；旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件；

数据信号选通器分别与主机、光模块中的光发射组件和光接收组件、码型生成器和端接器件相连；

码型检测控制器分别与主机、数据信号选通器、光接收组件和码型生成器相连。

本实施例中，旁路模块可以与本地的光发射组件和光接收组件集成在光模块内。例如图5所示为一种可选的PCIe光互连链路建立设备搭建的PCIe光互连系统结构示意图旁路模块1与光发射组件103和光接收组件105集成于光模块2中。服务器主机与旁路模块1直接相连的芯片可以为CPU（Central Processing Unit，中央处理器）、PCIe Switch（PCIe交换机）、PCIe Retimer（PCIe重定时器）、PCIe Redriver（PCIe重发器）等。终端设备与旁路模块1直接相连的芯片或器件可以为GPU（Graphics Processing Unit，图形处理器）、SSD（Solid State Drive，固态硬盘）、DRAM（Dynamic Random Access Memory，动态随机存取存储器）、PCIe Switch、PCIe Retimer、PCIe Redriver等。

本实施例中，旁路模块还可以作为独立器件分别与主机和光模块相连。例如图6示为一种可选的PCIe光互连链路建立设备搭建的PCIe光互连系统结构示意图，旁路模块1作为独立器件处于主机与光模块2之间。服务器主机与旁路模块1直接相连的芯片可以为CPU、PCIe Switch、PCIe Retimer、PCIe Redriver等。终端设备与旁路模块1直接相连的芯片或器件可以为GPU、SSD、DRAM、PCIe Switch、PCIe Retimer、PCIe Redriver等。

本实施例中，旁路模块还可以集成在PCIe信号中继器，PCIe信号中继器分别与主机和光模块相连。例如图7示为一种可选的PCIe光互连链路建立设备搭建的PCIe光互连系统结构示意图，旁路模块1被集成于PCIe Switch、PCIe Retimer、PCIe Redriver这三类PCIe信号中继器件5。服务器主机与PCIe信号中继器件5直接相连的核心芯片可以为CPU等。终端设备与PCIe信号中继器件5直接相连的芯片或器件可以为GPU、SSD、DRAM、PCIe Switch、

PCIe Retimer、PCIe Redriver等。

可见，旁路模块集成形式也较为灵活，可以作为单独的器件放置于主机和光模块之间，也可以集成与光模块或PCIe信号中继器等芯片中。

相应的，本申请实施例还公开了一种PCIe光互连链路建立装置，参见图8所示，该装置包括：

检测模块31，被配置为获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列；

记录模块32，被配置为若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；

序列发送模块33，被配置为当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

由上可见，获取电通路传输的上游数据信号，并检测上游数据信号中是否存在电气空闲字符序列；若存在电气空闲字符序列，则记录当前的链路速率，并通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；当本次电气空闲字符序列完成发送，根据链路速率生成相应速率的目标信号序列，并将目标信号序列通过PCIe光互连链路发送给对端，以便对端基于目标信号序列保持稳定工作。

可见，通过根据电气空闲字符序列判断链路是否将要进入电气空闲状态，并在进入电气空闲状态后，通过生成相应速率的目标信号序列维持本地和接收端的工作状态，能够避免突发信号对跨阻抗放大器产生的冲击，实现服务器等主机和外部设备之间通过光纤建立PCIe链路，避免PCIe光互连链路建立过程中因电气空闲状态导致链路建立失败，即解决了链路退出电气空闲状态时互连链路会存在从无数据传输到高速数据信号传输的突发模式的问题。

在一些可选实施例中，记录模块32具体可以包括：

链路速率确定单元，被配置为根据电气空闲字符序列的发送速率，确定当前PCIe光互连链路的链路速率并记录。

在一些可选实施例中，记录模块32具体可以包括：

计数单元，被配置为通过对电气空闲字符序列进行计数；电气空闲字符序列用于表征发送端将进入电气空闲状态；

判定单元，被配置为当计数值达到PCIe协议设定的目标值时判定本次电气空闲字符序列发送完成，否则，判定本次电气空闲字符序列没有发送完成。

在一些可选实施例中，PCIe光互连链路建立装置具体可以包括：

第一直传单元，被配置为在检测上游数据信号中是否存在电气空闲字符序列之后，若判定上游数据信号中不存在电气空闲字符序列，则直接通过PCIe光互连链路传输上游数据信号；

第二直传单元，被配置为若判定本次电气空闲字符序列没有发送完成，则直接通过PCIe光互连链路传输上游数据信号。

在一些可选实施例中，序列发送模块33具体可以包括:

速率确定单元，被配置为在链路速率的基础上根据预设增减范围确定出目标速率，根据目标速率生成目标信号序列。

在一些可选实施例中，序列发送模块33具体可以包括:

序列发送单元，被配置为将目标信号序列通过本地的光发射组件进行电光转换后，通过PCIe光互连链路发送给对端的光接收组件。

在一些可选实施例中，PCIe光互连链路建立装置具体可以包括:

目标信号序列获取单元，被配置为对端的光接收组件对接收到的光信号进行光电转换后，得到目标信号序列，并将目标信号序列转发给对端的旁路模块中的端接器件，以便对端的光模块内的跨阻抗放大器保持稳定工作。

在一些可选实施例中，目标信号序列获取单元具体可以包括:

电信号获取单元，被配置为对端的光接收组件对接收到的光信号进行光电转换得到电信号;

目标信号序列检测单元，被配置为检测电信号中是否存在目标信号序列;

执行单元，被配置为若存在目标信号序列，则执行将目标信号序列转发给对端的旁路模块中的端接器件的步骤。

在一些可选实施例中，目标信号序列获取单元具体可以包括:

转发单元，被配置为若不存在目标信号序列，则直接将电信号转发给终端设备。

在一些可选实施例中，目标信号序列获取单元具体可以包括:

气空闲字符序列检测单元，被配置为在检测电信号中是否存在目标信号序列之前，检测电信号中是否存在电气空闲字符序列;

执行单元，被配置为若不存在电气空闲字符序列，则执行检测电信号中是否存在目标信号序列的步骤。

在一些可选实施例中，目标信号序列获取单元具体可以包括:

记录单元，被配置为若存在电气空闲字符序列，则根据电气空闲字符序列确定当前的链路速率并记录;

判断单元，被配置为对电气空闲字符序列进行计数，并根据计数值判断本次电气空闲字符序列是否发送完成;

准备单元，被配置为若本次电气空闲字符序列发送完成，则准备接收目标信号序列。

在一些可选实施例中，目标信号序列获取单元具体可以包括:

转发单元，被配置为若本次电气空闲字符序列没有发送完成，则直接将电信号转发给终端设备。

在一些可选实施例中，旁路模块具体可以与本地的光发射组件和光接收组件集成在光模块内。

在一些可选实施例中，旁路模块具体可以作为独立器件分别与主机和光模块相连。

在一些可选实施例中，旁路模块具体可以集成在PCIe信号中继器，PCIe

信号中继器分别与主机和光模块相连。

在一些可选实施例中，旁路模块具体可以包括码型生成器、数据信号选通器、码型检测控制器和端接器件；

码型检测控制器被配置为获取电通路传输的上游数据信号，检测上游数据信号中是否存在电气空闲字符序列，记录当前的链路速率，通过对电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，控制数据信号选通器的数据传输，控制码型生成器生成码型；

码型生成器被配置为根据链路速率生成相应速率的目标信号序列；

数据信号选通器被配置为获取电通路传输的上游数据信号，将目标信号序列通过PCIe光互连链路发送给对端；

端接器件被配置为存储对端发送的目标信号序列。

在一些可选实施例中，码型检测控制器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，控制数据信号选通器的信号传输通道；

数据信号选通器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，在电信号为目标信号序列时转发给端接器件，在电信号不是目标信号序列时转发给终端设备。

在一些可选实施例中，码型检测控制器支持识别PCIe链路训练过程中与电气空闲状态相关的码型。

在一些可选实施例中，数据信号选通器支持的信号速率涵盖PCIe协议规定的信号速率。

本申请实施例还公开了一种电子设备，参见图9所示，图中的内容不能被认为是对本申请的使用范围的任何限制。

图9为本申请实施例提供的一种电子设备40的结构示意图。该电子设备40，具体可以包括：至少一个处理器41、至少一个存储器42、电源43、通信接口44、输入输出接口45和通信总线46。其中，存储器42被配置为存储计算机程序，计算机程序由处理器41加载并执行，以实现前述任一实施例公开的PCIe光互连链路建立方法中的相关步骤。

本实施例中，电源43被配置为为电子设备40上的各硬件设备提供工作电压；通信接口44能够为电子设备40创建与外界设备之间的数据传输通道，其所遵循的通信协议是能够适用于本申请技术方案的任意通信协议，在此不对其进行具体限定；输入输出接口45，被配置为获取外界输入数据或向外界输出数据，其具体的接口类型可以根据具体应用需要进行选取，在此不进行具体限定。

另外，存储器42作为资源存储的载体，可以是只读存储器、随机存储器、磁盘或者光盘等，其上所存储的资源包括操作系统421、计算机程序422及包括上游数据信号在内的数据423等，存储方式可以是短暂存储或者永久存储。

其中，操作系统421被配置为管理与控制电子设备40上的各硬件设备以及计算机程序422，以实现处理器41对存储器42中海量数据423的运算与处理，其可以是WindowsServer（Windows服务器）、Netware（一种网络操作系

统）、Unix（一种操作系统）、Linux（一种操作系统内核）等。计算机程序422除了包括能够被配置为完成前述任一实施例公开的由电子设备40执行的PCIe光互连链路建立方法的计算机程序之外，还可以包括能够被配置为完成其他特定工作的计算机程序。

本申请实施例还公开了一种计算机非易失性可读存储介质，计算机非易失性可读存储介质中存储有计算机可执行指令，计算机可执行指令被处理器加载并执行时，实现前述任一实施例公开的PCIe光互连链路建立方法步骤。

本说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其它实施例的不同之处，各个实施例之间相同或相似部分互相参见即可。对于实施例公开的装置而言，由于其与实施例公开的方法相对应，所以描述的比较简单，相关之处参见方法部分说明即可。

结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块，或者二者的结合来实施。软件模块可以置于随机存储器（Random Access Memory，RAM）、内存、只读存储器（Read-Only Memory，ROM）、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM（Compact Disc Read-Only Memory，紧凑型光盘只读存储器）、或技术领域内所公知的任意其它形式的非易失性可读存储介质中。

最后，还需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上对本申请所提供的一种PCIe光互连链路建立方法、装置、设备及非易失性可读存储介质进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的一般技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权 利 要 求 书

1、一种高速串行计算机扩展总线标准 PCIe 光互连链路建立方法，其特征在于，应用于预先创建的旁路模块，包括:

获取电通路传输的上游数据信号，并检测所述上游数据信号中是否存在电气空闲字符序列;

若存在所述电气空闲字符序列，则记录当前的链路速率，并通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成;

当本次电气空闲字符序列完成发送，根据所述链路速率生成相应速率的目标信号序列，并将所述目标信号序列通过 PCIe 光互连链路发送给对端，以便对端基于所述目标信号序列保持稳定工作。

2、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述记录当前的链路速率，包括:

根据所述电气空闲字符序列的发送速率，确定当前 PCIe 光互连链路的链路速率并记录。

3、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，包括:

通过对所述电气空闲字符序列进行计数；所述电气空闲字符序列用于表征发送端将进入电气空闲状态;

当计数值达到 PCIe 协议设定的目标值时判定本次电气空闲字符序列发送完成，否则，判定本次电气空闲字符序列没有发送完成。

4、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述检测所述上游数据信号中是否存在电气空闲字符序列之后，还包括:

若判定所述上游数据信号中不存在电气空闲字符序列，则直接通过所述 PCIe 光互连链路传输所述上游数据信号;

所述通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成之后，还包括:

若判定本次电气空闲字符序列没有发送完成，则直接通过所述 PCIe 光互连链路传输所述上游数据信号。

5、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述根据所述链路速率生成相应速率的目标信号序列，包括:

在所述链路速率的基础上根据预设增减范围确定出目标速率，根据所述目标速率生成目标信号序列。

6、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述将所述目标信号序列通过 PCIe 光互连链路发送给对端，包括:

将所述目标信号序列通过本地的光发射组件进行电光转换后，通过所述 PCIe 光互连链路发送给对端的光接收组件。

7、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述对端基于所述目标信号序列保持稳定工作，包括:

所述对端的光接收组件对接收到的光信号进行光电转换后，得到所述目标信号序列，并将所述目标信号序列转发给所述对端的旁路模块中的端接器件，以便所述对端的光模块内的跨阻抗放大器保持稳定工作。

8、根据权利要求 7 所述的 PCIe 光互连链路建立方法，其特征在于，所述对端的光接收组件对接收到的光信号进行光电转换后，得到所述目标信号序列，包括:

所述对端的光接收组件对接收到的光信号进行光电转换得到电信号;

检测所述电信号中是否存在所述目标信号序列;

若存在所述目标信号序列，则执行所述将所述目标信号序列转发给所述对端的旁路模块中的端接器件的步骤。

9、根据权利要求 8 所述的 PCIe 光互连链路建立方法，其特征在于，所述检测所述电信号中是否存在所述目标信号序列之后，还包括:

若不存在所述目标信号序列，则直接将所述电信号转发给终端设备。

10、根据权利要求 8 所述的 PCIe 光互连链路建立方法，其特征在于，所述检测所述电信号中是否存在所述目标信号序列之前，还包括:

检测所述电信号中是否存在电气空闲字符序列;

若不存在所述电气空闲字符序列，则执行所述检测所述电信号中是否存在所述目标信号序列的步骤。

11、根据权利要求 10 所述的 PCIe 光互连链路建立方法，其特征在于，所述检测所述电信号中是否存在电气空闲字符序列之后，还包括:

若存在所述电气空闲字符序列，则根据所述电气空闲字符序列确定当前的链路速率并记录;

对所述电气空闲字符序列进行计数，并根据计数值判断本次电气空闲字符序列是否发送完成;

若本次电气空闲字符序列发送完成，则准备接收所述目标信号序列。

12、根据权利要求 11 所述的 PCIe 光互连链路建立方法，其特征在于，所述根据计数值判断本次电气空闲字符序列是否发送完成之后，还包括:

若本次电气空闲字符序列没有发送完成，则直接将所述电信号转发给终端设备。

13、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述旁路模块与本地的光发射组件和光接收组件集成在光模块内。

14、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述旁路模块作为独立器件分别与主机和光模块相连。

15、根据权利要求 1 所述的 PCIe 光互连链路建立方法，其特征在于，所述旁路模块集成在 PCIe 信号中继器，所述 PCIe 信号中继器分别与主机和光模块相连。

16、根据权利要求 1 至 15 任一项所述的 PCIe 光互连链路建立方法，其特征在于，所述旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件;

所述码型检测控制器被配置为获取电通路传输的上游数据信号，检测所

述上游数据信号中是否存在电气空闲字符序列，记录当前的链路速率，通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成，控制所述数据信号选通器的数据传输，控制所述码型生成器生成码型；

所述码型生成器被配置为根据所述链路速率生成相应速率的目标信号序列；

所述数据信号选通器被配置为获取电通路传输的上游数据信号，将所述目标信号序列通过 PCIe 光互连链路发送给对端；

所述端接器件被配置为存储对端发送的目标信号序列。

17、根据权利要求 16 所述的 PCIe 光互连链路建立方法，其特征在于，所述码型检测控制器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，控制所述数据信号选通器的信号传输通道；

所述数据信号选通器还被配置为接收对端发送的经过光接收组件进行光电转换后的电信号，在所述电信号为目标信号序列时转发给所述端接器件，在所述电信号不是目标信号序列时转发给终端设备。

18、根据权利要求 16 所述的 PCIe 光互连链路建立方法，其特征在于，所述码型检测控制器支持识别 PCIe 链路训练过程中与电气空闲状态相关的码型。

19、根据权利要求 16 所述的 PCIe 光互连链路建立方法，其特征在于，所述数据信号选通器支持的信号速率涵盖 PCIe 协议规定的信号速率。

20、一种 PCIe 光互连链路建立装置，其特征在于，包括：

检测模块，被配置为获取电通路传输的上游数据信号，并检测所述上游数据信号中是否存在电气空闲字符序列；

记录模块，被配置为若存在所述电气空闲字符序列，则记录当前的链路速率，并通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成；

序列发送模块，被配置为当本次电气空闲字符序列完成发送，根据所述链路速率生成相应速率的目标信号序列，并将所述目标信号序列通过 PCIe 光互连链路发送给对端，以便对端基于所述目标信号序列保持稳定工作。

21、一种电子设备，其特征在于，包括：

存储器，被配置为保存计算机程序；

处理器，被配置为执行所述计算机程序，以实现如权利要求 1 至 19 任一项所述的 PCIe 光互连链路建立方法。

22、一种计算机非易失性可读存储介质，其特征在于，被配置为存储计算机程序；其中计算机程序被处理器执行时实现如权利要求 1 至 19 任一项所述的 PCIe 光互连链路建立方法。

23、一种 PCIe 光互连链路系统，其特征在于，包括主机、光模块和如权利要求 1 至 19 任一项所述的旁路模块；所述旁路模块包括码型生成器、数据信号选通器、码型检测控制器和端接器件；

所述数据信号选通器分别与所述主机、所述光模块中的光发射组件和光接收组件、所述码型生成器和所述端接器件相连；

所述码型检测控制器分别与所述主机、所述数据信号选通器、所述光接收组件和所述码型生成器相连。

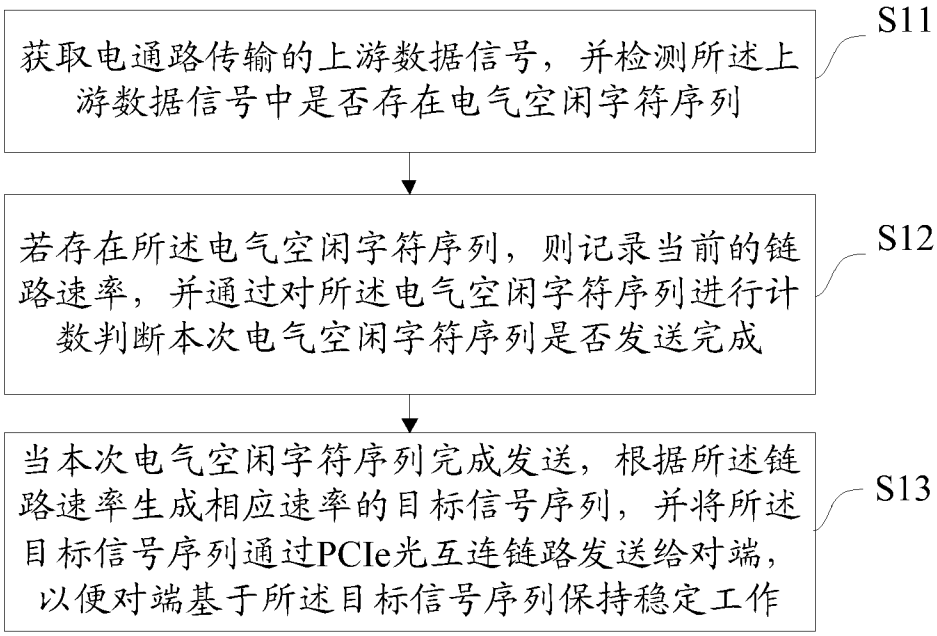

获取电通路传输的上游数据信号，并检测所述上游数据信号中是否存在电气空闲字符序列
S11
若存在所述电气空闲字符序列，则记录当前的链路速率，并通过对所述电气空闲字符序列进行计数判断本次电气空闲字符序列是否发送完成
S12
当本次电气空闲字符序列完成发送，根据所述链路速率生成相应速率的目标信号序列，并将所述目标信号序列通过PCIe光互连链路发送给对端，以便对端基于所述目标信号序列保持稳定工作
S13

图 1

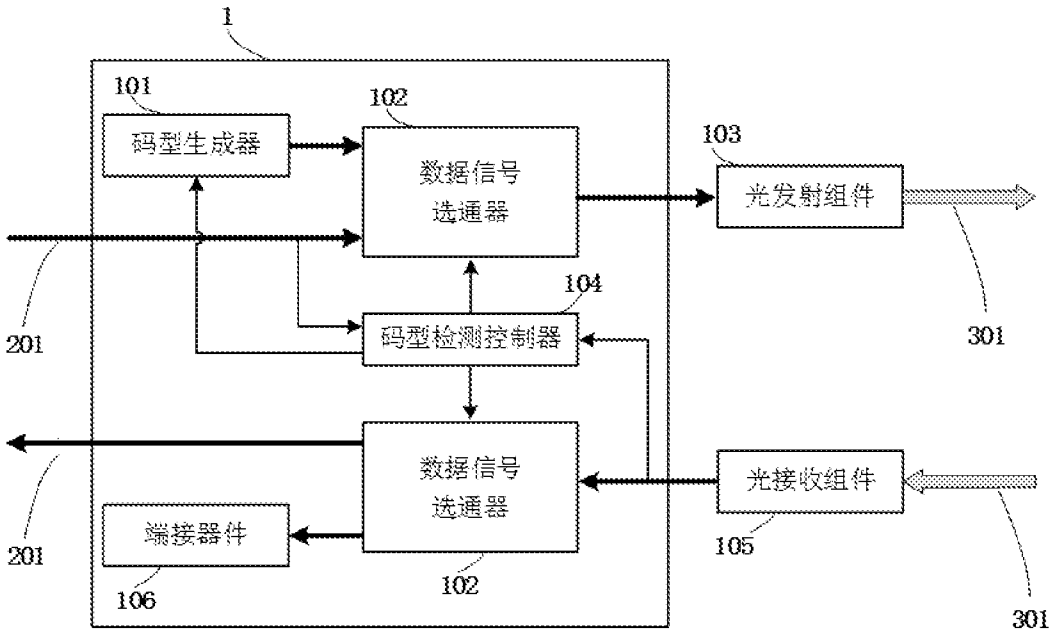

1
101
码型生成器
102
数据信号选通器
103
光发射组件
201
301
104
码型检测控制器
数据信号选通器
光接收组件
端接器件
105
106
102
201
301

图 2

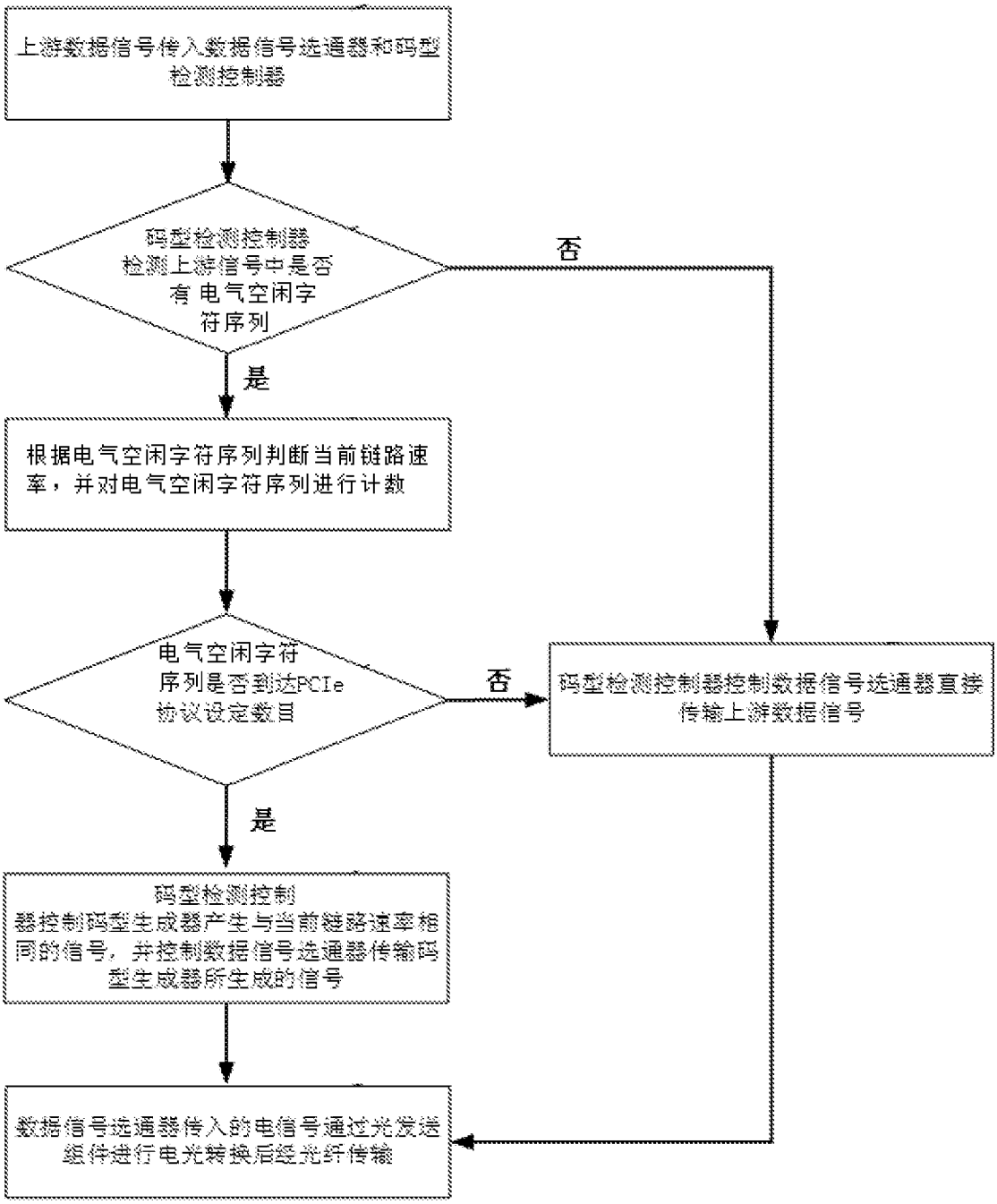

上游数据信号传入数据信号选通器和码型检测控制器
码型检测控制器检测上游信号中是否有电气空闲字符序列
否
是
根据电气空闲字符序列判断当前链路速率，并对电气空闲字符序列进行计数
电气空闲字符序列是否到达PCIe协议设定数目
否
码型检测控制器控制数据信号选通器直接传输上游数据信号
是
码型检测控制器控制码型生成器产生与当前链路速率相同的信号，并控制数据信号选通器传输码型生成器所生成的信号
数据信号选通器传入的电信号通过光发送组件进行电光转换后经光纤传输

图 3

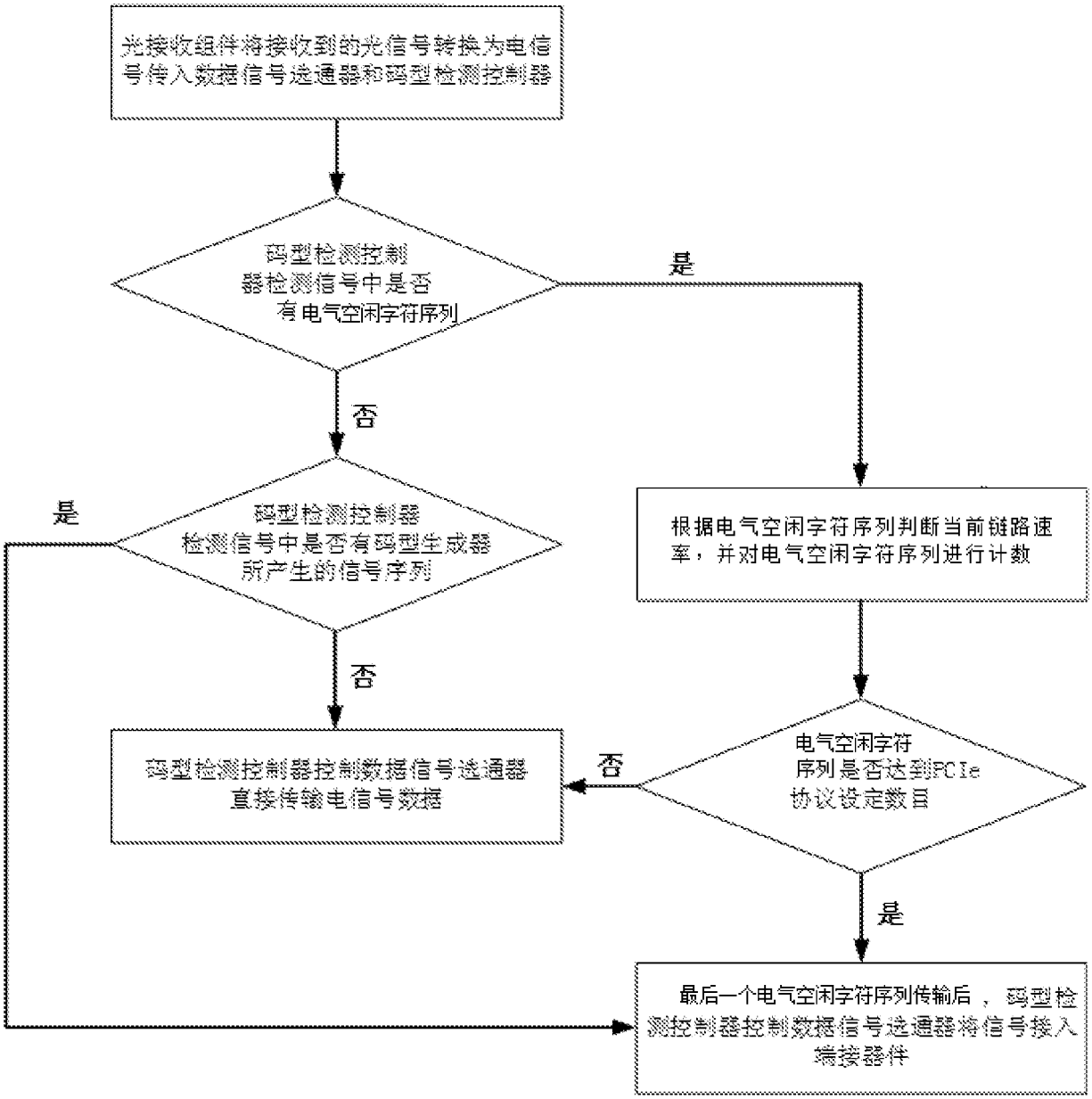

光接收组件将接收到的光信号转换为电信号传入数据信号选通器和码型检测控制器
码型检测控制器检测信号中是否有电气空闲字符序列
是
否
根据电气空闲字符序列判断当前链路速率，并对电气空闲字符序列进行计数
电气空闲字符序列是否达到PCIe协议设定数目
否
是
码型检测控制器检测信号中是否有码型生成器所产生的信号序列
是
否
码型检测控制器控制数据信号选通器直接传输电信号数据
最后一个电气空闲字符序列传输后，码型检测控制器控制数据信号选通器将信号接入端接器件

图 4

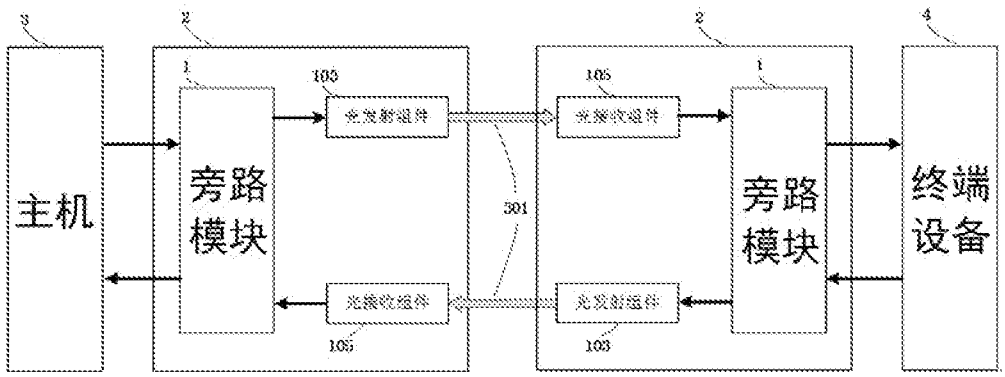

3
2
2
4
1
105
105
1
主机
旁路模块
光发射组件
光接收组件
301
光接收组件
光发射组件
旁路模块
终端设备
105
103

图 5

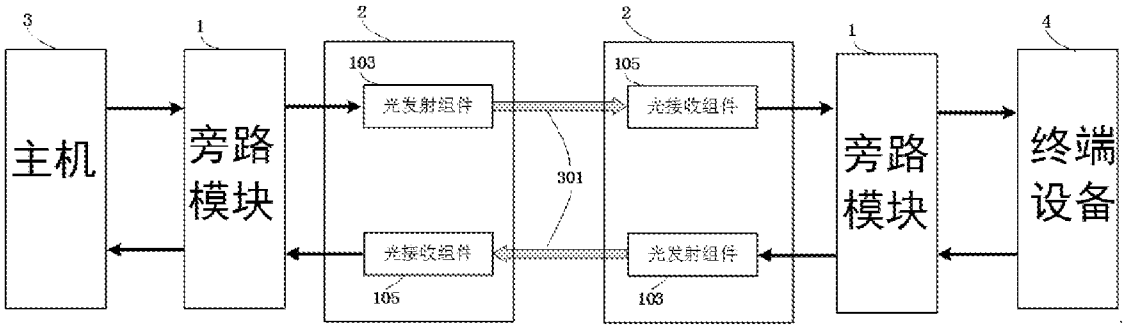

3
主机
1
旁路模块
2
103
光发射组件
105
光接收组件
301
光接收组件
105
光发射组件
103
2
1
旁路模块
4
终端设备

图 6

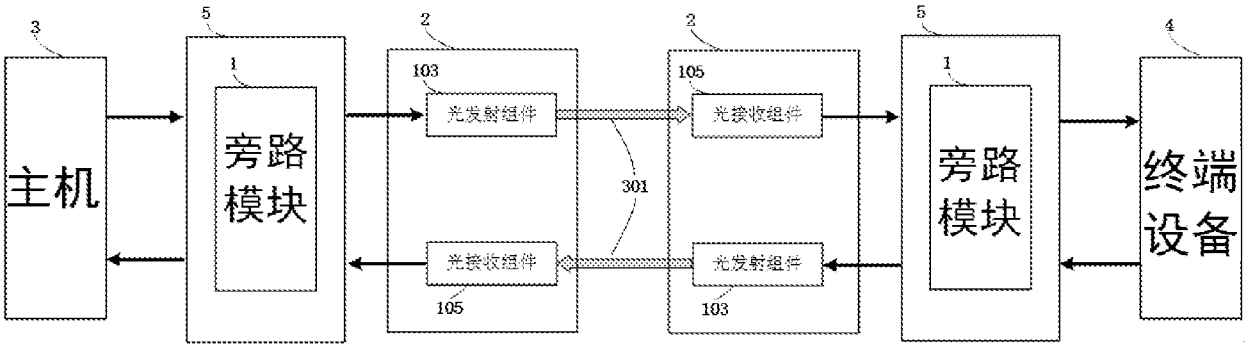

3
主机
5
1
旁路模块
2
103
光发射组件
105
光接收组件
301
光接收组件
105
光发射组件
103
2
5
1
旁路模块
4
终端设备

图 7

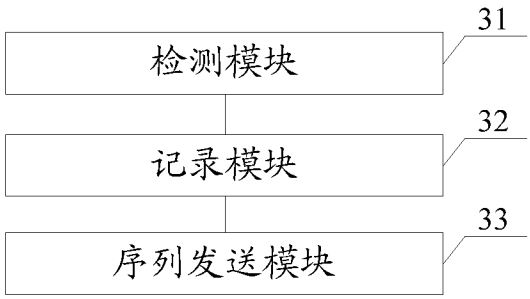

31
检测模块
32
记录模块
33
序列发送模块

图 8

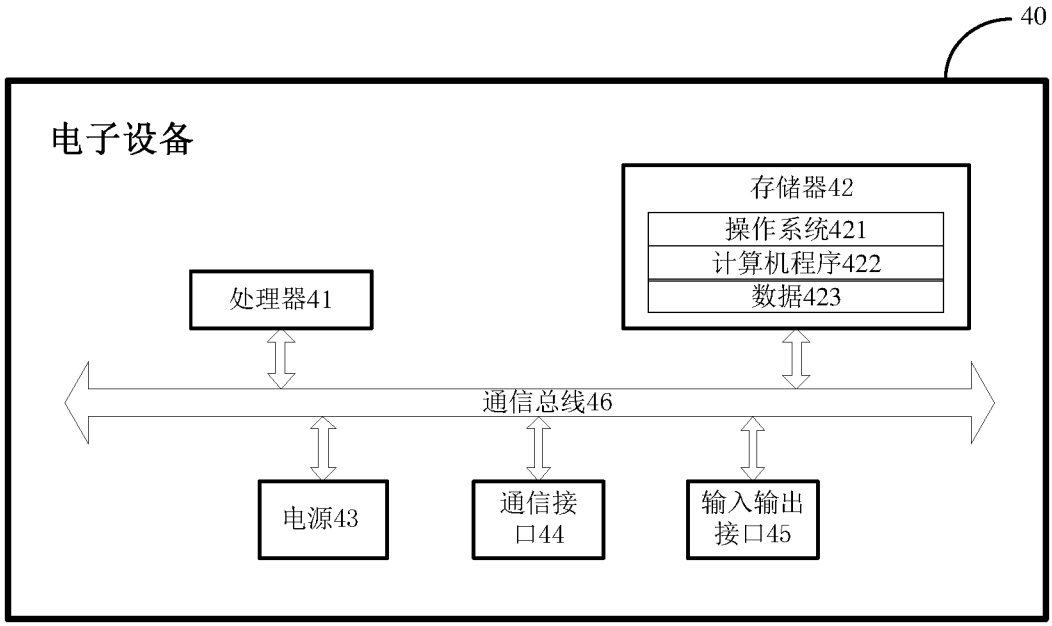

40
电子设备
存储器42
操作系统421
计算机程序422
数据423
处理器41
通信总线46
电源43
通信接口44
输入输出接口45

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2024/070455

A. CLASSIFICATION OF SUBJECT MATTER

H04B10/278(2013.01)i; H04B10/038(2013.01)i; G06F13/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04B G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, VEN, ENTXTC, ENTXT, OETXT, CNKI, 3GPP, IEEE: 高速串行扩展总线, 互联, 互连, 光, 链路, 电气, 空闲, 速率, 旁路, 支路, 分支, PCIE, interconnect, optical, link, electrical, idle, rate, bypass

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116527128 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 01 August 2023 (2023-08-01) description, paragraphs 3-89	1-23
A	CN 103765799 A (HUAWEI TECHNOLOGIES CO., LTD.) 30 April 2014 (2014-04-30) description, paragraphs 4-49	1-23
A	CN 103140844 A (TERADYNE, INC.) 05 June 2013 (2013-06-05) entire document	1-23
A	US 10146722 B1 (BROWN DAVID ALAN et al.) 04 December 2018 (2018-12-04) entire document	1-23
A	US 2019121417 A1 (INTEL CORP.) 25 April 2019 (2019-04-25) entire document	1-23

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 February 2024	**12 March 2024**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/070455

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116527128	A	01 August 2023	CN	116527128	B	22 September 2023
CN	103765799	A	30 April 2014	WO	2015054898	A1	23 April 2015
				CN	103765799	B	23 September 2015
CN	103140844	A	05 June 2013	WO	2012047423	A1	12 April 2012
				KR	20130124483	A	14 November 2013
				KR	101904520	B1	04 October 2018
				US	2012082463	A1	05 April 2012
				US	8805196	B2	12 August 2014
				CN	103140844	B	07 September 2016
US	10146722	B1	04 December 2018		None		
US	2019121417	A1	25 April 2019	US	10866625	B2	15 December 2020
				DE	102019129690	A1	25 June 2020

国际检索报告

国际申请号
PCT/CN2024/070455

A. 主题的分类

H04B10/278(2013.01)i；H04B10/038(2013.01)i；G06F13/14(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04B G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT，VEN，ENTXTC，ENTXT，OETXT，CNKI，3GPP，IEEE：高速串行扩展总线，互联，互连，光，链路，电气，空闲，速率，旁路，支路，分支，PCIE，interconnect，optical，link，electrical，idle，rate，bypass

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 116527128 A (苏州浪潮智能科技有限公司) 2023年8月1日 (2023 - 08 - 01) 说明书第3-89段	1-23
A	CN 103765799 A (华为技术有限公司) 2014年4月30日 (2014 - 04 - 30) 说明书第4-49段	1-23
A	CN 103140844 A (泰拉丁公司) 2013年6月5日 (2013 - 06 - 05) 全文	1-23
A	US 10146722 B1 (BROWN, David Alan等) 2018年12月4日 (2018 - 12 - 04) 全文	1-23
A	US 2019121417 A1 (INTEL CORP) 2019年4月25日 (2019 - 04 - 25) 全文	1-23

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年2月25日	2024年3月12日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 杨玖 电话号码 (+86) 027-59182663

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/070455

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116527128	A	2023年8月1日	CN	116527128	B	2023年9月22日
CN	103765799	A	2014年4月30日	WO	2015054898	A1	2015年4月23日
				CN	103765799	B	2015年9月23日
CN	103140844	A	2013年6月5日	WO	2012047423	A1	2012年4月12日
				KR	20130124483	A	2013年11月14日
				KR	101904520	B1	2018年10月4日
				US	2012082463	A1	2012年4月5日
				US	8805196	B2	2014年8月12日
				CN	103140844	B	2016年9月7日
US	10146722	B1	2018年12月4日	无			
US	2019121417	A1	2019年4月25日	US	10866625	B2	2020年12月15日
				DE	102019129690	A1	2020年6月25日