

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 8/00

(11) 공개번호 특2000-0011663
(43) 공개일자 2000년02월25일

(21) 출원번호	10-1999-0028138
(22) 출원일자	1999년07월13일
(30) 우선권주장	1998-199008 1998년07월14일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무
(72) 발명자	일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치 이소베, 다다아끼
(74) 대리인	일본가나가와켄하다노시하가시따와라636-7 장수길, 구영창

심사청구 : 있음

(54) 기억소자

요약

복수개의 연속 어드레스로의 액세스 요청이 혼재하여 기억 장치에 불규칙적인 요청이 발행되는 각종 시스템에 대해, 소량의 물량으로 고속 처리할 수 있는 기억 소자를 제공한다.

메모리 셀(1)을 구비한 기억 소자 내에 데이터 레지스터 어레이(15)를 설치한다. 이 데이터 레지스터 어레이(15)는, 임의의 워드 길이의 임의의 갯수를 구비한 가상 레지스터 어레이로서 구성되는 것이 가능하다. 기억 소자 외부로부터는 가상 레지스터 번호와 가상 워드 번호를 이용하여 데이터 레지스터 어레이(15)에 대한 액세스를 행한다. 기억 소자에서는, 내부의 변환 회로(20)에서 외부로부터 공급된 가상 레지스터 번호와 가상 워드 번호가 절대 레지스터 번호와 절대 워드 번호로 변환되어 데이터 레지스터 어레이(15)가 액세스된다. 이러한 구성에 따라, 다른 어플리케이션 각각에 대해, 데이터 레지스터 어레이 구성을 최적화하여 액세스의 효율화를 꾀할 수 있다.

대표도

도1

색인어

데이터 레지스터 어레이, 가상 레지스터 번호, 가상 워드 번호, 절대 레지스터 번호, 절대 워드 번호

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 기억 소자의 일 실시예의 구성을 나타내는 블록도.

도 2는 판독(READ)인 경우의 동작을 설명하는 타임차트.

도 3은 판독(READ)인 경우의 동작을 설명하는 타임차트.

도 4는 기록(WRITE)인 경우의 동작을 설명하는 타임차트.

도 5는 기록(WRITE)인 경우의 동작을 설명하는 타임차트.

도 6은 데이터 레지스터 어레이의 실제 구성과 가상 구성과의 예를 설명하는 도면.

도 7은 가상 레지스터 번호/워드 번호로부터 절대 레지스터 번호/절대 워드 번호를 구하는 방법을 설명하는 수식을 나타내는 도면.

도 8은 종래 기술에 의한 싱크로너스 DRAM을 사용한 데이터 처리 장치의 시스템 구성예를 나타내는 블록도.

도 9는 종래 기술에 의한 싱크로너스 DRAM의 구성을 나타내는 블록도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 메모리 셀

3 : ROW 어드레스 디코더

4 : COL 어드레스 디코더
 7 ~ 9, 16, 17 : 셀렉터
 10 : ROW 어드레스 레지스터
 11 : COL 어드레스 레지스터
 12 : 기록 데이터 레지스터
 13 : 가상 레지스터 번호/가상 워드 번호 레지스터
 14 : 어드레스 어레이
 15 : 데이터 레지스터 어레이
 18 : 디코더
 19 : 모드 레지스터군
 20 : 변환 회로
 21 : COL 어드레스 갱신 회로
 22 : 출력 데이터 레지스터
 30 : 제어 회로
 30a : 제어 신호
 61, 62 : 선택 회로
 71, 81 : 메모리 셀용 어드레스 레지스터
 91 : 메모리 셀용 기록 데이터 레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 데이터 처리 장치의 기억 장치를 구성하는 기억 소자에 관한 것으로, 특히 대용량의 기억 장치로부터 대량의 데이터를 직접 공급하는 방식의 데이터 처리 장치의 기억 장치에 사용하기 적당한 기억 소자에 관한 것이다.

최근, 마이크로 프로세서의 동작 속도의 고속화에 따라, 프로세서를 지지하는 주변 소자의 고속화/고기능화가 현저한 진보를 보이고 있다. 예를 들면, 기억 소자에 관해, 『포스트 SDRAM의 주역의 자리를 차지하려는 경쟁 격화 프로토콜 제어 방식의 시비가 논점으로』(일경 마이크로 디바이스 1996년 4월호 pp74~pp83 : 문헌 1)에 기재되어 있듯이, 「싱크로너스 DRAM」의 다음 세대를 담당하는 DRAM으로서 「모시스 DRAM」, 「미디어 DRAM」, 「SyncLink DRAM」 등이 제안되어 있고, 정보 기기의 주기억의 표준 칩화를 목표로 하는 움직임이 보인다.

그 한편으로, 마이크로 프로세서는, 반도체 기술의 진보와 RISC 기술의 발전에 따라 그 성능을 비약적으로 향상시키고 있다. 특히, 반도체 기술의 진보에 따라, 마이크로 프로세서를 구성하는 칩 내부의 동작 주파수는 500MHz를 넘는 제품도 나오고 있다. 이러한 고속 마이크로 프로세서의 등장에 따라, 이 종류의 프로세서를 사용한 시스템의 성능도 향상해오고 있다.

그런데, 상술된 바와 같은 시스템을 실현하는 데 문제점으로서, 다음과 같은 점을 들 수 있다.

일반적으로, 상술된 바와 같은 고성능의 마이크로 프로세서는, 프로세서 본체 및 주변에 배치한 고속 액세스 가능한 캐시 상의 데이터를 대상으로 한 처리에 대해서는 그 능력을 충분히 발휘할 수 있다. 그러나, 기술 계산시에 나타나는 것과 같은 거대한 문제를 풀고자 하면, 취급하는 데이터가 캐시에 다 들어가지 않게 되어 극단적으로 성능이 저하한다고 하는 문제가 발생한다. 즉, 소위 캐시 에러의 발생에 따라 데이터를 주기억 장치 또는 하위 계층의 기억 장치로부터 캐시에 전송하는 시간만큼 프로세서의 대기 상태가 발생하고, 그 결과 프로세서는 아이들 상태가 되고, 시스템의 성능이 대폭 저하한다. 그 저하의 정도에 대해서는 『레지스터 윈도우와 슈퍼 스칼라 방식에 따른 의사 벡터 프로세서의 제안』(병렬 처리 심포지움 JsPP'92 논문집 pp367~pp374 : 문헌 2)등에 기재되어 있다.

이 논문에서, 캐시에 다 들어가지 않는 문제에 대응하기 위한 의사 벡터 프로세서가 제안되고 있다. 그리고, 이 의사 벡터 프로세서는, 프로세서 내에 대량의 레지스터를 설치하고, 주기억 장치 또는 하위 계층의 기억 장치에 대한 메모리 액세스를 파이프 라인적으로 동작시켜, 데이터의 대기 시간에 따른 성능 저하를 최소한으로 막는 연구를 행한 것이다.

그러나, 이 경우의 주기억 장치 또는 하위 계층의 기억 장치에 요구되는 성능(작업 처리량)의 높이는, 일반적인 캐시에 의한 마이크로 프로세서 시스템의 주기억 장치 또는 하위 계층의 기억 장치의 비가 아니고, 매우 높은 것이다. 왜냐하면, 이 의사 벡터 프로세서의 어프로치는, 주기억 장치 또는 하위 계층의 기억 장치로의 액세스 레이턴시의 증가에 대해, 파이프 라인 구조의 채용에 의해 그 증가를 은폐하고자 하는 것으로, 취급하는 데이터량의 삭감을 겨냥하는 것이 아니기 때문이다.

따라서, 상기 의사 벡터 프로세서의 주기억 장치 또는 하위 계층의 기억 장치는, 대용량 또는 고작업 처리량을 실현하기 위해 싱크로너스 DRAM과 같은 고속의 인터페이스를 구비하는 기억 소자를, 여러개 병렬로 나열하는 다뱅크로 구성할 필요성이 있게 된다.

또한, 의사 벡터 프로세서 외에도, 대용량 또는 고작업 처리량의 주기억 장치 또는 하위 계층의 기억 장치에 대한 필요성이 계속 커지고 있다. 상기 아키텍처와 다른 것으로서, 『마이크로 벡터 프로세서·아키텍처의 검토』(정보 처리학회 연구 보고 1992. 6. 12 pp17-pp24 : 문헌 3)에 기재된 어프로치를 들 수 있다.

상기 문헌에는, 고집적화 기술을 이용하여 벡터 프로세서의 기능을 1칩화한 경우에, 임출력 핀백에 의해 메모리 액세스 파이프 라인의 수가 제한되는 문제에 대해 벡터 명령 레벨의 멀티 스레드(thread) 처리를 행함에 따라, 실효적인 메모리 액세스 성능의 저하를 막고자 하는 것이 제안되고 있다. 이 경우에도, 주기억 장치 또는 하위 계층의 기억 장치에 대한 작업 처리량의 요구가 높다. 따라서, 시스템으로는 의사 벡터 프로세서와 마찬가지로 다뱅크 구성의 주기억 장치 또는 하위 계층의 기억 장치를 준비할 필요가 있다.

상술된 2가지 예와 같은 아키텍처를 채용하는 시스템에 공통적이라고 할 수 있는 것은, 대용량/고작업 처리량의 주기억 장치 또는 하위 계층의 기억 장치를 적은 물량으로 또는 염가로 실현할 필요가 있다는 것이다. 즉, 프로세서 그 자체가 소형화/저가격화를 지향하는데 맞춘 메모리 시스템을 제공해야 한다는 것을 의미한다. 만약, 이것이 실현되지 않은 것이면, 시스템으로서의 밸런스를 취할 수 없고, 시스템으로서 존재 가치가 없어지게 되어 버린다.

또한, 상술된 2가지 예와는 완전히 다른 시스템의 방향도 나타내고 있다. 즉, 비교적 저가격의 퍼스널 컴퓨터를 구성하는 방책으로서, 프로세서 외부 부착 캐시 메모리의 삭감이나, 주기억 장치 이외의 메모리(프레임 버퍼등)를 주기억 장치와 겸하는 「유니파이드·메모리·아키텍처(UMA)」 등이 제안되고 있다. 이 움직임은, 『미국 PC 산업 「총메모리량 삭감 작전」을 시동』(일경 마이크로 디바이스 1996년 2월호 pp42-pp62 : 문헌 4)에 나타나어져 있다. 여기에 나타나 있는 시스템은, 크게 2가지의 메모리 액세스의 흐름이 존재하도록 구성된다.

그 하나는, 주기억으로서의 프로세서로부터의 액세스이고, 다른 하나가 프레임 버퍼로서의 그래픽스·컨트롤러로부터의 순차적인 액세스이다. 그리고, 상기된 시스템은, 이 복수의 액세스 스트림이 하나의 기억 장치를 액세스하는 형태가 채용되는 것이 특징이다. 단, 이러한 구성을 의미가 있는 형태로 하기 위해서는 기억 장치로서 어느 정도의 성능을 확보할 필요가 있다. 이 때문에, 여러개의 액세스 스트림에 대해, 염가로(부품 갯수의 증가를 억제하여), 또한 작업 처리량의 대폭적인 저하를 초래하지 않고 데이터를 공급하는 장치의 실현이 필요하다.

상술된 「의사 벡터 프로세서」, 「마이크로 벡터 프로세서」, 「유니파이드·메모리·아키텍처」의 어떤 아키텍처의 시스템을 실현하는 경우라도, 고성능의 주기억 장치 또는 하위 계층의 기억 장치를 어떻게 제공할지 열쇠가 된다.

고작업 처리량의 주기억 장치 또는 하위 계층의 기억 장치를 종래의 기술로 실현하기 위해서는, 「싱크로너스 DRAM」을 사용한, 다뱅크 구성으로 하는 방식이 가장 유효하다.

도 8은 종래 기술에 따른 싱크로너스 DRAM을 사용한 데이터 처리 장치의 시스템 구성예를 나타내는 블록도이고, 도 9는 종래 기술에 의한 싱크로너스 DRAM의 구성을 나타내는 블록도이다. 이하 도 8, 도 9를 참조하여 종래 기술을 설명한다.

도 8, 도 9에서 200은 명령 프로세서, 201, 202는 데이터 스트림, 203은 멀티플렉서, 210은 기억 제어 장치, 211은 액세스 요구 분류용 제어 회로, 220은 기억 장치, 221 ~ 228은 싱크로너스 DRAM, 300은 메모리 셀, 301은 제어 회로, 310 ~ 312, 314는 레지스터, 320, 321은 디코더이다.

종래 기술에 따른 싱크로너스 DRAM의 구성을 나타내는 도 9에서, DRAM 내의 레지스터(310, 311, 312, 314)는, 칩밖으로부터 공급되는 클럭으로 대응하는 row-address, column-address, data-in, data-out의 각 신호를 보유한다. 디코더(320)는, row-address에 대한 디코더이고, 디코더(321)는, column-address에 대한 디코더이다. 메모리 셀(300)은, 디코더(320, 321)의 출력에 의해 액세스된다. 제어 회로(301)는, CS, RAS, CAS, WE의 각 제어 신호로부터, 어드레스 레지스터(310, 311)로의 셋트 신호, 기록 데이터 레지스터(312)로의 셋트 신호(301a, 301b), 판독 데이터 레지스터(314)로의 셋트 신호, 메모리 셀(300)로의 기록 지시 신호를 생성한다.

도 9에 도시된 싱크로너스 DRAM의 특징은, DRAM의 외부 인터페이스가 파이프 라인화되는 것이다. 즉, DRAM의 제어 논리(기억 제어 장치)와 DRAM 사이는, 동기 클럭을 기초로 한 동기 전송이 가능한 인터페이스로 되어 있다. 따라서, 한 셋트의 메모리 인터페이스 상에 복수의 뱅크에 대응하는 싱크로너스 DRAM을 접속할 수 있다.

도 8에 도시된 종래 기술에 의한 데이터 처리 장치는, 명령 프로세서(200)와, 기억 제어 장치(210)와, 기억 장치(220)에 의해 구성되어 있다. 그리고, 기억 장치(220)는, 도 8에 도시된 구성의 싱크로너스 DRAM 221 ~ 228에 의해 구성함으로써, 비동기식의 DRAM을 사용한 경우보다 소규모의 물량으로 다뱅크의 기억 장치로서 구성할 수 있다.

기억 제어 장치(210)는, 2셋트의 RAM의 셋트에 메모리 액세스 요구를 분류하는 제어 회로(211)를 구비하고 있고, 각 기억 장치(220)와의 인터페이스에 싱크로너스 DRAM 221 ~ 228을 4개씩 접속하고 있다. 이 경우의 어드레스 부착은, 기억 장치(220)의 내부에 기재되어 있듯이, 워드 어드레스마다 액세스하는 DRAM을 어긋나게 되어 가도록 할당된다. 그런데, 8Byte의 단발 액세스를 처리하기 위한 일반적인 할당 방법인 이 어프로치는, 최적해는 되지 않는다. 이 이유는 이하에 나타내는 바와 같다.

일반적으로, 의사 벡터 프로세서는 상술된 문헌 2에 도시된 바와 같이, D0 루프를 구성하도록 이터레이

션(iteration)을 순차 실행해간다. 따라서, 일반적인 벡터 프로세서와 같이, 1벡터 오퍼랜드를 연속적으로 액세스하는 일이 없으므로, 주기억 장치 또는 하위 계층의 기억 장치에 대한 액세스는 비연속이 된다. 즉, 이 경우의 액세스는, 문헌 2의 도 4에 도시된 바와 같이 『a(1+2)→b(1+2)→a(1+3)→b(1+3)』라고 하는 액세스 패턴이 되고, 벡터 a나 벡터 b가 연속 영역에 저장되어도, 메모리 시스템에 대한 액세스 어드레스는 연속하지 않게 된다.

한편, 상술된 문헌 3에 나타내는 마이크로 벡터 프로세서는, 벡터 명령 레벨의 멀티 스레드 처리의 실행을 행하고 있고, 이 벡터 프로세서에서도 복수 스트림의 벡터 오퍼랜드에 대응하는 액세스가 혼재하게 된다. 따라서, 이 경우에도 각 스트림의 오퍼랜드가 연속 영역에 할당되어도, 주기억 장치 또는 하위 계층의 기억 장치에 대한 액세스 어드레스는 연속하지 않게 된다. 이것이 도 8에 도시된 어프로치가 최적인 이유이다.

또한, 상술된 문헌 4에 나타내는 UMA도, 복수의 메모리·액세스·스트림이 발생한다는 점에서 상술된 아키텍처와 동일하다고 할 수 있다.

상술된 바와 같이, 메모리 액세스의 어드레스가 연속하지 않음에도 불구하고, 고작업 처리량이 요구되는 경우의 메모리 시스템은, 캐시에 사용되는 정도의 고속 RAM을 대량으로 사용하는 방식을 제외하면, 뱅크수를 많이 준비하는 구성을 채용해야 한다. 왜냐하면, 각종 DRAM 메모리 셀의 성능 그 자체는 반도체 프로세스의 미세화가 진행되어도 큰 개선은 없고, RAM에서 연속 액세스가 아니면, DRAM 그 자체의 고속화의 잇점을 받을 수 없기 때문이다. 즉, 싱크로너스 DRAM을 사용함에 따라 RAM 인터페이스 부분의 고속화를 꾀할 수 있지만, 연속하지 않은 어드레스로의 액세스가 필요하다면, 뱅크를 늘리는 것 외에 프로세서측의 요구에 응할 수 없다.

이 결과, 고속 처리가 요구되는 데이터 처리 장치는, 다뱅크로 구성되는 주기억 장치 또는 하위 계층의 기억 장치를 준비할 필요가 생기고, 프로세서의 조밀함에 비교하여 시스템의 물량이 작지 않다고 하는 근본적인 문제를 야기해 버린다. 이것을 도 8에 의해 설명한다.

도 8에 도시된 종래 기술에 의한 데이터 처리 장치에서, 명령 프로세서(200)로부터 연속 어드레스(a0, a1, a2, a3, . . .)의 스트림(201)과, 연속 어드레스(b0, b1, b2, b3, . . .)의 스트림(202)에 의한 액세스가 혼재하게 된다. 그리고, 이들 어드레스의 기억 장치 상의 배치가 기억 장치(220) 내에 기재된 것으로 되어 있는 것이다.

상술된 경우, 스트림(201)과 스트림(202)은, 멀티플렉서(203)에서 혼합되고, 그대로 기억 제어 장치(210)로 이송되어 처리된다. 그리고, 이와 같이 액세스가 혼재하면, 메모리 시스템에서는 랜덤에 가까운 액세스 형태가 되고, 연속 액세스에 강한 DRAM의 특징을 살릴 수 없게 된다. 예를 들면, DRAM의 사이클 타임이 8머신 사이클이면, 프로세서로부터의 매사이클의 액세스 요구에 따르기 위해서는, 최소한 8개의 뱅크를 준비할 필요가 있다.

상술된 바와 같이 프로세서 내부에서는, 메모리 액세스의 어드레스를 연속으로 할 수 있는 가능성이 있음에도 불구하고, 주기억 장치 또는 하위 계층의 기억 장치에 대한 어드레스가 비연속이 되는 것은, 복수의 벡터 오퍼랜드 스트림의 요소를 혼재시켜 액세스 요구를 발행하기 때문이다. 이 혼재 자체는, 프로세서 내부의 처리를 고속으로 행하기 위해 필요한 처리 방식으로, 이 혼재의 회피 방법을 검토하는 것은 무의미하다. 따라서, 기억 장치에서는 비연속으로 발행되는 액세스 요구 속에서, 연속성을 추출하는 방식을 실현하는 것이 프로세서의 고속화 수법에 합치하는 방향이다.

이 사고 방식에 기초를 둔 종래 기술로서, DRAM 내에 복수면의 데이터 레지스터 어레이를 ROW 대응에 설치하고, 동시에 다른 ROW 어드레스에 대응하여 액세스 데이터를 보유하는 기구를 구비한 DRAM이, 특원평6-46733호(특개평7-262083호 공보) 등에 의해 제안되고 있다.

또한, 1997년에 「Virtual Channel Memory」라는 방식이 제안됐다. 이 방식은, 메모리·셀·어레이와 외부 인터페이스용 회로사이에 「채널」이라고 하는 행데이터 대응의 캐시 영역을 여러개 설치하고, 이 복수의 채널을, 메모리를 액세스하는 여러개의 컨트롤러에 대응하여 할당하여, 실효적인 बैं드 폭을 크게 개선하고자 하는 것이다. 이 기술의 상세한 내용은, 「『가상·채널·메모리』복수 메모리·마스터에 유효」(일경 마이크로 디바이스 1998년 2월호 pp142-149 : 문헌 5)에 나타내어져 있다.

상술된 특허 출원에 기재된 종래 기술의 경우와 마찬가지로 ROW 대응의 복수면의 데이터 레지스터 어레이를 캐시로서 설치하는 경우의 문제점으로서, DRAM 칩 내의 데이터 전송 능력을 들 수 있다. 일반적인 DRAM에서의 칩 내의 셀에 대응한 센스 증폭기를 단순한 버퍼로 간주하고, 상기 센스 증폭기 상의 데이터를 고속으로 판독하는 기구를 실현하는 경우, 센스 증폭기 상의 전데이터를 DRAM 칩 내에서 이동시킬 필요는 없다.

그런데, ROW 대응의 데이터를 복수면의 버퍼로 보유하는 경우에는, 그 센스 증폭기 상의 데이터를 전송할 필요가 있다. 이 때, DRAM 칩 내의 데이터 전송 능력이 문제가 된다. 일반적으로, 센스 증폭기로부터, I/O 버퍼까지의 데이터선은, 복수 셀(동일 ROW 어드레스로 지정되는 다른 데이터 비트) 사이에서 공용하는 방식이 채택된다. 이 이유는, I/O 데이터선을 공통으로 하지 않으면, DRAM 내의 소비 전력의 증대를 초래하고, 또한 비교적 고속 동작을 행하는 회로의 면적이 증가하기 때문이다. 예를 들면, 1ROW당 비트수가 1024비트인 경우, 이것을 1회의 액세스에서 센스 증폭기로부터 데이터 레지스터 어레이로 전송하고자 하면(10ns 사이에), 그 전송 능력으로는 100Gb/s가 필요하게 된다. DRAM이 n 비트 폭의 구성이면, DRAM 칩 전체에서는 $n \times 100\text{Gb/s}$ (예를 들면, $n=16$ 이면 200GByte/s)가 필요해지므로, 그 실현성은 매우 낮아진다. 또, 이러한 메모리·셀로부터의 판독회로 방식에 대해서는, 「초 LSI 메모리」(伊藤清男, 培風館, p161-p173 : 문헌 6)에 나타내어져 있다.

한편, 상술된 1회의 액세스에 의한 데이터를 분할하여 전송하면, 그 전송 기간 중, 그 메모리 셀로의 액세스를 할 수 없게 된다는 성능면에서의 큰 단점이 생겨 버린다.

또한, 기억 소자는, 시스템으로 대량으로 사용되는 것 이상, 특정한 시스템에 특화한 구조로는 되지 않고, 아주 여러가지 시스템사이에서 공통적으로 사용 가능한 구조(방식)일 필요가 있다. 이것을 실현할 수 있으면, 가령 어느 한 분야의 시스템으로 고성능의 기억 소자가 실현되었다고 해도, 시장에 널리 수용되지 않아 고가의 것이 되고, 시스템의 경제력(가격 대 성능비) 그 자체를, 대폭 인하하게 된다.

또한, VCM 방식에 대해서도 다음과 같은 제약을 들 수 있다. 즉, VCM은 하나의 채널당 데이터 폭이 고정되고, 채널로의 메모리 셀로부터의 전송량을 지정할 수 있지만, 칩이 준비하는 채널 갯수가 한정된다고 하는 제약이 있다. 또한, 어떤 면적을 채널용으로 확보했다고 해도, 채널 갯수와 데이터 폭이 고정되면, 여러가지 시스템에 적용하는 경우에는 큰 제약이 된다.

즉, VCM 방식은, 어느 한 용도로는 채널당 데이터 폭은 좁아도 되지만, 대량의 채널 갯수가 필요한 경우에는, 모처럼 칩 내에 준비한 채널용의 기억 영역이 활용되지 않고, 또한 채널 갯수가 모자라 성능을 낼 수 없다고 하는 문제점이 생겨 버린다. 또한, VCM 방식은, 한 쪽에서는 채널당 데이터 폭은 큰 쪽이 좋고, 채널 갯수는 적어도 되는 용도에 대해, 작은 데이터 폭의 채널을 대량으로 구비하는 구성으로 대응하면, 메모리를 제어하는 측의 관리 회로의 오버 헤드가 증대함과 동시에, 채널로의 전송이 빈발하여, 데이터 전송 효율 그 자체가 열화한다는 문제점을 생기게 한다.

발명이 이루고자하는 기술적 과제

본 발명의 하나의 목적은, 상술된 종래 기술의 여러가지 문제점을 해결하고, 요구되는 데이터 폭, 액세스 채널 수에 유연하게 대응할 수 있는 기억 소자를 제공하고, 이것을 사용하여 기억 장치를 구성함에 따라, 요청원로부터의 기억 장치로의 액세스 어드레스가, 본질적으로는 복수의 연속하는 스트림이 섞이는 경우의 처리에서도, 성능, 관리 비용을 최적화한 시스템을 제공하는 것에 있다. 또한, 본 발명의 또 다른 목적은, 개인 사용의 시스템으로부터 대규모의 기술 계산 시스템까지 커버할 수 있는 기억 소자를 제공하는 것에 있다.

본 발명에 따르면 상기 목적은, 기억 소자 내에 절대 레지스터 번호와 절대 워드 번호에 따라 데이터를 보유하는 위치가 특정되는 구성의 레지스터 어레이를 설치하고, 크기가 「S」 워드로 「N」 개의 레지스터에 의한 「S×N」 구성의 레지스터」에 의한 가상 레지스터 어레이를 상기 레지스터 어레이 상에 구성하기 때문에 레지스터 사이즈 「S」와 레지스터 수 「N」을 규정하는 모드 레지스터와, 모드 레지스터로 보유하는 값을 이용하여, 기억 소자 외부로부터 부여되는 가상 레지스터 번호 및 가상 워드 번호를, 절대 레지스터 번호 및 절대 워드 번호로 변환하여 출력하는 변환 회로를 구비함에 따라 달성된다.

또한, 상기 모드 레지스터에 대해서는, 기억 소자 외부로부터 임의로 정보를 설정할 수 있는 것으로 한다.

발명의 구성 및 작용

이하, 본 발명에 따른 기억 소자의 일 실시예를 도면에 의해 상세히 설명한다.

도 1은 본 발명에 따른 기억 소자의 일 실시예의 구성을 나타내는 블록도이다. 도 1에서, 1은 메모리 셀군, 3은 ROW 어드레스 디코더, 4는 COL(COLUMN) 어드레스 디코더, 7 ~ 9, 16, 17은 셀렉터, 10은 ROW 어드레스 레지스터, 11은 COL(COLUMN) 어드레스 레지스터, 12는 기록 데이터 레지스터, 13은 가상 레지스터 번호/가상 워드 번호 레지스터, 14는 어드레스 어레이, 15는 데이터 레지스터 어레이, 18은 디코더, 19는 모드 레지스터군, 20은 변환 회로, 21은 COL 어드레스 갠신 회로, 22는 출력 데이터 레지스터, 30은 제어 회로, 61, 62는 선택 회로, 71, 81은 메모리 셀용 어드레스 레지스터, 91은 메모리 셀용 기록 데이터 레지스터이다.

도 1에 도시된 기억 소자는, RAM에 본 발명을 적용한 것이다. 기억 소자는, 메모리 셀 어레이를 구성하는 메모리 셀(1)과, 메모리 셀(1)에 기억된 데이터의 일부의 사본을 저장하기 위한 복수의 레지스터를 구비한 가변 구조의 데이터 레지스터 어레이(15)와, 데이터 레지스터 어레이(15)의 각 레지스터에 저장된 데이터의 메모리 셀(1) 내에서의 위치 정보(어드레스)를 보유하기 위한, 각 레지스터에 대응한 복수의 엔트리를 구비한 어드레스 어레이(14)와, 데이터 레지스터 어레이(15)로부터의 출력과 메모리 셀(1)로부터의 출력을 전환하는 셀렉터(17)와, 출력 데이터 레지스터(22)와, 데이터 레지스터 어레이(15)로의 기록 데이터를 선택하는 셀렉터(16)와, 외부로부터 공급되는 기록 데이터와 데이터 레지스터 어레이(15)의 출력을 전환하기 위한 셀렉터(9)와, 메모리 셀용 기록 데이터 레지스터(91)와, 외부로부터 공급되는 어드레스와 어드레스 어레이(14)의 출력을 전환하는 셀렉터(7, 8)와, 메모리 셀용 ROW 어드레스 레지스터(71)와, 메모리 셀용 COL 어드레스 레지스터(81)와, ROW 어드레스 디코더(3)와, COL 어드레스 디코더(4)와, ROW 어드레스 레지스터(10)와, COL 어드레스 레지스터(11)와, 기록 데이터 레지스터(12)와, 가상 레지스터 번호/가상 워드 번호 레지스터(13)와, 가상 레지스터 번호/가상 워드 번호를 절대 레지스터 번호/절대 워드 번호로 변환하는 변환 회로(20)와, 상기 가상 레지스터 번호/가상 워드 번호를 절대 레지스터 번호/절대 워드 번호로 변환하기 위해 사용되는 정보를 보유하는 모드 레지스터군(19)과, 데이터 레지스터 어레이(15)를 액세스하기 위한 디코더(18)와, 메모리 셀(1)로부터 데이터 레지스터 어레이(15)로의 분할 데이터 전송을 행하는 경우의 COL 어드레스 갠신 회로(21)와, 각 레지스터, 셀렉터에 제어 신호(30a)등을 발행시키는 제어 회로(30)를 구비한다.

또, 기억 소자는, 외부로부터 어드레스 신호(ROW 어드레스, COL 어드레스)가 공급되는 adress 입력 단자, 외부로부터 데이터 신호(기록 데이터)가 공급되는 data-in 단자, 외부로부터 Reg-NO (Register Number) 신호가 공급되는 Reg-NO 입력 단자, 외부로부터 CS(Chip select) /RAS (Row Address Strobe) /CAS (Column Address Strobe)/WE (Write Enable)/REGA (data REGISTER array Access) 신호등의 제어 신호가 공급되는 제어 신호 입력 단자군, 및 데이터 신호를 외부로 출력하기 위한 data-out 단자를 구비한다.

도 1에 도시된 기억 소자에 대한 READ, WRITE에 따른 동작의 베리에이션(variation)으로는 이하에 나타내는 것을 예로 들 수 있다.

READ 동작의 베리에이션:

- (1) 데이터 레지스터 어레이로의 등록을 수반하지 않은 메모리 셀로부터의 판독
- (2) 데이터 레지스터 어레이로의 등록을 수반하는 메모리 셀로부터의 판독
- (3) 데이터 레지스터 어레이로부터의 판독

WRITE 동작의 베리에이션:

- (1) 메모리 셀로의 기록(데이터 레지스터 어레이로의 액세스없음)
- (2) 메모리 셀과 데이터 레지스터 어레이로의 기록
- (3) 데이터 레지스터 어레이의 데이터의 갱신(메모리 셀로의 액세스없음)
- (4) 데이터 레지스터 어레이로부터 메모리 셀로의 재기록

이하, 도 2 ~ 도 5를 참조하여 본 발명의 일 실시예에 따른 기억 소자의 판독, 기록의 각 동작에 대해 설명한다. 또한, 도 2 ~ 도 5에 도시된 타임차트는, RAM의 인터페이스 신호로 표현한 것이다.

도 2, 도 3은 판독(READ)인 경우의 동작을 설명하는 타임차트, 도 4, 도 5는 기록(WRITE)인 경우의 동작을 설명하는 타임차트이다.

우선, 도 2를 참조하여 READ 동작을 설명한다.

도 2의 (a)에 도시된 타임차트는, 데이터 레지스터 어레이(15)로의 등록을 수반하지 않은 메모리 셀(1)로부터의 판독의 동작(이하, 제1 READ 동작이라고 함)을 나타내고 있다. 이 동작에서는, 우선 기억 소자 외부로부터 공급되는 CS/RAS 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성된다. 이 셋트 신호(30a)가 ROW 어드레스 레지스터(10)로 공급되고, 기억 소자 외부로부터 공급되는 ROW 어드레스가 ROW 어드레스 레지스터(10)에 취득된다. 취득된 ROW 어드레스는, 셀렉터(7)를 통해 메모리 셀용 ROW 어드레스 레지스터(71)에 취득되고, 메모리 셀용 ROW 어드레스 레지스터(71)로부터 ROW 어드레스 디코더(3)로 전해진다. ROW 어드레스는 ROW 어드레스 디코더(3)에 의해 디코드된다. 디코드된 ROW 어드레스가 메모리 셀(1)로 공급되고, ROW 어드레스로 지정된 메모리 셀(1) 내의 영역으로부터 ROW 데이터의 판독 동작이 기동된다. 기동된 판독 동작에 따라 판독된 ROW 데이터는 선택 회로(61)로 이송된다.

한편, 외부로부터 기억 소자로 공급되는 CS/CAS 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성된다. 이 셋트 신호(30a)가 COL 어드레스 레지스터(11)로 공급되고, 기억 소자 외부로부터 공급되는 COL 어드레스가 COL 어드레스 레지스터(11)에 취득된다. 취득된 COL 어드레스는, 셀렉터(8)를 통해 메모리 셀용 COL 어드레스 레지스터(81)에 취득되고, 메모리 셀용 COL 어드레스 레지스터(81)로부터 COL 어드레스 디코더(4)로 전해진다. COL 어드레스는 COL 어드레스 디코더(4)에 의해 디코드된다. 디코드된 COL 어드레스는 메모리 셀의 하류에 있는 선택 회로(61)로 공급된다.

선택 회로(61)에서, 판독된 ROW 데이터 중 COL 어드레스 디코더(4)로부터 공급된 COL 어드레스에 의해 지정되는 데이터가 검색되고, 판독 데이터가 선택된다. 선택된 판독 데이터는 셀렉터(17)로 이송된다.

또한, 셀렉터(17)에는 CS/RAS 신호를 수반하는 RAM 액세스인 것을 조건으로, 선택 회로(61)의 출력 데이터를 선택하도록 지시하는 선택 지시 신호가 제어 회로(30)에 의해 생성되고, 공급된다. 그 결과, 셀렉터(17)에서는 선택 회로(61)로부터 이송된 판독 데이터가 선택되고, 출력 데이터 레지스터(22)에 출력된다. 셀렉터(17)로부터 출력된 데이터는 출력 데이터 레지스터(22)에 셋트되고, 그 후 출력 데이터 레지스터(22)로부터 기억 소자 외부로 출력된다.

이상에 의해 제1 READ 동작이 종료한다.

도 2의 (b)에 도시된 타임차트는, 데이터 레지스터 어레이(15)로의 등록을 수반하는 메모리 셀(1)로부터의 판독의 동작(이하, 제2 READ 동작이라고 함)을 나타내고 있다. 이 제2 READ 동작은, 제1 READ 동작과 마찬가지로 판독 데이터가 메모리 셀(1)로부터 판독된다. 제2 READ 동작에서는, 외부로부터 CAS 신호와 동시에 공급되는 REGA 신호 및 Reg-NO 신호에 따라, 데이터 레지스터 어레이(15)의 Reg-NO 신호로 지정된 레지스터 번호 위치에 1워드(모드 레지스터군(19)에 나타내는 워드 길이)의 데이터가 저장되는 점에서, 제1 READ 동작과는 다르다.

우선, 제1 READ 동작과 마찬가지로 하여, 외부로부터 CS/RAS 신호, ROW 어드레스가 기억 소자로 공급되고, ROW 어드레스가 ROW 어드레스 레지스터(10)에 취득된다. 또한, CS/CAS 신호, COL 어드레스가 기억 소자로 공급되고, COL 어드레스가 COL 어드레스 레지스터(11)로 취득된다.

이 때, CS/CAS 신호와 동시에 외부로부터 공급되는 REGA 신호에 따라 제어 회로(30)에서는 셋트 신호(30a)가 생성된다. 이 셋트 신호(30a)가 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급되고, 외부로부터 기억 소자로 공급되는 Reg-NO 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다. Reg-NO 신호는, 데이터 레지스터 어레이(15) 상에 가상적으로 구성된 데이터 레지스터 어레이 내의 각 레지스터의 번호(가상 레지스터 번호)를 지정하는 신호이다.

Reg-NO 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서, 이송되어 온 Reg-NO 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스터 번호는, 데이터 레지스터 어레이(15) 내의 어느 한 레지스터를 지정하는 정보이다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정된 레지스

터 번호를 구비한 하나의 레지스터가 선택된다.

한편, COL 어드레스는, 데이터 레지스터 어레이(15) 상에 가상적으로 구성된 데이터 레지스터 어레이의 각 레지스터 내에 10이상 포함되어 있는 각 워드의 번호(가상 워드 번호)를 지정하는 정보를 포함한다. 그리고, COL 어드레스 레지스터(11)에 취득된 COL 어드레스 내의 가상 워드 번호 정보는 변환 회로(20)로 이송된다. 이송된 정보가 지정하는 가상 워드 번호는, 변환 회로(20)에 의해 절대 워드 번호로 변환되고, 셀렉터(16)로 전해진다. 절대 워드 번호는 셀렉터(16)로부터 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정된 레지스터 중의, 절대 워드 번호로 지정되는 영역이 선택된다.

또한, 이 실시예에서는 가상 워드 번호 정보는, COL 어드레스의 일부로서 외부로부터 address 입력 단자를 통해 기억 소자로 공급되지만, 기억 소자에 있는 address 입력 단자와는 다른 입력 단자를 통해 외부로부터 직접 가상 워드 번호 정보가 기억 소자로 공급되도록 하는 것도 가능하다. 이하의 설명에서도 동일하다.

제1 READ 동작과 마찬가지로, ROW 어드레스 및 COL 어드레스는 메모리 셀(1)로 공급된다. 메모리 셀(1)에서는, ROW 어드레스 및 COL 어드레스에서 지정되는 영역이 선택되고, 그 선택된 영역으로부터 데이터가 판독된다. 판독된 데이터는, 셀렉터(16)로 이송된다.

제어 회로(30)에서는, 외부로부터의 CS/CAS/REGA 신호에 따라, 메모리 셀(1)로부터 판독된 데이터와 기록 데이터 레지스터(12)로부터 이송되어 오는 기록 데이터 중 어느 하나를 선택하는 셀렉터(16)에 대해, 메모리 셀(1)로부터 판독된 데이터를 선택하도록 지시하는 선택 지시 신호가 생성되고, 셀렉터(16)로 공급된다. 또한, 제어 회로(30)에서는, CS/CAS/REGA 신호와 동시에 공급되는 WE 신호에 따라 기록지시 신호가 생성되고, 데이터 레지스터 어레이(15)로 공급된다.

셀렉터(16)에서는, 제어 회로(30)로부터 공급된 선택 지시 신호에 따라 메모리 셀(1)로부터 판독된 데이터가 선택되어, 데이터 레지스터 어레이(15)로 공급된다.

데이터 레지스터 어레이(15)에서는, 기록 지시 신호에 따라, 절대 레지스터 번호 및 절대 워드 번호에 따라 선택된 영역에 셀렉터(16)로부터 공급된 데이터가 저장된다.

또한, 이상의 동작에서, 절대 레지스터 번호가 데이터 레지스터 어레이(15)로 공급되면, 데이터 레지스터 어레이(15)에서 절대 레지스터 번호에 따라 지정되는 레지스터가 선택됨과 동시에, 어드레스 어레이(14)에서, 데이터 레지스터 어레이(15) 내의 선택된 레지스터에 대응하는 엔트리가 선택된다. 또한, ROW 어드레스 레지스터(10) 및 COL 어드레스 레지스터(11)에 취득된 ROW 어드레스, COL 어드레스는, 메모리 셀(1)이나 변환 회로(20)로 이송됨과 동시에 어드레스 어레이(14)에도 공급된다. 그리고, 데이터 레지스터 어레이(15)의 선택된 레지스터에 기록 데이터가 저장되는 것과 병행하여, 어드레스 어레이(14)의 선택된 엔트리에, 공급된 ROW 어드레스/COL 어드레스가 등록된다.

또한, 메모리 셀(1)로부터 판독된 데이터는, 데이터 레지스터 어레이(15)로의 저장 동작과 병행하여 셀렉터(17)에 의해 선택되고, 출력 데이터 레지스터(22)에 셋트된다. 그 후, 출력 데이터 레지스터(22)로부터 기억 소자 외부에 출력되지만, 이 동작은 제1 READ 동작과 동일하다.

이상에 의해, 제2 READ 동작이 종료한다.

도 2의 (c)에 도시된 타임차트는, 데이터 레지스터 어레이(15)로부터의 판독의 동작(이하, 제3 READ 동작이라고 함)을 나타내고 있다. 또한, 여기서의 판독 대상 데이터는, 상술된 제2 READ 동작이나 후술하는 제2 WRITE 동작에 따라 미리 데이터 레지스터 어레이(15)에 등록되게 한다. 이 동작은, RAS 신호가 기억 소자로 공급되지 않고, CS/CAS/REGA 신호가 기억 소자로 공급됨에 따라 개시된다.

제어 회로(30)에서는, CS/CAS/REGA 신호에 따라 셋트 신호(30a)가 생성되고, COL 어드레스 레지스터(11), 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급된다. 이 셋트 신호(30a)에 의해 외부로부터 공급된 COL 어드레스가 COL 어드레스 레지스터(11)에 취득되고, Reg-NO 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다.

Reg-NO 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. Reg-NO 신호가 지정하는 가상 레지스터 번호는, 변환 회로(20)에 의해 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서, 절대 레지스터 번호에 따라 지정된 레지스터 번호를 구비한 하나의 레지스터가 선택되고, 그 레지스터내 데이터의 판독 동작이 기동된다. 기동된 판독 동작에 따라 그 레지스터로부터 판독된 데이터는 선택 회로(62)로 이송된다.

한편, COL 어드레스 레지스터(11)에 취득된 COL 어드레스 내의 가상 워드 번호 정보는, COL 어드레스 레지스터(11)로부터 변환 회로(20)로 이송된다. 이송된 정보가 지정하는 가상 워드 번호는, 변환 회로(20)에 의해 절대 워드 번호로 변환되고, 선택 회로(62)로 공급된다.

선택 회로(62)에서, 데이터 레지스터 어레이(15)로부터 판독된 데이터 중, 변환 회로(20)로부터 공급된 절대 워드 번호에 따라 지정되는 데이터가 선택된다. 선택된 데이터는 셀렉터(17)로 이송된다.

또한, 셀렉터(17)에는 선택 회로(62)의 출력 데이터를 선택하도록 지시하는 선택 지시 신호가 제어 회로(30)로부터 공급된다. 그 결과, 선택 회로(62)로부터 이송된 데이터가 셀렉터(17)에서 선택되고, 출력 데이터 레지스터(22)에 셋트된다. 출력 데이터 레지스터(22)에 셋트된 데이터는, 그 후 기억 소자 외부에 출력된다.

이상에 의해 제3 READ 동작이 종료한다.

상술된 본 발명의 일실시예에서의 READ 동작에서는, 메모리 셀(1)로의 액세스가 완료하지 않아도 데이터

레지스터 어레이(15)로의 액세스가 가능하다. 도 3에 나타내는 타임차트는, 이러한 메모리 셀(1)로의 액세스와 데이터 레지스터 어레이(15)로의 액세스를 병행하여 행하는 경우를 나타내고 있다. 타임차트 중의 'a'로 나타난 부분은 제1 READ 동작(메모리 셀(1)로의 액세스)에 대응하고, 'b'로 나타난 부분은 제3 READ 동작(데이터 레지스터 어레이(15)로의 액세스)에 대응한다.

도 3에서, 우선 CS/RAS 신호 및 ROW 어드레스가 기억 소자로 공급됨에 따라 'a'로 나타내는 제1 READ 동작이 개시된다. ROW 어드레스는 ROW 어드레스 레지스터(10)로부터 셀렉터(7)를 거쳐, 메모리 셀용 ROW 어드레스 레지스터(71)로 이송되고, 메모리 셀용 ROW 어드레스 레지스터(71)로 보유된다. 그리고, ROW 어드레스는 ROW 어드레스 디코더(3)에 의해 디코드되어 메모리 셀(1)로 공급되고, 데이터의 판독 동작이 기동된다.

한편, 그 2사이클 후에 CS/CAS/REGA 신호, Reg-NO 신호 및 데이터 레지스터 어레이(15)에 대한 COL 어드레스가 기억 소자로 공급되어 'b'로 나타내는 제3 READ 동작이 개시된다. 이 때 공급된 Reg-NO 신호 및 COL 어드레스에 포함되는 가상 워드 번호 정보는, 각각 가상 레지스터 번호/가상 워드 번호 레지스터(13), COL 어드레스 레지스터(11)로부터 변환 회로(20)로 이송되고, 변환 회로(20)에 의해 절대 레지스터 번호, 절대 워드 번호로 변환된다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되어 데이터 레지스터 어레이(15)로 공급되고, 데이터 판독 동작이 기동된다. 또한, 절대 워드 번호는 선택 회로(62)로 공급된다.

제3 READ 동작의 개시로부터 1사이클 후에 제1 READ 동작에서의 CS/CAS 신호 및 COL 어드레스가 기억 소자로 공급된다. 이 때의 COL 어드레스는 COL 어드레스 레지스터(11)로부터 셀렉터(8)를 통해, 메모리 셀용 COL 어드레스 레지스터(81)로 보유된다. 그리고, COL 어드레스는 COL 어드레스 디코더(4)에 의해 디코드되어 선택 회로(61)로 공급된다.

이 경우, 제3 READ 동작은 제1 READ 동작보다도 나중에 개시되지만, 선택 회로(62)에 대한 절대 워드 번호의 공급이, 선택 회로(61)에 대한 COL 어드레스의 공급보다도 먼저 행해지고, 선택 회로(62)에서의 판독 데이터의 선택이, 선택 회로(61)에서의 판독 데이터의 선택보다도 먼저 행해져 출력된다. 그 결과, 제3 READ 동작에 따른 판독 데이터가 제1 READ 동작에 의한 판독 데이터보다도 먼저 출력 데이터 레지스터(22)를 통해 출력된다.

또한, 상술된 바와 같이 제3 READ 동작은, 제1 READ 동작의 도중, 즉 메모리 셀(1)에 대한 액세스 동작의 도중에서 개시하는 것이 가능하다. 이것은, 메모리 셀용 ROW 어드레스 레지스터(71)가 ROW 어드레스 레지스터(10)와는 별도로 준비되고, 먼저 공급된 ROW 어드레스는 ROW 어드레스 레지스터(10)로부터 메모리 셀용 ROW 어드레스 레지스터(71)로 이송되고, 메모리 셀 액세스 완료까지 메모리 셀용 ROW 어드레스 레지스터(71)로 보유되기 때문이다. 즉, 먼저 공급된 ROW 어드레스에 의한 메모리 셀 액세스의 도중이라도, ROW 어드레스 레지스터(10)에는 ROW 어드레스가 계속 보유될 필요가 없어, 그 내용은 변경 가능하다. 그로 인한, 메모리 셀 액세스의 완료를 대기하지 않고, ROW 어드레스 레지스터(10)를 이용하여 READ (또는 WRITE) 동작을 개시할 수 있는 것이다. COL 어드레스에 대해서도, 메모리 셀용 COL 어드레스 레지스터(81)가 COL 어드레스 레지스터(11)는 별도로 준비되어 있기 때문에, 메모리 셀 액세스의 도중이라도 마찬가지로 데이터 레지스터 어레이(15)에 대한 READ (또는 WRITE) 동작을 개시할 수 있다.

또한, 이러한 메모리 셀용 어드레스 레지스터(71, 81)를 이용함에 따라, 메모리 셀 액세스와 데이터 레지스터 어레이 액세스사이에서, 액세스순서의 역전(추월)이 가능해진다.

이어서, 도 4, 도 5를 참조하여 기록동작에 관해서 설명한다.

도 4의 (a)에 나타내는 타임차트는, 데이터 레지스터 어레이(15)로의 액세스를 행하지 않은 메모리 셀(1)로의 기록 동작(이하, 제1 WRITE 동작이라고 함)을 나타내고 있다. 이 동작에서는, 우선 외부로부터 기억 소자로 공급되는 CS/RAS 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성된다. 이 셋트 신호(30a)가 ROW 어드레스 레지스터(10)로 공급되고, 기억 소자 외부로부터 공급되는 ROW 어드레스가 ROW 어드레스 레지스터(10)에 취득된다. 취득된 ROW 어드레스는, 셀렉터(7)를 통해 메모리 셀용 ROW 어드레스 레지스터(71)에 취득되고, 메모리 셀용 ROW 어드레스 레지스터(71)로부터 ROW 어드레스 디코더(3)로 전해진다. ROW 어드레스는 ROW 어드레스 디코더(3)에 의해 디코드된다. 디코드된 ROW 어드레스는 메모리 셀(1)로 공급된다. 메모리 셀(1)에서는, ROW 어드레스로 지정되는 ROW 영역이 선택된다.

계속해서, 외부로부터 기억 소자로 공급되는 CS/CAS 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성된다. 이 셋트 신호(30a)가 COL 어드레스 레지스터(11)로 공급되고, 외부로부터 기억 소자로 공급되는 COL 어드레스가 COL 어드레스 레지스터(11)에 취득된다. 취득된 COL 어드레스는, 셀렉터(8)를 통해 메모리 셀용 COL 어드레스 레지스터(81)에 취득되고, 메모리 셀용 COL 어드레스 레지스터(81)로부터 COL 어드레스 디코더(4)로 전해진다. COL 어드레스는 COL 어드레스 디코더(4)에 의해 디코드된다. 디코드된 COL 어드레스는 메모리 셀(1)로 공급된다. 메모리 셀(1)에서는, ROW 어드레스에 의해 지정된 ROW 영역 중의, COL 어드레스에서 지정되는 COL 영역이 선택된다.

또한, 제어 회로(30)에 의해 생성된 셋트 신호(30a)는 기록 데이터 레지스터(12)에도 공급되어, 외부로부터 기억 소자로 공급되는 기록 데이터가 기록 데이터 레지스터(12)에 취득된다. 취득된 기록 데이터는, 셀렉터(9)를 통해 메모리 셀용 기록 데이터 레지스터(91)에 취득되고, 메모리 셀용 기록 데이터 레지스터(91)로부터 메모리 셀(1)로 공급된다.

또한, 외부로부터 기억 소자로 공급되는 WE 신호에 따라 제어 회로(30)에 의해 기록 지시 신호가 생성되어, 메모리 셀(1)로 공급된다.

메모리 셀(1)에서는, 제어 회로(30)로부터의 기록 지시 신호에 따라, 메모리 셀용 기록 데이터 레지스터(91)로부터 공급된 기록 데이터가, ROW 어드레스 및 COL 어드레스에 의해 선택된 영역에 기록된다.

이상에 따라 제1 WRITE 동작이 종료한다.

도 4의 (b)에 나타내는 타임차트는, 메모리 셀(1) 및 데이터 레지스터 어레이(15)로의 기록 동작(이하, 제2 WRITE 동작이라고 함)을 나타내고 있다. 이 동작에서는, 제1 WRITE 동작과 마찬가지로 메모리 셀(1)로의 데이터의 기록 동작이 행해진다. 제1 WRITE 동작과 다른 것은, 메모리 셀(1)로의 데이터의 기록과 병행하여 데이터 레지스터 어레이(15)에도 동일한 데이터가 기록되는 점이다.

우선, 제1 WRITE 동작과 마찬가지로, 외부로부터 CS/RAS 신호, ROW 어드레스가 기억 소자로 공급되고, ROW 어드레스가 ROW 어드레스 레지스터(10)에 취득된다. 또한, CS/CAS 신호, COL 어드레스도 기억 소자로 공급되고, COL 어드레스가 COL 어드레스 레지스터(11)에 취득된다. 또한, 기록 데이터도 기억 소자로 공급되고, 기록 데이터 레지스터(12)에 취득된다.

이 때, CS/CAS 신호와 동시에 공급되는 REGA 신호에 따라 제어 회로(30)가 셋트 신호(30a)를 생성한다. 이 셋트 신호(30a)는 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급되고, 외부로부터 기억 소자로 공급되는 Reg-N0 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다. 이 취득은 COL 어드레스가 COL 어드레스 레지스터(11)에 취득되는 것과 동일한 타이밍으로 행해진다.

제1 WRITE 동작과 마찬가지로 ROW 어드레스 및 COL 어드레스는 메모리 셀(1)로 공급된다. 메모리 셀(1)에서는, ROW 어드레스 및 COL 어드레스로 조정되는 영역이 선택된다.

한편, Reg-N0 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서, 이송되어 온 Reg-N0 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정되는 레지스터가 선택된다.

또한, COL 어드레스 레지스터(11)에 취득된 COL 어드레스 내의 가상 워드 번호 정보는 변환 회로(20)에도 이송된다. 이송된 정보가 지정하는 가상 워드 번호는, 변환 회로(20)에 의해 절대 워드 번호로 변환되고, 셀렉터(16)로 전해진다. 절대 워드 번호는 셀렉터(16)로부터 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정된 레지스터 중의, 절대 워드 번호로 지정되는 워드 영역이 선택된다.

기록 데이터 레지스터(12)에 취득된 기록 데이터는, 셀렉터(9) 및 메모리 셀용 기록 데이터 레지스터(91)를 통해 메모리 셀(1)로 공급되고, 이것과 병행하여 셀렉터(16)에도 이송된다.

제어 회로(30)에서는, 외부로부터의 CS/CAS/REGA 신호에 따라 기록 데이터 레지스터(12)로부터 데이터를 선택하도록 지시하는 선택 지시 신호가 생성되어, 셀렉터(16)로 공급된다. 또, 제어 회로(30)에서는 CS/CAS/REGA 신호와 동시에 공급되는 WE 신호에 따라 기록 지시 신호가 생성되고, 데이터 레지스터 어레이(15) 및 메모리 셀(1)로 공급된다.

셀렉터(16)에서는, 선택 지시 신호에 따라 기록 데이터 레지스터(12)로부터 이송되어 온 기록 데이터가 선택되어, 데이터 레지스터 어레이(15)로 공급된다.

데이터 레지스터 어레이(15)에서는, 기록 지시 신호에 따라, 절대 레지스터 번호 및 절대 워드 번호에 따라 선택된 영역에 셀렉터(16)로부터 공급된 기록 데이터가 저장된다. 이 데이터 레지스터 어레이(15)로의 저장 동작과 병행하여, 메모리 셀(1)에 대한 동일한 기록 데이터의 기록도 행해진다.

또한, 이상의 동작에서 절대 레지스터 번호가 데이터 레지스터 어레이(15)로 공급되면, 데이터 레지스터 어레이(15)에서 절대 레지스터 번호에 따라 지정되는 레지스터가 선택됨과 동시에, 어드레스 어레이(14)에서, 데이터 레지스터 어레이(15) 내의 선택된 레지스터에 대응하는 엔트리가 선택된다. 또한, ROW 어드레스 레지스터(10) 및 COL 어드레스 레지스터(11)에 취득된 ROW 어드레스, COL 어드레스는, 메모리 셀(1)이나 변환 회로(20)로 이송됨과 함께 어드레스 어레이(14)에도 공급된다. 그리고, 데이터 레지스터 어레이(15)의 선택된 레지스터에 기록 데이터가 저장되는 것과 병행하여, 어드레스 어레이(14)의 선택된 엔트리에, 공급된 ROW 어드레스/COL 어드레스가 등록된다.

이상에 의해, 제2 WRITE 동작이 종료한다.

도 4의 (c)에 도시된 타임차트는, 메모리 셀(1)로의 액세스는 수반하지 않은 데이터 레지스터 어레이(15)에 대한 데이터의 갱신 동작(이하, 제3 WRITE 동작이라고 함)을 나타내고 있다. 또한, 이 갱신 동작의 대상이 되는 것은, 데이터 레지스터 어레이(15)에 이미 등록되어 있는 데이터이다. 그 때문에, 대상 데이터는, 상술된 제2 READ 동작이나 제2 WRITE 동작에 따라 미리 데이터 레지스터 어레이(15)에 등록되는 것으로 한다.

우선, 제3 WRITE 동작은, RAS 신호의 공급이 이루어지지 않고, CS/CAS/REGA 신호가 외부로부터 기억 소자로 공급됨에 따라 개시된다.

제어 회로(30)에서는, CS/CAS/REGA 신호에 따라 셋트 신호(30a)가 생성되고, COL 어드레스 레지스터(11), 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급된다. 이 셋트 신호(30a)에 의해 외부로부터 공급된 COL 어드레스가 COL 어드레스 레지스터(11)에 취득되고, Reg-N0 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다.

또한, 셋트 신호(30a)는 기록 데이터 레지스터(12)에도 공급되고, 외부로부터 기억 소자로 공급되는 갱신 데이터가 기록 데이터 레지스터(12)에 취득된다.

가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된 Reg-N0 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서 이송되어 온 Reg-N0 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스

터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정되는 레지스터가 선택된다.

COL 어드레스 레지스터(11)에 취득된 COL 어드레스 내의 가상 워드 번호 정보는, COL 어드레스 레지스터(11)로부터 변환 회로(20)로 이송된다. 이송된 정보가 지정하는 가상 워드 번호는, 변환 회로(20)에 의해 절대 워드 번호로 변환되고, 셀렉터(16)로 전해진다. 절대 워드 번호는 셀렉터(16)로부터 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는 절대 레지스터 번호에 따라 지정된 레지스터 중, 절대 워드 번호로 지정된 워드 영역이 선택된다.

기록 데이터 레지스터(12)에 취득된 갱신 데이터는 셀렉터(16)로 이송된다. 셀렉터(16)에서는, 제어 회로(30)로부터 공급된 선택 지시 신호에 따라 기록 데이터 레지스터(12)로부터 이송되어 온 갱신 데이터가 선택되고, 데이터 레지스터 어레이(15)로 공급된다.

한편, 제어 회로(30)에서는 CS/CAS/REGA 신호와 동시에 공급되는 WE 신호에 따라 기록 지시 신호가 생성되고, 제어 회로(30)로부터 데이터 레지스터 어레이(15)로 공급된다.

데이터 레지스터 어레이(15)에서는, 기록 지시 신호에 따라 절대 레지스터 번호 및 절대 워드 번호에 따라 선택된 영역 내에 이미 저장되어 있는 데이터가 셀렉터(16)로부터 공급된 갱신 데이터로 치환된다.

이상에 의해 제3 WRITE 동작이 종료한다.

도 5의 (a)에 도시된 타임차트는, 데이터 레지스터 어레이(15)로부터 메모리 셀(1)로의 재기록의 동작(이하, 제4 WRITE 동작이라고 함)을 나타내고 있다. 이 동작에서는, 제1 WRITE 동작과 마찬가지로 메모리 셀(1)로의 데이터의 기록(갱신)이 행해진다. 단, 메모리 셀(1)로 기록되는 데이터가, 외부로부터가 아니고 데이터 레지스터 어레이(15)로부터 공급되는 점에서 제1 WRITE 동작과는 다르다.

우선, 제1 WRITE 동작과 마찬가지로 하여 외부로부터 CS/RAS 신호, ROW 어드레스가 기억 소자로 공급되고, ROW 어드레스가 ROW 어드레스 레지스터(10)에 취득된다. 또, CS/CAS 신호, COL 어드레스가 기억 소자로 공급되고, COL 어드레스가 COL 어드레스 레지스터(11)에 취득된다.

이 때, CS/CAS 신호와 동시에 공급되는 REGA 신호에 따라 제어 회로(30)가 셋트 신호(30a)를 생성한다. 이 셋트 신호(30a)는 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급되고, 외부로부터 기억 소자로 공급되는 Reg-N0 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다. 이 취득은 COL 어드레스가 COL 어드레스 레지스터(11)에 취득되는 것과 동일한 타이밍으로 행해진다.

제1 WRITE 동작과 마찬가지로, ROW 어드레스 및 COL 어드레스는 메모리 셀(1)로 공급된다. 메모리 셀(1)에서는, ROW 어드레스 및 COL 어드레스에서 지정되는 영역이 선택된다.

한편, Reg-N0 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서, 이송되어온 Reg-N0 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15)로 공급된다. 데이터 레지스터 어레이(15)에서는 절대 레지스터 번호에 따라 지정되는 레지스터가 선택되고, 그 선택된 영역으로부터 데이터가 판독된다. 판독된 데이터는 셀렉터(9)로 이송된다.

제어 회로(30)에서는, 외부로부터의 CS/CAS/REGA 신호에 따라, 데이터 레지스터 어레이(15)로부터의 판독 데이터를 선택하도록 지시하는 선택 지시 신호가 생성되고, 셀렉터(9)로 공급된다. 또한, 제어 회로(30)에서는 CS/CAS/REGA 신호와 동시에 공급되는 WE 신호에 따라 기록 지시 신호가 생성되고, 메모리 셀(1)로 공급된다.

셀렉터(9)에서는, 선택 지시 신호에 따라 데이터 레지스터 어레이(15)로부터 이송되어 온 판독 데이터가 선택되고, 메모리 셀용 기록 데이터 레지스터(91)로 이송된다. 판독 데이터는 메모리 셀용 기록 데이터 레지스터(91)에 취득되고, 메모리 셀용 기록 데이터 레지스터(91)로부터 메모리 셀(1)로 공급된다.

메모리 셀(1)에서는, 제어 회로(30)로부터의 기록 지시 신호에 따라, ROW 어드레스 및 COL 어드레스에 의해 선택된 영역에 이미 저장되어 있는 데이터가 메모리 셀용 기록 데이터 레지스터(91)로부터 공급된 기록 데이터로 치환된다.

이상에 의해, 제4 WRITE 동작이 종료한다.

도 5의 (b)에 도시된 타임차트는, 데이터 레지스터 어레이(15)에 대응시켜 기억 소자 내부에 설치된 어드레스 어레이(14) 내의 어드레스 정보를 이용한 메모리 셀(1) 및 데이터 레지스터 어레이(15)에 대한 갱신 동작(이하, 제5 WRITE 동작이라고 함)을 나타내고 있다. 이 동작에서는, 제2 WRITE 동작과 마찬가지로 메모리 셀(1) 및 데이터 레지스터 어레이(15)로의 데이터의 기록(갱신)이 행해진다. 단, 메모리 셀(1)로 공급되는 어드레스가, 외부로부터가 아니라 어드레스 어레이(14)로부터 공급되는 점에서 제2 WRITE 동작과는 다르다.

여기서, 데이터 레지스터 어레이(15)에 이미 데이터가 저장되어 있는 경우에는, 그 데이터의 메모리 셀(1) 내에서의 어드레스도 어드레스 어레이(14)에 등록되어 있다. 따라서, 데이터 레지스터 어레이(15)에 저장된 데이터를 대상으로 한 기억 소자의 액세스에는, ROW 어드레스나 COL 어드레스를 공급하지 않고, 메모리 셀(1)을 액세스하는 것이 가능해진다.

구체적으로는, 외부로부터 CS/RAS/CAS/REGA 신호가 동시에 기억 소자로 공급되고, 이들 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성된다. 셋트 신호(30a)는 COL 어드레스 레지스터(11) 및 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급되고, 외부로부터 기억 소자로 공급되는 COL 어드레스 및 Reg-N0 신호가 각각 COL 어드레스 레지스터(11)와 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 취득된다.

Reg-N0 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서, 이송되어 온 Reg-N0 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)로 전해진다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15) 및 어드레스 어레이(14)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정되는 레지스터가 선택되고, 또한 어드레스 어레이(14)에서는 데이터 레지스터 어레이(15) 내의 선택된 레지스터에 대응하는 엔트리가 선택된다.

어드레스 어레이(14)에서는, 선택된 엔트리에 등록되어 있는 ROW 어드레스 및 COL 어드레스가 그 엔트리로부터 출력되고, ROW 어드레스는 셀렉터(7)로, COL 어드레스는 셀렉터(8)로 공급된다.

제어 회로(30)에서는, CS/RAS/CAS/REGA 신호에 따라 어드레스 어레이(14)로부터의 어드레스를 선택하도록 지시하는 선택 지시 신호가 생성되고, 셀렉터(7, 8)로 공급된다.

셀렉터(7, 8)에서는 선택 지시 신호에 따라 어드레스 어레이(14)로부터 공급된 어드레스가 선택되고, 메모리 셀용 ROW 어드레스 레지스터(71)와 메모리 셀용 COL 어드레스 레지스터(81)로 이송된다.

그리고, 상기 이외의 메모리 셀(1) 및 데이터 레지스터 어레이(15)로의 데이터 기록 동작은 제2 WRITE 동작과 같이 행해지고, 메모리 셀(1) 및 데이터 레지스터 어레이(15) 내의 선택된 영역에 이미 저장되어 있는 데이터가 외부로부터 공급된 갱신 데이터로 치환되고, 제5 WRITE 동작이 종료한다.

이와 같이, 제5 WRITE 동작에서는 제2 WRITE 동작과 비교하여 외부로부터의 기억 소자로의 액세스 사이클수가 1사이클뿐이다.

도 5의 (c)에 도시된 타임차트는, 데이터 레지스터 어레이(15)에 대응시켜 기억 소자 내부에 설치된 어드레스 어레이(14) 내의 어드레스 정보를 이용한 데이터 레지스터 어레이(15)로부터 메모리 셀(1)로의 재기록의 동작(이하, 제6 WRITE 동작이라고 함)을 나타내고 있다. 이 동작에서는, 제4 WRITE 동작과 마찬가지로 데이터 레지스터 어레이(15)로부터 판독된 데이터가 메모리 셀(1)에 기록된다. 단, 메모리 셀(1)로 공급되는 어드레스가, 외부로부터가 아니고 어드레스 어레이(14)로부터 공급되는 점에서 제4 WRITE 동작과는 다르다.

구체적으로는, RAS/CAS 신호의 공급이 이루어지지 않고, CS/REGA 신호가 외부로부터 기억 소자로 공급된다. 이들 신호에 따라 제어 회로(30)에 의해 셋트 신호(30a)가 생성되고, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로 공급된다. 이 셋트 신호(30a)에 의해 외부로부터 기억 소자로 공급되는 Reg-N0 신호가 가상 레지스터 번호/가상 워드 번호 레지스터(13)에 취득된다.

Reg-N0 신호는, 가상 레지스터 번호/가상 워드 번호 레지스터(13)로부터 변환 회로(20)로 이송된다. 변환 회로(20)에서, 이송되어 온 Reg-N0 신호가 지정하는 가상 레지스터 번호가 절대 레지스터 번호로 변환되고, 디코더(18)에 전해진다. 절대 레지스터 번호는 디코더(18)에 의해 디코드되고, 데이터 레지스터 어레이(15) 및 어드레스 어레이(14)로 공급된다. 데이터 레지스터 어레이(15)에서는, 절대 레지스터 번호에 따라 지정되는 레지스터가 선택되고, 한편 어드레스 어레이(14)에서는 데이터 레지스터 어레이(15) 내의 선택된 레지스터에 대응하는 엔트리가 선택된다.

어드레스 어레이(14)에서는, 선택된 엔트리에 등록되어 있는 ROW 어드레스 및 COL 어드레스가 그 엔트리로부터 출력되고, ROW 어드레스는 셀렉터(7)에, COL 어드레스는 셀렉터(8)로 공급된다.

제어 회로(30)에서는, CS/REGA 신호에 따라 어드레스 어레이(14)로부터의 어드레스를 선택하도록 지시하는 선택 지시 신호가 생성되고, 셀렉터(7, 8)로 공급된다.

셀렉터(7, 8)에서는 선택 지시 신호에 따라 어드레스 어레이(14)로부터 공급된 어드레스가 선택되고, 메모리 셀용 ROW 어드레스 레지스터(71)와 메모리 셀용 COL 어드레스 레지스터(81)로 이송된다.

그리고, 상기 이외의 데이터 레지스터 어레이(15)로부터의 판독 동작 및 메모리 셀(1)로의 기록 동작은 제4 WRITE 동작과 같이 행해져, 제6 WRITE 동작이 종료한다.

이와 같이, 제6 WRITE 동작에서는, 제5 WRITE 동작과 마찬가지로 외부로부터의 기억 소자로의 액세스 사이클수가 1사이클뿐이다.

상술된 본 발명의 일 실시예에서의 WRITE 동작이라도, READ 동작의 경우와 마찬가지로, 메모리 셀(1)로의 액세스가 완료하지 않아도 데이터 레지스터 어레이(15)로의 액세스를 메모리 셀(1)로의 액세스와 병행하여 행하게 하는 것이 가능하다.

이것은, 상술된 바와 같이 메모리 셀용 ROW 어드레스 레지스터(71), 메모리 셀용 COL 어드레스 레지스터(81), 메모리 셀용 기록 데이터 레지스터(91)가 ROW 어드레스 레지스터(10), COL 어드레스 레지스터(11), 기록 데이터 레지스터(12)와는 별도로 준비되기 때문이다. 그리고, 이러한 메모리 셀용 레지스터(71, 81, 91)를 이용함에 따라, 메모리 셀 액세스와 데이터 레지스터 어레이 액세스사이에서, 액세스 순서의 역전(추월)이 가능해진다. 또한, READ 동작끼리나 WRITE 동작끼리뿐만 아니라, READ 동작과 WRITE 동작이 혼재한 상황에서도, 메모리 셀 액세스와 데이터 레지스터 어레이 액세스와의 병행 동작이나 액세스 순서의 역전이 마찬가지로 가능하다.

도 6은 데이터 레지스터 어레이(15)의 실제 구성과 가상 구성과의 예를 나타내는 도면이다. 이하, 도 6을 참조하여 데이터 레지스터 어레이(15)의 구성에 대해 설명한다.

도 6의 (a)은 데이터 레지스터 어레이(15)의 실제 구성예를 나타내고 있다. 본 예에서는, 데이터 레지스터 어레이(15)는, 각 레지스터의 사이즈(워드 길이)가 32인 8개의 레지스터로 구성되어 있다.

이어서, 이 실제 구성에 대한 가상 구성의 예를 도 6의 (b) ~ 도 6의 (d)에 도시한다.

도 6의 (b)에 도시된 가상 구성 1에서는, 각 레지스터 사이즈(워드 길이)가 16인 16개의 레지스터에 의

해 데이터 레지스터 어레이가 구성되는 것으로 한다.

도 6의 (c)에 도시된 가상 구성 2에서는, 각 레지스터 사이즈(워드 길이)가 64인 4개의 레지스터에 의해 데이터 레지스터 어레이가 구성되는 것으로 한다.

또한, 도 6의 (d)에 도시된 가상 구성 3에서는, 각 레지스터 사이즈(워드 길이)가 64인 2개의 레지스터와, 각 레지스터 사이즈(워드 길이)가 32인 4개의 레지스터에 의해 데이터 레지스터 어레이가 구성되는 것으로 한다.

여기서, 도 6의 (b) ~ (d)에 도시된 모든 가상 구성에서도, 데이터 레지스터 어레이의 총 용량, 즉 「레지스터 사이즈(워드 길이) × 레지스터 갯수」의 값은, 도 6의 (a)에 도시된 실제 구성의 데이터 레지스터 어레이(15)의 총용량 「32×8」과 동일하다. 즉, 데이터 레지스터 어레이(15)의 실제 구성의 총용량, 즉 「레지스터 사이즈(워드 길이) × 레지스터 갯수」의 값의 범위 내에서 레지스터 사이즈(워드 길이)와 레지스터 갯수를 임의로 바꾸어 가상 구성을 설정하는 것이 가능하다.

이에 따라, 기억 소자에 대한 요청이 다수의 스트림(마스터)으로부터 발행되는 경우에는, 도 6의 (b)에 도시된 바와 같이 레지스터 1개당 사이즈(워드 길이)를 작게 하여, 레지스터 갯수를 확보할 수 있도록 가상 구성을 설정할 수 있다. 한편, 요청이 소수의 스트림(마스터)으로부터 발행되고, 또한 액세스 어드레스가 연속하는 경우에는 도 6의 (c)에 도시된 바와 같이 레지스터 갯수를 감하여, 레지스터 1개당 사이즈(워드 길이)를 크게 한 가상 구성을 설정할 수 있다. 또한, 상술된 양자의 요건을 도입한 것이 도 6의 (d)에 도시된 가상 구성이고, 상호 레지스터 사이즈(워드 길이)가 다른 레지스터가 혼재하도록 설정할 수도 있다.

도 7은 가상 레지스터 번호/가상 워드 번호로부터 절대 레지스터 번호/절대 워드 번호를 구하기 위한 연산식의 일례를 나타내는 도면이다. 이하, 도 1에 도시된 변환 회로(20)가, 가상 레지스터 번호/가상 워드 번호를, 절대 레지스터 번호/절대 워드 번호로 변환하는 방법의 일례에 대해 설명한다.

도 7에 도시된 바와 같이, 절대 레지스터 번호(절대 Reg#) / 절대 워드 번호(절대 W#)는, 실제 레지스터 사이즈(실제 RS)와, 가상 레지스터 사이즈(가상 RS)에 기초하여, Reg-N0 입력 단자로부터 입력되는 Reg-N0 신호에 따라 지정되면 가상 레지스터 번호(가상 Reg#)와, address 입력 단자로부터 입력되는 COL 어드레스의 일부에 의해 지정되는 가상 워드 번호(가상 W#)로부터 요구할 수 있다.

여기서, 실제 레지스터 사이즈(실제 RS)는, 실제 구성의 데이터 레지스터 어레이(15)에서의 각 레지스터의 레지스터 사이즈를 가리킨다. 이 실제 RS의 정보는 도 1에는 도시되지 않은 기억 소자 내의 레지스터(이하, 실제 RS 레지스터라고 함)로 보유된다. 또한, 가상 레지스터 사이즈(가상 RS)는, 데이터 레지스터 어레이(15)에 가상적으로 설정된 가상 구성에서의 각 레지스터의 레지스터 사이즈를 가리킨다. 이 가상 RS의 정보는 모드 레지스터군(19)의 어느 한 레지스터로 보유된다. 물론, 실제 RS가 모드 레지스터군(19) 중 어느 한 레지스터로 보유되도록 구성하는 것도 가능하다.

실제 RS는 고정치이고, 실제 RS 레지스터에는 미리 실제 RS의 정보가 설정되어 있다. 이 설정은, 예를 들면 기억 소자 자신의 동작 입상시(전원 ON 시간)에 제어 회로(30) 또는 그 밖의 회로에 의해 행해지는 것이 가능하다. 한편, 가상 RS는 가변이고, 기억 소자의 동작 중에서도 임의로 가상 RS를 설정할 수 있도록 하는 것이 바람직하다. 그로 인한, 가상 RS의 모드 레지스터군(19)로의 설정에 대해서는, 예를 들면 기억 소자 자신의 동작 입상시(전원 ON시)에 제어 회로(30) 또는 그 밖의 회로, 또는 외부로부터 미리 결정해 둔 가상 RS가 설정되도록 하는 것도 가능하고, 이 기억 소자가 사용되는 시스템에서 동작하는 어플리케이션(소프트웨어) 등에 의해, 임의의 시점에서 그 때마다 결정된 가상 RS가 설정되도록 하는 것도 가능하다.

변환 회로(20)는, 실제 RS 레지스터로부터 공급되는 실제 RS, 모드 레지스터군(19)으로부터 공급되는 가상 RS, Reg-N0 입력 단자로부터 가상 레지스터 번호/가상 워드 번호 레지스터(13)를 통해 공급되는 Reg-N0 신호에 따라 지정되면 가상 Reg#, address 입력 단자로부터 COL 어드레스 레지스터(11)를 통해 공급되는 COL 어드레스의 일부에 의해 지정되는 가상 W#를 수취하고, 후술된 바와 같은 연산식을 이용하여, 절대 Reg# 및 절대 W#를 구한다.

도 7의 (1)에 나타내는 식은, 도 6의 (b), 도 6의 (c)에 도시된 가상 구성과 같은 「가상 RS가 균일한 케이스」의 계산 방법을 나타내는 연산식의 일례이다. 또한, 도 7의 (2)에 나타내는 식은, 도 6의 (d)에 도시된 가상 구성과 같은 「가상 RS가 불균일한 케이스로서, 가상 RS가 변환하는 경계가 가상 구성 내에 한군데에만 존재하는 경우」의 계산 방법을 나타내는 연산식의 일례이다.

(1)에 도시된 바와 같이, 가상 RS가 균일한 경우, 절대 Reg#는, {가상 Reg# ÷ (실제 RS ÷ 가상 RS)}의 몫 + {가상 W# ÷ 실제 RS}의 몫으로 구할 수 있다.

또한, 절대 W#는, (가상 Reg# × 가상 RS) + 가상 W# - (절대 Reg# × 실제 RS)로서 구할 수 있다.

또한, (2)의 케이스에서는, 우선 가상 RS가 변환되는 경계(가상 RS 경계)를 넘지 않은 범위 내에 있는 가상 레지스터의 사이즈를 가리키는 가상 RS1과, 가상 RS 경계를 넘은 범위에 있는 가상 레지스터의 사이즈를 가리키는 가상 RS2가, 상술된 바와 같이 함으로써 모드 레지스터군(19)에 설정된다. 또한, 가상 RS 경계의 직전에 둔 가상 레지스터의 가상 Reg#도 모드 레지스터군(19)에 설정된다. 예를 들면, 도 6의 (d)에 도시된 가상 구성에서 말하면, 가상 Reg#이 Reg1인 가상 레지스터와, 가상 Reg#이 Reg2인 가상 레지스터 사이에 가상 RS 경계가 존재한다. 그리고, 이 가상 RS 경계를 넘지 않은 가상 레지스터 Reg0, Reg1의 가상 RS1=64와, 가상 RS 경계를 넘은 가상 레지스터 Reg2 ~ Reg5의 가상 RS2=32와, 가상 RS 경계의 직전에 둔 가상 레지스터의 가상 Reg#=Reg1의 정보가 모드 레지스터군(19)에 설정된다.

이들 가상 RS1, 2, 가상 Reg#의 정보는 모드 레지스터군(19)으로부터 변환 회로(20)로 공급된다. 변환 회로(20)는, Reg-N0 입력 단자로부터 가상 레지스터 번호/가상 워드 번호 레지스터(13)를 통해 공급되는 Reg-N0 신호에 의해 지정되는 가상 Reg#과 모드 레지스터군(19)으로부터 공급되는 가상 Reg#을 비교하

여, Reg-NO 입력 단자로부터의 가상 Reg#이 가상 RS 경계 직전에 있는 가상 레지스터의 Reg# 이하인지의 여부를 판정한다.

그리고, (2-1)에 나타난 바와 같이 가상 Reg#이 가상 RS 경계 직전에 있는 가상 레지스터의 Reg# 이하의 경우, 절대 Reg#는, {가상 Reg# ÷ (실제 RS ÷ 가상 RS)}의 몫 + {가상W# ÷ 실제 RS}의 몫으로 구할 수 있다.

또한, 절대 W#는, (가상 Reg# × 가상 RS) + 가상 W# - (절대Reg# × 실제 RS)로 구할 수 있다.

또한, (2-2)에 도시된 바와 같이, 가상 Reg#가 가상 RS 경계 직후의 가상 레지스터의 Reg#보다 큰 경우, 절대 Reg#는, {경계를 넘은 가상 레지스터의 최소의 Reg# ÷ (실제 RS ÷ 가상 RS1)}의 몫 + {(가상 Reg# - 경계를 넘은 가상 레지스터의 최소의 가상 Reg#) ÷ (실제 RS ÷ 가상 RS 2)}의 몫 + {가상W# ÷ 실제 RS}의 몫으로 구할 수 있다.

또한, 절대 W#는, (경계를 넘은 최소의 가상 Reg# × 가상 RS1) + (가상 Reg# - 경계를 넘은 최소의 가상 Reg#) × 가상 RS2 + 가상W# - 절대 Reg# × 실제 RS로 구할 수 있다.

또한, 도 7의 (2)에서는 가상 RS 경계가 가상 구성 내에 한군데만 존재하는 경우만을 나타내고, 가상 RS를 2종류로 정식화하고 있다. 그러나, 가상 RS 경계는 한군데인만큼 한정되는 것이 아니고, 가상 RS도 2종류에 한정되는 것이 아니다.

상술된 바와 같이 함으로써 변환 회로(20)에 의해 구해진 절대 Reg#와 절대 W#는, 데이터 레지스터 어레이(15)의 레지스터 번호용의 디코더(18)나, 실제 레지스터 중의 데이터 위치를 특정하는 셀렉터(16)나 선택 회로(62)등으로 이송되어 처리된다.

그런데, 상술된 가상 RS가, 기억 소자에서 동시에 전송 가능한 실제의 데이터 폭보다도 큰 경우에는, 메모리 셀로부터 데이터 레지스터 어레이로, 또는 데이터 레지스터 어레이로부터 메모리 셀로의 가상 RS분의 데이터 전송을 복수회로 나눠 행할 필요가 있다. 이러한 경우에 대해 설명한다. 기억 소자는, 도 1에는 도시되지 않은 기억 소자 내의 레지스터에 「메모리 셀에 대해 동시에 전송 가능한 워드 길이(MemW)」를 미리 보유하고 있다. 그리고, 메모리 셀(1)과 데이터 레지스터 어레이(15)사이에서 데이터 전송을 행할 때에, 기억 소자 내의 제어 회로(30)는, 그 레지스터로부터 공급되는 MemW, 모드 레지스터군(19) 중 어느 한 레지스터로부터 공급되는 가상 레지스터 하나당 워드 길이(RegW)(가상 RS와 같음)를 수취하여 비교한다. 제어 회로(30)는, 비교한 결과, RegW가 MemW보다도 크다고 판단하면, 데이터 전송을 메모리 셀(1)의 워드 길이(MemW)를 1단위로 하여 전송해야 할 데이터를 분할하여 복수회에 걸쳐 전송하도록, 제어 신호군을 생성하고, 데이터 전송을 실행하는 각 구성에 공급하여 제어한다.

여기서, COL 어드레스 갱신 회로(21)는 데이터를 분할하여 전송할 때에, 메모리 셀로 공급하는 어드레스를 자동적으로 MemW 수분 인크리먼트하기 위한 회로이다. COL 어드레스 갱신 회로(21)는, 상술된 레지스터로부터 MemW의 공급을 받고, 또한 COL 어드레스 레지스터(81)의 출력하는 어드레스를 수취한다. 그리고, 어드레스 레지스터(81)로부터 출력된 어드레스에 MemW를 가산한 결과를 새로운 어드레스로서 셀렉터(8)에 출력한다. 셀렉터(8)에서는, 제어 회로(30)로부터 공급되는 제어 신호에 따라, COL 어드레스 갱신 회로(21)로부터 출력된 어드레스가 선택되어 메모리 셀용 COL 어드레스 레지스터(81)로 이송된다. 이러한 방식으로 메모리 셀(1)로의 가상 RS분의 데이터의 READ/WRITE 동작이 자동적으로 행해진다.

이상, 일 실시예에 대해 상세히 설명한 기억 소자는, 예를 들면 도 8에 도시된 바와 같이 명령 프로세서와 기억 제어 장치와 기억 장치로 이루어지는 데이터 처리 시스템에서의 그 기억 장치를 구성함으로써 사용될 수 있다. 이 경우, 각 기억 소자는, 명령 프로세서로부터의 발행되는 요청에 따라 기억 제어 장치로부터 어드레스 신호, 데이터 신호 및 제어 신호군을 공급하고, READ 요청에 대해서는 데이터 신호를 출력한다. 따라서, 이 경우에는 상술된 설명에서의 외부는, 명령 프로세서나 기억 제어 장치, 또는 데이터 처리 시스템으로 동작하는 OS나 각종 어플리케이션을 가리킨다. 그리고, 이들 하드웨어나 소프트웨어로부터, 상술된 기억 소자의 address 입력 단자, data-in 단자, Reg-NO 입력 단자, 제어 신호 입력 단자군에 대해 어드레스 신호, 데이터 신호, Reg-NO 신호, CS/RAS/CAS/WE/REGA 신호등의 제어 신호가 공급되고, 또한 기억 소자 내의 모드 레지스터군(19)이나 다른 레지스터에 대해 가상 RS나 가상 Reg# 등의 정보가 설정된다. 이에 따라, 기억 소자는 상술된 READ 동작 및 WRITE 동작을 실행할 수 있다.

단, 도 8에 도시된 구성에 한정되지 않고, 여러가지 구성을 구비한 데이터 처리 시스템이나 정보 기기에서의 기억 장치에 상술된 기억 소자를 사용할 수 있다. 여기서, 데이터 처리 장치나 정보 처리 기기는, 예를 들면 범용 컴퓨터, 병렬 컴퓨터, 슈퍼 컴퓨터, 서버, 워크스테이션, 퍼스널 컴퓨터나, 각종 프로세서 및 기억 장치를 포함한 시스템을 의미한다.

발명의 효과

상술된 본 발명에 따른 기억 소자의 일의 실시예에 따르면, 메모리 셀에 대한 캐시 메모리로서의 데이터 레지스터 어레이를 가상적으로 가변 구조로 했기 때문에, 예를 들면 도 8와 같이 데이터 처리 시스템에서, 명령 프로세서로부터의 기억 장치로의 액세스 어드레스가 연속하는 경우, 또는 복수 스트림이 서로 교차하여 액세스 어드레스가 비연속인 경우에도, 각각의 경우의 처리에 대해 성능, 관리 비용의 면으로부터 최적이라고 생각되어지는 시스템 구성을 제공하는 것이 가능해진다.

또한, 본 발명에 따른 기억 소자의 일 실시예에 따르면, 데이터 레지스터 어레이의 가상 구성을 여러가지로 변경함에 따라, 기억 소자에 요구되는 데이터 폭이나, 액세스 채널 수에 유연하게 대응할 수 있는 기억 소자를 제공할 수 있고, 동일한 기억 소자를 퍼스널용의 시스템으로부터 대규모의 과학 기술 계산용의 시스템까지 폭넓게 적용할 수 있다.

또한, 상술된 본 발명에 따른 기억 소자의 일의 실시예에서는, 기억 소자는 그 액세스 어드레스가 ROW 어드레스 및 COL 어드레스와 마찬가지로 다중화하여 공급되는 것이 가능한 것이라고 해서 설명했지만,

이것에 한정되는 것이 아니다. 즉, 어드레스를 다중화하지 않고, 동시에 ROW 어드레스 COL 어드레스에 상당하는 어드레스, 예를 들면 COL 어드레스를 대신한 워드 어드레스, ROW 어드레스를 대신한 비트 어드레스가 공급되는 방식의 기억 소자라도 상관없이, 이 경우에도 동일한 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

메모리 셀과, 상기 메모리 셀을 액세스하기 위한 어드레스 신호가 입력되는 어드레스 입력 단자와, 상기 메모리 셀에 기록하기 위한 데이터가 입력되는 데이터 입력 단자와, 상기 메모리 셀로부터 판독된 데이터를 출력하는 데이터 출력 단자와, 상기 메모리 셀을 제어하기 위한 하나 이상의 제어 신호가 입력되는 제어 신호 입력 단자군을 구비한 기억 소자에 있어서,

복수의 레지스터를 구비하고, 상기 메모리 셀에 기억되어 있는 데이터의 일부의 사본을 저장하는 레지스터 어레이;

상기 레지스터 어레이를 액세스하기 위한 레지스터 정보가 입력되는 레지스터 정보 입력 단자;

상기 레지스터 어레이의 구성 정보를 보유하는 모드 레지스터군; 및

상기 모드 레지스터군이 보유하는 구성 정보를 이용하여, 상기 레지스터 입력 단자에 입력된 레지스터 정보를 절대 레지스터 정보로 변환하여 출력하는 변환 회로

를 포함하고,

상기 절대 레지스터 정보에 의해 상기 레지스터 어레이 중 어느 한 레지스터가 지정되고, 상기 데이터 입력 단자에 입력된 데이터의 기록, 또는 상기 지정된 레지스터에 저장되어 있는 데이터의 판독이 행해지는

것을 특징으로 하는 기억 소자.

청구항 2

제1항에 있어서, 상기 레지스터 어레이에 저장되어 있는 데이터에 대응하는 데이터가 기억되어 있는 메모리 셀의 어드레스 중 적어도 일부를 보유하는 어드레스 어레이를 구비하는 것을 특징으로 하는 기억 소자.

청구항 3

제1항에 있어서, 상기 레지스터 어레이는, 어느 한 레지스터를 지정하는 절대 레지스터 번호와, 각 레지스터 내의 위치를 지정하는 절대 워드 번호에 따라 액세스되는 영역이 선택되는 것을 특징으로 하는 기억 소자.

청구항 4

제3항에 있어서,

상기 레지스터 정보는, 상기 레지스터 어레이 중 어느 한 레지스터를 지정하는 가상 레지스터 번호이고,

상기 어드레스 신호는 상기 레지스터 어레이가 갖는 각 레지스터 내의 위치를 지정하는 가상 워드 번호를 포함하며,

상기 변환 회로는 상기 레지스터 정보 입력 단자에 입력된 상기 가상 레지스터 번호를 절대 레지스터 번호로 변환하고, 상기 어드레스 입력 단자에 입력된 상기 가상 워드 번호를 절대 워드 번호로 변환하는 것을 특징으로 하는 기억 소자.

청구항 5

제4항에 있어서,

상기 모드 레지스터군이 보유하는 상기 구성 정보는, 기억 소자 외부로부터 적절하게 설정되고, 적어도 상기 레지스터 어레이가 갖는 각 레지스터의 가상 레지스터 사이스를 포함하고,

상기 변환 회로는 상기 가상 레지스터 사이스를 이용하여 변환 동작을 행하는 것을 특징으로 하는 기억 소자.

청구항 6

제4항에 있어서, 상기 어드레스 입력 단자에 입력되는 어드레스 신호는, 상기 메모리 셀에 대한 ROW 어드레스 및 COL 어드레스를 포함하고, 상기 COL 어드레스가 상기 가상 워드 번호를 포함하는 것을 특징으로 하는 기억 소자.

청구항 7

행 어드레스 또는 워드 어드레스와 열 어드레스 또는 비트 어드레스에 의해 액세스되는 메모리 셀을 구비한 기억 소자에 있어서,

상기 행 어드레스 또는 워드 어드레스에 의해 상기 메모리 셀로부터 판독한 데이터를, 절대 레지스터 번호와 절대 워드 번호로 지정되는 영역에 일시적으로 보유하는 레지스터 어레이;

외부로부터 그 값이 설정 가능한 적어도 하나의 가상 레지스터 사이즈에 의한 적어도 하나의 가상 레지스터 어레이를 규정하는 모드 레지스터;

기억 소자 외부로부터 부여되는 가상 레지스터 번호와 가상 워드 번호를, 상기 모드 레지스터 내의 값에 따라 절대 레지스터 번호와 절대 워드 번호로 변환하는 변환 회로; 및

상기 메모리 셀과 상기 레지스터 어레이와의 사이의 데이터 전송을 행하는 전송 회로를 포함하는 것을 특징으로 하는 기억 소자.

청구항 8

제7항에 있어서,

상기 절대 레지스터 번호에 대응하여 상기 절대 레지스터 번호로 지정되는 레지스터에 저장된 데이터가, 상기 메모리 셀 상에서 저장되어 있던 어드레스의 일부 또는 전체를 보유하는 어드레스 어레이; 및

상기 레지스터 어레이 상에 저장된 데이터에 대응하는 상기 메모리 셀 상의 데이터를 액세스하는 경우에, 상기 어드레스 어레이로부터의 어드레스를 이용하여 상기 메모리 셀을 액세스하는 제어 기구

를 더 포함하는 것을 특징으로 하는 기억 소자.

청구항 9

제8항에 있어서,

상기 메모리 셀에 대해 동시에 전송할 수 있는 워드 길이를 보유하는 레지스터;

상기 레지스터 어레이의 워드 길이를 보유하는 레지스터; 및

상기 2개의 레지스터에 보유되어 있는 워드 길이의 크기를 비교하는 회로

를 포함하고,

상기 레지스터 어레이의 워드 길이가 전송 가능한 워드 길이보다 큰 경우, 상기 메모리 셀과 상기 레지스터 어레이와의 사이의 데이터 전송을 행할 때, 상기 메모리 셀의 워드 길이를 단위로 데이터를 분할하고, 복수회 전송하는

것을 특징으로 하는 기억 소자.

청구항 10

데이터 처리 시스템에 있어서,

복수의 기억 소자로 구성된 기억 장치; 및

상기 기억 장치에 대해 액세스 요청을 발행하는 요청 발행 장치

를 포함하고,

상기 기억 장치를 구성하는 각 기억 소자는,

메모리 셀,

상기 메모리 셀을 액세스하기 위한 어드레스 신호가 입력되는 어드레스 입력 단자,

상기 메모리 셀에 기록하기 위한 데이터가 입력되는 데이터 입력 단자,

상기 메모리 셀로부터 판독된 데이터를 출력하는 데이터 출력 단자,

상기 메모리 셀을 제어하기 위한 1이상의 제어 신호가 입력되는 제어 신호 입력 단자군,

복수의 레지스터를 갖고, 상기 메모리 셀에 기억되어 있는 데이터의 일부의 사본을 저장하는 레지스터 어레이,

상기 레지스터 어레이를 액세스하기 위한 레지스터 정보가 입력되는 레지스터 정보 입력 단자,

상기 레지스터 어레이의 구성 정보를 보유하는 모드 레지스터군, 및

상기 모드 레지스터군이 보유하는 구성 정보를 이용하여, 상기 레지스터 입력 단자에 입력된 레지스터 정보를 절대 레지스터 정보로 변환하여 출력하는 변환 회로

를 구비하고,

상기 요청 발행 장치로부터 발행되는 액세스 요청은, 상기 메모리 셀을 액세스하기 위한 어드레스 신호, 상기 메모리 셀에 기록하기 위한 데이터, 상기 메모리 셀 또는 상기 레지스터 어레이를 제어하기 위한 하나 이상의 제어 신호, 상기 레지스터 어레이를 액세스하기 위한 레지스터 정보 중 어느 하나 또는 전체를 포함하고,

상기 기억 소자에서는, 상기 절대 레지스터 정보에 의해 상기 레지스터 어레이 중 어느 한 레지스터가 지정되고, 상기 요청 발행 장치에 의해 상기 데이터 입력 단자에 입력된 데이터의 기록, 또는 상기 지정된 레지스터에 저장되어 있는 데이터의 판독이 행해지고, 상기 데이터 출력 단자를 통해 상기 요청 발행 장치로 출력되는

것을 특징으로 하는 데이터 처리 시스템.

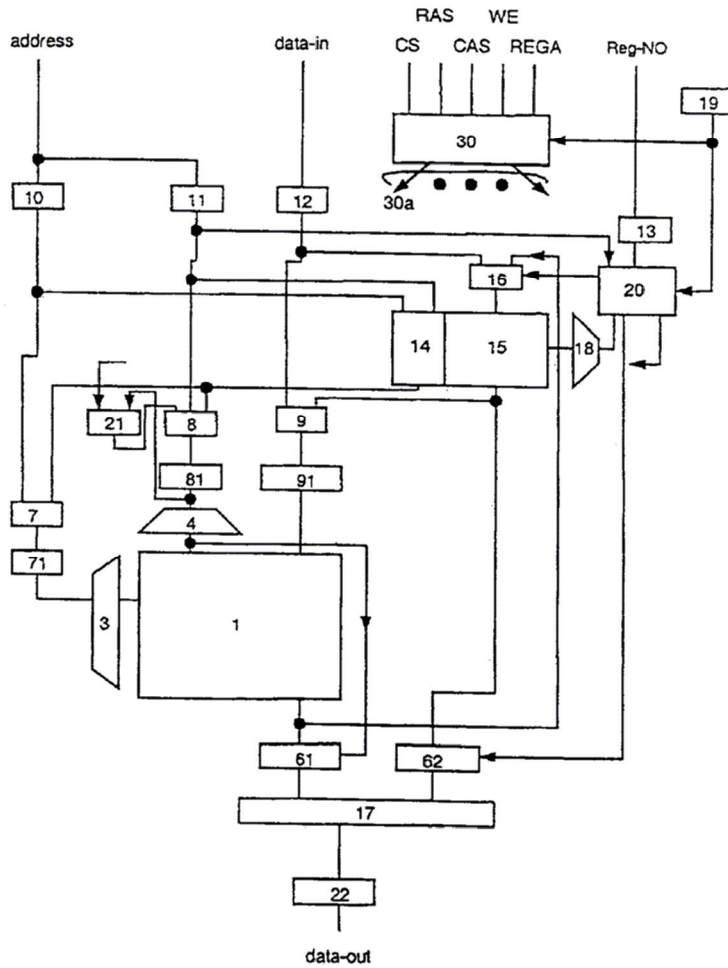
청구항 11

제10항에 있어서,

상기 요청 발행 장치는, 액세스 요청을 발행하는 CPU와, CPU로부터 발행된 액세스 요청을 상기 기억 장치로 공급하는 기억 제어 장치를 포함하는 것을 특징으로 하는 데이터 처리 시스템.

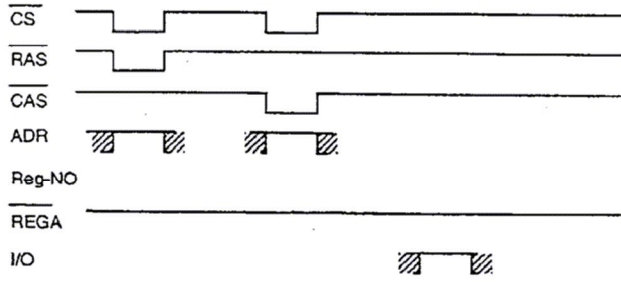
도면

도면1

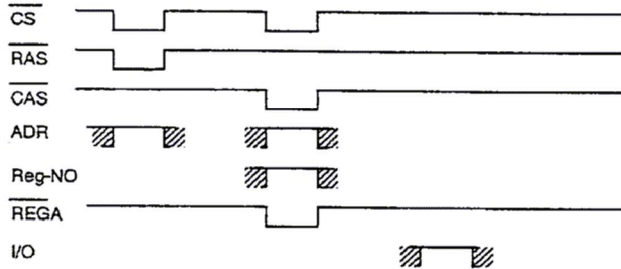


도면2

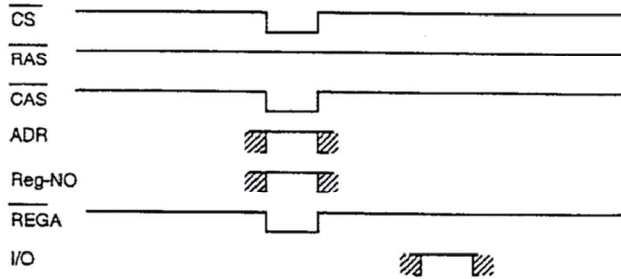
(a) READ (메모리셀로의 액세스 하는 경우/데이터 레지스터 어레이로의 등록 없음)



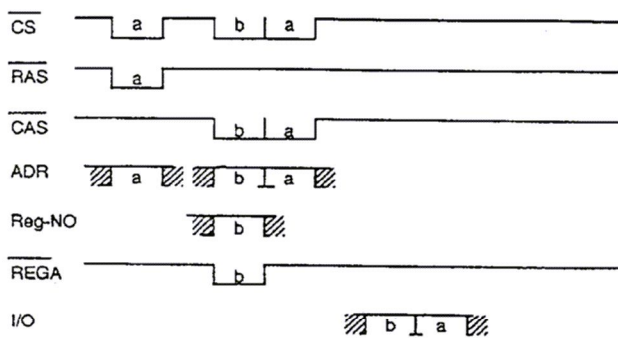
(b) READ (메모리셀로 액세스하는 경우/데이터 레지스터 어레이로의 등록 있음)



(c) READ (데이터 레지스터 어레이로 액세스하는 경우)

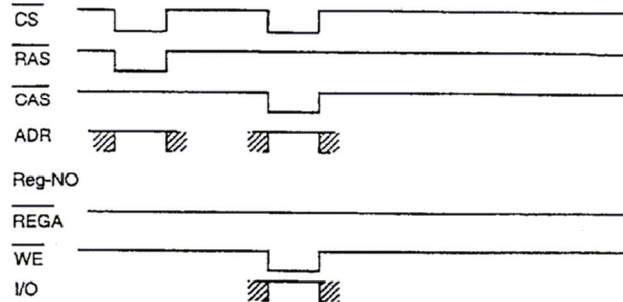


도면3

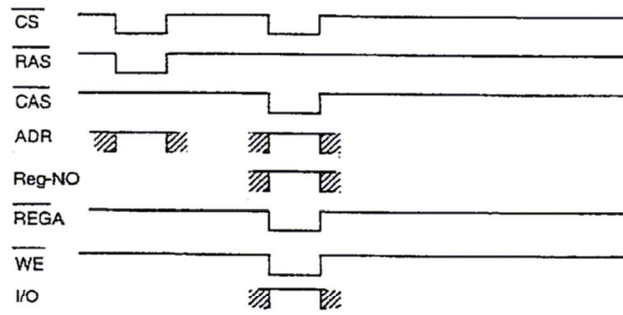


도면4

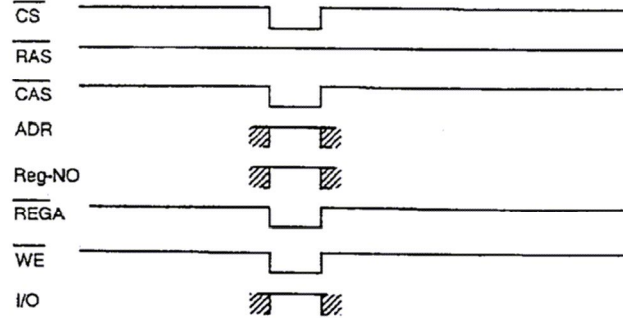
(a) WRITE (메모리셀로 액세스하는 경우/데이터 레지스터 어레이로의 액세스 없음)



(b) WRITE (메모리셀로 액세스하는 경우/데이터 레지스터 어레이에도 기록)

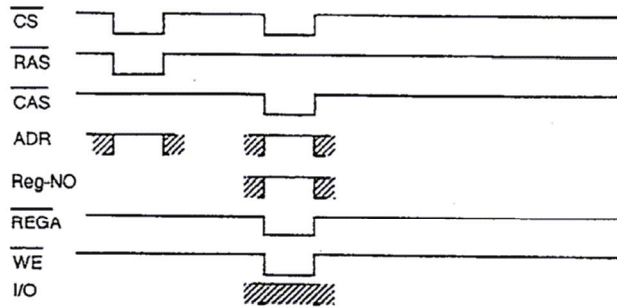


(c) WRITE (데이터 레지스터 어레이로 액세스하는 경우)

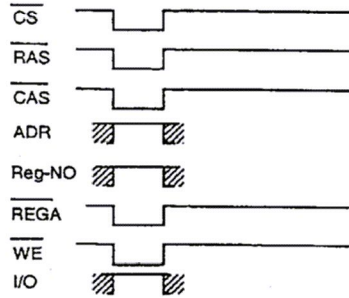


도면5

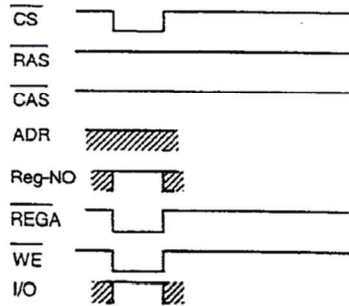
(a) WRITE (데이터 레지스터 어레이에서 메모리셀로의 재기록)



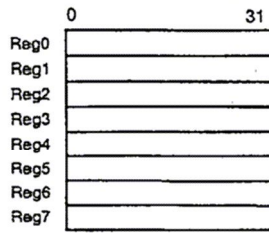
(b) WRITE (메모리셀로 액세스하는 경우/데이터 레지스터 어레이에도 기록-2)



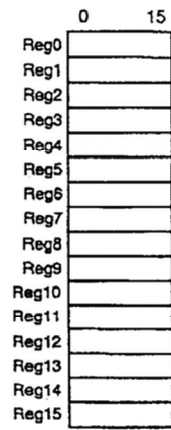
(c) WRITE (데이터 레지스터 어레이에서 메모리셀로의 재기록-2)



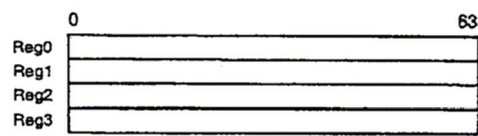
도면6



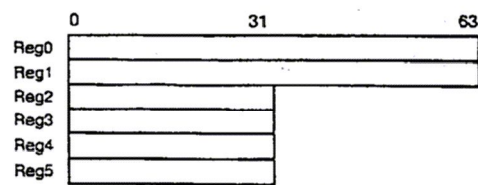
(a) 실제 구성



(b) 가상 구성1



(c) 가상 구성2



(d) 가상 구성3

도면7

(1). 가상 레지스터 사이즈가 균일한 경우

절대 Reg# = 「가상Reg# ÷ (실제RS ÷ 가상RS)」의 몫 + 「가상W# ÷ 실제RS」의 몫

절대 W# = (가상Reg# × 가상RS) + 가상W# - (절대Reg# × 실제RS)

(2). 가상 레지스터 사이즈가 불균일한 경우
(가상 레지스터 사이즈의 경계가 1개소일 경우)

(2-1). 가상 Reg#가 가상 레지스터 사이즈 경계 직전의 가상 레지스터의 Reg# 이하인 경우

절대 Reg# = 「가상Reg# ÷ (실제RS ÷ 가상RS)」의 몫 + 「가상W# ÷ 실제RS」의 몫

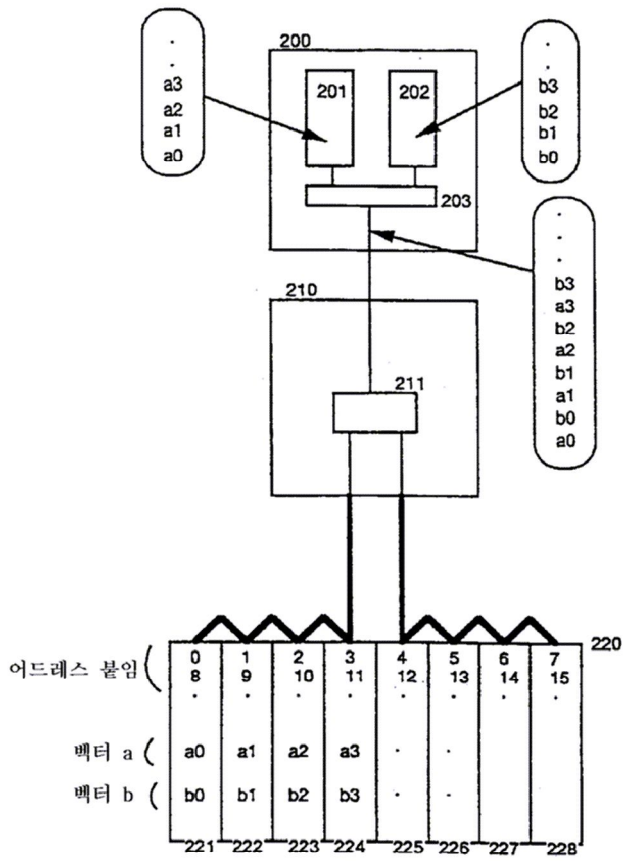
절대 W# = (가상Reg# × 가상RS) + 가상W# - (절대Reg# × 실제RS)

(2-2). 가상 Reg#가 가상 레지스터 사이즈 경계 직전의 가상 레지스터 Reg#보다 큰 경우

절대Reg# = 「경계를 넘은 가상 레지스터의 최소 가상 Reg# ÷ (실제RS ÷ 가상RS1)」의 몫
+ 「(가상Reg# - 경계를 넘은 가상 레지스터의 최소 가상 Reg#)
÷ (실제RS ÷ 가상RS2)」의 몫
+ 「가상W# ÷ 실제RS」의 몫

절대 W# = (경계를 넘은 가상 레지스터의 최소 가상 Reg# × 가상RS1)
+ (가상Reg# - 경계를 넘은 가상 레지스터의 최소 가상 Reg#) × 가상RS2
+ 가상W#
- 절대Reg# × 실제RS

도면8



도면9

