ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

251 443

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 06 12 85
(21) PV 8922-85

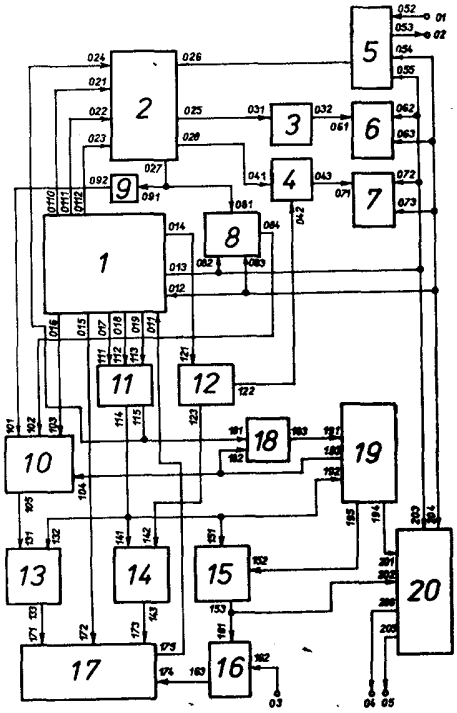
(51) Int. Cl.[4]
G 06 F 15/46,
G 05 B 15/02

(40) Zveřejněno 13 11 86
(45) Vydáno 01 11 88

(75)
Autor vynálezu JAROŠ VLADIMÍR ing., DOBŘICHOVICE

(54) Zapojení řídicích obvodů centrální dvouprocesorové jednotky mikropočítače

Řešení se týká jednodiskového mikropočítače a řeší zapojení jeho řídicích obvodů s možnosti spolupráce více jednotek na jedné mikropočítačové sběrnici. Jednotka obsahuje hlavní osmibitový mikroprocesor a specializovaný aritmetický procesor. Dále jednotka obsahuje paměť ROM, paměť RAM, programovatelné čítače, kanál styku s prostředím, řadič sběrnice, řadič přerušení a řídicí obvody. Řídicí obvody řídí spolupráci hlavního procesoru se všemi zařízeními na jednotce i s externími zařízeními mimo jednotku tím, že ovládají vstupní potvrzovací svorku hlavního procesoru zajišťují synchronizaci přenosu dat. Potvrzovací signál o připravenosti k přenosu dat se u zařízení na jednotce generuje pouze na základě adresových signálů. Vyjimku tvoří přenos dat mezi oběma procesory jednotky, kde je pro generování potvrzujícího signálu použito synchronizační zapojení řídicích obvodů. Řídicí obvody umožňují paralelní chod obou procesorů jednotky. Využije se v mikropočítačové stavebnici pro řízení technologických procesů.



251 443

Vynález se týká zapojení řídicích obvodů centrální dvouprocesorové jednotky, která je součástí mikropočítačové stavebnice.

Jsou známa zapojení centrálních procesorových jednotek určených pro použití ve stavebnicích pro řízení technologických procesů. Tato zapojení jsou sice univerzální, ale značně složitá. Nevýhodou je velký počet součástí na jednotce, velké rozměry jednotky a snížená spolehlivost. Další nevýhodou je zpomalení výpočtu, které vzniká ve složitých řídicích obvodech. Aby se zrychlil výpočet aritmetických operací, přidává se do stavebnice další jednotka s aritmetickým procesorem. Tím vzrůstá složitost zapojení, spotřeba energie a klesá spolehlivost.

Tyto nedostatky odstraňuje zapojení řídicích obvodů centrální dvouprocesorové jednotky mikropočítače, kde skupinová vstupní styková svorka zapojení je spojena se skupinovým stykovým vstupem periferního bloku, jehož skupinový výběrový vstup je spojen se skupinovým periferním výstupem adresového dekodéru. První adresový vstup adresového dekodéru je spojen s adresovým desátým výstupem centrálního bloku, jehož adresový jedenáctý výstup je spojen se druhým adresovým vstupem adresového dekodéru. Třetí adresový vstup adresového dekodéru je spojen s adresovým dvanáctým výstupem centrálního bloku. Skupinová výstupní styková svorka zapojení je spojena se skupinovým stykovým výstupem periferního bloku. Skupinový obousměrný datový vývod periferního bloku je spojen se skupinovým obousměrným datovým

vývodem ROM paměťového bloku, se skupinovým obousměrným datovým vývodem RAM paměťového bloku, s vnitřním skupinovým obousměrným datovým vývodem zesilovače, se skupinovým obousměrným datovým vývodem aritmetického procesoru a se skupinovým obousměrným datovým vývodem centrálního bloku. Skupinový adresový výstup centrálního bloku je spojen s adresovým vstupem aritmetického procesoru, se skupinovým adresovým vstupem periferního bloku, se skupinovým adresovým vstupem ROM paměťového bloku, se skupinovým adresovým vstupem RAM paměťového bloku, a se skupinovým adresovým vstupem zesilovače. Skupinový adresový výstup zesilovače je spojen se skupinovou adresovou svorkou zapojení, jehož skupinová obousměrná datová svorka je spojena s vnějším skupinovým obousměrným datovým vývodem zesilovače. Ovládací vstup zesilovače je spojen s ovládacím výstupem sběrnicového řadiče. Podstata vynálezu spočívá v tom, že skupinový řídicí výstup centrálního bloku je spojen se skupinovým řídicím vstupem řídicího součtového obvodu, jehož negovaný výstup je spojen s hradlovacím výstupem hradlovacího obvodu. Přímý výstup řídicího součtového obvodu je spojen s paměťovým vstupem paměťového obvodu. Výstup paměťového obvodu je spojen se třetím vstupem uvolňovacího součtového obvodu, jehož výstup je spojen s uvolňovacím vstupem centrálního bloku. Adresový čtrnáctý výstup centrálního bloku je spojen se druhým adresovým vstupem dekódovacího součtového obvodu, jehož třetí adresový vstup je spojen s adresovým patnáctým výstupem centrálního bloku. Hodinový výstup centrálního bloku je spojen s hodinovým vstupem klopného obvodu, jehož asynchronní vstup je spojen s potvrzovacím výstupem aritmetického procesoru. Výstup klopného obvodu je spojen s periferním vstupem periferního součinového obvodu, jehož výstup je spojen s prvním vstupem uvolňova-

cího součtového obvodu, jehož druhý vstup je spojen s potvrzovacím výstupem centrálního bloku. Adresový třináctý výstup centrálního bloku je spojen s prvním adresovým vstupem dekódovacího součtového obvodu, jehož negovaný výstup je spojen s adresovým vstupem periferního součinového obvodu, s adresovým vstupem paměťového součinového obvodu, s adresovým vstupem prvního externího součinového obvodu a s adresovým vstupem sběrnicového řadiče. Startovací vstup sběrnicového řadiče je spojen s výstupem startovacího součinového obvodu, jehož adresový vstup je spojen s přímým výstupem dekódovacího součtového obvodu a s uvolňovacím vstupem adresového dekodéru. Skupinový ROM paměťový výstup adresového dekodéru je spojen se skupinovým výběrovým vstupem výběrového součtového obvodu, jehož skupinový výběrový výstup je spojen se skupinovým výběrovým vstupem ROM paměťového bloku. Skupinový výběrový vstup RAM paměťového bloku je spojen se skupinovým výběrovým výstupem hradlovacího obvodu, jehož skupinový výběrový vstup je spojen se skupinovým RAM paměťovým výstupem adresového dekodéru. Výběrový procesorový výstup adresového dekodéru je spojen s výběrovým vstupem aritmetického procesoru a se vstupem invertoru. Výstup invertoru je spojen s nastavovacím vstupem klopného obvodu, jehož nulovací vstup je spojen s řídicím vstupem startovacího součinového obvodu a s řídicím vstupem sběrnicového řadiče. Uvolňovací výstup sběrnicového řadiče je spojen s uvolňovacím vstupem prvního externího součinového obvodu, jehož výstup je spojen s uvolňovacím vstupem zesilovače a s adresovým vstupem druhého externího součinového obvodu, jehož výstup je spojen se čtvrtým vstupem uvolňovacího součtového obvodu. Potvrzovací vstup druhého externího součinového obvodu je spojen s potvrzovací svorkou zapojení.

Výhodou zapojení podle vynálezu je, že řídicí obvody jednotky jsou jednodušší, mají menší počet součástí, čímž vzrůstá spolehlivost a klesá spotřeba energie. Jednoduchá spolupráce aritmetického procesoru se základním mikroprocesorem na jedné desce umožňuje odstranit časová zpoždění vzniklá v důsledku čekání na přidělení sběrnice. Zapojení je dostatečně univerzální. Umožňuje spolupráci více procesorových jednotek v jednom mikropočítači. Dále umožňuje použití libovolného systémového řadiče při zachování maximální rychlosti. Během zápisového cyklu mikroprocesoru nedochází ke vkládání taktů čekání.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schematu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto.
Centrální blok 1 je blok osmibitového mikroprocesoru ve standardním zapojení s podpůrnými obvody. Slouží k provádění daného programu mikropočítače.
Adresový dekodér 2 je dekodér tříbitového binárního kódu na kód 1 z osmi. Slouží pro generování výběrových signálů v rámci centrální procesorové jednotky.
Výběrový součtový obvod 3 je logický obvod složený ze tří hradel typu AND. Provádí úpravu výběrových signálů pro blok paměti ROM.
Hradlovací obvod 4 je složen ze dvou hradel typu OR. Zajišťuje správné časování při čtení z pamětí RAM a tím zamezuje konfliktům na datové sběrnici.
Periferní blok 5 obsahuje standardně připojené periferní obvody k centrálnímu bloku 1. Blok obsahuje kanál seriového přenosu, časovače a řadič přerušení. Slouží ke komunikaci se systémem jednotky, zajištění čítání reálného času a k dalším systémovým funkcím.

ROM paměťový blok 6 obsahuje tři objímky pro připojení integrovaných pamětí typu PROM. Tím je vytvořen blok 6 kbyte ROM.
RAM paměťový blok 7 je složen ze čtyř standardně připojených integrovaných pamětí typu RAM s kapacitou 4 kbit. Tím je vytvořen blok 2 kbyte RAM.
Aritmetický procesor 8 je tvořen integrovaným obvodem standardně připojeným k centrálnímu bloku 1.
Invertor 9 je běžný invertor logického signálu. Slouží ke změně logické úrovně výběrového signálu.
Klopný obvod 10 je klopný obvod typu D. Slouží ke generaci potvrzovacího signálu při relaci hlavního procesoru s periferií. Zároveň umožňuje komunikaci hlavního procesoru s aritmetickým procesorem.
Dekódovací součtový obvod 11 je složen ze dvou hradel typu OR a jednoho invertoru. Dekóduje, zda mikroprocesor centrální části 1 vyžaduje relaci s lokálním zařízením na jednotce nebo s externím zařízením.
Řídicí součtový obvod 12 je složen z hradla typu NAND a invertoru. Generuje signál rozlišující, zda relace v daném strojovém cyklu je přístup do paměti nebo do vstupně-výstupního prostoru.
Periferní součinový obvod 13 je tvořen hradlem typu NAND. Generuje signál připravenosti naadresovaného vstupu/výstupu k relaci.
Paměťový součinový obvod 14 je tvořen hradlem typu NAND. Generuje signál připravenosti naadresované paměti k relaci.
První externí součinový obvod 15 je tvořen hradlem typu OR. Generuje signál pro uvolnění vstupního a výstupního zesilovače 20.
Druhý externí součinový obvod 16 je tvořen hradlem typu OR. Generuje signál připravenosti naadresovaného vnějšího zařízení k relaci.

Uvolňovací součtový obvod 17 je tvořen hradlem typu NAND. Generuje signál připravenosti naadresovaného zařízení k relaci a tím uvolňuje další činnost centrálního bloku 1. Startovací součinový obvod 18 je tvořen hradlem typu AND. Generuje startovací přenosový puls pro sběrnicový řadič 19. Sběrnicový řadič 19 je složen z integrovaného obvodu a z pomocných součástí. Slouží k řízení přístupu na externí sběrnici při zapojení více uživatelů sběrnice v systému. Zesilovač 20 je složen z integrovaných osmibitových budičů sběrnice. Zesiluje datové a adresové signály styku procesorové jednotky s externí sběrnicí.

Skupinová vstupní styková svorka 01 a skupinová výstupní styková svorka 02 jsou tvořeny polem špiček stykového konektoru jednotky. Slouží ke styku s centrální procesorovou jednotkou s pomocí sériového protokolu.

Potvrzovací svorka 03 přivádí do řídících obvodů procesorové jednotky signál, potvrzující připravenost naadresovaného zařízení k relaci.

Skupinová adresová svorka 04 a skupinová obousměrná datová svorka 05 představují adresovou a datovou sběrnici mikropočítače.

Uvolňovací vstup 011 centrálního bloku 1 je spojen s výstupem 175 uvolňovacího součtového obvodu 17. Skupinový obousměrný datový vývod 012 centrálního bloku 1 je spojen se skupinovým obousměrným datovým vývodem 054 periferního bloku 5, se skupinovým obousměrným datovým vývodem 063 ROM paměťového bloku 6, se skupinovým obousměrným datovým vývodem 073 RAM paměťového bloku 7, se skupinovým obousměrným datovým vývodem 083 aritmetického procesoru 8 a s vnitřním skupinovým obousměrným datovým vývodem 204 zesilovače 20. Skupinový adresový výstup 013 centrálního bloku 1 je spojen se skupinovým adresovým vstupem 055 periferního bloku 5, se skupinovým adresovým vstupem 062

ROM paměťového bloku 6, se skupinovým adresovým vstupem 072 RAM paměťového bloku 7, s adresovým vstupem 082 aritmetického procesoru 8 a se skupinovým adresovým vstupem 203 zesilovače 20. Skupinový řídicí výstup 014 centrálního bloku 1 je spojen se skupinovým řídicím vstupem 121 řídicího součtového obvodu 12. Potvrzovací výstup 015 centrálního bloku 1 je spojen s druhým vstupem 172 uvolňovacího součtového obvodu 17. Hodinový výstup 016 centrálního bloku 1 je spojen s hodinovým vstupem 103 klopného obvodu 10. Adresový třináctý výstup 017 centrálního bloku 1 je spojen s prvním adresovým vstupem 111 dekódovacího součtového obvodu 11. Adresový čtrnáctý výstup 018 centrálního bloku 1 je spojen s druhým adresovým vstupem 112 dekódovacího součtového obvodu 11. Adresový patnáctý výstup 019 centrálního bloku 1 je spojen se třetím adresovým vstupem 113 dekódovacího součtového obvodu 11. Adresový desátý výstup 0110 centrálního bloku 1 je spojen s prvním adresovým vstupem 021 adresového dekodéru 2. Adresový jedenáctý výstup 0111 centrálního bloku 1 je spojen s druhým adresovým vstupem 022 adresového dekodéru 2. Adresový dvanáctý výstup 0112 centrálního bloku 1 je spojen se třetím adresovým vstupem 023 adresového dekodéru 2. Přímý výstup 115 dekódovacího součtového obvodu 11 je spojen s uvolňovacím vstupem 024 adresového dekodéru 2 a s adresovým vstupem 181 startovacího součinového obvodu 18. Skupinový ROM paměťový výstup 025 adresového dekodéru 2 je spojen se skupinovým výběrovým vstupem 031 výběrového součtového obvodu 3. Skupinový periferní výstup 026 adresového dekodéru 2 je spojen se skupinovým výběrovým vstupem 051 periferního bloku 5. Výběrový procesorový výstup 027 adresového dekodéru 2 je spojen s výběrovým vstupem 081 aritmetického procesoru 8 a se vstupem 091 invertoru 9. Skupinový RAM paměťový výstup 028 adresového dekodéru 2 je spojen

se skupinovým výběrovým vstupem 041 hradlovacího obvodu 4. Skupinový výběrový výstup 032 výběrového součtového obvodu 3 je spojen se skupinovým výběrovým vstupem 061 ROM paměťového bloku 6. Negovaný výstup 122 řídicího součtového obvodu 12 je spojen s hradlovacím vstupem 042 hradlovacího obvodu 4. Skupinový výběrový výstup 043 hradlovacího obvodu 4 je spojen se skupinovým výběrovým vstupem 071 RAM paměťového bloku 7. Potvrzovací výstup 084 aritmetického procesoru 8 je spojen s asynchronním vstupem 102 klopného obvodu 10. Výstup 092 invertoru 9 je spojen s nastavovacím vstupem 101 klopného obvodu 10. Řídicí výstup 193 sběrnicového řadiče 19 je spojen s nulovacím vstupem 104 klopného obvodu 10 a s řídicím vstupem 182 startovacího součinového obvodu 18. Výstup 105 klopného obvodu 10 je spojen s periferním vstupem 131 periferního součinového obvodu 13. Negovaný výstup 114 dekódovacího součtového obvodu 11 je spojen s adresovým vstupem 132 periferního součinového obvodu 13, s adresovým vstupem 141 paměťového součinového obvodu 14, s adresovým vstupem 151 prvního externího součinového obvodu 15 a s adresovým vstupem 192 sběrnicového řadiče 19. Přímý výstup 123 řídicího součtového obvodu 12 je spojen s paměťovým vstupem 142 paměťového součinového obvodu 14. Výstup 133 periferního součinového obvodu 13 je spojen s prvním vstupem 171 uvolňovacího součtového obvodu 17. Výstup 143 paměťového součinového obvodu 14 je spojen se třetím vstupem 173 uvolňovacího součtového obvodu 17. Uvolňovací výstup 195 sběrnicového řadiče 19 je spojen s uvolňovacím vstupem 152 prvního externího součinového obvodu 15. Výstup 153 prvního externího součinového obvodu 15 je spojen s adresovým vstupem 161 druhého externího součinového obvodu 16 a s uvolňovacím vstupem 202 zesilovače 20. Potvrzovací vstup 162 druhého externího součinového obvodu 16 je spojen s potvrzovací svorkou 03. Výstup 163 druhého externího součinového obvodu 16 je spojen se

čtvrtým vstupem 174 uvolňovacího součtového obvodu 17. Výstup 183 startovacího součinového obvodu 18 je spojen se startovacím vstupem 191 sběrnicového řadiče 19. Ovládací výstup 194 sběrnicového řadiče 19 je spojen s ovládacím vstupem 201 zesilovače 20. Vnější skupinový obousměrný datový vývod 205 zesilovače 20 je spojen se skupinovou obousměrnou datovou svorkou 05. Skupinový adresový výstup 206 zesilovače 20 je spojen se skupinovou adresovou svorkou 04. Skupinový stykový vstup 052 periferního bloku 5 je spojen se skupinovou vstupní stykovou svorkou 01. Skupinový stykový výstup 053 periferního bloku 5 je spojen se skupinovou výstupní stykovou svorkou 02. Zapojení pracuje takto. V prvním taktu strojového cyklu aktivuje mikroprocesor adresové signály. Tři nejvyšší bity adresy a sice adresový třináctý výstup 017, adresový čtrnáctý výstup 018 a adresový patnáctý výstup 019 centrálního bloku 1 se v dekódovacím součtovém obvodu 11 sečtou. Tím se rozliší, zda adresované zařízení je lokální na jednotce, nebo zda je externí mimo jednotku. Jestliže se adresuje lokální zařízení, tak se signálem z přímého výstupu 115 dekódovacího součtového obvodu 11, kterýžto signál přichází na uvolňovací vstup 024 adresového dekodéru 2, uvolňuje adresový dekodér 2. V tomto adresovém dekodéru 2 se dekódují signály, které do něho přicházejí z adresového desátého výstupu 0110, z adresového jedenáctého výstupu 0111 a z adresového dvanáctého výstupu 0112 centrálního bloku 1. Tím vznikají výběrové signály na skupinovém ROM paměťovém výstupu 025, na skupinovém periferním výstupu 026, na výběrovém procesorovém výstupu 027 a na skupinovém RAM paměťovém výstupu 028 adresového dekodéru 2. Do periferního bloku 5 se signály vedou přímo na skupinový výběrový vstup 051 periferního bloku 5. Do ROM paměťového bloku 6 se signály výběru sdružují ve výběrovém součtovém obvodu 3 vzhledem ke kapacitě použitých paměťových obvodů. Do RAM

paměťového bloku 7 se signály výběru hradlují v hradlovacím obvodu 4 signálem přivedeným z negovaného výstupu 122 řídicího součtového obvodu 12. Jestliže se adresuje libovolné lokální zařízení na jednotce kromě aritmetického procesoru 8, signál z výběrového procesorového výstupu 027 adresového dekodéru 2 způsobí po invertování v invertoru 9 nastavení klopného obvodu 10. Na výstupu 105 klopného obvodu 10 vznikne aktivní úroveň signálu. Signál se přenese na periferní vstup 131 periferního součinového obvodu 13. Na adresovém vstupu 132 periferního součinového obvodu 13 je též aktivní úroveň z negovaného výstupu 114 dekódovacího součtového obvodu 11. Tím se aktivuje výstup 133 periferního součinového obvodu 13 a vzniklý signál se přes uvolňovací součtový obvod 17 přivádí na uvolňovací vstup 011 centrálního bloku 1. Tím se uvolňuje další činnost mikroprocesoru a může se uskutečnit požadovaná relace přes skupinový obousměrný datový vývod 012 centrálního bloku 1. Jestliže se v daném cyklu adresuje aritmetický procesor 8, je nastavovací vstup 101 klopného obvodu 10 neaktivní. Na výstup 105 klopného obvodu 10 se s pomocí hodinového vstupu 103 klopného obvodu 10 přenáší signál z potvrzovacího výstupu 084 aritmetického procesoru 8, kterýžto signál se přivádí na asynchronní vstup 102 klopného obvodu 10. Tím je zajištěna synchronizace při styku obou procesorů jednotky. Jestliže se v daném strojovém cyklu adresuje ROM paměťový blok 6 nebo RAM paměťový blok 7, vznikne signál na přímém výstupu 123 řídícího součtového obvodu 12. Tento signál se vede na pěměťový vstup 142 paměťového součinového obvodu 14. Zde se násobí se signálem z negovaného výstupu 114 dekódovacího součtového obvodu 11. Z výstupu 143 paměťového součinového obvodu 14 se signál opět zavádí přes uvolňovací součtový obvod 17 na uvolňovací vstup 011 centrálního bloku 1, čímž se umožňuje provedení relace s pamětí jednotky.

Jestliže v daném cyklu centrální blok 1 adresuje externí zařízení mimo jednotku, uvede se do činnosti sběrnicový řadič 19. Na adresový vstup 192 sběrnicového řadiče 19 přichází signál z negovaného výstupu 114 dekódovacího součtového obvodu 11, čímž je splněna první podmínka pro uskutečnění externího přenosu. Další podmínkou je puls na výstupu 183 startovacího součinového obvodu 18. Startovací puls vznikne ve startovacím součinovém obvodu 18 na základě signálu z přímého výstupu 115 dekódovacího součtového obvodu 11 a signálu z řídícího výstupu 193 sběrnicového řadiče 19. Startovací puls přichází na startovací vstup 191 sběrnicového řadiče 19 a tím začíná cyklus přidělení externí sběrnice. Po přidělení sběrnice vznikne signál na uvolňovacím výstupu 195 sběrnicového řadiče 19. Signál se přivádí na uvolňovací vstup 202 zesilovače 20 přes první externí součinový obvod 15, což zamezuje nesprávné uvolnění zesilovače 20. Na ovládací vstup 201 zesilovače 20 se přivádí informace o směru toku dat z ovládacího výstupu 194 sběrnicového řadiče 19. Po uvolnění zesilovače 20 dochází k naadresování příslušného externího zařízení přes skupinovou adresovou svorku 04 a k vysílání nebo přijímání dat přes skupinovou obousměrnou datovou svorku 05. Připravenost k přenosu dat indikuje externí zařízení signálem na potvrzovací svorce 03. Signál z potvrzovací svorky 03 se přivádí na potvrzovací vstup 162 druhého externího součinového obvodu 16, kde se násobí se signálem z výstupu 153 prvního externího součinového obvodu 15. Vzniklý signál se z výstupu 163 druhého externího součinového obvodu 16 přivádí přes uvolňovací součtový obvod 17 na uvolňovací vstup 011 centrálního bloku 1, čímž se umožní provedení požadované relace s externím zařízením.

Posledním typem strojového cyklu, uvažovaným v zapojení jednotky je cyklus přerušení. V tomto případě přichází

signál z potvrzovacího výstupu 015 centrálního bloku 1 na druhý vstup 172 uvolňovacího součtového obvodu 17. Dále jde signál stejnou cestou jako v předešlých případech na uvolňovací vstup 011 centrálního bloku 1.

Vynálezu se využije v mikropočítačové stavebnici pro řízení technologických procesů.

PŘEDMĚT VYNÁLEZU

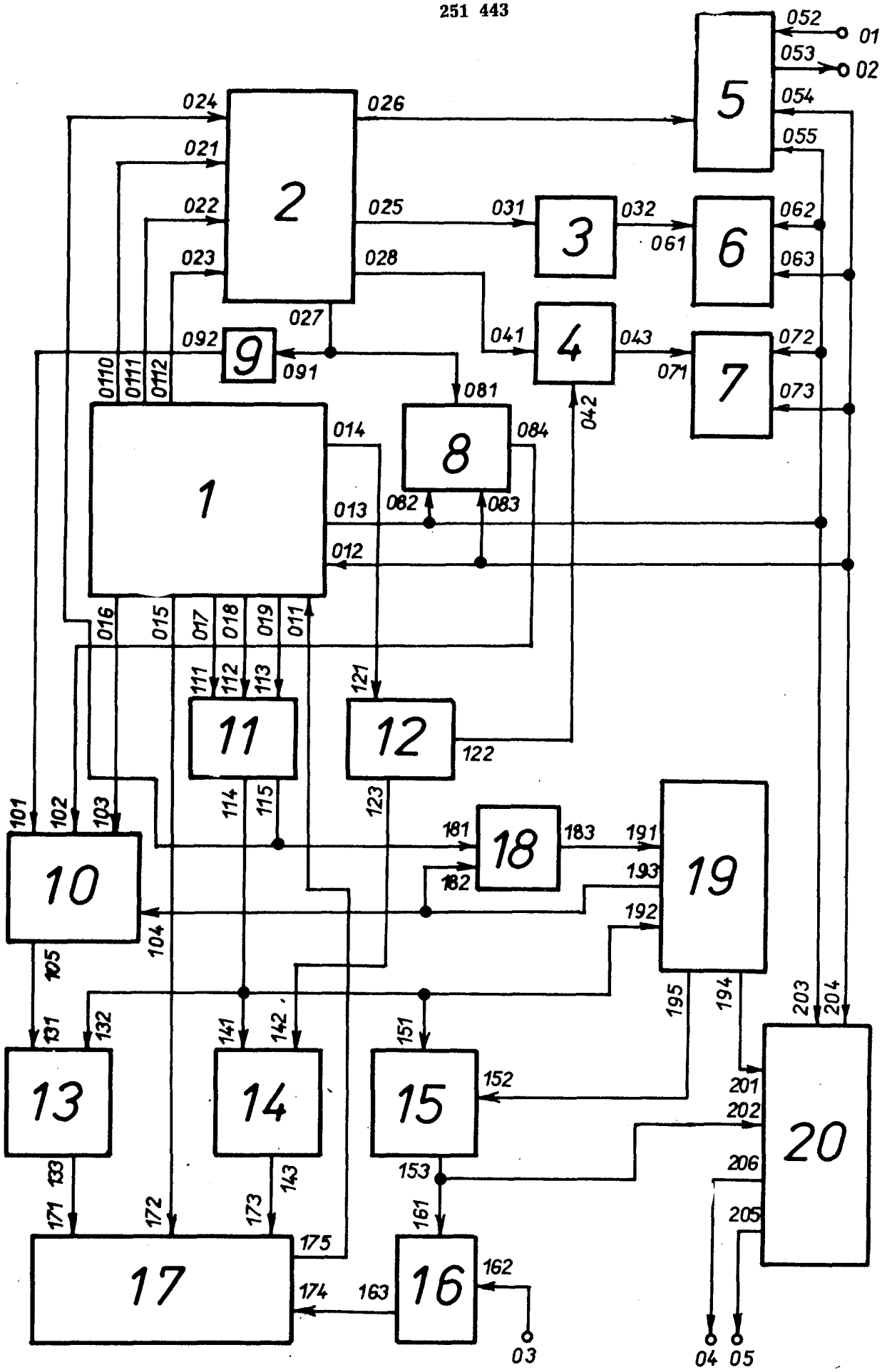
251 443

Zapojení řídicích obvodů centrální dvouprocesorové jednotky mikropočítače, kde skupinová vstupní styková svorka zapojení je spojena se skupinovým stykovým vstupem periferního bloku, jehož skupinový výběrový vstup je spojen se skupinovým periferním výstupem adresového dekodéru, jehož první adresový vstup je spojen s adresovým desátým výstupem centrálního bloku, jehož adresový jedenáctý výstup je spojen se druhým adresovým vstupem adresového dekodéru, jehož třetí adresový vstup je spojen s adresovým dvanáctým výstupem centrálního bloku a skupinová výstupní styková svorka zapojení je spojena se skupinovým stykovým výstupem periferního bloku, jehož skupinový obousměrný datový vývod je spojen se skupinovým obousměrným datovým vývodem ROM paměťového bloku, se skupinovým obousměrným datovým vývodem RAM paměťového bloku, s vnitřním skupinovým obousměrným datovým vývodem zesilovače, se skupinovým obousměrným datovým vývodem aritmetického procesoru a se skupinovým obousměrným datovým vývodem centrálního bloku, jehož skupinový adresový výstup je spojen s adresovým vstupem aritmetického procesoru, se skupinovým adresovým vstupem periferního bloku, se skupinovým adresovým vstupem ROM paměťového bloku, se skupinovým adresovým vstupem RAM paměťového bloku, a se skupinovým adresovým vstupem zesilovače, jehož skupinový adresový výstup je spojen se skupinovou adresovou svorkou zapojení, jehož skupinová obousměrná datová svorka je spojena s vnějším skupinovým obousměrným datovým vývodem, zesilovače, jehož ovládací vstup je spojen s ovládacím výstupem sběrnicového řadiče, vyznačující se tím, že skupinový řídicí výstup (014) centrálního bloku (1) je spojen se skupinovým řídicím vstupem (121) řídicího součtového obvodu (12), jehož negovaný výstup (122) je spojen s hradlovacím výstupem (042) hradlovacího obvodu (4), a přímý výstup (123) řídicího součtového

obvodu (12) je spojen s paměťovým vstupem (142) paměťového obvodu (14), jehož výstup (143) je spojen se třetím vstupem (173) uvolňovacího součtového obvodu (17), jehož výstup (175) je spojen s uvolňovacím vstupem (011) centrálního bloku (1), jehož adresový čtrnáctý výstup (018) je spojen se druhým adresovým vstupem (112) dekódovacího součtového obvodu (11), jehož třetí adresový vstup (113) je spojen s adresovým patnáctým výstupem (019) centrálního bloku (1), jehož hodinový výstup (016) je spojen s hodinovým vstupem (103) klopného obvodu (10), jehož asynchronní vstup (102) je spojen s potvrzovacím výstupem (084) aritmetického procesoru (8) a výstup (105) klopného obvodu (10) je spojen s periferním vstupem (131) periferního součinového obvodu (13), jehož výstup (133) je spojen s prvním vstupem (171) uvolňovacího součtového obvodu (17), jehož druhý vstup (172) je spojen s potvrzovacím výstupem (015) centrálního bloku (1), jehož adresový třináctý výstup (017) je spojen s prvním adresovým vstupem (111) dekódovacího součtového obvodu (11), jehož negovaný výstup (114) je spojen s adresovým vstupem (132) periferního součinového obvodu (13), s adresovým vstupem (141) paměťového součinového obvodu (14), s adresovým vstupem (151) prvního externího součinového obvodu (15) a s adresovým vstupem (192) sběrnicového řadiče (19), jehož startovací vstup (191) je spojen s výstupem (183) startovacího součinového obvodu (18), jehož adresový vstup (181) je spojen s přímým výstupem (115) dekódovacího součtového obvodu (11) a s uvolňovacím vstupem (024) adresového dekodéru (2), jehož skupinový ROM paměťový výstup (025) je spojen se skupinovým výběrovým vstupem (031) výběrového součtového obvodu (3), jehož skupinový výběrový výstup (032) je spojen se skupinovým výběrovým vstupem (061) ROM paměťového bloku (6) a skupinový výběrový vstup (071) RAM paměťového bloku (7) je spojen se skupinovým výběrovým výstupem (043) hradlovacího obvodu (4), jehož skupinový

výběrový vstup (041) je spojen se skupinovým (RAM) paměťovým výstupem (028) adresového dekodéru (2), jehož výběrový procesorový výstup (027) je spojen s výběrovým vstupem (081) aritmetického procesoru (8) a se vstupem (091) invertoru (9), jehož výstup (092) je spojen s nastavovacím vstupem (101) klopného obvodu (10), jehož nulovací vstup (104) je spojen s řídicím vstupem (182) startovacího součinového obvodu (18) a s řídicím vstupem (193) sběrnicového řadiče (19), jehož uvolňovací výstup (195) je spojen s uvolňovacím vstupem (152) prvního externího součinového obvodu (15), jehož výstup (153) je spojen s uvolňovacím vstupem (202) zesilovače (20) a s adresovým vstupem (161) druhého externího součinového obvodu (16), jehož výstup (163) je spojen se čtvrtým vstupem (174) uvolňovacího součtového obvodu (17), a potvrzovací vstup (162) druhého externího součinového obvodu (16) je spojen s potvrzovací svorkou (03) zapojení.

1 výkres


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
01
02
03
04
05
052
053
054
055
062
063
072
073
024
026
021
022
025
031
032
061
023
028
027
041
043
071
092
091
081
042
0110
0111
0112
014
084
013
082
083
012
016
015
017
018
019
011
111
112
113
121
122
114
115
123
101
102
103
181
183
191
182
193
192
104
105
195
194
203
204
131
132
141
142
151
152
201
202
206
205
133
153
171
172
173
143
161
175
174
163
162