



(12)发明专利

(10)授权公告号 CN 103199021 B

(45)授权公告日 2017.04.12

(21)申请号 201210583531.9

(22)申请日 2012.12.28

(65)同一申请的已公布的文献号

申请公布号 CN 103199021 A

(43)申请公布日 2013.07.10

(30)优先权数据

13/343,318 2012.01.04 US

(73)专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72)发明人 T·S·尤林

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 冯玉清

(51)Int.Cl.

H01L 21/48(2006.01)

H01L 21/768(2006.01)

(56)对比文件

US 6692629 B1,2004.02.17,

TW 484216 B,2002.04.21,

US 6566736 B1,2003.05.20,

审查员 陈龙

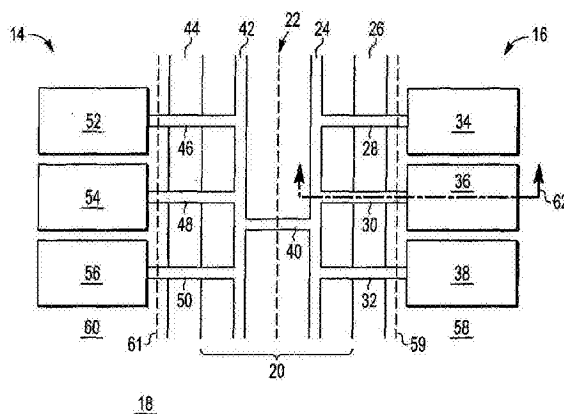
权利要求书2页 说明书8页 附图11页

(54)发明名称

半导体晶片镀总线以及形成方法

(57)摘要

本公开涉及半导体晶片镀总线以及形成方法。一种半导体晶片(10)包括管芯(16)、边封(26、226)、焊盘(36、236)、镀总线(24、224)以及迹线(30、230)。管芯与锯路相邻。边封沿着管芯的周边且包括形成在管芯的最后互连层(108、308)中的导电层。焊盘形成为最后互连层上的金属沉积层的一部分或最后互连层的一部分。镀总线在锯路内。迹线在边封上、与边封绝缘且形成在金属沉积层中地(1)或者穿过边封且与边封绝缘地(2)连接到焊盘和镀总线。



1. 一种半导体晶片, 包括:
与锯路相邻的管芯;
沿所述管芯的周边的边封, 其中所述边封包括形成在所述管芯的最后互连层中的第一导电层;
焊盘, 形成为包括所述最后互连层和所述最后互连层上的金属沉积层的组中的一个的一部分;
在所述锯路内的镀总线; 以及
以一方式连接到所述焊盘且连接到所述镀总线的迹线, 所述方式包括包含以下项的组中的一个: (1) 在所述边封上方、与所述边封绝缘、并且形成在所述金属沉积层中; 以及 (2) 穿过所述边封并且与所述边封绝缘。
2. 如权利要求1所述的半导体晶片, 其中, 所述焊盘还包括在所述焊盘的所述金属沉积层之上的镀层。
3. 如权利要求2所述的半导体晶片, 其中, 所述镀层包括镍。
4. 如权利要求2所述的半导体晶片, 其中, 所述迹线通过包括在所述边封上方、与所述边封绝缘、并且形成为所述金属沉积层的一部分的方式连接到所述焊盘并且连接到所述镀总线。
5. 如权利要求4所述的半导体晶片, 其中, 所述最后互连层包括铜。
6. 如权利要求5所述的半导体晶片, 其中, 所述焊盘是所述最后互连层和所述金属沉积层二者的一部分并且包括所述最后金属互连层的第一部分。
7. 如权利要求6所述的半导体晶片, 其中, 所述焊盘具有所述最后金属互连层的一部分和所述金属沉积层的一部分, 其中所述最后金属互连层的所述部分横向延伸超过所述金属沉积层的所述部分。
8. 如权利要求7所述的半导体晶片, 其中, 所述迹线耦接到所述最后金属互连层的所述部分。
9. 如权利要求2所述的半导体晶片, 其中, 所述迹线以包括穿过所述边封并且与所述边封绝缘的方式连接到所述焊盘并且连接到所述镀总线。
10. 如权利要求9所述的半导体晶片, 其中, 所述边封包括来自包括所述最后互连层的多个金属沉积层中的每个的一部分。
11. 如权利要求10所述的半导体晶片, 其中, 所述迹线包括附加金属互连层的一部分, 其中所述附加金属互连层的该部分在朝向所述管芯的第一侧横向延伸经过所述边封并且在朝向所述镀总线的第二侧横向延伸经过所述边封。
12. 如权利要求11所述的半导体晶片, 其中, 所述迹线还包括连接到所述最后互连层的第一部分的第一通路和连接到所述最后互连层的第二部分的第二通路, 其中所述最后互连层的所述第一部分连接到所述焊盘, 所述最后互连层的所述第二部分连接到所述镀总线。
13. 一种形成半导体管芯的方法, 包括:
利用多个互连层在半导体晶片上形成所述半导体管芯;
使用所述多个互连层形成在所述管芯周围的边封;
使用包括所述多个互连层中的金属沉积层和最后互连层的组中的一个形成所述管芯上的焊盘;

在锯路内形成镀总线,其中所述边封与所述锯路相邻;以及
利用包括所述多个互连层中的一个和所述金属沉积层的组中的一个形成迹线以将所述焊盘耦接到所述镀总线。

14.如权利要求13所述的方法,还包括:

镀所述焊盘。

15.如权利要求14所述的方法,其中,响应于施加电压到所述镀总线进行所述镀。

16.如权利要求15所述的方法,还包括在所述镀之后沿所述锯路的一侧将所述边封和所述镀总线物理分离,由此使所述迹线中断并且由此将所述焊盘和所述镀总线去耦接。

17.如权利要求16所述的方法,其中,形成所述迹线包括使用所述金属沉积层从而所述迹线在所述边封上方经过并且与所述边封绝缘。

18.如权利要求16所述的方法,其中,形成所述迹线包括使用所述多个互连层中的一个从而所述迹线穿过所述边封并且与所述边封绝缘。

19.一种在具有多个半导体管芯的晶片上镀半导体管芯的焊盘的方法,包括:

使用多个互连层形成所述管芯;

在锯路内形成镀总线,其中所述管芯与所述锯路相邻;

在所述管芯上形成焊盘;

利用所述多个互连层沿所述管芯的周边在所述焊盘和所述锯路之间形成边封;

形成迹线以将所述焊盘电耦接到所述镀总线;

通过将所述晶片浸在镀溶液中并且施加电压给所述镀总线,镀所述焊盘;以及

使所述迹线中断以将所述焊盘和所述镀总线电去耦接。

半导体晶片镀总线以及形成方法

技术领域

[0001] 本公开总体上涉及半导体加工,更特别地,涉及半导体晶片镀总线(semiconductor wafer plating bus)。

背景技术

[0002] 在半导体加工中,镀可用于形成引线键合焊盘,在引线键合焊盘中,金属层镀在最后一个金属层上以形成焊盘。镀可利用无电镀工艺或电解镀工艺进行。为了使用电解镀工艺将特征镀在半导体晶片上,镀总线层首先施加在最终钝化层上并且随后在特征被镀之后被移除。然而,施加和移除镀总线的工艺是增加成本的工艺。无电镀与电解镀相比是较便宜的工艺,在无电镀中,不是形成镀总线,而是被最终钝化层暴露的金属表面被激活以用于镀。然而,无电镀比电解镀更难以控制且因此导致产量降低。

发明内容

[0003] 根据本发明的一个方面,一种半导体晶片可包括:与锯路相邻的管芯;沿所述管芯的周边的边封,其中所述边封包括形成在所述管芯的最后互连层中的第一导电层;焊盘,形成为包括所述最后互连层和所述最后互连层上的金属沉积层的组中的一个的一部分;在所述锯路内的镀总线;以及以一方式连接到所述焊盘且连接到所述镀总线的迹线,所述方式包括包含以下项的组中的一个:(1)在所述边封上方、与所述边封绝缘、并且形成在所述金属沉积层中;以及(2)穿过所述边封并且与所述边封绝缘。

[0004] 根据本发明的又一方面,一种形成半导体管芯的方法可包括:利用多个互连层在半导体晶片上形成所述半导体管芯;使用所述多个互连层形成在所述管芯周围的边封;使用包括所述多个互连层中的金属沉积层和最后互连层的组中的一个形成所述管芯上的焊盘;在锯路内形成镀总线,其中所述边封与所述锯路相邻;以及利用包括所述多个互连层中的一个和所述金属沉积层的组中的一个形成迹线以将所述焊盘耦接到所述镀总线。

[0005] 根据本发明的再一方面,一种在具有多个半导体管芯的晶片上镀半导体管芯的焊盘的方法可包括:使用多个互连层形成所述管芯;在锯路内形成镀总线,其中所述管芯与所述锯路相邻;在所述管芯上形成焊盘;形成迹线以将所述焊盘电耦接到所述镀总线;以及通过将所述晶片浸在镀溶液中并且施加电压给所述镀总线,镀所述焊盘。

附图说明

[0006] 本发明以示例方式示出且不限于附图,附图中相似的附图标记表示相似的元件。附图中的元件出于简单和清楚的目的而示出,不一定是按比例绘制的。

[0007] 图1示出根据本发明一实施例的半导体晶片的俯视图。

[0008] 图2示出根据本发明一实施例的图1的半导体晶片的一区块的俯视图。

[0009] 图3示出根据本发明一实施例在加工的初始阶段图2的半导体晶片区块的一部分的截面图。

- [0010] 图4示出根据本发明一实施例在加工的后一阶段图3的部分的截面图。
- [0011] 图5示出根据本发明一实施例在加工的后一阶段图4的部分的截面图。
- [0012] 图6示出根据本发明一实施例在加工的后一阶段图5的部分的截面图。
- [0013] 图7示出根据本发明一实施例在加工的后一阶段图6的部分的截面图。
- [0014] 图8示出根据本发明一实施例图1的半导体晶片的一区块的俯视图。
- [0015] 图9示出根据本发明一实施例在加工的初始阶段图8的半导体晶片区块的一部分的截面图。
- [0016] 图10示出根据本发明一实施例在加工的后一阶段图9的部分的截面图。
- [0017] 图11示出根据本发明一实施例在加工的后一阶段图10的部分的截面图。
- [0018] 图12示出根据本发明一实施例在加工的后一阶段图11的部分的截面图。
- [0019] 图13示出根据本发明一实施例在加工的后一阶段图12的部分的截面图。
- [0020] 图14示出根据本发明一实施例在加工的后一阶段图13的部分的截面图。
- [0021] 图15示出根据本发明一实施例从不同截面位置看时图14的部分的截面图。

具体实施方式

[0022] 在一实施例中,电解镀工艺用于在半导体晶片上形成焊盘,其中通过使用最后的互连金属层,在半导体晶片的制造期间形成镀总线。最后的互连金属层在沉积焊盘金属之前且在沉积最终钝化层之前形成。在利用电解镀在焊盘金属上形成盘上冶金(OPM)之后,总线连接在管芯切单工艺期间被切断并丢弃。以此方式,镀总线不形成在最终钝化层上以用于在焊盘金属上镀OPM,且镀总线无需在镀之后移除。因此,通过使用最后互连金属层用于形成镀总线,成本可以减少。

[0023] 图1示出根据本发明一实施例的半导体晶片10的俯视图。半导体晶片10包括多个半导体管芯12,其在半导体晶片10的制造期间同时制造。该多个管芯12包括半导体管芯14和与管芯14相邻的半导体管芯16。区块(section)18表示半导体晶片10的将参照图2-15更详细论述的区块。

[0024] 图2示出根据本发明一实施例的半导体晶片10的区块18的俯视图。区块18包括管芯14的一部分和管芯16的一部分,虚线22表示管芯14和16的部分之间的中心线(对应于图1中区块18内的管芯14和16之间的黑实线)。因此,当看页面时,管芯14的部分在虚线22左边,管芯16的部分在虚线22右边。管芯16包括焊盘34、36和38,镀总线24,迹线28、30和32以及边封26。管芯16还包括电路58,其边界由虚线59表示。因此,管芯16的电路58位于边界59右边。边封26位于沿着管芯16的周边。边封26位于边界59和镀总线24之间。在一实施例中,边封26完全包围边界59和管芯16的电路58并且可用作裂纹停止密封、湿气密封或二者。此外,边封26可包括任何数量的同心环。迹线28、30和32分别将焊盘34、36和38中的每个电连接到镀总线24。在所示实施例中,迹线28、30和32位于边封26上并包括管芯16的部分最后金属互连层,如将参照图3-7的截面图更详细地描述的那样。迹线28、30和32位于管芯16的最终钝化层下方。管芯14包括焊盘52、54和56,镀总线42,迹线46、48和50以及边封44。管芯14还包括电路60,其边界由虚线61表示。因此,管芯14的电路60位于边界61左边。边封44位于沿着管芯14的周边。边封44位于边界61和镀总线42之间。在一实施例中,边封44完全包围边界61和管芯14的电路60,并且可用作裂纹停止密封、湿气密封或二者。此外,边封44可包括任何数

量的同心环。迹线46、48和50分别将焊盘52、54和56中的每个电连接到镀总线42。在所示实施例中,迹线46、48和50位于边封44上并且包括管芯14的部分最后金属互连层。迹线46、48和50位于管芯14的最终钝化层下方。注意,下面将提供的关于管芯16的论述也类似地适用于管芯14。锯路区20位于管芯14的边封44和管芯16的边封26之间。边封26和44每个与锯路20相邻。此外,晶片10包括电连接镀总线42和24的总线连接器40。以此方式,在电解镀工艺期间,通过使用镀总线,晶片10的所有焊盘同时进行镀。在晶片切单期间,晶片10将在锯路(例如锯路20)内在边封44和镀总线42之间以及在边封26和镀总线24之间被切割,从而切断迹线46、48和50,迹线28、30和32以及总线连接器40。

[0025] 图3示出半导体结构100的截面图,其表示在加工初始阶段沿图2的位置62截取的图2所示的管芯16的部分的截面图。半导体结构100包括半导体衬底102、在衬底102上形成的有源电路层104、在有源电路层104上形成的互连层106以及在互连层106上形成的最后金属互连层108。衬底102可以是任何半导体材料或材料组合,诸如砷化镓、硅锗、绝缘体上硅(SOI)、硅、单晶硅等,以及上述的组合。有源电路层104表示其中形成结构100的有源电路的层,且可包括执行任何类型功能的任何类型电路,有源电路可形成在衬底102上和衬底102内。参照图2,有源电路层104的有源电路形成在边界59右边。互连层106可包括任何数量的互连层,其中每个互连层可包括内部连接层(也称为金属层)和提供内部连接层之间的电连接的通路(via)层,内部连接层可包括在内部连接层内路由信号的金属部分(例如,图案化金属层)。在一实施例中,互连层106的金属部分和通路可以是铜。互连层106还包括在互连层106的各种金属层和通路层内形成的边封26。边封26形成穿过互连层106垂直延伸的连续金属层。互连层106还包括围绕互连层106的金属部分和通路的绝缘材料107。最后金属互连层108(其也可称为最后互连层)包括图案化金属层,其包括可在最后金属互连层108的图案化金属层内路由信号的金属部分114和112。最后金属互连层108还包括边封26的顶部部分,其连接到互连层106内的边封26的紧下方通路部分。最后金属互连层108内的金属部分114和112以及边封26的顶部金属部分也可称为最后金属层且可由铜形成。最后金属互连层108还包括在最后金属层上(在金属部分114和112上以及在边封26上)的第一钝化层110。

[0026] 图4示出在加工的后一阶段图3的管芯16的部分的截面图。第一钝化层110被图案化以形成开口116、118和120。开口116暴露金属部分114,开口118和120暴露金属部分112的不同区域。

[0027] 图5示出在加工的后一阶段图4的管芯16的部分的截面图。图案化金属层形成在第一钝化层110上以及开口116、118和120内。图案化金属层的第一部分122形成在开口116内和开口118内且延伸于边封26上方。以此方式,部分122电连接金属部分114和112。部分122形成在第一钝化层110和边封26上使得钝化层110位于部分122和边封26之间从而将边封26和金属部分122电隔离。图案化金属层的第二部分形成在开口120内且对应于图2的焊盘36。注意,图案化金属层也可称为焊盘金属层,焊盘36也可称为焊盘金属36。此外,如图5所示,镀总线24包括部分122的一区块,部分122的剩余区块以及金属部分112的部分123对应于图2的迹线30。迹线30与边封26隔离。

[0028] 图6示出在加工的后一阶段图5的管芯16的部分的截面图。最终钝化层124形成在第一钝化层110上以及在焊盘金属层上。因此,最终钝化层110形成在金属部分122和焊盘36上。开口形成在最终钝化层124中以暴露焊盘36,然后盘上冶金(OPM)126形成在焊盘36的暴

露部分上。在一实施例中,在镀期间,电压应用到镀总线24使得电流借助于金属部分112、金属部分122和镀总线24(其中金属部分122和112对应于迹线30)施加到焊盘36。以此方式,OPM126可电镀在焊盘36上。在一实施例中,通过将晶片10浸在镀溶液中并将电压施加到镀总线24,将OPM126镀到焊盘36上。OPM126可称为镀层且可包括任何数量的镀层。在一实施例中,OPM126包括镀镍层。因此,如图6中可见,迹线30和镀总线24都位于最终钝化层124下方。迹线30包括延伸在边封26上方但仍然位于最终钝化层110下方的部分(对应于金属部分122的一区块)。注意锯路20在图6中表示为在虚线左边,其中边封26位于管芯16内,镀总线24位于锯路20内。

[0029] 图7示出在加工的后一阶段图6的管芯16的部分的截面图。晶片10被切单,这将管芯16与晶片10分离。切单发生在锯路20中且切断镀总线连接。也就是说,镀总线24和部分迹线30从管芯16切断。以此方式,返回参照图2,由于总线连接器40也被切断,所以每个焊盘34、36和38不再电连接到镀总线24,且镀总线24不再连接到镀总线42。

[0030] 因此,在图2-7所示的实施例中,无需在最终钝化层110上增加镀总线以将OPM电镀在焊盘金属36上。此外,由于镀总线无需增加在最终钝化层110上,所以也不需要随后的移除。

[0031] 图8示出根据本发明另一实施例的半导体晶片10的区块18的俯视图。区块18包括管芯14的一部分和管芯16的一部分,虚线222表示管芯14和16的部分之间的中心线(对应于图1中区块18内管芯14和16之间的黑实线)。因此,当看页面时,管芯14的部分在虚线222左边,管芯16的部分在虚线222右边。管芯16包括焊盘234、236和238,镀总线224,迹线228、230和232,以及边封226。管芯16还包括电路258,其边界由虚线259表示。因此,管芯16的电路258位于边界259右边。边封226位于沿着管芯16的周边。边封226位于边界259和镀总线224之间。在一实施例中,边封226完全围绕边界259和管芯16的电路258并且可用作裂纹停止密封、湿气密封或二者。此外,边封226可包括任何数量的同心环。迹线228、230和232分别将焊盘234、236和238中的每个电连接到镀总线224。在所示实施例中,迹线228、230和232位于边封226上并包括管芯16的部分最后金属互连层,如将参照图9-15的截面图更详细地论述的那样。迹线228、230和232位于管芯16的最终钝化层下方。管芯14包括焊盘252、254和256,镀总线242,迹线246、248和250,以及边封244。管芯14还包括电路260,其边界由虚线261表示。因此,管芯14的电路260位于边界261左边。边封244位于沿着管芯14的周边。边封244位于边界261和镀总线242之间。在一实施例中,边封244完全围绕边界261和管芯14的电路260并且可用作裂纹停止密封、湿气密封或二者。此外,边封244可包括任何数量的同心环。迹线246、248和250分别将焊盘252、254和256中的每个电连接到镀总线242。在所示实施例中,迹线246、248和250位于边封244上并包括管芯14的部分最后金属互连层。迹线246、248和250位于管芯14的最终钝化层下方。注意,下面将给出的关于管芯16的论述也类似地适用于管芯14。锯路区域220位于管芯14的边封244和管芯16的边封226之间。边封226和244每个与锯路220相邻。此外,晶片10包括总线连接器240,其电连接镀总线242和224。以此方式,在电镀工艺期间,通过使用镀总线,晶片10的所有焊盘同时进行镀。在晶片切单期间,晶片10将在锯路(诸如锯路220)内在边封244和镀总线242之间以及在边封226和镀总线224之间被切割,从而切断迹线246、248和250,迹线228、230和232以及总线连接器240。

[0032] 在当前实施例中,迹线228、230、232、246、248和250位于最终钝化层下方且形成为

穿过边封226或244,而不是在边封上方。在一实施例中,为了接触镀总线,一些迹线可形成在边封上,而另一些可形成穿过边封。

[0033] 图9示出半导体结构300的截面图,其表示在加工的初始阶段沿图8的位置262截取的图8所示的管芯16的部分的截面图。半导体结构300包括半导体衬底302、形成在衬底302上的有源电路层304以及形成在有源电路层104上的互连层306。衬底302可以是任何半导体材料或材料组合,诸如砷化镓、硅锗、绝缘体上硅(SOI)、硅、单晶硅等,以及上述的组合。有源电路层304表示其中形成结构300的有源电路的层,且可以包括执行任何类型功能的任何类型电路,有源电路可形成在衬底302上和衬底302内。参照图8,有源电路层304的有源电路形成在边界259右边。互连层306可包括任何数量的互连层,其中每个互连层可包括内部连接层(也称为金属层)和提供内部连接层之间的电连接的通路层,内部连接层可包括在内部连接层内路由信号的金属部分(例如,图案化金属层)。在图9的截面中,互连层306的形成不完整,从而将形成至少一附加层。互连层306还包括边封226,其形成在互连层306的各种金属层和通路层内。在图9的截面中,边封226的形成不完整从而将形成附加互连层,其将继续边封226的形成。互连层306还包括围绕互连层306的金属部分和通路的绝缘材料307。在图9中,互连层306还包括在互连层306的顶表面的金属部分310和312。这些路由部分310和312可称为跟踪路由部分,其将允许将焊盘236电连接到镀总线224的迹线228的形成。

[0034] 图10示出在加工的后一阶段图9的管芯16的部分的截面图。最后金属互连层308形成在互连层306上方。最后金属互连层308(其也可称为最后互连层)包括图案化金属层,其包括金属部分314、316和318。金属部分314和318可在最后金属互连层308的图案化金属层内路由信号。金属部分316是边封226的顶部部分。注意,金属部分314、316和318可称为最后金属层。此外,至少一个通路315将金属部分314连接到互连层306的金属部分310,至少一个通路317将金属部分318连接到互连层306的金属部分310。至少一个通路319、321将金属部分318连接到互连层306的金属部分312。最后金属互连层308还包括绝缘材料309,金属部分和通路形成在绝缘材料309中。注意,在所示实施例中,边封226仍可形成连续金属层,其穿过互连层106垂直延伸;然而,如将参照下面的图15更好地看出的那样,边封226包括开口,迹线可形成穿过开口。例如,金属部分318、至少一个通路317、金属部分310、至少一个通路315以及金属部分314形成穿过边封226延伸而不是在边封226上方且仍与边封226隔离的迹线230。在一实施例中,互连层306的金属部分和通路以及最后金属互连层308包括铜。

[0035] 图11示出在加工的后一阶段图10的管芯16的部分的截面图。第一钝化层320形成在最后金属层308上。因此,第一钝化层320形成在金属部分314、316和318上。第一钝化层320被图案化以形成开口322、324和326。第一钝化层320中的开口322暴露金属部分314,第一钝化层320中的开口324暴露金属部分316(其是边封226的一部分,因此暴露边封226),第一钝化层320中的开口326暴露金属部分318。在一替选实施例中,不形成开口324。

[0036] 图12示出在加工的后一阶段图11的管芯16的部分的截面图。金属沉积层(其也可称为焊盘金属层)形成在第一钝化层320上,其包括形成在开口322内的金属部分、形成在开口324内且电接触金属部分316(且因此电接触边封226)的金属部分330、以及在开口326内的金属部分,形成在开口322内的金属部分对应于镀总线224的一部分且电接触金属部分314,在开口326内的金属部分对应于焊盘236且电接触金属部分318。注意,金属部分330可称为边封部分。金属沉积层可由铝形成,在该情况下,可称为铝沉积层。注意,最后金属互连

层308的金属部分318(如图12所示,其可横向延伸超过金属沉积层的与焊盘236对应的金属部分)也可被视为焊盘236的一部分。注意,形成在互连层306之一中的金属部分310在朝向管芯16的第一侧横向延伸经过边封226且在朝向镀总线224的第二侧横向延伸经过边封226。

[0037] 图13示出在加工的后一阶段图12的管芯16的部分的截面图。最终钝化层328形成在第一钝化层320上方,且在焊盘金属层上方。因此,最终钝化层328形成在金属部分224和330以及焊盘236上方。开口形成在最终钝化层328内以暴露焊盘236,然后盘上冶金(OPM)336形成在焊盘236的暴露部分上。在一实施例中,在镀期间,电压施加到镀总线224使得电流借助于金属部分318、至少一个通路317、金属部分310、至少一个通路315、金属部分314和镀总线224(其中从焊盘236延伸的金属部分318、通路317和315、金属部分310、以及延伸到镀总线224的金属部分314对应于迹线230)。以此方式,OPM336可以电镀在焊盘236上。在一实施例中,通过将晶片10浸到镀溶液中且施加电压到镀总线224,OPM336被镀到焊盘236上。OPM336可称为镀层且可包括任何数量的镀层。在一实施例中,OPM336包括镀镍层。因此,如图13中可见,迹线230和镀总线224都位于最终钝化层328下方。迹线230包括延伸穿过边封226且因此仍位于最终钝化层328下方的部分(对应于金属部分310)。注意,锯路220在图13中示为位于虚线左边,其中边封226位于管芯16内,镀总线224位于锯路220内。

[0038] 图14示出在加工的后一阶段图13的管芯16的部分的截面图。晶片10被切单,这将在管芯16从晶片10分离。切单发生在锯路220中并且切断镀总线连接。也就是说,镀总线224和部分迹线230从管芯16切断。以此方式,返回参照图8,由于总线连接器240也被切断,所以每个焊盘234、236和238不再电连接到镀总线224,镀总线224不再连接到镀总线242。

[0039] 图15示出沿与图14的截面方向垂直的方向截取的图14的边封226的截面图。也就是说,图15的截面示出就像在管芯16中朝向管芯16的在边封226相反侧的边缘(朝向锯路220所位于的地方)向外看时的边封226。如图15中可见,互连层306包括边封226的多个通路层340、342和344,以及边封226的多个金属层341、343和345。最后金属层308包括边封226的通路层346以及边封226的金属层316。因此,每个所示层340-346和316表示边封226的金属,如上所述,所述金属可包括铜。开口形成在层344-346中,金属部分310延伸穿过开口,如参照图9-14描述的那样。因此,虽然边封226是垂直连续的,但是它并不是实心连续的,因为它包括开口,迹线可穿过开口延伸以在焊盘和镀总线之间产生接触。

[0040] 因此,在图8-15所示的实施例中(如图2-7中的实施例那样),不需要在最终钝化层328上增加镀总线以在焊盘金属236上电镀OPM。此外,由于无需在最终钝化层328上增加镀总线,所以也不需要随后的移除。

[0041] 目前为止应理解的是,已提供了镀总线,其可用于位于最终钝化层下面的焊盘的电镀并且利用了最后金属互连层的一部分。随后的切单切断了镀总线连接。以此方式,无需在最终钝化层上增加镀总线且无需随后的移除。

[0042] 此外,说明书和权利要求书中的术语“前”、“后”、“顶”、“底”、“上”、“下”等,如果有的话,用于描述性目的并且不一定用于描述永久相对位置。应理解,如此使用的术语在适当情况下是可互换的,使得这里描述的本发明的实施例例如能够以与所示或这里另外描述的取向不同的其他取向操作。

[0043] 虽然这里参照特定实施例描述了本发明,但是可以进行各种修改和变化而不偏离

所附权利要求阐述的本发明的范围。例如,每条迹线可以在任何互连层中延伸穿过边封,或者可以形成在边封上方且仍保持在最终钝化层下方。因此,将在示范性而非限制性意义上看待说明书和附图,并且所有这样的修改旨在被包括在本发明的范围内。这里关于特定实施例描述的任何益处、优点或对问题的解决方案都无意被解释为任何或所有权利要求的关键的、需要的或必要特征或元素。

[0044] 这里使用时术语“耦接”无意限制为直接耦接或机械耦接。

[0045] 此外,这里使用时术语“一”或“一个”定义为一个或多个。此外,权利要求书中介绍性短语诸如“至少一个”和“一个或多个”的使用不应理解为暗示通过不定冠词“一”或“一个”介绍的另一权利要求元素将含有这样介绍的权利要求元素的任何特定权利要求限制到仅含有一个这种元素的发明,即使相同权利要求包括介绍性短语“一个或更多”或“至少一个”以及不定冠词诸如“一”或“一个”。这同样适用于定冠词的使用。

[0046] 除非另有说明,否则术语诸如“第一”和“第二”用于任意区分这些术语描述的元素。因此,这些术语不一定旨在表示这些元素的时间或其它优先次序。

[0047] 下面是本发明的各种实施例。

[0048] 项目1包括一种半导体晶片,所述半导体晶片包括:与锯路相邻的管芯;沿所述管芯的周边的边封,其中所述边封包括形成在所述管芯的最后互连层中的第一导电层;焊盘,形成为由所述最后互连层和所述最后互连层上的金属沉积层构成的组中的一个的一部分;镀总线,在所述锯路内;迹线,以一种方式连接到焊盘且连接到镀总线,该方式包括由以下构成的组中的一个:(1)在所述边封上方,与所述边封绝缘,且形成在所述金属沉积层中;以及(2)穿过所述边封并且与所述边封绝缘。项目2包括项目1的半导体晶片,其中所述焊盘还包括在所述焊盘的所述金属沉积层上的镀层。项目3包括项目2的半导体晶片,其中所述镀层包括镍。项目4包括项目2的半导体晶片,其中所述迹线通过一方式连接到所述焊盘且连接到所述镀总线,该方式包括在所述边封上,与所述边封绝缘,且形成为所述金属沉积层的一部分。项目5包括项目4的半导体晶片,其中所述最后互连层包括铜。项目6包括项目5的半导体晶片,其中所述焊盘是所述最后互连层和所述金属沉积层二者的一部分并且包括所述最后金属互连层的第一部分。项目7包括项目6的半导体晶片,其中所述焊盘具有所述最后金属互连层的一部分和所述金属沉积层的一部分,其中所述最后金属互连层的所述部分横向延伸超过所述金属沉积层的所述部分。项目8包括项目7的半导体晶片,其中所述迹线耦接到所述最后金属互连层的所述部分。项目9包括项目2的半导体晶片,其中所述迹线以一方式连接到所述焊盘且连接到所述镀总线,该方式包括穿过所述边封且与所述边封绝缘。项目10包括项目9的半导体晶片,其中所述边封包括来自包括所述最后互连层的多个金属沉积层中的每个的一部分。项目11包括项目10的半导体晶片,其中所述迹线包括附加金属互连层的一部分,其中所述附加金属互连层的该部分在朝向所述管芯的第一侧横向延伸经过所述边封且在朝向所述镀总线的第二侧横向延伸经过所述边封。项目12包括项目11的半导体晶片,其中所述迹线还包括连接到所述最后互连层的第一部分的第一通路和连接到所述最后互连层的第二部分的第二通路,其中所述最后互连层的所述第一部分连接到所述焊盘且所述最后互连层的所述第二部分连接到所述镀总线。

[0049] 项目13包括一种形成半导体管芯的方法,包括:利用多个互连层在半导体晶片上形成所述半导体管芯;使用所述多个互连层绕所述管芯形成边封;使用由所述多个互连层

中的金属沉积层和最后互连层构成的组中的一个在所述管芯上形成焊盘；在锯路内形成镀总线，其中所述边封与所述锯路相邻；以及利用由所述多个互连层之一和所述金属沉积层构成的组中的一个形成迹线以将所述焊盘耦接到所述镀总线。项目14包括项目13的方法，还包括镀所述焊盘。项目15包括项目14的方法，其中响应于施加电压到所述镀总线发生所述镀。项目16包括项目15的方法，还包括在所述镀之后沿所述锯路的一侧将所述边封和所述镀总线物理分离，由此中断所述迹线并且由此将所述焊盘和所述镀总线去耦接。项目17包括项目16的方法，其中形成所述迹线包括使用所述金属沉积层从而所述迹线越过所述边封并且与所述边封绝缘。项目18包括项目16的方法，其中形成所述迹线包括使用所述多个互连层之一从而所述迹线穿过所述边封并且与所述边封绝缘。

[0050] 项目19包括一种在具有多个半导体管芯的晶片上镀半导体管芯的焊盘的方法，包括：使用多个互连层形成所述管芯；在锯路内形成镀总线，其中所述管芯与所述锯路相邻；在所述管芯上形成焊盘；形成迹线以将所述焊盘电耦接到所述镀总线；通过将所述晶片浸在镀溶液中且施加电压给所述镀总线，镀所述焊盘。项目20包括项目19的方法，还包括利用所述多个互连层沿所述管芯的周边在所述焊盘和所述锯路之间形成边封；以及使所述迹线中断以将所述焊盘和所述镀总线电去耦接。

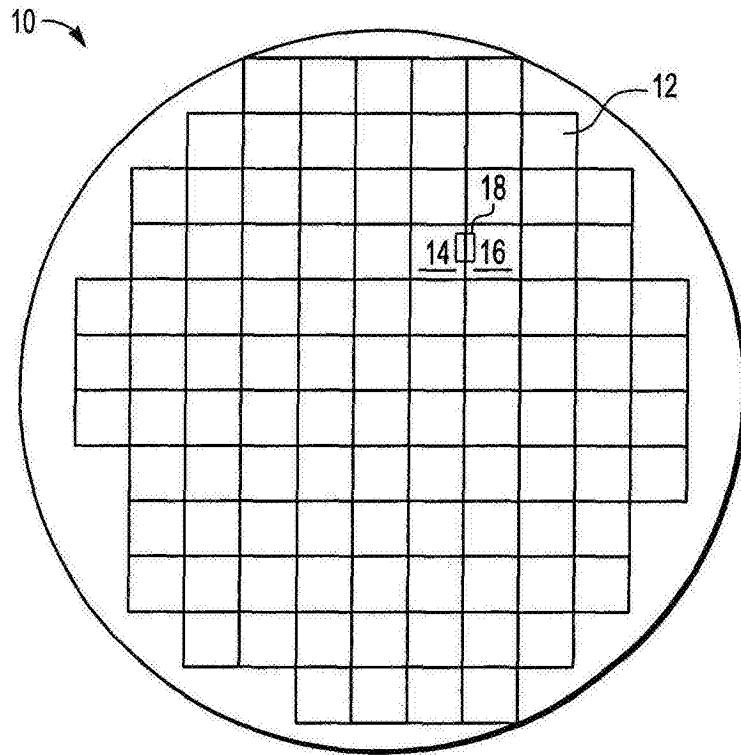


图1

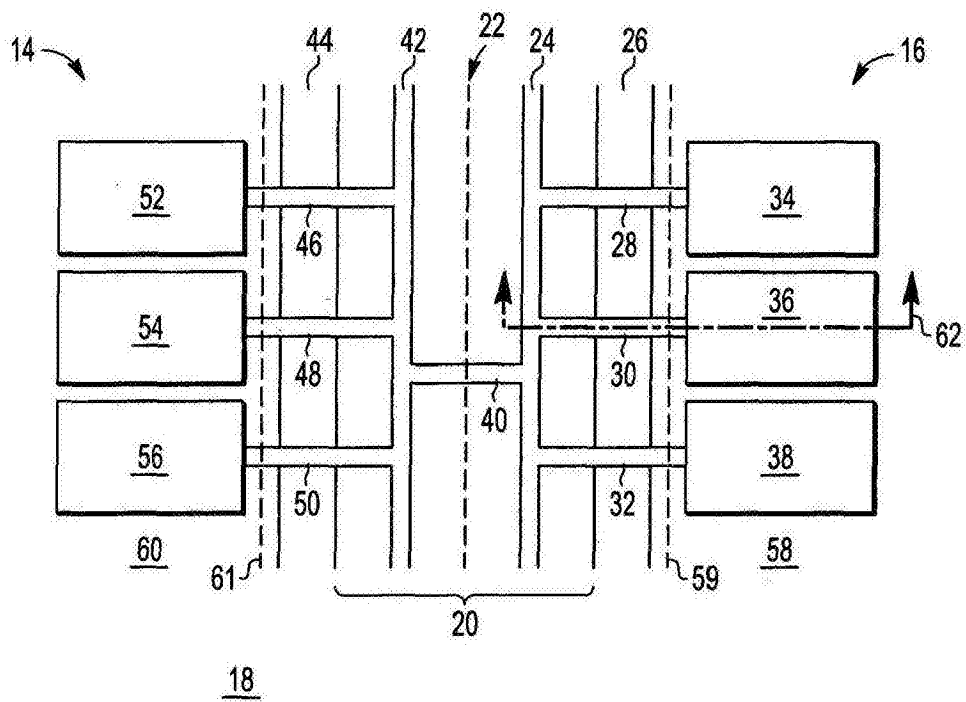


图2

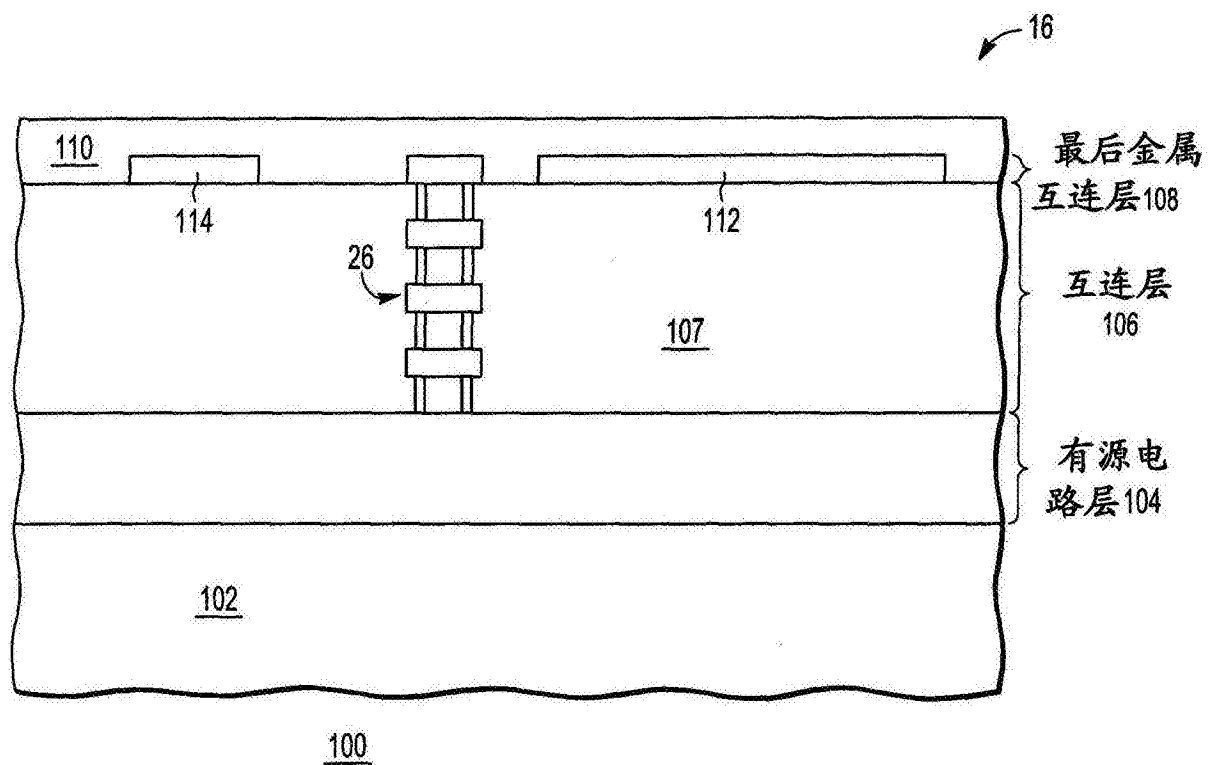


图3

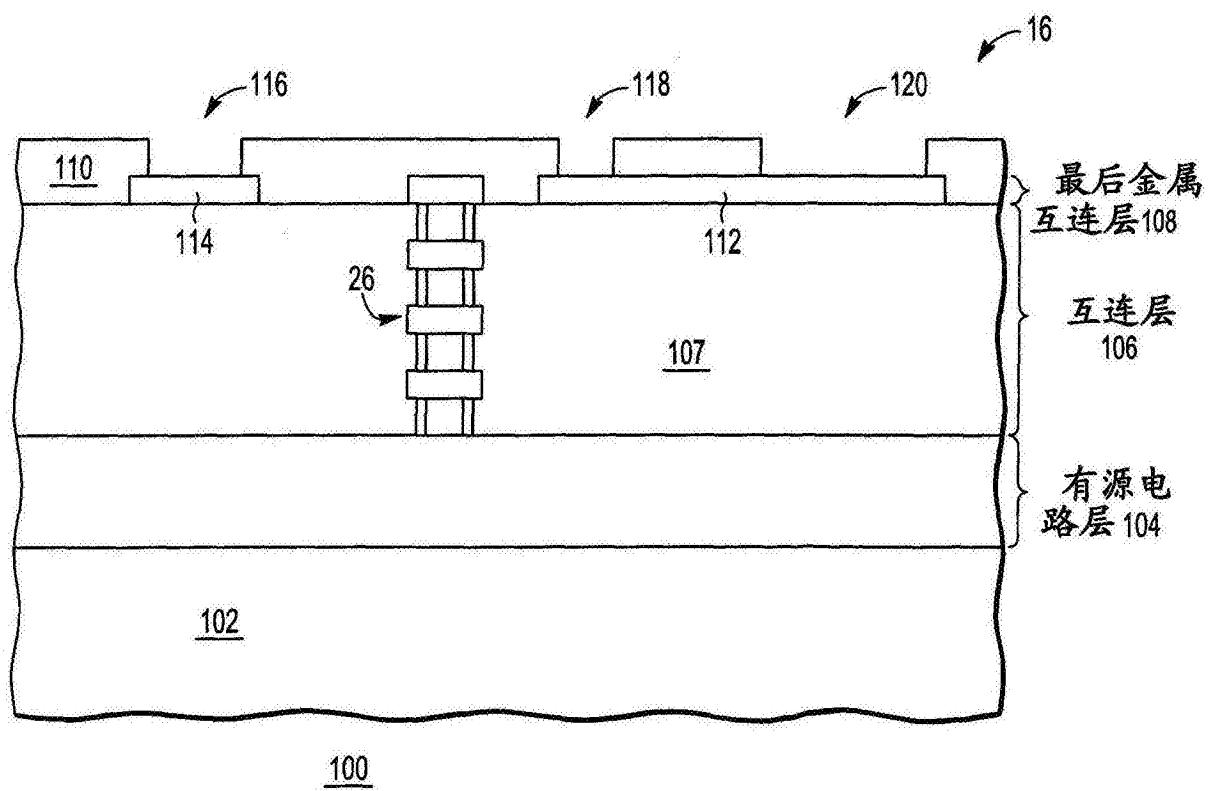


图4

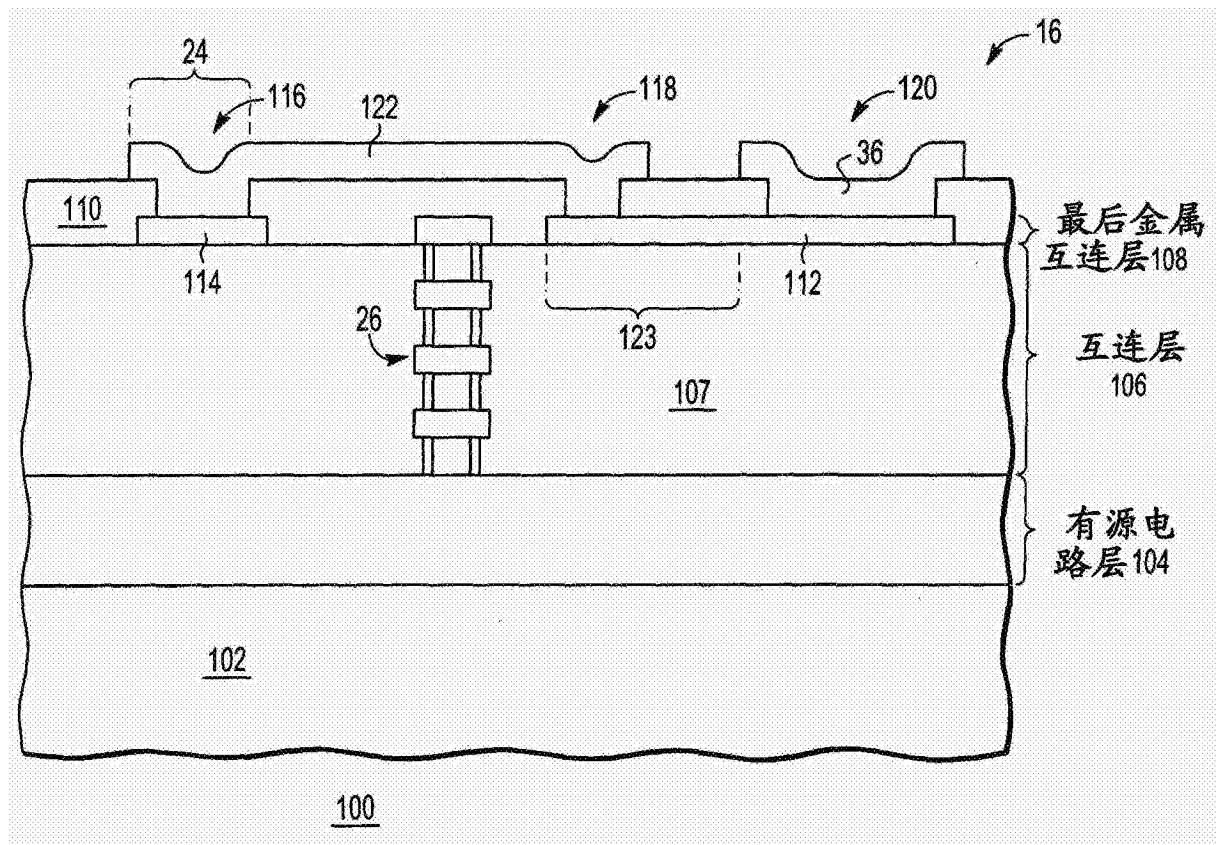


图5

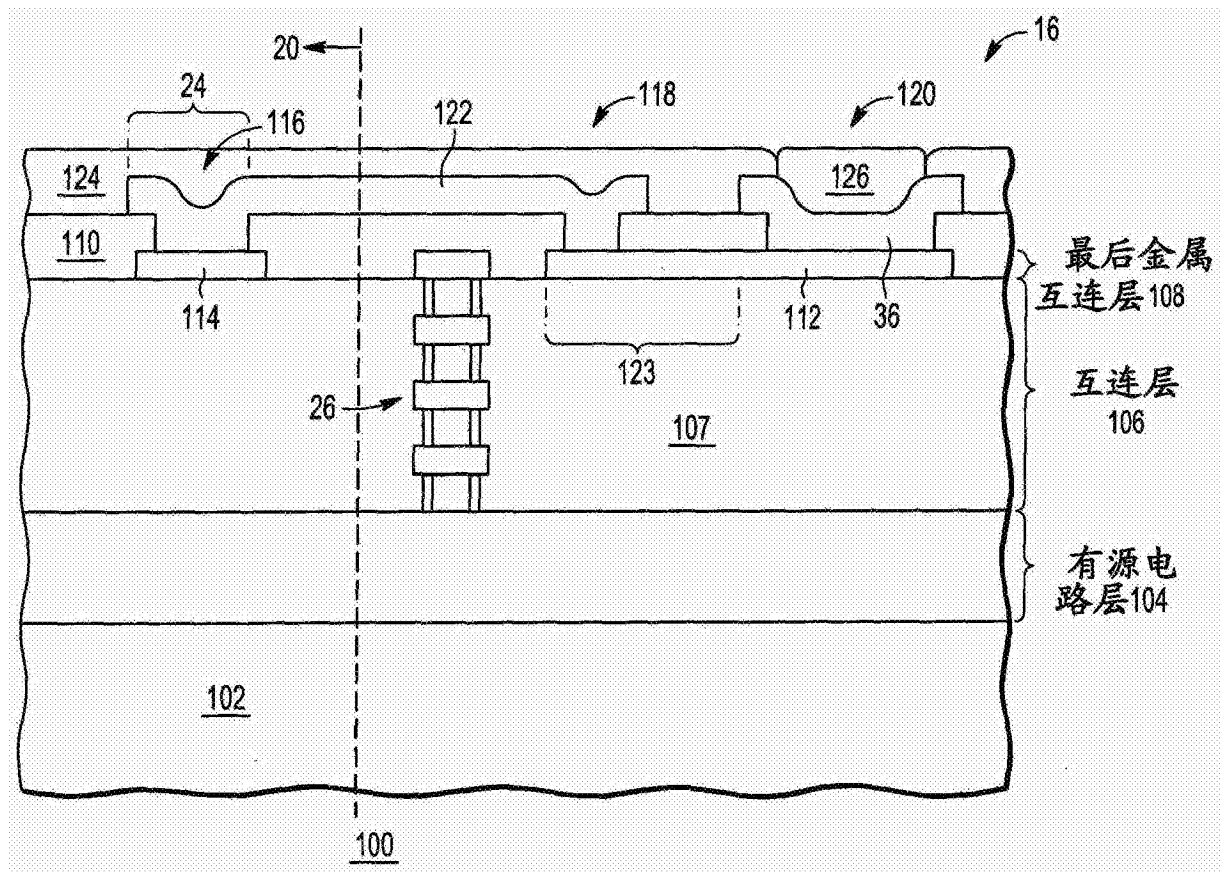


图6

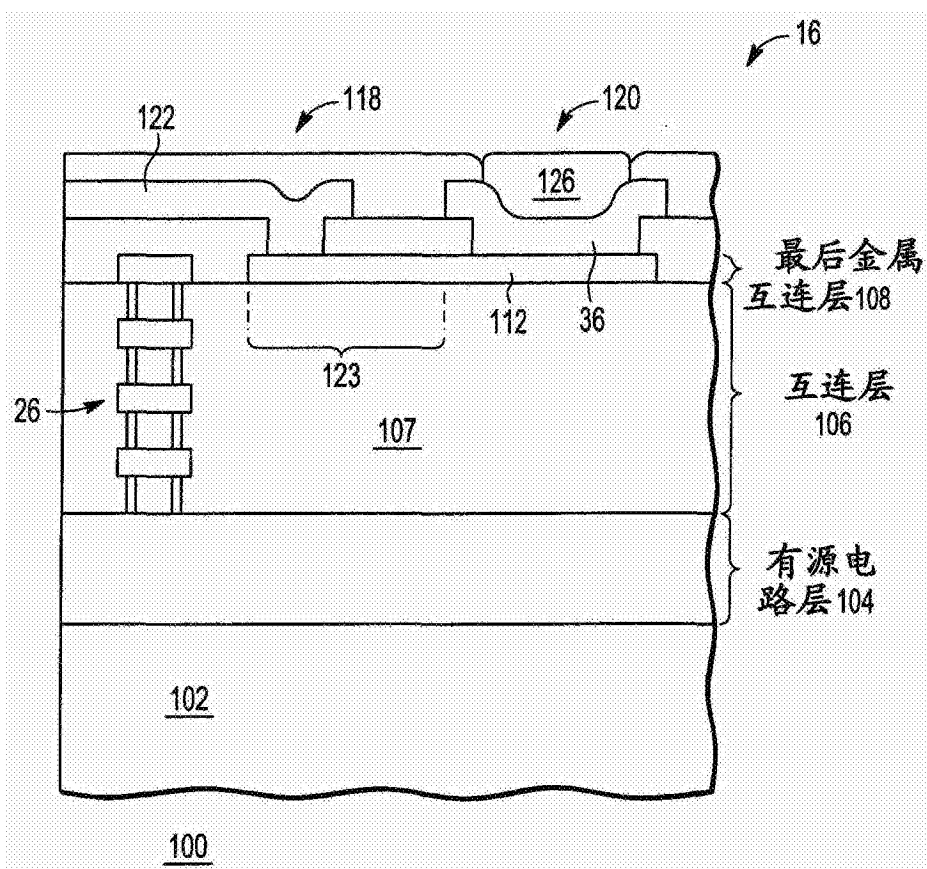


图7

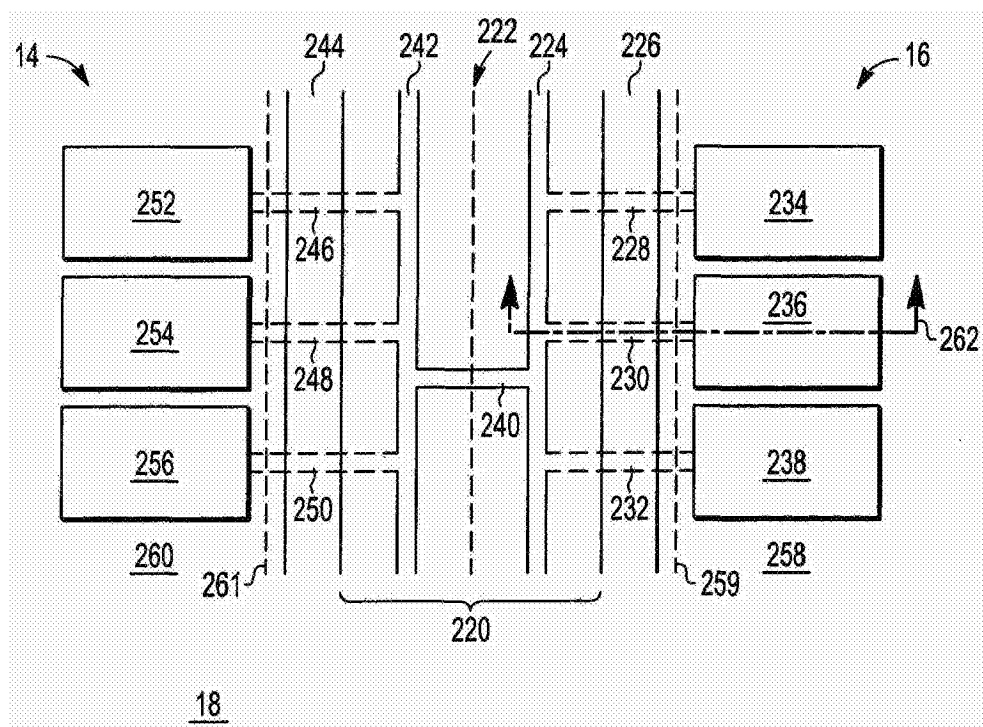


图8

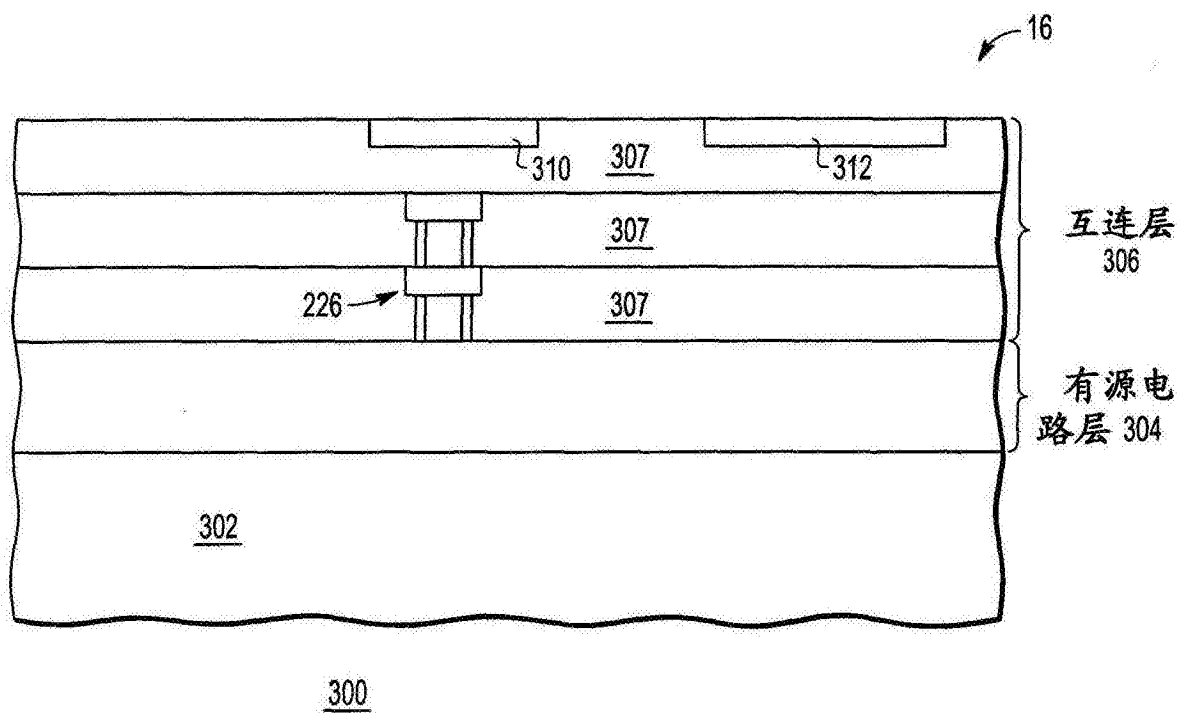


图9

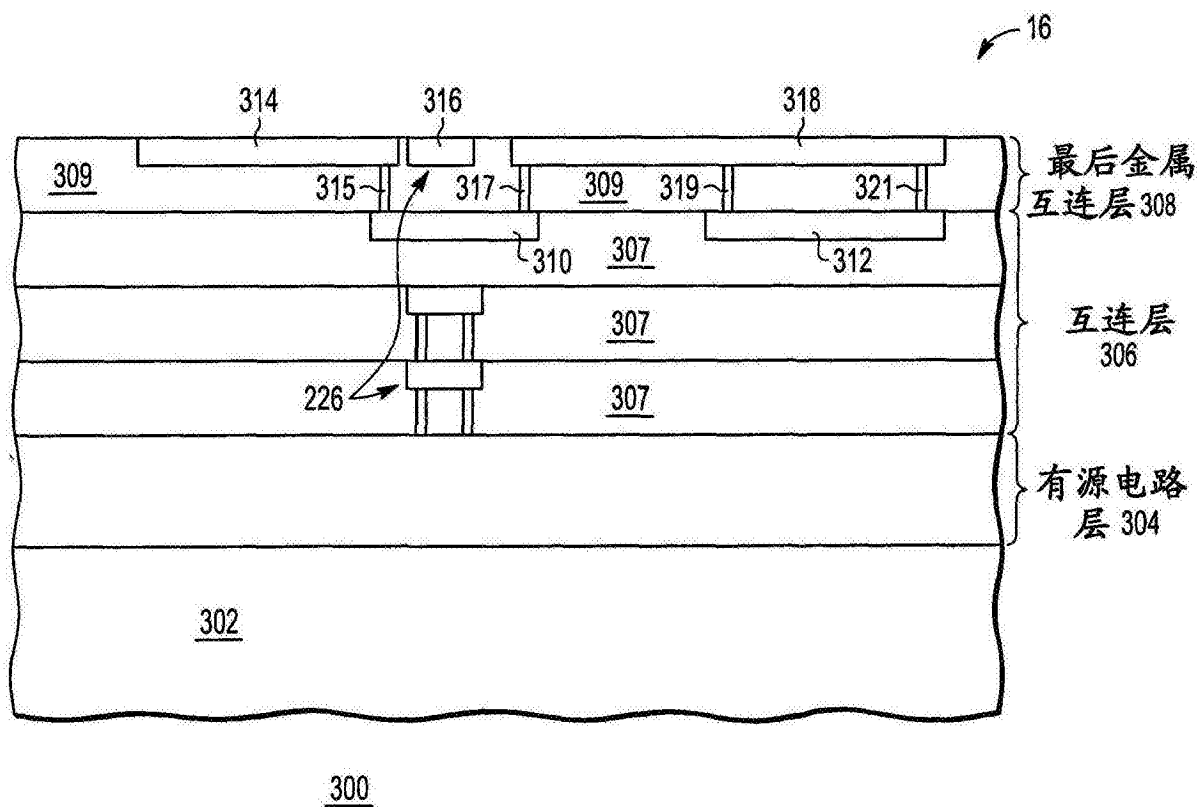


图10

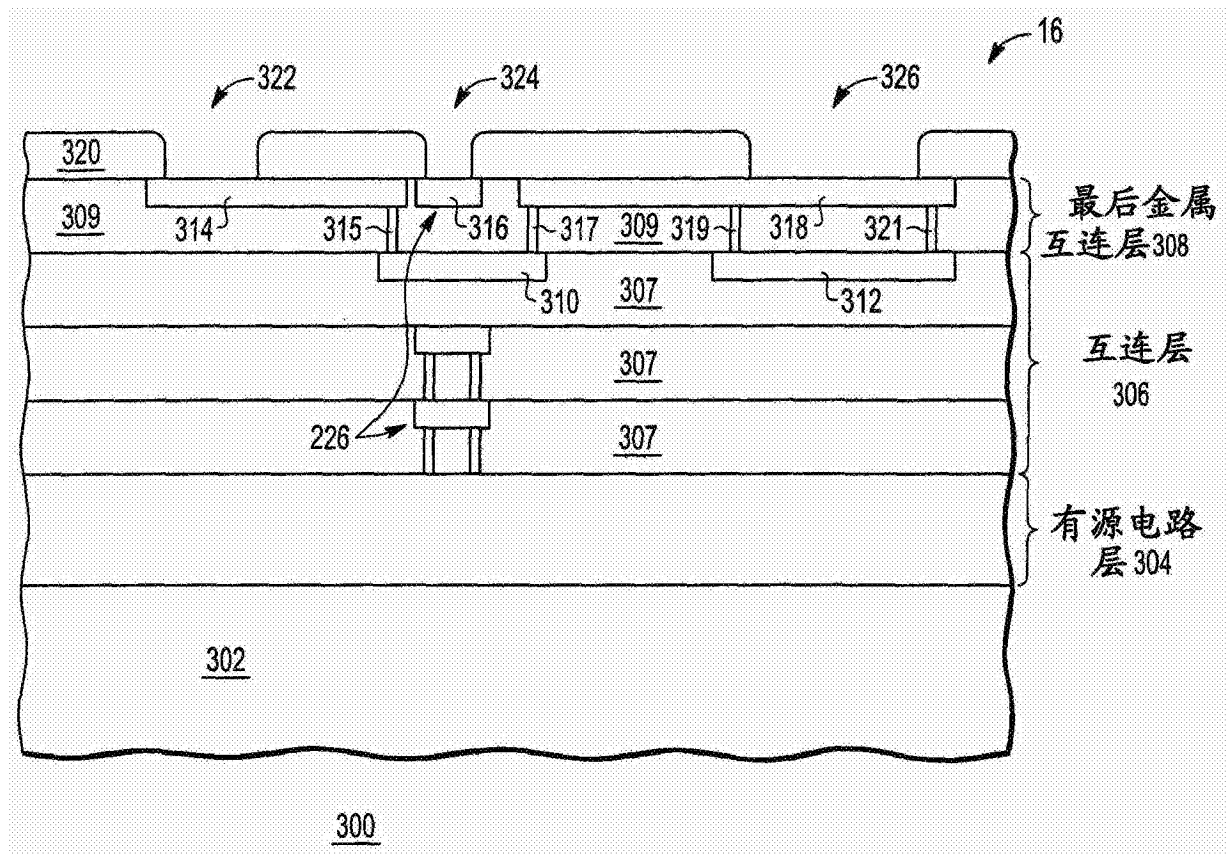


图11

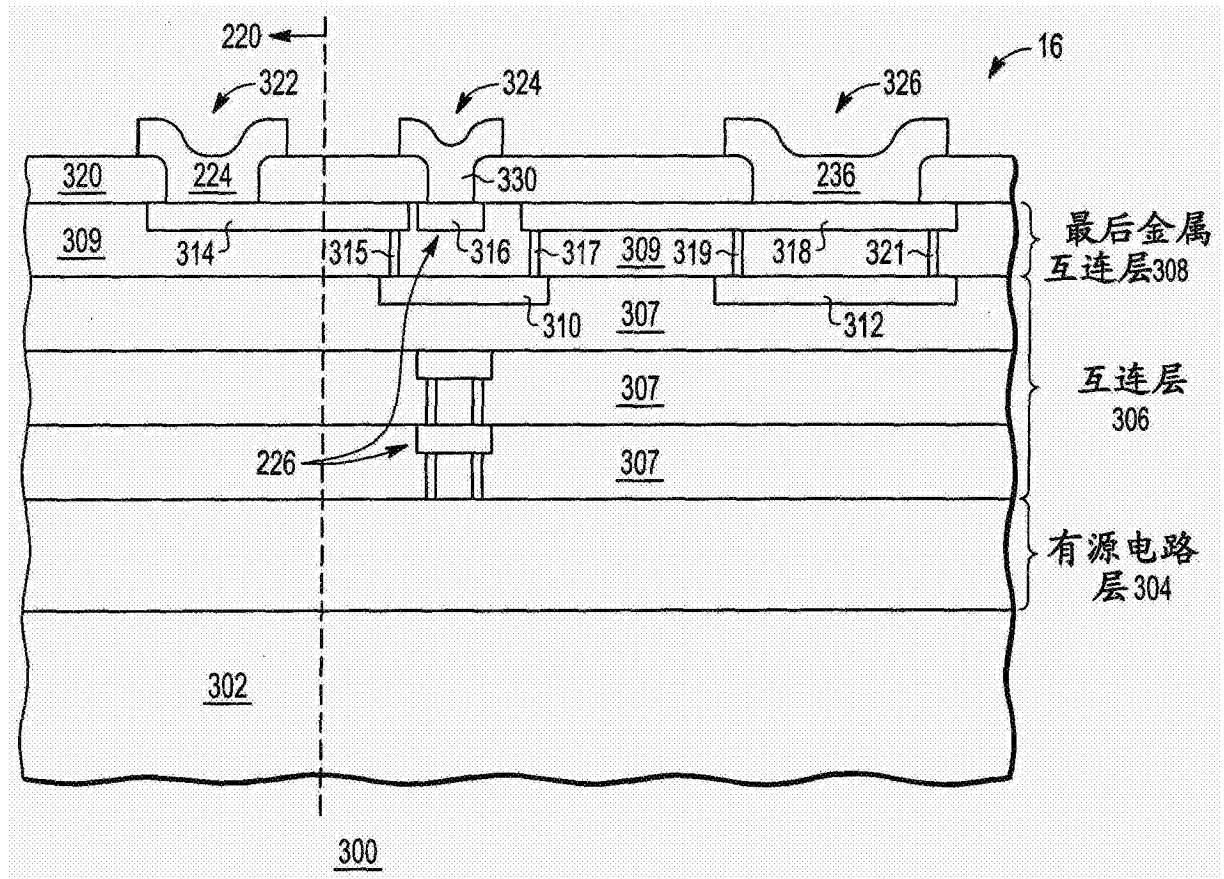


图12

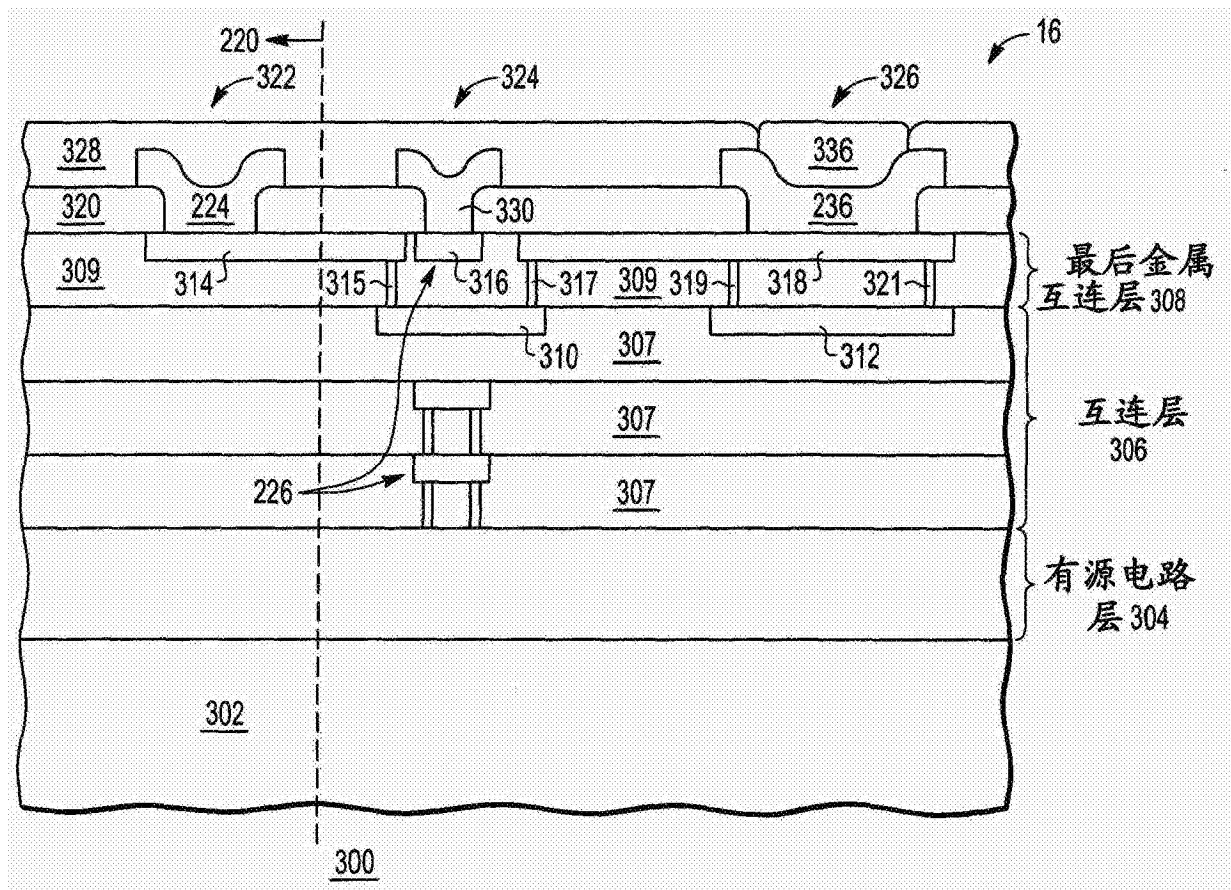


图13

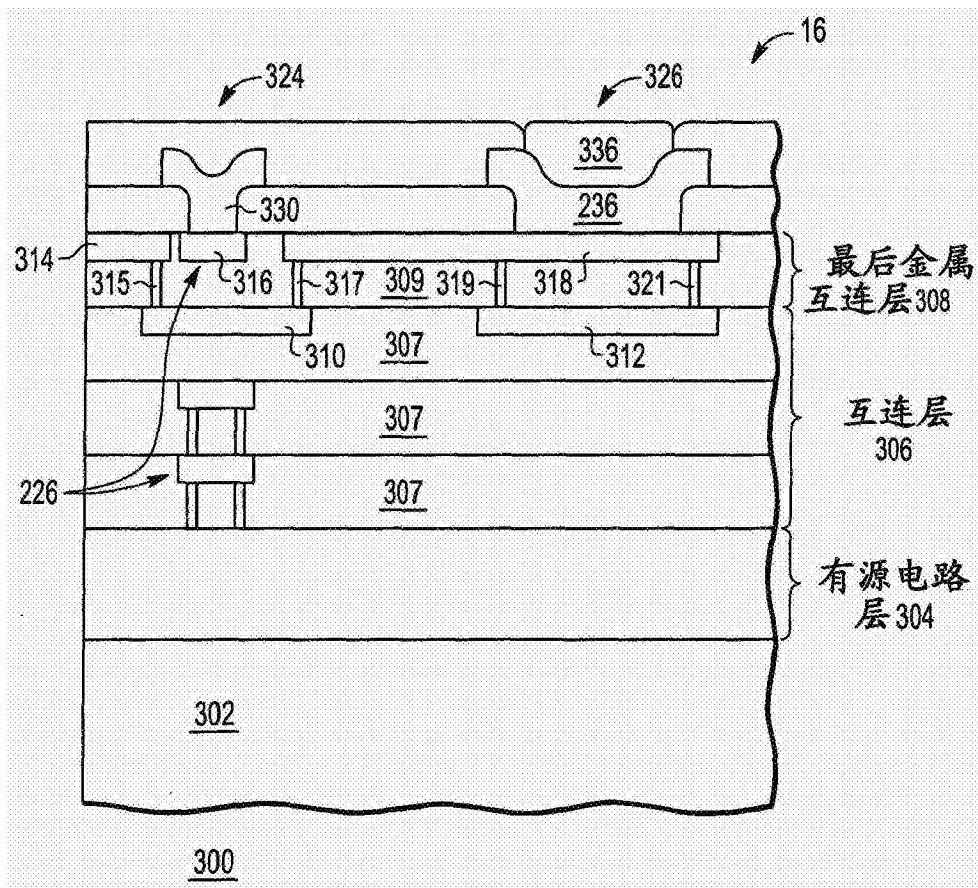


图14

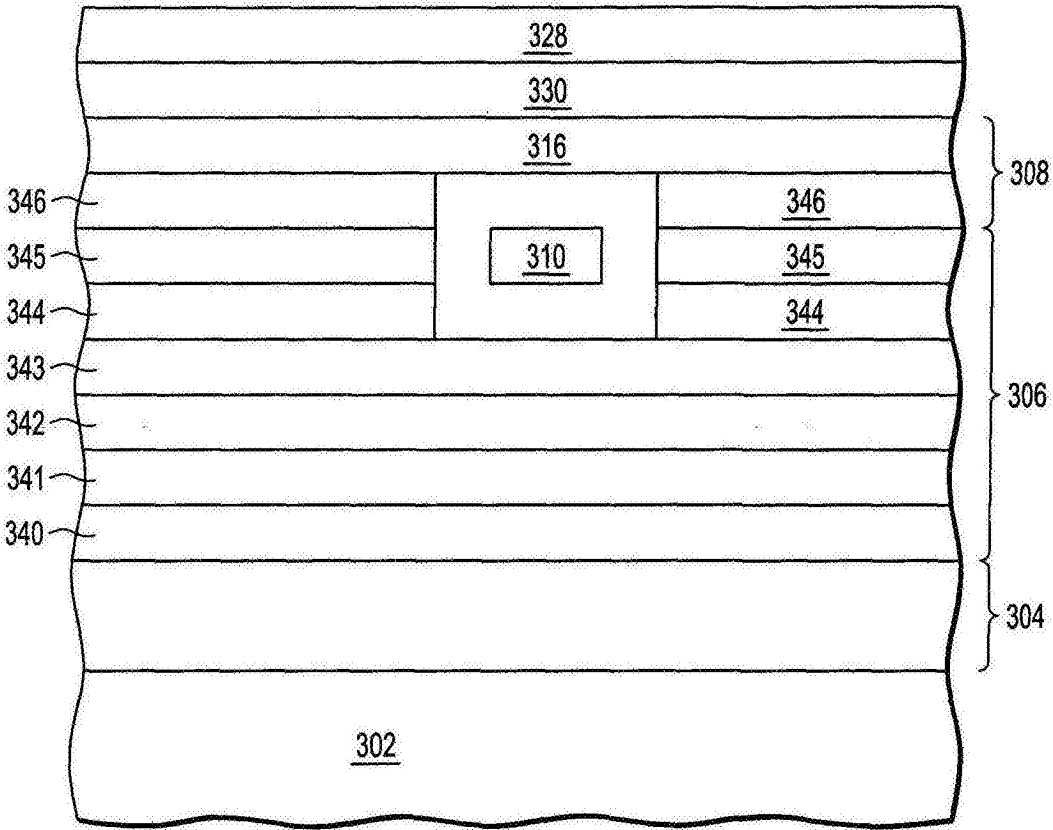


图15