

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200710161809.2

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

H01L 29/78 (2006.01)

H01L 29/41 (2006.01)

[45] 授权公告日 2009 年 12 月 9 日

[11] 授权公告号 CN 100568470C

[22] 申请日 2000.4.21

[21] 申请号 200710161809.2

分案原申请号 00808393.2

[30] 优先权

[32] 1999.4.22 [33] US [31] 09/296,959

[73] 专利权人 先进模拟科技公司

地址 美国加利福尼亚州

[72] 发明人 理查德·K·威廉斯

韦恩·格拉博斯基

[56] 参考文献

US5756386A 1998.5.26

US4992390A 1991.2.12

CN1212468A 1999.3.31

审查员 杨春光

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临

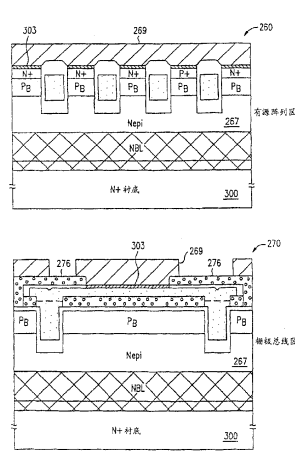
权利要求书 3 页 说明书 39 页 附图 58 页

[54] 发明名称

超级自对准的沟 - 栅双扩散金属氧化物半导体器件

[57] 摘要

一种新颖的超自对准 (SSA) 结构和制造方法，利用单光掩模层以限定沟栅垂直功率 DMOSFET 的主要特征和尺寸。单主要掩模确定了沟表面尺寸、在沟之间的硅源极 - 本体台面宽度和硅台面接触区的尺寸和位置。该接触区与沟自对准，消除了常规的沟型 DMOS 器件中需要接触区对沟的掩模对准，以避免在制造过程中所产生的栅源短接而施加的限制。还降低了在硅表面上氧化物台阶的高度，从而避免了金属台阶覆盖问题。也降低了多栅极总线台阶高度。所描述的其它的特征包括多晶硅二极管的形成、控制漏极 - 本体二极管击穿的位置、降低了栅极对漏极的重叠电容，以及利用降低的热集聚处理技术。



1.一种制造沟型 MOSFET 的方法，包括：

提供具有表面的半导体材料的本体；

在该表面上形成第一掩模，第一掩模在要在该本体上设置沟之处具有开口；

通过在第一掩模中的开口腐蚀该半导体材料以形成在该半导体本体中的沟；

在该沟中淀积氧化物；

腐蚀该氧化物以在该沟的底部上形成第一氧化物层；

在该沟的侧壁上形成第二氧化物层，该第一氧化物层比第二氧化物层更厚；以及

将多晶硅引入到该沟中；

氧化所暴露的多晶硅的表面以在该沟的顶部上形成第三氧化物层，该第三氧化物层向下延伸到该沟之内并比第二氧化物层更厚；

将第一导电型的掺杂剂引入到半导体本体中以形成本体区，该本体区的结与第一氧化物层的上表面处于同一平面。

2.一种沟-栅功率 MOSFET，包括

具有在其中形成沟的半导体本体，该沟的壁与在沟的角落上的半导体本体的主表面相交，该半导体本体包括：

在该沟和本体主表面附近的第一导电型的源极区；

与源极区形成结的第二导电型的本体区，该本体区包括在沟的壁附近的沟道区；以及

与本体区形成结的第一导电型的漏极区；以及

设置在该沟中的栅极，该栅极以栅极氧化物层为边界，栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分，第二部分比第一部分更厚，第二部分的底部表面在半导体本体的表面的平面之下，

其中，栅极氧化物层包括在沟的底部附近的第三部分，该第三部分比第一部分更厚；以及

与半导体本体的顶部表面相接触的金属层，在金属层和顶部表面之间的接触区横向地延伸到沟角落。

3.根据权利要求2所述的沟-栅功率 MOSFET，其中栅极氧化物层的第二部分的上表面是在半导体本体的表面的水平面上。

4.一种沟-栅功率 MOSFET，包括

具有主表面的半导体本体和在该半导体本体中形成的沟，该半导体本体包括：

在该沟和本体主表面附近的第一导电型的源极区；

与源极区形成结的第二导电型的本体区，该本体区包括在沟的壁附近的沟道区；以及

与本体区形成结的第一导电型的漏极区；以及

设置在该沟中的栅极，该栅极以栅极氧化物层为边界，栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分，第二部分比第一部分更厚，第二部分并不与在沟之外的半导体本体的主表面重叠，该第二部分的底部表面在半导体本体的表面的平面之下，

其中，栅极氧化物层包括在沟的底部附近的第三部分，该第三部分比第一部分更厚；以及

与半导体本体的顶部表面相接触的金属层。

5.根据权利要求4所述的沟-栅功率 MOSFET，其中栅极氧化物层的第二部分的上表面是在半导体本体的表面的水平面上。

6.一种制造 MOSFET 的方法，包括：

提供半导体本体；

在该半导体本体的表面上形成沟，该沟限定台面；

沿该沟的壁形成第一绝缘层，其中，第一绝缘层包括在该沟的底部上的第一氧化物层以及在该沟的侧壁上的第二氧化物层，该第一氧化物层比第二氧化物层更厚；

在该沟中形成栅极，通过绝缘层使该栅极与半导体本体绝缘；

将第一导电型的掺杂剂注入到台面中以形成本体区；

将第二导电型的掺杂剂注入到台面中以形成源极区；

在该台面上形成第二绝缘层；

在该第二绝缘层上腐蚀开口；以及

将金属层淀积到接触开口中以形成与源极区的电接触区，在大于大气压的压力下进行淀积。

-
- 7.根据权利要求 6 所述的方法,其中在两个大气压的压力下定积金属层。
 - 8.根据权利要求 6 所述的方法,进一步包括在台面的表面上淀积阻挡层。

超级自对准的沟-栅双扩散金属氧化物半导体器件

本申请是申请日为 2000 年 4 月 21 日、申请号为 200410094656.0、发明名称为“超级自对准的沟-栅双扩散金属氧化物半导体器件”的专利申请的分案申请。

技术领域

本发明涉及金属氧化物半导体器件及其制造方法，具体涉及超级自对准的沟-栅双扩散金属氧化物半导体器件及其制造方法。

背景技术

附图 1 所示为常规的垂直双扩散 MOSFET (DMOS) 10，该 MOSFET 10 具有沟栅 (trench gate) 11、扩散的 P-型本体(body)扩散区 (P_B)、浅 N+源极区 12 和 P+本体接触区 13，并形成在 N-型外延层 N_{epi} 中，在 N+衬底上生长。利用对接的接触结构通过源极金属 14 使源极和本体接触区 12, 13 短接。栅极 11 埋入在外延层 N_{epi} 中腐蚀出的沟 15 中，进行氧化并填充掺杂的多晶硅。在硅区中沿着沟的侧壁形成该器件的沟道，该硅区在 N+源极到 P_B 本体结到在 P_B 本体和 N 型外延漏极之间形成的结之间延伸。在常规器件中，同时形成在沟侧壁和底部上的栅氧化物 16，由此具有均匀的厚度（除了由于在曲面上压缩氧化效应和在不同的结晶面上的不同的氧化率造成的细微的变化以外）。

漏极掺杂在浓度上通常低于 P_B 本体区，以对于任何可适用的电压在漏极中保证显著的贫化扩展而在沟道中形成最小的贫化扩展。在 P_B 本体中更大浓度的掺杂可以避免穿通击穿和短沟道的其它的不希望的效应，这种短沟道通常的有效长度为 0.3 到 1 微米。

通过对在附图 2 中所示的电阻分量进行求和确定这种器件的接通电阻，即对它的衬底电阻 (R_{sub})、它的外延漏极电阻 (R_{epi})、它的沟道电阻 (R_{ch})、它的源极接触电阻 (R_c) 和它的金属互连电阻 (R_M) 进行求和。在更厚的外延层的情况下在从沟道中流出的电流传播的区域 (R_{epi1}) 和电流变得均匀的另一区域 (R_{epi2}) 之间对外延电阻 (R_{epi}) 再进行细分。

$$R_{DS} = R_M + R_c + R_{ch} + R_{epi} + R_{sub} \quad (1)$$

其中

$$R_{epi} = R_{epi1} + R_{epi2} \quad (2)$$

用作开关的功率 MOSFET 的主要设计目标是通过同时使它的每个电阻分量最小来实现最低的接通电阻。下面的因素必须考虑:

1. 通过利用更厚的金属层使金属电阻最小化。

2. 将晶片研磨到尽可能的最薄的尺寸以使衬底的电阻最小。必须在制造的过程中接近最后进行研磨以使操作造成断裂的危险最小。

3. 在该器件的雪崩击穿电压和接通电阻之间进行必要的折衷。更高的击穿电压要求更厚的浓度更低掺杂的外延层, 导致了更高的外延电阻。通常, 选择掺杂的外延层以提供能够承受所要求的断态阻断电压(即, 它的特定雪崩击穿电压)的最高的掺杂层。

4. 对于给定的面积通过使沟道的周长最大来使沟道电阻最小。可以将 MOSFET 的每个单元(cell)构成任何带状或多边形。理想情况下, 所选择的形状应该是这样的一种形状, 即能够以规则的间距重复的形状以使更多的单元可以在给定的面积中并联。通过并联许多单元并级联地运行它们可以实现非常低的接通电阻。

5. 更高的单元密度具有的优点是在外延漏极中的电流变得均匀, 越接近表面, 越充分地利用外延层的传导性, 并降低外延电阻的扩展电阻项(R_{epi1})。通过比较附图 3A 和附图 3B 可以看出, 更小的单元间距减少了没有电流流经而浪费的面积, 以外延层的总厚度的更大的百分比均匀地传导电流。更均匀导通外延层使漏极电阻更低。

由于 MOSFET 沟道导通方程取决于器件的栅极的总的“周长”而不是器件的面积, 所以使给定面积的沟栅的周长最大能够降低沟道电阻(R_{ch})。

利用常规的横向 MOSFET 的沟道电阻方程可以逼近垂直 DMOS 的沟道电阻。

$$R_{ch} = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L_{ch}} \cdot (V_{GS} - V_t)} \quad (3)$$

其中

$$C_{ox} = \frac{\varepsilon_{ox}}{\chi_{ox}} \quad (4)$$

组合提供:

$$R_{ch} \cdot W = \frac{1}{\mu \cdot C_{ox} \cdot \frac{1}{L_{ch}} \cdot (V_{GS} - V_t)} \quad (5)$$

利用指标 A/W 的几何参数值以面积表示, 得到如下形式:

$$R_{ch} A = R_{ch} W \cdot A/W \quad (6)$$

$$R_{ch} \cdot A = \frac{1}{\mu \cdot C_{ox} \cdot \frac{1}{L_{ch}} \cdot (V_{GS} - V_t)} \cdot \frac{A}{W} \quad (7)$$

由于比较理想的是使 W 最大并使 A 最小, 需要减少指标 A/W 的数值以降低沟道电阻。为确定各种单元几何形状的 A/W, 根据沟宽度 (沟的表面尺寸 Y_G , 区别于“栅极宽度 W”) 和在沟之间的源极本体“台面 (mesa)”的宽度 Y_{SB} 确定面积 A 和周长 W 的方程。如附图 4A 所示, 对于表面长度 Z 的连续带, 有形成:

$$A = Z \cdot (Y_G + Y_{SB}) \quad (8)$$

和

$$W = 2Z \quad (9)$$

形成:

$$\frac{A}{W} = \frac{(Y_G + Y_{SB})}{2} \quad (10)$$

换句话说, 对于带状几何形状的 A/W 仅仅为间距的一半。对于附图 4B 的方形单元, 周长为

$$A = (Y_G + Y_{SB})^2 \quad (11)$$

$$W = 4Y_{SB} \quad (12)$$

$$\frac{A}{W} = \frac{(Y_G + Y_{SB})^2}{4Y_{SB}} \quad (13)$$

与带状几何形状相比较, 只要当与源极-本体尺寸相比栅极较小时方形单元几何形状具有更低的电阻。由于在常规的沟栅 DMOS 中, 制造较小的沟并不象制造较小的硅台面一样困难, 紧密的单元几何形状在性能方面更优越。即使栅极尺寸比源极本体台面尺寸更大, 带形几何尺寸仍然具有优越的性能。在实际中这种情况很难实现, 特别是在较狭窄的沟栅结构中, 在这种较狭窄的沟栅结构中形成源极和本体区并建立与它们所需的接触区的对准公差导致

了较宽的台面。只要栅极尺寸 Y_G 和源极本体台面尺寸 Y_{SB} 相等, 就使 A/W 最小而言, 这两种几何形状不存在差别。

已经发现在沟栅 DMOS 单元阵列中在方形角落中存在源极, 导致了在该器件中的断态泄漏, 可能是由沿着沟角上的缺陷或沿着角落上源极的某些扩散增强引起的。对于这种问题的一种解决方案是利用光致抗蚀掩膜阻止 N^+ 源极被注入到沟的角落中, 如附图 4C 所示。然而, 不幸的是, 这种角落区 (corner block) 的特征降低了该器件的栅极周长并增加了沟道电阻。假设环形形状的源极的宽度为 Y_s , 该宽度必须小于台面的宽度 Y_{SB} 的一半。如图所示, 如果我们仅从源极掩模消除角落, 则该器件的周长不再是 $4Y_{SB}$, 而是减少为:

$$W = 4 \cdot (Y_{SB} - Y_s) \quad (14)$$

因此

$$\frac{A}{W} = \frac{(Y_G + Y_{SB})^2}{4 \cdot (Y_{SB} - Y_s)} \quad (15)$$

由于角落区引起的预期电阻的损失呈线性, 因此如果 Y_s 是 Y_{SB} 的 20%, 栅极周长将减少 20%, 因此沟道电阻增加。这种解释是一种最糟糕的情况, 因为它假设在角落区中没有导通。而事实上, 有些电流流经在角落区, 但它们对应于具有更长的长度和可能具有不同的阈值电压的晶体管。此外, 当单元成比例地缩小到更小的尺寸时, 它不太可能继续利用角落区的概念, 因为角落紧密连接在一起。在这种情况下显著减少了源极周长并也减少了接触面积。

可以想像, 在六边形单元沟型 DMOS (参见附图 4D) 中消除了角落区, 这是由于在六边形台面的周边的角度是更小的锐角 (实际是钝角)。在另一方面, 沟的腐蚀表面并不与在硅中的自然结晶面平行。通过横穿多晶面切割, 沟道的表面粗糙度增加, 沟道的迁移率降低, 并且沟道的电阻增加。尽管有些人在商业性和工业性的杂志中声称了相反的情况, 但是六边形单元的填元密度并不好于常规的方形单元设计, 导致了完全相同的 A/W 。

因此, 为使单元密度最大并使垂直沟栅 DMOS 的单元间距最小, 只要 A/W 减少了, 应该使沟栅表面尺寸和台面的表面尺寸都最小化。可能的最小的沟尺寸是沟刻设备、沟宽度和深度、沟的形状 (包括圆化) 和沟回填过程的函数。除了所有这些变量以外, 沟的最小的控制特征尺寸是单层尺寸, 即通过印制、蚀刻和填充沟的晶片制造 (fab) 的能力确定它的最小特征尺寸,

而不是由与其它的光学掩蔽层的某些相互作用确定。然后指定最小的沟尺寸作为单层掩模特征。单掩模层结构特征通常称为单层尺寸或 SLD。由于现在专门用作微处理器和 DRAM 制造的光学掩蔽设备可用于功率半导体的生产，因此沟宽度 SLD 很可能收缩。

通过与不止一层光学掩蔽层相关的设计规则确定源极本体台面的最小尺寸，即它涉及多层尺寸（MLD）设计规则。该规则考虑了在关键尺寸（称为 ΔCD ）方面和一掩模层对另一掩模层的对准误差（通称为重叠或 OL）方面的可变性，在特征尺寸方面的 ΔCD 变化是由于光致抗蚀剂厚度和粘度的变化率、曝光时间、光学反射、在蚀刻过程中的光致抗蚀剂腐蚀、蚀刻时间、蚀刻速率等影响的结果。由于 OL 层间错位引起的变化率更显著。

附图 5A-5E 所示为在设定沟型 DMOS 台面的最小尺寸的过程中变化量。在这种情况下通过三种设计规则设定台面宽度。

1. 接触区(contact)对沟的最小间隔。在附图 5A 所示的设计规则的目的是防止金属接触区与栅极短接（参见附图 5D 所示的严重损坏的情况）。假设金属接触区与沟对准，OL 表示单一重叠错位， ΔCD_1 表示在沟宽度方面的宽度变化，而 ΔCD_2 表示在接触区尺寸方面的变化。对于半个单元将 ΔCD_1 和 ΔCD_2 的值除以 2。考虑所有的变量的最小间隔必须超过零以防止在埋入的栅极多晶硅和源极金属之间的短路。

$$DR_{\text{接触区/沟}} \geq OL_{\text{1错位}} + \frac{\Delta CD_1}{2} + \frac{\Delta CD_2}{2} \quad (16)$$

2. 金属接触区和 N+源极的最小重叠。在附图 5B 中所示的设计规则的目的在于保证在金属接触区层和 N+源极之间的接触（参见附图 5E 的错位实例）。假设接触区掩模与在晶片上的沟特征对准，OL 表示至少两个连续的错位，即一种错位可以产生在接触区掩模与沟的对准中，第二种（在统计上独立）错位产生在 N+源极掩模和沟之间。 ΔCD_3 表示在 N+源极区的宽度中的变化，而 ΔCD_2 表示接触区（与金属）的尺寸的变化。考虑所有的变量在每侧上最小间隔必须超过净重叠 δ_{N+} 以保证在金属接触区和 N+源极区之间的欧姆接触。

$$DR_{N+} \geq OL_{\text{2错位}} + \frac{\Delta CD_3}{2} + \frac{\Delta CD_2}{2} + \delta_{N+} \quad (17)$$

3. 在 P+本体接触区和金属接触区之间的最小接触。在附图 5C 中所示的设计规则的目的是通过确保 N+源极区并不完全覆盖 P+本体接触区来保证在金属接触区和 P+本体区之间的欧姆接触。 ΔCD_3 是 N+源极区的宽度的变化。

由于穿过 N+源极区的开口的总尺寸在每侧上缩小 $\Delta CD/2$, 尺寸总共可能变化 ΔCD 。考虑所有的变量最小间隔必须超过净重叠 δ_{p+} 以保证在金属接触区和 P+源极区之间的欧姆接触。在这种极端的情况下, 如附图 5F 所示, 通过重叠在该单元的中心的 N+区的横向延伸覆盖整个 P+区域。对于半个单元,

$$DR_{p+} \geq \Delta CD_3 + \delta_{p+} \quad (18)$$

总之, 利用两个接触区对沟的规则(rule) (在台面的每侧各一个)、两个 N+接触区规则 (确保与在台面的两侧上的 N+源极的接触) 和单个 P+规则确定最小台面宽度。但由于在朝一个沟的接触区掩模中的错位增加了到另一个沟的距离, 当计算最小的台面尺寸时每种设计规则必须仅考虑一次。假设所有的 OL 和 ΔCD 规则, 台面的最小宽度是:

$$Y_{SB}(\text{最小台面}) = 3\Delta CD + 3OL + 2\delta_{N+} + \delta_{p+} \quad (19)$$

例如, 假设 0.25 微米的 $\pm 3\text{-}\Sigma OL$ 误差、0.1 微米的 $3\text{-}\Sigma \Delta CD$ 、0.1 微米的最小 N+重叠 (如图所示对于每个 N+) 和 0.3 微米的最小 N+开口 (以接触 P+), 则最小的源极-本体台面尺寸是:

$$Y_{SB}(\text{最小台面}) = 3(0.1) + 3(0.25) + 2(0.15) + 0.65 = 2.0 \quad (20)$$

然而, 实际上可能需要附加 0.5 微米以实现较高的产量, 较好的缺陷容差和提高 P+接触面积。在 2 微米台面以下利用接触区掩模和对接 N+/P+源极-本体接触区它很难实现沟型 DMOS。在这种情况下, 必须利用在 N+源极区从沟到沟之间横穿硅台面延伸的结构设计。用于连接到底层 P_B 本体扩散区的 P+本体接触区可在 z-方向 (沿带长度方向) 形成接触。然后利用两个接触区-至-沟的特征和接触区尺寸确定台面宽度。

$$Y_{SB}(\text{最小台面}) = 2\Delta CD + 2OL + \delta_{N+} \quad (21)$$

利用相同的公差但具有 0.4 微米 N+接触窗口, 得到

$$Y_{SB}(\text{最小台面}) = 2(0.1) + 2(0.25) + 0.4 = 1.1 \quad (22)$$

实际上, 为实现更高产量和较好的缺陷容差, 可能要求更大的尺寸, 大至 1.5 微米。在大约 0.9 到 1.1 微米的台面宽度之下, 甚至细微的线条接触和精确的层间对准都变得困难。此外, 在这些尺寸下还存在其它的与制造相关的问题。

在沟栅 DMOS 中另一种设计和过程考虑是本体区 P_B 的电阻和将它短接到源极金属的本体接触区的质量。通过使发射极和基极保持在相同的电位, 源极到本体的短路防止了寄生 NPN 双极性晶体管的导通和快速反向击穿 (见

附图 7A 的剖面图)。使发射极和基极端短路在理想地防止了发射极-基极结点的正向偏置并避免随后的少数载流子(电子)注入到 MOSFET 的本体(即基极)中。

本体拾取(pick up)频率确定了沿 z 方向的基极电阻。在“阶梯”设计中, P+本体接触区偶尔中断 N+源极带以电学方式拾取本体区(见附图 7B 的平面视图和附图 7C 的三维投影视图)。位于 N+源极区之下的 P-本体区 P_B 部分的“夹断(pinch)电阻”必须保持在较低的值而不会对其它的器件的特性比如阈值电压产生不利的影响。用于形成 P-本体区的方法和用于实现与本体较低的电阻欧姆接触的浅 P+区的结合都是专用于每个沟栅 DMOS 设计和过程。如今许多商用功率 MOSFET 在这方面并不适合,结果造成快速反向和强度问题。P+接触区越小或频率越低,越可能产生快速反向。

主要利用较小的接触区特征来实现较小的台面和较高的单元密度,在金属接触区的台阶覆盖方面存在另外的问题。如附图 8A 所示,通过顶部金属比如铝硅、铝铜或铝铜硅的溅射进行淀积形成相似的接触区形状,在金属层 70 的中部形成凹口或间隙。在薄金属层的情况下凹口并不严重。但对利用在功率器件中,薄金属层的电阻(特别是在 0.2 微米厚以下)太高。表面金属电阻将毫欧的电阻横向地加入到沟栅 DMOS 中(当电流沿着器件的表面流到连接导线或源极拾取部分(pick up),使较大的电路片(die)产品的接通电阻显著部分地增加。需要厚的金属层(例如 3 到 4 微米厚)以便使接通电阻最小。然而,如附图 8B 所示,厚金属层 72 具有末端开口,其在由氧化层 71 所形成的接触区台阶处导致形成薄金属。由于所有的电流都必须流经薄金属和台阶,尽管较厚的金属淀积,该器件仍然具有较高的金属电阻,但也具有较差的电迁移性能。

通过淀积更薄的中间层电介质(ILD)可以减少在活性(active)接触区域上的氧化物台阶的高度,但无论在什么情况下只要金属运行在多晶硅栅极总线上更薄的电介质可能会因金属击穿。更薄的 ILD 还可以使在源极金属和到对 ESD 破损敏感的薄氧化物的多晶硅栅极总线或引线之间短路。例如,附图 9A 所示为在栅极总线 92 上交叉的金属层 90。在源极金属与多晶硅栅极总线交叉之处的电路片中任何地方都可能产生金属台阶覆盖问题,因为表面多晶硅太厚。因为位于电路片表面上设置的多晶硅栅极总线具有由于沟的多晶硅平面化产生的厚度,所以出现了这种情况。该多晶硅的这种厚度必须足够厚

以填充它的最宽的点上的沟。假设 1-微米宽的沟，最宽的点产生在对角线上的沟角上，尺寸大约为 1.4 微米（见附图 9B）。在淀积之后在电路片的表面上多晶硅的厚度需要至少是对角尺寸的一半以填充沟，如附图 9C 所示，以确保在后面的内腐蚀的过程中多晶硅并不浸入(dip)到电路片之下。例如在 0.7 微米的情况下，整个多晶硅厚度加上底层的氧化物都出现在栅极总线中的电路片的顶部上，因此 1 到 1.5 微米的台阶是可能的。在多晶硅的平面化内腐蚀的过程中通常对栅极总线区进行掩模，形成台阶。较厚的多晶硅还限制了可能的制造方法的工序，因为对通过它引入杂质来说多晶硅太厚。

总之，已有的常规沟栅垂直 DMOS 器件存在的一个问题是单元密度不能增加和几何形状面积和栅极周长比不能进一步减小以进一步改善低接通电阻开关的面积效率，由于常规的沟栅极垂直 DMOS 的结构基本限制强加在单元尺寸上。对于低压器件，总的电阻中的大部分基于 MOS 沟道电阻 (R_{ch})，因此电阻损失特别大。对单元密度的限制主要是在沟之间的台面的最小宽度的结果。通过利用多掩模层确定台面的最小宽度，特别是由与接触区掩模相关的设计规则确定。

带状几何形状减少了或消除了对频繁或更大的面积对接源极/本体短接的需要，实现了更紧密的单元间距但在实现良好的击穿和快速反向特性方面可能产生问题。增加最小可能的接触区尺寸要求能够解决在活性接触区域和栅极总线上的金属台阶覆盖问题。但没有将这些设计规则利用到在台面宽度等于沟栅宽度之处，带状几何形状的 A/W 比具有类似单元间距的方形单元几何形状的 A/W 更差。

发明内容

为了解决上述问题，本发明提供一种制造沟型 MOSFET 的方法，包括：提供具有表面的半导体材料的本体；在该表面上形成第一掩模，第一掩模在要在该本体上设置沟之处具有开口；通过在第一掩模中的开口腐蚀该半导体材料以形成在该半导体本体中的沟；在该沟中淀积氧化物；腐蚀该氧化物以在该沟的底部上形成第一氧化物层；在该沟的侧壁上形成第二氧化物层，该第一氧化物层比第二氧化物层更厚；以及将多晶硅引入到该沟中；氧化所暴露的多晶硅的表面以在该沟的顶部上形成第三氧化物层，该第三氧化物层向下延伸到该沟之内并比第二氧化物层更厚；将第一导电型的掺杂剂引入到半

导体本体中以形成本体区，该本体区的结与第一氧化物层的上表面处于同一平面。

本发明还提供一种沟-栅功率 MOSFET，包括：具有在其中形成沟的半导体本体，该沟的壁与在沟的角落上的半导体本体的主表面相交，该半导体本体包括：在该沟和本体主表面附近的第一导电型的源极区；与源极区形成结的第二导电型的本体区，该本体区包括在沟的壁附近的沟道区；以及与本体区形成结的第一导电型的漏极区；以及设置在该沟中的栅极，该栅极以栅极氧化物层为边界，栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分，第二部分比第一部分更厚，第二部分的底部表面在半导体本体的表面的平面之下，其中，栅极氧化物层包括在沟的底部附近的第三部分，该第三部分比第一部分更厚；以及与半导体本体的顶部表面相接触的金属层，在金属层和顶部表面之间的接触区横向地延伸到沟角落。

本发明还提供一种沟-栅功率 MOSFET，包括：具有在其中形成沟的半导体本体，该沟的壁与在沟的角落上的半导体本体的主表面相交，该半导体本体包括：在该沟和本体主表面附近的第一导电型的源极区；与源极区形成结的第二导电型的本体区，该本体区包括在沟的壁附近的沟道区；以及与本体区形成结的第一导电型的漏极区；以及设置在该沟中的栅极，该栅极以栅极氧化物层为边界，栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分，第二部分比第一部分更厚；其中栅极氧化物层还包括在沟的底部附近的第三部分，该第三部分比第一部分更厚，该第三部分的上表面与在本体区和漏极区之间的结处于相等的水平面；以及与半导体本体的顶部表面相接触的金属层，在金属层和顶部表面之间的触点横向地延伸到沟角落。

本发明还提供一种沟-栅功率 MOSFET，包括：具有主表面的半导体本体和在该半导体本体中形成的沟，该半导体本体包括：在该沟和本体主表面附近的第一导电型的源极区；与源极区形成结的第二导电型的本体区，该本体区包括在沟的壁附近的沟道区；以及与本体区形成结的第一导电型的漏极区；以及设置在该沟中的栅极，该栅极以栅极氧化物层为边界，栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分，第二部分比第一部分更厚，第二部分并不与在沟之外的半导体本体的主表面重叠，该第二部分的底部表面在半导体本体的表面的平面之下，其中，栅极氧化物层包括在沟的底部附近的第三部分，该第三部分比第一部分更厚；以及与半导体本体

的顶部表面相接触的金属层。

本发明还提供一种沟-栅功率 MOSFET, 包括具有主表面的半导体本体和在该半导体本体中形成的沟, 该半导体本体包括: 在该沟和本体主表面附近的第一导电型的源极区; 与源极区形成结的第二导电型的本体区, 该本体区包括在沟的壁附近的沟道区; 以及与本体区形成结的第一导电型的漏极区; 以及设置在该沟中的栅极, 该栅极以栅极氧化物层为边界, 栅极氧化物层包括在沟道区附近的第一部分和覆盖在该栅极上的第二部分, 第二部分比第一部分更厚, 第二部分并不与在沟之外的半导体本体的主表面重叠; 其中栅极氧化物层还包括在沟的底部附近的第三部分, 该第三部分比第一部分更厚, 该第三部分的上表面与在本体区和漏极区之间的结处于相等的水平面; 以及与半导体本体的顶部表面相接触的金属层。

本发明还提供一种沟-栅功率 MOSFET, 包括具有主表面的半导体本体和在该半导体本体中形成的沟, 该半导体本体包括: 在该沟和本体主表面附近的第一导电型的源极区; 与源极区形成结的第二导电型的本体区, 该本体区包括在沟的壁附近的沟道区; 以及与本体区形成结的第一导电型的漏极区; 以及设置在该沟中的栅极, 该栅极以栅极氧化物层为边界, 栅极氧化物层包括在沟道区附近的第一部分和在沟底部上的第二部分, 该第二部分比第一部分更厚, 第二部分的上表面与在本体区和漏极区之间的结处于相等的水平面。

本发明还提供一种制造 MOSFET 的方法, 包括: 提供半导体本体; 在该半导体本体的表面上形成沟, 该沟限定台面; 沿该沟的壁形成第一绝缘层, 其中, 第一绝缘层包括在该沟的底部上的第一氧化物层以及在该沟的侧壁上的第二氧化物层, 该第一氧化物层比第二氧化物层更厚; 在该沟中形成栅极, 通过绝缘层使该栅极与半导体本体绝缘; 将第一导电型的掺杂剂注入到台面中以形成本体区; 将第二导电型的掺杂剂注入到台面中以形成源极区; 在该台面上形成第二绝缘层; 在该第二绝缘层上腐蚀开口; 以及将金属层淀积到接触开口中以形成与源极区的电接触区, 在大于大气压的压力下进行淀积。

根据本发明在超自对准 (SSA) 沟型 DMOSFET 中解决了这些问题。根据本发明的 SSA 沟型 MOSFET 包括具有在其中形成有沟的半导体本体、在沟角落上与半导体本体的主要表面相交的沟壁。半导体本体包括在沟和半导体本体的主要表面的附近的第一导电型的源极区; 与源极区形成结的第二导电型的本体区, 该本体区包括在沟壁附近的沟道区; 以及形成本体区的结点

的第一导电型的漏极区。栅极设置在沟中。栅极邻接栅极氧化物层。栅极氧化物层包括在沟道区附近的第一部分和覆盖在栅极上的第二部分，第一部分比第二部分更厚。金属层与半导体本体的主表面接触，在金属层和主表面之

间的接触区横向地延伸到沟角落。栅极氧化物层的第一部分防止在栅和源之间短路，由此使在金属层和主表面之间的接触区延伸到沟角落。因此，该接触区与沟“自对准”而不存在栅源短路的危险，避免了上文所讨论的设计规则，在沟的各分段之间的台面宽度可以形成得比常规的 MOSFET 可能的台面宽度更小。如上文所解释，反过来这种设计又使单元密度增加和指标 A/W 的数值减小。

根据本发明的另一方面，栅极氧化物层还包括在沟底部附近的第三部分，第三部分比第一部分更厚。这就减少了栅极-漏极电容并避免了场电极导致的击穿。

根据本发明的另一方面，高浓度掺杂埋入层其图形形成基本符合沟栅极形状，并用于减少 DMOSFET 的接通电阻。实现这种结构的一种方法是在已经形成沟之后植入埋入层。

有利的是通过在此所描述的方法生产 SSA 沟型 MOSFET。该方法包括：形成具有表面的半导体材料的本体；在该表面上形成第一掩模，该第一掩模具有在其中将要在本体上设置沟的开口；通过在第一掩模上的开口腐蚀半导体材料以在半导体本体上形成沟；在该沟中在侧壁上形成第一氧化物层；以多晶硅填充沟；在适当位置上利用第一掩模氧化所暴露的多晶硅表面以在沟的顶部上形成第二氧化物层，该第二氧化物层朝下延伸到沟内；除去第一掩模；以及在第二氧化物层的表面和半导体本体的表面上淀积金属层。

根据本发明另一方面，填充沟的多晶硅栅淀积在两个多晶硅层之间。第一多晶硅层并不覆盖台面，由此在形成沟之后容易对台面进行离子注入。

根据本发明另一方面，在覆盖在半导体本体的表面上的多晶硅层中形成多晶硅二极管。

根据本发明另一方面，通过接触区掩模所确定的氧化物特征可以设置在沟的顶部上以减少源极接触区金属和栅极的电极间电容。

根据本发明另一方面，即使在利用较小的特征的接触区掩模的情况下，可以利用金属比如钨平面化该接触区以避免台阶覆盖的问题。

在已有技术中，各单独的掩模通常用于分别限定沟和源极金属接触区。这就导致上文所讨论的对准的问题。根据本发明的方法，利用相同的掩模限定沟和源极金属接触区两者。沟与源极金属接触区“自对准”，覆盖栅极的较厚的氧化物层防止了在栅极和源极之间的短路。

附图说明

附图 1 所示为常规的垂直沟型 DMOSFET 的剖面图。

附图 2 所示为常规的垂直沟型 DMOSFET 的剖面图,该剖面图说明器件的电阻部分。

附图 3A 和 3B 所示为常规的垂直沟型 DMOSFET 的剖面图,该剖面图说明了在提高外延漏极扩展电阻方面单元密度的优点。

附图 4A-4D 所示为各种沟型 DMOS 源极几何形状的平面图和剖面图。附图 4A 所示为带状几何形状。附图 4B 所示为方形单元几何形状。附图 4C 所示为带有源极角落区(block)的方形单元几何形状。附图 4D 所示为六边形单元几何形状。

附图 5A-5F 所示为常规的沟型 DMOSFET 的台面的设计规则。附图 5A 所示为接触区对沟的设计规则。附图 5B 所示为接触区到源极的设计规则。附图 5C 所示为 P+接触区到本体的设计规则。附图 5D 所示为栅源短路的实例。附图 5E 所示为未接触或不充分接触的源极的实例。附图 5F 所示为未接触的本体的实例。

附图 6 所示为所示为常规的垂直沟型 DMOSFET 的剖面图,该 DMOSFET 带有接触区掩模特征和横穿相邻的沟之间的整个台面延伸的 N+源极。

附图 7A,7B 和 7C 所示分别为带有接触区掩模的“梯状”源极沟型 DMOS 的剖面图、平面图和透视图。

附图 8A 所示为说明共形的薄金属层的台阶覆盖问题的常规的沟型 DMOSFET 的剖面图。

附图 8B 所示为说明厚金属层的台阶覆盖问题的常规的沟型 DMOSFET 的剖面图。

附图 8C 说明了厚金属层的键孔(keyhole)问题。

附图 9A 所示为说明在常规的沟型 DMOSFET 中的多晶硅栅极总线上的金属层的台阶覆盖问题的剖面图。

附图 9B 所示为在常规的沟型 DMOSFET 的沟栅极的交点上的平面图。

附图 9C 所示为说明在沟型 DMOSFET 中的最小多晶硅再填充厚度的剖面图。

附图 10A 所示为作为台面宽度的函数的等效垂直 MOSFET 单元密度的

曲线。

附图 10B 所示为作为单元间距的函数的等效垂直 MOSFET 单元密度的曲线。

附图 11A-11E 所示为说明制造在沟栅 MOSFET 中的超自对准 (SSA) 源极接触区的方法的工序的步骤的剖面图。

附图 12A-12B 利用常规的接触区掩模所制造的 MOSFET (附图 12A) 和利用 SSA 方法所制造的 MOSFET (附图 12B) 的比較的剖面图。

附图 12C 所示为通过 SSA 方法所制造的并带有覆盖沟的接触区掩模确定的氧化物特征的 MOSFET。

附图 13 所示为作为台面宽度函数的垂直 DMOS 单元周长比 A/W 的曲线。

附图 14 所示为作为单元密度函数的垂直 DMOS 单元周长比 A/W 的曲线。

附图 15A-15D 所示为 SSA 沟型 DMOSFET 的各种实施例的剖面图。附图 15A 所示为整个台面 N+源极, 其中 P-本体以三维形成接触区。附图 15B 所示为与在附图 15A 中所示的实施例类似的实施例, 但该 MOSFET 还包括较深的箝位二极管。附图 15C 所示为与附图 15B 所示的实施例类似的实施例, 但该 MOSFET 还包括相对的较浅层的箝位二极管。附图 15D 所示为在其中源极金属与 P+本体接触区接触并且不存在箝位二极管的实施例。

附图 16A 所示为在雪崩击穿开始时在沟角落上产生的碰撞电离概况的剖面图。

附图 16B 所示为作为栅极氧化物层的厚度的函数的击穿电压 BV_{DSS} 的曲线。

附图 17A 所示为在沟栅 DMOSFET 中在栅极和漏极 (C_{GD})、本体 (C_{GB}) 和源极 (C_{GS}) 之间的寄生电容的曲线图。

附图 17B 所示为作为栅极电荷 Q_g 的函数的栅极电压 V_g 的曲线图。

附图 18 所示为在沟中带有“梯状”P+源极本体设计结构和较厚的底部氧化物的带状几何形状的 SSA 沟型 DMOSFET 的透视图。

附图 19A-19F 所示为各种源极本体设计结构的平面图。附图 19A 所示为带有连续的 N+源极的“波纹状”P+本体接触区。附图 19B 所示为带有周期性 P+条的“波纹状”P+本体接触区。附图 19C 所示为带有“岛状”的 N+源

极连续 P+本体接触区。附图 19D 所示为“竹状”阶梯结构（替代 N+和 P+区域）。附图 19E 所示为带有 P+本体接触区“窗口”的连续的 N+源极区。附图 19F 所示为以周期性 P+“带”替代的 P+本体接触区窗口。

附图 20A, 20B 和 20D 所示为使沟栅 MOSFET 的栅极到源极的电压箝位的多晶硅二极管配置的电路示意图。附图 20C 所示为多晶硅二极管配置的剖面图。

附图 21A 所示为在与高浓度掺杂埋入层重叠的沟的底部处具有较厚的氧化物层的 SSA 沟型 DMOSFET 的剖面图，在形成外延层之后立即注入该高浓度掺杂埋入层。

附图 21B 和 21C 所示为与在附图 21A 中所示的实施例类似的实施例，但在形成该沟之后并在以栅极材料填充该沟之前注入埋入层。

附图 22 所示为制造 SSA 沟型 DMOSFET 的方法（包括变型）流程图。

附图 23 所示为 SSA 沟型 DMOSFET 的剖面图，包括有源单元阵列、栅极总线、多晶硅 ESD 二极管和边缘末端。

附图 24A-24Q 所示为制造 SSA 沟型 DMOSFET 的一步一步的过程的剖面图，包括有源单元阵列、栅极总线、多晶硅 ESD 二极管和边缘末端。

附图 25A-25C 所示为制造在底部具有厚氧化物层的沟的过程的剖面图。

附图 26A 所示为在常规的 MOSFET 中的杂质分布。

附图 26B 所示为根据本发明的一方面利用链接的本体注入所形成的 MOSFET 的杂质分布。

附图 27A-27D 所示为利用高压方法淀积金属接触区层所制造 MOSFET 结构。

附图 28A-28D 所示为根据本发明制造另一 MOSFET 的过程步骤。

具体实施方式

附图 10A 和 10B 所示为通过减小源极/本体台面的宽度和单元间距所能够获得在单元密度方面的优点。

附图 10A 所示为相对于 1.0、0.8 和 0.5 微米的沟栅所绘表面尺寸 Y_G 等效单元密度的台面尺寸 Y_{SB} 的曲线。通过下式以 $(M_{\text{单元/英寸}^2}) Mcells/in^2$ (兆单元/英寸²) (左轴) 和 $Mcells/cm^2$ (兆单元/厘米²) (右轴) 绘制该密度曲线：

$$D = \frac{1}{(Y_G + Y_{SB})^2} \cdot \frac{10^8 \mu m^2}{cm^2} \cdot \frac{Mcells}{10^6} \quad (23)$$

将该曲线分为三个区段，即：

1. $Y_{SB} > 2$ 微米的区段 III，在这个区段中可以利用常规的对接源极本体接触区。虽然在生产的过程中 30 到 400 Mcells/in² 密度最高，但是这种类型的器件的单元密度的界限范围为从 67 到 100 Mcells/in²。

2. $0.9 \text{ 微米} < Y_{SB} < 2$ 微米的区段 II，在这个区段中利用可以通过光刻使沟对准接触区来采用掩模源极带状设计结构。利用这种结构的最大的密度可以达到 170 到 320 Mcells/in² 的范围，但仅提供一定的设计结构并可克服与制造过程相关的问题（其解决方案将在下文描述）。

3. $Y_{SB} < 0.9$ 微米的区段 I，在这个区段中要求一种新技术在有源(active)沟型 DMOS 晶体管单元中形成接触区特征。如果这可能的话，仅利用光刻处理设备的能力设定这种结构的界限以分辨（构图）并蚀刻更小的特征尺寸。

只有区段 III 代表利用本技术可制造的器件。然而，附图 10A 的曲线表示如果可以克服在区段 I 和 II 中所遇到的技术问题则可获得的可能的单元。

附图 10B 所示为利用不同的技术某些特定的实例的可能的单元密度，反映了各种晶片制造设备的复杂性（和最初基本设备投资成本）。例如需要具有 0.8 微米的晶片制造能力来制造 32 Mcells/in² 沟型 DMOS，而 180 Mcells/in² 的设计结构需要按 0.6 微米来制造。在本文中，术语“0.6 微米的制造”是指在所要求的通风水平和水的清洁度下设备所能够制造的最高的密度 CMOS IC 过程的特征尺寸。因此术语“0.6 微米”不仅指栅极尺寸，而且还指最小接触窗口、金属规则甚至所需的表面平面化的类型。特别是，金属台阶覆盖是利用较小的接触区窗口的问题，它要求在 0.8 微米的制造中所没有采用的技术和设备。因此实现较高的单元密度不是简单利用更好的更现代的晶片制造的问题。而是需要新的研究开发以解决制造可靠的、高产量的超密集功率 MOSFET 的问题。

附图 11A-11E 所示为形成超自对准（SSA）沟型 DMOSFET 的过程的基本元件。该过程描述了形成沟式电容器的密集阵列的方法，该沟式电容器能够利用在沟之间的表面或背面上的硅，而不需要接触区掩模与硅台面区的顶部接触。这种 SSA 电容器与形成沟栅 DMOSFET 的构成一致，但并不限于此。例如，在绝缘栅双极性晶体管（IGBT）、MOS 栅双极性器件以及其它类型的

器件中都可以利用 SSA 阵列。

选择氮化物层 102 (或另一“硬”材料比如氧化物层) 以限定沟 104 (附图 11A) 以继续后续的过程操作, 某些过程操作将在比光致抗蚀剂所能耐的温度更高的温度中进行。氮化物是比较可取的, 因为通过化学蚀刻技术可以清除它, 而这种化学蚀刻技术对用于保护沟栅极的氧化物并没有损害。通常在硅本体 108 的主表面 103 上的薄氧化物层 106 上形成氮化物层 102, 以降低在硅本体 108 和氮化物层 102 之间的热膨胀系数 (TCE) 产生的任何应力。在某些过程中, 不需要薄的氧化物层 106。在氮化物层 102 上还可以形成其它的氧化物层 (未示出) 以避免在沟蚀刻过程中的腐蚀。在硅腐蚀的过程中用于限定氮化物特征的光致抗蚀剂层 (未示出) 也可以留在氮化物或氮化物-氧化物夹层的顶部上。在已经限定沟之后, 通过公知的蚀刻方法 (比如反应离子蚀刻 (RIE)) 来形成沟。这就得到在附图 11A 中所示的结构。在沟 104 的各分段之间形成“台面” 114。如图所示, 在本实施例中, 硅本体 108 包括外延层, 但本发明并不限于此。

正如我们将要理解到, 附图 11A-11E 所示为在功率 MOSFET 中的几种 MOSFET 的阵列单元, 该阵列通常包括几百万的单元。如图所示, 所制造的结构是一种大面积电容器, 该电容器是沟功率 MOSFET 的结构元件。

然后将沟氧化以形成牺牲氧化物 (未示出) 以减少由沟蚀刻过程所造成的任何表面损坏。随后除去牺牲氧化物。形成栅极氧化物层 110 并利用多晶硅填充该沟。内腐蚀该多晶硅以连同硅本体 108 的主表面一起平面化栅极 12 (附图 11B)。

根据器件所需的结构和它所要求的 PN 结, 在这些步骤中通过预先淀积或离子注入可以引入各种杂质。这些细节将在下文的沟功率 MOSFET 的实例性制造过程中进行描述。接着, 将多晶硅栅极 112 的所暴露的表面氧化以形成覆盖栅极 112 的厚的氧化物层 116 (附图 11C)。厚的氧化物层 116 保护栅极 112 不受随后的蚀刻的影响并将栅极 112 “埋入” 在沟 104 中以使栅极 112 不与覆盖在整个器件中的沟 104 上的 (源极) 金属短路。氮化物层 102 防止了在台面 114 上的氧化物层 106 被氧化。在这一点上, 在器件的制造的过程中, 单掩模 (氮化物层 102) 形成了受氧化物层 116 保护的硅台面 114 和埋入的栅沟 104。在常规的方法中用于埋入栅极的氧化物并不定位或与沟区“自对准”, 但可以在台面上或横穿台面延伸。

由于与覆盖栅极 112 的厚的氧化物层 116 相比,选择在氮化物层 102 之下的氧化物层 106 为较薄的氧化物层,所以在 SSA 方法流程中消除氮化物层 102 实质上是区掩模操作。在附图 11D 中所示为在消除氮化物层 102 之后的结构。

如附图 11E 所示,短时间浸渍在氢氟酸(通常稀释在水中的 HF)中或短时间均质等离子体氧化腐蚀从台面 114 上清除了氧化物层 106 而不暴露埋入的多晶硅栅 112。原始的沟掩模本身限定的特征使在硅和金属层(将要淀积的)之间所形成的接触区 118 横穿台面 114 从沟 104 的一段到下一段一直延伸。因此接触区本身与沟本身对准并延伸到沟角落 120,在该处,沟 104 的壁与硅的表面 103 相交。因此由限定沟 104 和厚的氧化物层 116 的相同的掩模特征限定了所暴露的台面 118 或接触区。这样就可以减少台面 114 的宽度。

相反,在常规的沟器件中通过另一特征(所谓“接触区掩模”)限定接触区。接触区掩模特征需小于台面的宽度以实现完美的对准并考虑到在氧化物腐蚀中的偏差(参见附图 12A)。

因为在多晶硅内腐蚀之后形成厚的氧化物层 116(附图 11B),厚的氧化物层 116 的顶部表面与台面 114 的表面几乎是平面,结果在台面和氧化物之间的台阶小于在利用淀积的氧化物和传统的接触区掩模所形成的台阶。从附图 12A 和附图 12B 的比较中可以清楚地看出这一点,附图 12 所示为常规的沟型 DMOSFET,而附图 12B 所示为根据本发明具有与台面 114 的顶部表面相接触的金属层 122 的台面。

结果,对台面对金属(源极金属)接触区的尺寸没有限制,因为在单元阵列本身中没有使用单独的接触区掩模,虽然仍然需要单独的接触区掩模以形成实现稳定的 ESD 性能所需的多晶硅栅极总线、末端和多晶硅 PN 二极管阵列的接触区。同样,由于台阶高度降低了,所以在有源阵列(active array)中不存在金属带覆盖的问题。如附图 12C 所示,即使希望接触区掩模(例如,为减少在多晶硅栅极和顶部金属之间的电极间电容),由于某些氧化物是在硅表面“之下”,因此台阶高度可以减小。

功率 MOSFET 的公知的指标数值是面积与宽度比 A/W ,它是对要求提供给定的“通道宽度”的电路片的面积的量度(大致说是 MOSFET 单元的总的周长)。利用 A/W 比率作为器件性能和接通电阻的指标可以对各种器件设

计进行比较。 A/W 越小，性能越好。

附图 13 所示为作为硅台面宽度 Y_{SB} 的函数的这种 A/W 比较（利用先前的定义式）。该方形单元具有 U-形曲线，当台面和沟的宽度相等时该曲线具有一个最小值。只要源极-本体尺寸小于栅极尺寸，台面宽度的任何减小都会比它所节省的面积更大程度地减小单元周长，因此增加了 A/W 比率。对于 1 微米宽度的栅极，将产生 2 微米的单元间距。在这个最小的点上，对于 2 微米间距的器件的封闭单元或带状几何形状的 A/W 都相同。

然而，在商业实际情况中，在沟角落中由于活性沟道导通封闭的单元设计具有异常的泄漏，并且由于各种原因包括短通道效应、瞬时增强扩散和结晶缺陷造成阈值降低。如前文参考附图 4C 所述，这种问题的解决方案是在防止离子注入到每个台面角落的 N+源极注入掩模中引入“角落区(block)”特征。应注意，沟栅极的内部角落是与形成在形成沟之后仍然保留的硅台面的外部角落相同的特征。

由于这种角落区特征，单元间距的每次递增的降低都将比它所节省的面积更显著地减小沟道周长。因此，随着 Y_{SB} 减少，比沟栅尺寸更小的台面尺寸进一步降低使 A/W 快速增加。还要注意的，在具有在 1 微米和 2 微米之间的 Y_{SB} 值的区段 II 中出现两种 1 微米的单元设计的 A/W 的最小值。如前文所述，在区段 II 中，在仅有带状结构设计的实用场合，接触区尺寸导致了金属台阶覆盖问题。如在该曲线上的两个最右的圆圈所示的利用实际的已有技术所生产的器件仍然处于远离它们的 A/W 最佳状态的区域 III 中。

附图 13 也说明了为 0.8 微米和 0.5 微米带状设计继续改善（即降低）了完全在 1 微米之下方形单元设计的 A/W 比率。利用对较小的接触区金属台阶覆盖问题的解决方案，仍然利用基于带状设计（区段 II）的接触区掩模，1.2 微米的台面可以实现子单位 A/W 值。但由于 A/W 值完全不接近它们的最佳值，利用自对准进一步将台面收缩到区段 I，以实现台面宽度在 0.9 微米以下，这仍然是有利的并且是有保证的。如附图所示，利用这种自对准技术，在 0.5 微米之下的 A/W 是实际可行的。

参看以单元密度而不是台面宽度所定义的横坐标（附图 14）所绘制的相同几何形状设计的 A/W 比率，可以清楚地看到利用将更高的密度以降低的 A/W 的优点。应注意，比实现可比较的 A/W 性能的封闭单元方法带状设计要求更高的单元密度。例如，仅要求 70Mcell/in^2 带状设计以实现与 32Mcell/in^2

方形单元设计等效。换句话说,需要通过本发明可形成的自对准和成比例延伸的尺寸以补偿在带状几何形状的 A/W 特性中的内在缺点。幸运的是,通过更紧密的尺寸本体的连续性和源极扩散(在沿带的 z 方向)或在带状设计中可能的远的本体区(与 z-方向相对的方向)有助于补偿 A/W 的缺陷。在附图 14 的曲线中,利用本发明在此所描述的方法,所制造的实际的沟型 DMOS 结构预计达到每平方英寸(1Gcell/in^2)上接近十亿个单元的密度。利用这种方法,这种设计的规模甚至并不限于这个数字,而是约略估计,仅受光蚀刻技术进展的限制。

附图 15A-15D 所示为各种沟型 DMOS 设计的剖面图,每种沟型 DMOS 沿着沟侧壁和底部具有均匀的栅极氧化物厚度。在这种情况下,均匀定义为不是以如下的方式有意制造栅极氧化物:在沟侧壁上而不是在它的底部表面上形成不同的氧化物厚度。当然,根据与沟本身相交的各种结晶面的不同的氧化率和应力造成的增强或延迟氧化,预计氧化物厚度会沿着沟表面变化。

在附图 15A 中,本体区 P_B 是均匀的,并没有设计特定的区域以使其比本体到漏极的结 150 具有更低的击穿电压,即起电压箝位的作用。这种器件会受到栅极氧化物的热载流子的剥蚀作用,并在栅极氧化物附近不希望地产生雪崩。通过使本体到漏结 150 尽可能地接近多晶硅栅极的底部可以使热载流子的产生最少。

在附图 15B 中,利用深 P 区域 152 来降低局部击穿并作为电压箝位(在剖面图上示意地表示作为在深 P 区域 152 和 N 埋入层 156 之间的齐纳二极管 154)。如在申请号为 08/459,555 (1995 年 1 月 2 日申请,在此以引用参考的方式结合在本申请中)的申请中所述,电压箝位可以在整个器件或单元阵列中随机地或以规则的间隔地重复。利用在公知的已有技术中的方法在超密集器件中不能够实现箝位原理。利用不与栅极形成短路常规的方法,通常不可能与较小的尺寸的箝位部分接触。

除了下述不同之外在附图 15C 中所示的器件与附图 15B 的器件类似:设定电压夹的雪崩击穿的高浓度掺杂位于在 P_B 本体区内,不过具有更高的浓度。利用不与栅极形成短路常规的方法,通常不可能与较小的尺寸的箝位部分接触。

在附图 15D 中,所示为对接源极/本体接触区。可利用于封闭单元或带状结构设计中。金属层与 N+源极区 159 和 P+本体接触区 160 都接触,由此使

源极和本体一起短接。在附图 15A, 15B 和 15C 中假设在 z 方向的本体区(沿着沟而不是在附图中所示的剖面)。可替换的是, 还可以设计并生产没有 P^+ 接触区到 P_B 区的那些器件以使本体区在它的断态中完全耗尽。因为自对准接触区延伸到沟的边缘, 因此 N^+ 源极的长度变短并仍然确保较好的欧姆接触。不利用在此所描述的技术就不能实现 N^+ 源极区及其台面的尺寸。

附图 16A 说明了在薄的栅极氧化物沟型 DMOS 器件中的场电极感应(FPI)击穿现象。如附图 16A 所示, 在与漏极重叠的沟角落上出现了在有限的 FPI 器件中的离子化。由于氧化物变薄, 因此击穿电压降低, 如附图 16B 所示。在 FPI 击穿比较普遍的情况下, 在沟栅附近和它的栅极氧化物中出现雪崩和产生载流子, 使栅极造成了热载流子损坏和氧化物消耗。

薄的栅极氧化物沟型 DMOSFET 的另一缺点是在栅极和漏极之间所造成的覆盖电容, 这种电容造成了栅电荷的增加(参见附图 17A)。通过密勒效应(Miller effect)进一步加剧了在输入电容上的栅极漏极电容 C_{GD} 的效应和相应的栅极电荷。由于栅极漏极电容的反馈使在输入电容中的密勒效应增加。该效应可以看作在附图 17B 的栅极电压曲线中的平稳段, 在附图 17B 中栅极电压上升随着栅极电荷的增加而停止同时漏极电压降低, 该器件导通。加在该器件上的电压较低即它完全导通之后, 栅极电压与输入电荷成比例再继续上升。实质上, 利用栅极电荷来抵消在栅极到漏极电容上出现的 ΔV_{DG} 。由于附加平稳段要求更多的电荷(在 x -轴上绘出的值), 则“有效的”输入电容增加, 在开关的过程中器件具有更高的能量损失。在栅极本体和栅极源极电容 C_{GB} 和 C_{GS} 也存在的同时, 它们对输入栅极电荷的贡献的量值(如附图 17B 中所示按在平稳段之前的曲线斜率)显著小于漏极项, 即平稳段更宽。从该曲线中可以清楚地看出, 较薄的氧化物以较低的栅极偏置下接通(在许多利用中希望较低的阈值电压), 但要求更多的栅极电荷以达到栅极偏置的相同的最终值(并同样地实现相同的沟道增强)。更希望实现较低的阈值和较高的跨导而不增加覆盖电容, 但需要特定的方法和器件结构来实现这些。

附图 18 所示为本发明的实施例。在带状设计中在 N -外延层 188 中形成 MOSFET 180, 该 MOSFET 180 的沟栅 181、硅台面 182 和接触区掩模的特征完全自对准。横穿台面(在 y -方向), N^+ 源极区 183 和 P_B 本体区 184 同样自对准该沟。 N^+ 源极区 183 在 z -方向上由于 P^+ 本体接触区 185 周期性中断以与在下面的 P_B 本体区 184 接触。在带状设计中在设定单元间距的过程中这种特

征并不重要,因此对于 z-方向特征并不要求自对准。如图所示,沟顶部氧化物层 186 将栅极埋入在表面之下以避免与表面金属(未示出)短接,但不显著地凸伸到硅台面 182 的顶部表面之上。因此避免了带有源极金属的台阶覆盖问题。在 N-外延层 188 和 N+衬底 189 中示出了均匀的 N-型埋入层(NBL) 187,表明在 N+外延层 188 生长之后通过离子注入可以设定从顶部表面到 NBL 的距离。为减少覆盖电容,并在希望薄栅极氧化物时避免场电极感应击穿效应,在沟底部而不是在与该器件的沟道区 191 相重叠的沟侧壁上形成薄氧化物层部分 190。

在本实施例中,选择栅极尺寸 Y_G 为 0.5 微米,形成器件的源极本体元件的硅台面的尺寸 Y_{SB} 为 0.5 微米。作为带状设计,器件结构要求没有角落区(除了可能在较长的指状结构端部以外),因此不会使器件的 A/W 效率受损。此外,只要 $Y_{SB}=Y_G$ (如在这种设计的优选实施例中所示的情况),对于方形和带状几何形状 A/W 都相同,因此利用带状结构并不会造成任何电阻损失。

对于带状设计,源极和本体接触结构还可以在几何形状上变化,如附图 19A-19F 的平面视图所示。选择该设计以使 N+源极周长最大(以实现可能的最低的电阻)或使对本体区的 P+接触区最大(为抑制寄生双极性导通、防止快速反向并使器件坚固)或在这两者之间的折衷。在附图 19A 中, N+源极区和 P+本体接触区形成连续的带,但带有 P+开口(在 N+中的孔)的周期性变宽以改善本体区。可将 N+区域的较窄的部分形成得与光蚀刻对准所允许的一样小,而不会造成 N+区域消失的危险。例如, N+区域可以形成为 0.2 微米宽(每侧),留下 P+区域的 0.4 微米孔。因此,对于 1.3 微米的间距(假设 0.5 微米的沟栅极)、 $59\text{Mcell}/\text{cm}^2$ ($381\text{Mcell}/\text{in}^2$) 和 0.65 微米的 A/W,最小的可制造的台面宽度大约为 0.8 微米。这种“波纹状”设计是在电阻和强度之间的一种折衷。在 N+源极区比 P+区更宽的部分中, P+区可以变得很窄以仅提供相当的电阻接触。例如,如果 N+区为 0.3 微米宽,则 P+区变窄到 0.2 微米。在这种情况下,在 N+注入之后通过限制高温处理量(优选快速热退火)必须使 N+区向 P+区的横向扩散最小。

在强度方面的稍作改善就可以实现附图 19B 的“波纹带状状(strapped corrugated)”设计,在附图 19B 的设计中 P+带周期性地与台面宽度横切。A/W 与沿带方向上它的使用周期成线性比例地减小。实际上,通过沿沟长度的横向电流在 P+区域中发生有某些导通并最终导致垂直导通。

附图 19C 所示的分段的 N+源极设计减少了 N+接触区和沟道的周长, 并对接通电阻进行折衷以实现坚固度增加。可取的是, 对于 1.4 微米的间距 (假设 0.5 微米的沟栅)、 $51\text{Mcell}/\text{cm}^2$ ($329\text{Mcells}/\text{in}^2$) 的密度和 0.7 微米的 A/W, 这种结构设计的最小的可制造的台面宽度大约是 0.9 微米。然而, 由于因为每个 N+岛状物本身要求良好的接触质量, 因此在制造过程中可极大地改变这种设计的 N+接触区电阻。

不损害 N+接触区电阻的另一种结构设计是附图 19D 所示的竹状或梯状结构, 在这种结构中沿着 N+源极的长度上除了在个别 P+带以外与 N+源极相接触。最小可制造的台面宽度并不受它的结构的限制。0.5 微米的台面宽度产生了 1.0 微米的间距 (假设 0.5 微米沟栅)、 $100\text{Mcell}/\text{cm}^2$ ($645\text{Mcells}/\text{in}^2$) 的单元密度和 0.5 微米的 A/W (按 P+带的周期性线性地增加)。在将来这种结构可成比例地达到 $1\text{Gcell}/\text{in}^2$ 的密度 (0.8 微米间距) 和 0.4 微米的 A/W。基于附图 19E 和 19F 的设计的窗口和带状窗口分别与附图 19A 和 19B 的波纹状和波纹带状设计具有类似的几何形状特征, 但它还具有更好的 N+接触电阻和更小的接触区域 (更小的坚固度)。

考虑到已经讨论的几何形状和器件特征, 可以预计的是, SSA 沟型 DMOSFET 的优选实施例具有在下表 1 中所概述的结构特性和电特性。

表 1

特征	特性	益处/优点
单元密度	高密度 $D=100\text{Mcells}/\text{cm}^2$ $=645\text{Mcells}/\text{in}^2$	较低的沟道电阻 (许多平行单元/区域)
单元间距	较小 $Y_{SB}=0.5$ 微米, $Y_G=0.5$ 微米, 间距=1 微米	较低的沟道电阻 均匀的漏极电流 能够 5X I-线条分级
对准	超自对准 SSA 沟/顶部氧化物/台面/接触区	最大的接触面积 避免了栅源短接 较小的 A/W
台阶覆盖	较低的台阶高度, 顶部氧化物延 伸到台面之下	良好的电迁移特性; 较低的横向 金属电阻
栅极周长 A/W	较小的 A/W=0.5 微米	较低的沟道电阻,

		较高的 g_m , 漏极到本体电容较小
阵列的几何形状	$Y_{SB}=Y_G$ 的带	良好的本体区 没有角落区损失 与方形单元的 A/W 相同
沟的底部氧化物 (可选)	较厚 (1 千埃至 3 千埃)	较低的栅-漏覆盖电容 较低的栅极电荷 最小的 FPI 雪崩
沟的侧壁栅氧化物	较薄 (50 埃至 700 埃)	较高的跨导 较低的沟道电阻 较低的阈值 没有发生穿通
ESD 保护	poly 二极管	保护薄栅极 ESD 容差 DC 过电压箝位

在表 1 中所示的 ESD 保护实行在多晶硅层中所形成的背对背 PN 结二极管 D1, D2 的组合并将沟功率 DMOS 的栅极到源极电旁路。在所指定的电压之下, 通常在每串联的二极管对为 6.5 至 8 伏特, 二极管 D1, D2 仍然保持开路 (除非在亚微安范围内的结型泄漏)。在该二极管电压之上, 它们被雪崩击穿并导通, 对最大的栅电压箝位。在附图 20A 中所示的单对二极管能够在一定程度上保护不受 ESD 脉冲影响, 但仍然可能出现栅氧化物的某些过电压。此外, 在稳态情况下单级设计经不住 DC 过电压。

附图 20B 所示的 2-级箝位电路避免了这个问题, 并通过选择串联的栅极电阻 R1 的阻值限制了电流流进第二对二极管 D3, D4。只要内部二极管对 D1, D2 击穿并保护该氧化物而同时在该器件端子上的电压不超过外部二极管对 D3, D4 的击穿电压, 则该网络能够一直经得住在该栅极击穿电压之上的 DC 过压情况。在某些实施例中, 二极管对 D3, D4 的阻断(blocking)电压等于二极管对 D1, D2 的阻断电压。

在附图 20C 中示出了背对背串联连接的二极管对 D5, D6, D7, D8 (即 NPNPN) 的 poly(多)二极管结构, 该结构利用从源极注入的 N+ 作为 N+ 电极, 并同样地利用专门的 P-型注入当阳极掺杂时以设定击穿值。在覆盖在氧化物

或电介质层 199 上的多晶硅层 198 中形成二极管 D5-D8。通过金属层 197 形成到二极管 D5 和 D8 的阴极接触区。如果要保护能够耐低于 6.5 伏特的电压的栅极氧化物层,则内部雪崩二极管组必须以并联的正向偏置二极管阵列替代(参见附图 20D)。

附图 21A 所示为带有 N 埋入层 NBL212 的 SSA 沟型 DMOSFET 210,通过消除了漏极电阻的外延部分,该 N 埋入层 NBL 212 覆盖在沟栅的底部上的较厚的氧化物层 214 上,以在较低的击穿电压器件中改善接通电阻(特别是对于低于 12 伏特的雪崩击穿电压)。可以在外延层生长之后,即在形成沟之前或在形成沟之后并在填充该沟之前立即注入 N 埋入层(NBL)。

如附图 21B 和 21C 所示,当在沟形成之后注入 NBL 时,它具有与在注入的过程中硅顶部表面的形状一致的形状。因此,NBL 进一步延伸到在沟之下的区域中而不是在沟之间的台面区域中的衬底中。在台面之下的区域中,NBL 进一步延伸到外延层并朝沟延伸,甚至与在沟之间的台面区重叠。在附图 21C 中,NBL 的轮廓形状符合该沟的形状,在沟的底部上在较厚的氧化物之间的台面区成为掺杂区。通过在沟形成的某些中间阶段注入离子可以形成这种形状,例如,在较厚的氧化物淀积之后但还没有以栅多晶硅填充该沟之前,或在填充多晶硅并内蚀刻之后但在淀积第二层多晶硅层之前。

在附图 22 的流程图中简要概述了 SSA 沟型 DMOSFET 的制造过程。主要包括如下相关的部分:

- 漏极的形成
- SSA 沟的形成
- 栅极的形成
- 本体的形成
- 栅极总线/多晶硅二极管的形成
- SSA 源极/台面的形成
- SSA 接触区的形成
- 可选的 P+本体接触区的形成
- 金属接触区的形成

附图 22 的流程图详细地给出了用于形成每个结构元件的一系列标记的方块的步骤。对于特定的实施例如果不要求某些结构特征,切去一角的方块所表示的步骤是可选的,因此可以省略。箭头所示的多条路径表示的是一

种可选的方法流程。在此所描述的流程并不排除能够形成类似的结构元件的其它的顺序，因此该流程并不是限制性的。

附图 23 所示为通过这个过程顺序所形成的 SSA 沟型 MOSFET 的剖面图。虽然所示的器件是 N-沟道 SSA 沟型 DMOS，但是通过将 N-型掺杂剂替换 P-型掺杂剂，该流程还可以生产 SSA P-沟道器件，反之亦然。在优选实施例中由于该过程是低热集聚制造工序，因此，为生产 P-沟道器件，该扩散循环并不需要显著地改变。

附图 23 所示为包括有源单元阵列(active cell array)260、栅极总线区 270、多晶硅二极管区 280 和边沿末端区 290 的器件 250 的重要特征。该附图为示意性的，因此在各种区域之间的空间关系一定意义上可以基于器件的设计变化，根据所选择的剖面线的不同，该器件可以以各种组合出现。附图 23 的目的是在单幅图中示出各种区域以说明这种器件的制造。

在有源单元阵列 260 中，许多沟栅段 262 形成了阵列或栅极，该阵列或栅极包含有带有在沟道区 263 附近的侧壁上的薄的栅氧化物层部分 266 和覆盖在多晶硅栅极 264 上的更厚的氧化物层部分 268（以将栅极与覆盖的源极金属层 269 电绝缘）的埋入的多晶硅栅极 264，在优选实施例中，还包含位于在沟的底部上的更厚的栅氧化物层部分 261。埋入型多晶硅栅极 264 延伸到本体区（以 P_B 表示）的底部范围之下，并延伸进外延漏极材料 267 之中，该漏极材料 267 可以是均匀掺杂的并浓度上逐渐变化或形成等级，在沟附近形成最高的掺杂浓度，或可以包含如图所示的注入的埋入层 265。埋入层 265 可以与注入层相同，因为它的中心（在 x-方向垂直）并不位于在外延层 267 和 N+衬底 300 之间的界面附近。

N+源极区 320 横穿由交叉的沟的分段所形成的台面延伸，并从沟间与埋入金属夹层 303（比如 Ti/TiN 或 W）相接触。在升高的温度下阻挡层金属可以与硅台面进行反应以形成硅化物。通过较厚的源极金属层 269 覆盖阻挡层金属，可取的是该源极金属层有纯铝（Al）、掺有 1%的铜的铝（AlCu）、掺有 1%的铜和 1%的硅的铝（AlCuSi）或可能的纯铜。根据附图 19A-19F，在阵列的边沿上或整个阵列上沿着带周期性地引入在其中没有 N+的浅的 P+掺杂区来实现本体接触区。

栅极总线区 270 包括栅极 272，该栅极 272 带有埋入在沟 271 中的高浓度掺杂的多晶硅部分并延伸在搭接金属层 273 的顶部表面上，该搭接金属层

273 可以用作栅极总线或栅极焊接区。在沟之外的多晶硅层 278 位于氮化物层 274 的顶上，而薄氧化物层 275 在氮化物层 274 之下。在它的边沿氧化多晶硅，并以在顶上的另一氮化物层 276，295 封装该整个结构。

除了利用 P_A 阳极注入对在二极管区 280 中的多晶硅层 278 的部分适当掺杂并通过 N^+ 源极注入有选择性地反掺杂 (counterdoped) 以形成一系列的二极管 288 不同以外，多晶硅二极管区 280 包括与栅极总线相同的结构。在栅极总线上沿表面横向地延伸的任何多晶硅 (比如多晶硅层 278) 或多晶硅二极管结构包括在其下但不在末端区 290 中的 PB 本体结。多晶硅栅极 272 和多晶硅层 278 通过金属层 269，273 与插入其间的位于在接触窗口的 Ti/TiN 阻挡层金属 281 接触。与有源阵列 260 不同的是，通过接触区掩模限定与多晶硅层 278 相接触的接触窗口 281 的开口，通过封装的氮化物层 276 和薄的多晶硅氧化物 283 蚀刻该接触区掩模。串联的多晶硅二极管 288 通常在一端上电连接到源极金属层 269，而在另一端上电连接到多晶硅栅极 272。通过金属层 (未示出) 或通过埋入在沟中的 N^+ 多晶硅将多晶硅栅极 272 和多晶硅层 278 的 N^+ 部分连接到其它的多晶硅栅极区比如在有源阵列区 260 中的栅极 264。

外部末端区 290 包括多晶硅场电极 291 (多晶硅层 278 的一部分和多晶硅电极 293 的延伸端)，该多晶硅场电极 291 位于氮化物层 274 和氧化物夹层 275 的顶部并延伸通过 P-本体 292。可以将多晶硅电极 293/场电极 291 偏置在栅极或源极电位。通过源极金属层 269 形成与多晶硅电极 293/场电极 291 的接触区。如果源极金属层 269 不从多晶硅电极 293/场电极 291 分离，则通过塔接金属层 273 另外将多晶硅电极 293/场电极 291 电短接到栅电极 272。由于在断态下在对器件进行偏置时，功率 MOSFET 的栅极和源极通常短接在一起，因此栅极 272 和场电极 291 的工作相同。在接通状态下在源极电位之上附加的栅极偏置实质上并不改变场电极的操作，因此场电极能够执行在所有的栅极偏置条件下的末端任务。

按漏极电位偏置的第二多晶硅电极 294 和第二场电极 299 外接在该器件的外部边缘上并朝本体结横向地延伸，终止以在它和源极场电极 291 之间形成横向地插入的间隙。以氮化物 295 填充该间隙，该氮化物 295 还封装多晶硅场电极 299 并保护薄氧化物夹层 275。通过金属 296 使外部多晶硅电极 294 和场电极 291、299 与该器件的外部边缘 (即漏极电位) 短接，通过 N^+ 接触

区 297 短接到外延层 267 在电路片边缘上的部分。可替换的是，第二场电极 299 可延伸到电路芯片的外部边缘并延伸进划线区中，在划线区中可以利用锯来分离该电路芯片并通过场电极 299 切割，由此使它与漏极短路。

虽然有许多制造顺序将掺杂剂引入到有源器件的区域中，但是所公开的发明的主要结构特征是由氮化物层 274 所限定的它的 SSA (超自对准)。在附图 24A-24Q 中限定了该方法的流程。

漏极的形成

如附图 24A 所示，过程以 N+衬底 300 开始，在该 N+衬底 300 上以公知的方式生长 N-外延 (epi) 层 267。形成应力减轻氧化物层 275，注入埋入附面层的层 265，如附图 24B 所示。对于有源阵列区 260、栅极总线区 270、多晶硅二极管区 280 和边缘末端区 290，该台阶是均匀的。可以调节 NBL 的注入的能量以设置器件的 BV_{DSS} 。表 2 所示为典型的过程参数。符号 B^+ 、 P^+ 和 P^{++} 分别表示一次离子化的硼、一次离子化的磷和二次离子化的磷。

表 2

特征	范围	目标值	要求	P-沟道
N++衬底 300	1 至 5mΩcm 砷/磷	1 至 3mΩ-cm	可能的最低的电阻率	P^{++} 硼 相同的规格
N-epi 层 267 (厚度和掺杂浓度)	1 至 10 微米 10^{15} 至 $4 \cdot 10^{17}cm^{-3}$ 磷	3 微米	由 BV_{DSS} 设定	P-外延
应力减轻氧化物层 275 (厚度、退火温度和时间)	30 至 700 埃 800 至 1100°C 5 至 60 分钟 干燥的 O_2	90 埃 850°C 15 分钟	在后续过程中通过它注入砷；防止在多晶硅顶部氧化过程中氮化物升高	由于 B^+ 注入容易渗透所以层可以更厚；可取的是与用于 N-沟道过程的相同
N 埋入层 265 (注入剂量和能量)	10^{12} 至 $5 \cdot 10^{13}cm^{-2}$ 500KeV 至 2.3MeV P^+ 或 P^{++}	$5 \cdot 10^{12}cm^{-2}P^{++}$ 1.7MeV	自表面的深度： X_{NBL} (顶部) >3 微米	PBL 注入 1.3MeV B^+ 或 B^{++}

(注： MeV 为兆电子伏特；mΩcm 为毫欧厘米)

沟的形成

栅沟的形成涉及利用氮化物层 274 的硬掩模或经得住腐蚀过程的另一电介质形成光掩模和沟的腐蚀。通过化学汽相淀积 (CVD) 淀积氮化物层 274 并以薄的氧化物盖顶以有助于减少它的腐蚀。氮化物层 274 或其它电介质都必须在以后的蚀刻的过程中相对于氧化物具有较好的干蚀刻选择性。附图 24C 所示为氮化物层 274 的淀积。与氧化物相比具有这种选择性的任何其它的电介质也都是可以的。

附图 24D 所示为具有细微线条和间隔以形成在有源阵列区 260 中的沟段 262 的沟掩模台阶。光致抗蚀剂层 320 淀积在氮化物层 274 上并利用公知的光刻工艺进行构图 (掩模 I)。在栅极总线区 (未示出) 中每总线上仅开一个或两个沟以进行蚀刻, 在末端区 290 中开两个沟, 在多晶硅二极管区 280 中没有开沟。利用 RIE 蚀刻器执行在附图 24E 中所示的沟蚀刻 (用于多晶硅蚀刻的相同的设备)。在硅沟蚀刻的过程可以适当地留下光致抗蚀剂层 320, 甚至氮化物或氮化物-氧化物叠层作为掩模。在高于平均温度的温度下 (例如高于常规的焙烧温度的 10-20°C) 强烈地焙烧光致抗蚀剂以改善光致抗蚀剂的交联可以使光致抗蚀剂更坚固。将其暴露在紫外 (UV) 光中具有类似效果。因此, 在蚀刻的过程中将保持光致抗蚀剂的陡峭的外形轮廓。特别是, 这些台阶在硅沟蚀刻的过程中使氮化物的腐蚀最小。此后, 剥去光致抗蚀剂。在表 3 中示出了典型的过程参数。

表 3

特征	范围	目标值	要求	P-沟道
氮化物层 274 淀积 (CVD) (厚度)	500 至 3000 埃	2000 埃	B ⁺ 本体注入必须 渗透 良好的氧化物腐蚀 选择性	P ⁺ 本体注入必须渗透
氧化物层 (未示出) 淀积 (厚度)	200 至 5000 埃	未示出 (1000 埃)	在硅的蚀刻的过程 中防止氮化物腐蚀	相同
沟掩模 (掩模 I) (间隙宽度)	2 至 1.5 微米线条 & 间隔	0.5 微米	构图/蚀刻氧化物 &氮化物	相同
沟蚀刻 (深度)	0.3 至 4 微米深	2 微米	圆整的角落	相同

			陡峭的侧壁	
			<100>对准	

栅极的形成

在已经对沟进行蚀刻之后,对沟进行氧化并对牺牲氧化物层进行腐蚀(未示出)以消除任何损坏。如附图 24F 所示,然后对沟进行氧化以形成栅极氧化物层 266。在优选实施例中,在最终的侧壁栅极氧化物层 266 生长之前在沟的底部上形成了较厚的氧化物层 261。结合附图 25 下文描述了较厚的底部氧化过程的一个实例。再次参考附图 24F,淀积第一多晶硅层 322,可取的是在原位上同时掺杂使其电阻率较低,对于 N-沟道器件优选用磷掺杂,而对于 P-沟道器件优选利用硼掺杂。可替换的是,淀积多晶硅层 322,不进行掺杂,并注入能量为 60 至 100KeV 剂量为 1 至 $7 \times 10^{15} \text{cm}^{-2}$ 的磷,然后在 900 至 1100°C 下退火 10 分钟到 2 小时。

如附图 24G 所示,对第一多晶硅层 322 进行内腐蚀直到沟,或至少腐蚀到氮化物层 274 的表面之下。在本步骤中从多晶硅二极管区 280 中完全清除多晶硅层 322。在表 4 中示出了在附图 24F 和 24G 中所示的步骤中的实例性过程参数。

表 4

特征	范围	目标值	要求	P-沟道
牺牲氧化物(厚度、退火温度和时间)	70 至 200 埃 800 至 900°C 15 至 40 分钟 干的 O ₂	300 埃 850°C 28 分钟	消除随后的氧化物内腐蚀所带来的破坏	相同
较厚的底部氧化物层 261 (可选) (厚度)	在沟的底部 1000 至 3000 埃	2000 埃	各种方法 方向性淀积/抗蚀剂内蚀刻 侧壁氮化物 /LOCOS	相同
栅极氧化物层 266 (厚度、退火温度和时间)	70 至 700 埃 800 至 950°C 5 至 130 分钟	175 埃或 300 埃 850°C 16 或 60 分钟	活性沟道栅极氧化物	相同

	干燥的 O ₂			
多晶硅层 322 (厚度)	2000 至 12000 埃在原位置掺杂的 N+ < 75Ω/sq.	7000 埃 18Ω/sq.	栅极 poly 必须填充沟 $X_{poly1} > 1.4 \cdot y_G / 2$	相同
多晶硅层 322 内蚀刻	在氮化物顶部之下 源极底部之上	甚至带有氮化物	为进行本体注入, 清除表面	相同
从氮化物的顶部清除氧化物	消除所有的氧化物 (0 至 5000 埃)	3500 埃	为随后的注入剥去氧化物	相同

(注: Ω/sq. 为欧/方形)

即使在利用较厚的底部氧化物工艺或在沟腐蚀之前利用氧化物硬掩模, 在进行多晶硅的内腐蚀之后氧化物层仍然保留在氮化物层 274 的顶部上 (在附图 24G 中没有示出)。可取的是, 在进行随后的离子注入之前在本步骤中清除这种氧化物。必须注意在氧化物腐蚀的过程中不能腐蚀或损坏栅极氧化物。

本体的形成

如附图 24H 所示, 接着通过氮化物层 274 引入本体区 PB。由于硼是较小的离子, 因此它是优选的 P-型掺杂剂。硼容易透过氮化物层 274 并能够仅通过离子注入深深地注入到形成本体掺杂分布特性的外延层 267 中, 而不需要较长的主扩散。即使在最终的分布是离子注入的情况下, 用于阻塞从末端区 290 的注入所需的光致抗蚀剂层 324 必须足够厚, 通常大于 1 至 3 微米, 以阻止掺杂剂达到 MeV 范围。推荐剂量为 $8 \times 10^{12} \text{cm}^{-2}$ 至 $8 \times 10^{13} \text{cm}^{-2}$ 的在 800keV 至 3MeV 范围内的硼注入。光致抗蚀剂层 324 的特征尺寸并不严格, 因为只有末端要求注入阻塞。此外, 在该循环中还可以引入本体注入, 但在这个阶段中注入比较有利, 所得的本体漏极结均匀, 并避免了任何的局部的结的击穿问题。

在常规的扩散方式中的本体注入的剂量在 $1 \cdot 10^{13} \text{cm}^{-2}$ 至 $1 \cdot 10^{14} \text{cm}^{-2}$ 的范围内能量为 60 至 100keV。然后通过 1050°C 至 1150°C 下深入 (drive-in) 扩散 6 至 15 小时进行这种浅注入, 得到 1.7 微米深的典型的结深度。表 5 给出了关于典型的过程参数的更多的信息。

表 5

特征	方位	目标值	要求	P-沟道
本体掩模(掩模2) (光致抗蚀剂)	除了末端以外没有 小的掩模特征	在电路片边沿 4 微米	阻塞本体注入达 MeV 范围	相同但阻塞磷
本体注入 (常规)	10^{13} 至 10^{14} cm^{-2} 60 至 150keV B+	$6 \cdot 10^{13} \text{ cm}^{-2}$, 80 keV	在扩散之后; 400 至 900Ω/sq	P ⁺ 注入; 120keV
本体注入 (高能量)	8×10^{12} 至 $8 \times 10^{13} \text{ cm}^{-2}$ 800keV 至 3Mev 硼	$3 \times 10^{13} \text{ cm}^{-2}$, 1.6MkeV	设定阈值 V; 避免穿通	磷注入, 35%的更 高的能量
深入扩散	1050 至 1150°C, 6 至 15 小时	1100°C 12 小时	$1 < X_{JB} < 2$ 微米 通常 1.6 微米	相同

可替换的是, 可以利用“链式注入(chained implant)”技术来形成本体区。例如, 以 $7 \cdot 10 \text{ cm}$ 的剂量在 1MeV、700keV、525keV、375keV、225keV 和 125keV 的能量下进行连续的“链式”硼注入。在另一实施例中, 可以利用不同的剂量和能量, 在单个器件中可以使用不止一种剂量。这个过程产生在附图 26B 中所示的普通形式的掺杂剂分布特性(其中所示链式的四种注入), 这种掺杂剂分布可以与在附图 26A 中所示的单次注入本体的常规的掺杂剂分布特性进行比较。链式的注入方法产生更均匀的本体掺杂浓度和更陡峭的浓度梯度(在本体漏结), 并且对于给定的阈值电压产生了更高的总的本体电荷, 由此降低了器件穿通击穿的易损性。这种技术还具有的优点是, 当它使用在由常规的扩散本体过程所形成的 DMOS 器件中时, 源极本体结的深度并不首先影响器件的阈值电压。在与常规的扩散本体 MOSFET 相同的深度下可以对准本体漏结。选择最大的注入能量以透过氮化物并在所需的深度上设置结。注入到台面区并不需要渗透较厚的第一多晶硅层 322, 因为在上文所描述的内腐蚀的步骤中从台面上清除了多晶硅层 322。

栅极总线/二极管的形成

在第二电极多晶硅层 278 中形成栅极总线和多晶硅二极管, 并横穿如附图 24I 中所示的与多晶硅层 322 的所暴露剩余部分相接触的所有器件的区域进行淀积。未掺杂或轻微掺杂地淀积多晶硅层 278 以便通过随后的注入(比如二极管注入或源极注入)容易进行反掺杂(counterdoped)。在多晶硅层 322 和 278 之间没有出现界面氧化物。接着利用硼对多晶硅层 278 进行附面层注

入以形成在多晶硅二极管中的PN结的阳极。

如在附图 24J 所示, 然后在多晶硅层 278 的顶部上形成可选的薄氧化物层 328, 通过化学汽相淀积法淀积氮化物层 330 并通过“多掩模 (polymask)” (未示出) 进行构图。氮化物图案结构称为“多掩模”, 因为它具有这样的掩模特征: 它确定在沟之外和在该表面上之处露出多晶硅以便形成到多晶硅的接触区。多掩模还确定在之处多晶硅层 278 位于在场氧化物的顶上以限定栅极总线和在漏极和二极管区中的场电极。如果多掩模是清洁的 (假设正性光致抗蚀剂), 将对氮化物层 330 以及多晶硅层 278 进行内腐蚀, 由此从该表面除去多晶硅并内腐蚀到沟中 (即埋入)。因此, 在有源阵列区 260 中除去氮化物层 330, 但留下保护栅极总线区 270 和多晶硅二极管区 280。由氮化物层 330 保护在末端区 290 中留下的两个区, 并, 一个用于源极场电极 291, 另一个用于漏极场电极 299。氮化物层 330 有两个作用: 第一它确定在之处对多晶硅层 278 进行内腐蚀, 第二它防止多晶硅总线 278、源极和漏极场电极 291, 299 和多晶硅二极管区 280 的随后的氧化。

如附图 24K 所示, 在暴露的区域内腐蚀多晶硅层 278 到甚至与氮化物层 274 的底部平齐。氮化物层 274 暴露在末端区 290 的中心并在有源阵列区 260 中的所有的硅台面的顶部上。在表 6 中给出了在附图 24I-24K 中所示的步骤的典型的过程参数。

表 6

特征	范围	目标值	要求	P-沟道
多晶硅层 278 (厚度) 和附面层的硼注入 (剂量和能量)	1000 至 8000 埃未掺杂, 则 B ⁺ 注入, 20 至 80keV, 10 ¹² 至 10 ¹³ cm ⁻²	5000 埃, 则 60keV 3 · 10 ¹² cm ⁻²	当掺杂 N-型并与 poly1 形成欧姆接触时, 栅极 poly 必须填充沟	类似, 但注入磷
多晶硅氧化物层 328 (厚度、退火温度和时间)	70 至 700 埃 800 至 1000°C 5 至 60 分钟, 干燥的 O ₂	300 埃 850°C 28 分钟	在后续过程中通过它注入砷 N+	更厚较好 由于注入 B ⁺ 能够渗透
氮化物层 330 (厚度)	500 至 3000 埃	2000 埃	良好的氧化物腐蚀选择性	类似
多晶硅掩模 (掩模)	0.5 至 3.5 微米线条&间	1.5 微米线条&	构图/蚀刻氮化物/	相同

3)	隔	间隔	氧化物& poly	
多晶硅层 278 内蚀刻	在氮化物顶部之下 在源极底部之上	甚至与氮化物 底部一致	清除表面以便从本 体注入	相同

源极/台面的形成

如附图 24L 所示，氧化在沟分段 262 中所暴露的多晶硅层 278 的表面以在有源阵列中形成氧化物层 268。在栅极总线区 270 和末端区 290 中的多晶硅层 278 的侧边（即没有由氮化物层 330 覆盖的所暴露的区域）也被氧化了。通过氮化物层 274 保护在有源阵列 260 中的台面不被氧化，以及通过氮化物层 330 保护在栅极总线区 270、多晶硅二极管区 280 和末端区 290 中的多晶硅层 278 不被氧化。

接着，如附图 24M 所示，从有源阵列区 260 上剥离氮化物层 274，自从该过程开始之后首次暴露出在硅台面顶部的薄氧化物层 275。还除去氮化物层 330，剩下仅由薄多晶硅二极管 328 所覆盖的场电极 291，299、多晶硅二极管和多晶硅栅极总线的顶部表面，该薄多晶硅二极管 328 是在多晶硅层 278 淀积之后形成的。以 P-型杂质（未示出）的附面层阳极注入对多晶硅二极管 278 进行掺杂，因此除了下列之处以外多晶硅层成为 P-型：多晶硅层 278 在原地与掺杂的多晶硅层 322 接触之处，在其中可发生某些外扩散到层 278 中。在这些区域中，高浓度的 N+多晶硅层 322 的上扩散可以使多晶硅层 278 的某些重叠的未掺杂部分成为 N-型杂质掺杂，且其浓度高于阳极注入的 P-型掺杂剂的浓度。例如，在末端区 290 中，多晶硅层 278 中的直接在沟之上的部分具有 N+掺杂剂浓度，而多晶硅层 278 在场电极 291，299 中的部分仍然保留 P-型直至 N+源极注入（如下文所述）。

然后涂敷光致抗蚀剂层 332，在有源阵列区 260 限定 N+源极区 302 和在多晶硅二极管区 280 中形成二极管的阴极。光致抗蚀剂层 332 还填充在栅极总线区 270 和末端区 290 中的氮化物层 274 中的间隙。对包括栅极总线、多晶硅场电极 291，299 和多个二极管的阴极的整个结构注入砷，如附图 24N 所示。然后清除光致抗蚀剂层 332。在表 7 中示出了在附图 24L-24N 中所示的步骤的典型过程参数。

表 7

特征	范围	目标值	要求	P-沟道
----	----	-----	----	------

多晶硅层 278 的氧化 (厚度、退火温度和时间)	800 至 3000 埃 800 至 1050°C 5 至 80 分钟	1500 埃 950°C 50 分钟	保护沟栅免于氧化物下降(dip)和金属短(自对准接触区)	相同
剥去氮化物层 274	清除所暴露的氮化物	清洁	对在下面 poly 良好的选择性	相同
源极掩模 (光致抗蚀剂) 掩模 4	阻止砷注入	3 微米的特征	限定 poly 二极管阴极和 N+源极	阻止 BF ₂ 注入
N+ (砷) 注入 (能量和剂量)	20 至 180keV 10^{15} 至 10^{16} cm ⁻² 砷	100keV $8 \cdot 10^{15}$ cm ⁻²	N+必须渗过最初的和 poly 氧化物	BF ₂ 通常 60keV

SSA 接触区的形成

由于在多晶硅总线、多晶硅二极管和多晶硅场电极 291, 299 上的氧化物层 328 是较薄的, 然后通过化学汽相淀积法淀积钝化氮化物层 276, 如附图 24O 所示。接下来是接触区掩模 (未示出), 打开氮化物层 276 并在该区域中暴露多晶硅层 278 (仅由薄的氧化物层 328 所覆盖) 以进行电连接。在有源阵列区 260 中完全清除氮化物层 276。接着进行浅的硼注入作为附面层注入, 可取的是以较低的能量和较低的浓度利用 BF₂ 以便不对 N+区域进行反掺杂。氮化物层 276 还保护在末端区 290 中的场电极 291, 299 之间的区域。可替换的是, 通过光掩模限定的光致抗蚀剂执行硼注入, 并限制在要形成本体接触区的区域中 (将在下文描述)。与多晶硅二极管阴极和栅极总线形成接触区。通过接触区掩模实现本步骤, 该接触区掩模给这些选择的接触区打开区域, 因为它们并不由氮化物层 276 的剩余部分限定。如果该接触区掩模覆盖了这些有源阵列, 在接触窗口中腐蚀氧化物 328, 然后可以清除该掩模, 接着浸渍以清除保留在活性区中的氮化物下的剩余氧化物。如果光掩模在多晶硅二极管区 280、边沿末端区 290 和有源阵列区 260 中具有开孔特征, 则必须注意不要对在沟上的氧化物层过腐蚀而造成短接。

然后浸渍暴露在活性接触区中的薄氧化物层 328, 不要对氧化物层 268 进行过度腐蚀, 该氧化物层在埋入在沟中的多晶硅栅极的顶部。如在附图 24P 和 24Q 所示, 然后将阻挡层金属 303 附加到如下的区域中: 在该区域中已经暴露了在有源阵列区 260 中的台面的硅表面和多晶硅层 278。表 8 示出了在附图 24O-24Q 所示的步骤中的过程步骤的典型参数。

表 8

特征	范围	目标值	要求	P-沟道
氮化物层 276 (CVD) (厚度)	500 至 4000 埃	2000 埃	保护末端、栅极总线 & poly 二极管	相同
接触区掩模 (掩模 5)	腐蚀并清除 在氮化物层 276 中的 接触区开孔	清洁 2 微米 接触区	在栅极总线上打开 较小的特征部分	相同
P+ (B) 注入 (能 量和剂量)	20 至 80keV BF_2^+ $7 \cdot 10^{14}$ 至 $3 \cdot 10^{15} \text{cm}^{-2}$	$X_j < 0.8$ 微米 30keV $2 \cdot 10^{15} \text{cm}^{-2}$	$X_j (\text{P}+) < X_j (\text{N}+)$ 以避免 V_t 变化	砷 ⁺ 60keV $5 \cdot 10^{15} \text{cm}^{-2}$
氧化物浸渍(dip)	清除开始的氧化物	清洁接触区	不清除在沟上的 poly 顶部氧化物	相同
阻挡层金属 (组分 和厚度)	Ti/TN 300 埃至 2000 埃 RAT 烧结	1000 埃 900°C 20 秒	与 N+&P+硅 欧姆接触, N+ poly	相同

P+本体的接触区的形成

这是可选的过程步骤 (未示出), 在该步骤中通过掩模选择 P+注入区而不是进入到每个接触区 (如在附图 24O 中所示)。这允许利用较高的剂量进行注入。掩模应该保持 P+掺杂剂沿着沟侧壁进入沟道区, 但除了要接触的本体区以外。表 9 所示为本可选步骤的一些过程变量。

表 9

特征	范围	目标值	要求	P-沟道
P+掩模 (光致抗蚀 剂)	阻止 BF_2 注入	2 微米的特征	限定本体接触区	阻止砷注入
P+注入 (能量和剂 量)	20 至 80eV $\text{BF}_2^+ 7 \cdot 10^{14}$ 至 $8 \cdot 10^{15} \text{cm}^{-2}$	0.8 微米	没有深度限制	砷 ⁺ 60keV $5 \cdot 10^{15} \text{cm}^{-2}$

顶部金属的形成

金属层 269 的淀积和构图完成了该制造过程。不需要钝化掩模，因为氮化物层 276 钝化了末端和多晶硅栅极总线。表 10 所示为用于金属层 269 的过程变量。

表 10

特征	范围	目标值	要求	P-沟道
金属层 269 (厚度和成分)	5 至 5 微米 AlCu, AlCuSi, AlSi	3 微米 AlCu	欧姆接触	相同
金属掩模 (掩模 6) (光致抗蚀剂/腐蚀)	1 至 20 微米线条 1 至 3 微米间隔	2 微米线条和 间隔	没有短接	相同

附图 25A-25C 所示为在沟的底部上形成厚的氧化物层的一种方法的步骤 (参见附图 24F)。在已经腐蚀沟 262 之后，如附图 24E 所示，通过热处理在沟的底部和侧壁上形成牺牲栅极氧化物层 352 以补救由腐蚀过程所造成的对硅的损坏。然后清除氧化物层 352。然后通过 CVD 在垂直方向上淀积氧化物以填充沟 262 并溢出氮化物层 274，如附图 25A 所示。最后得到氧化物层 350。然后内腐蚀氧化物层 350 直到仅保留在沟 262 的底部上的较厚的氧化物层 261，如附图 25B 所示。然后通过热过程在沟 262 侧壁上生长薄氧化物层 266。如表 4 所示，栅极氧化物层 266 的厚度通常为 70 至 700 埃。

根据本发明的另一方面，通过几种附加技术中一种能够克服与将接触区掩模与较窄的台面组合导致台面台阶覆盖问题相关的问题，如附图 8B 和 8C 所示。这些技术可以制造在附图 12A 中所示的结构，但横向地充分地降低了“较大的”接触区尺寸以生产在附图 13 的区段 II 中的器件，或结合在此所描述的 SSA 技术生产在区段 I 中的器件。

附图 27A 所示为沟型 MOSFET，该沟型 MOSFET 中与台面接触的接触区宽度为亚微米型，即氧化物层 400 的厚度大于接触区的宽度 δ_{N+} 。通过在较高的压力下 (通常为几倍大气压，例如 1.2-4 个大气压) 通过淀积金属层 402 (例如铝) 来制造这种结构。高压有助于迫使金属离子 (通常为铝或铜) 进入接触窗口，由此避免造成如附图 8B 和 8C 所示的凹口和空隙的淀积特性。例如，在这样的条件下执行铝-铜-硅淀积能够改善台阶覆盖：即与通常所使用的但压力高于大气压的条件相同的条件。例如，在两个大气压和 250°C 的晶

片温度下，台阶覆盖好于在大气压下的台阶覆盖。

如附图 27B 所示，较厚的金属层 402 的高压淀积可以与阻挡层 404 的形成相结合。如果使用阻挡层比如 Ti 和 TiN 夹层，则可以在升高的温度例如在 400°C 下甚至在接近金属（例如铝）的熔化温度下进行淀积，而不会使在层 402 中的金属与阻挡层金属形成合金或烧结以致形成能够将 N+源极区（或 P-本体）与栅极电极短接的金属“钉(spike)”或降低栅极氧化物层质量的晶体缺陷。如果温度足够高（例如 400 至 450°C），则在大气压下可以进行淀积。例如通过溅射、蒸发、化学汽相淀积（CVD）或等离子体增强化学汽相淀积（PECVD）方法都可以执行淀积。

如附图 27C 和 27D 所示，以另一种材料比如钨或铜填充接触窗口，然后利用公知的工艺平面化，以形成将顶部金属层 408 与阻挡层金属 404 互连的栓针形接点（plug）406。利用包括接触区掩模的方法流程形成在附图 27C 中所示的器件。淀积、加掩模并腐蚀氧化物层 400 以形成接触区开口。虚线表示在从氧化的栅极多晶硅中所得的氧化物和淀积的氧化物层 400 之间的边界。

利用本发明的 SSA 方法形成在附图 27D 中所示的器件。然后在 SSA 结构上回流玻璃层 412 比如硼磷硅酸盐玻璃(borophosphosilicate glass(BSPS))，并利用接触区掩模限定在玻璃层 412 中的接触区开口 414，利用形成针形接点 406 的金属填充在玻璃层 412 中的接触开口 414。在多晶硅埋入栅极的氧化表面的顶部（即顶部氧化物）上淀积玻璃层 412。层 413 是从在 SSA 方法中所使用的氮化物层中剩下的氮化物。在 SSA 流中接触区掩模和插入玻璃的效能主要是降低在源极金属和埋入的沟栅的顶部之间的耦合电容。

附图 28A-28D 所示为根据本发明的这一方面形成器件的方法的工序。在附图 28A 中，在已经完成了 SSA 方法之后，沟型 MOSFET 已经由玻璃层 420 覆盖了以使其具有相对较平整的顶部表面，该玻璃层例如可以是硼磷硅酸盐玻璃（BPSG）。如附图 28B 所示，然后对该器件施加掩模并腐蚀以形成接触窗口 422，在 N+源极区的表面上淀积可选的阻挡金属层 424。如附图 28C 所示，使用比如钨的材料层 428 以填充接触孔 422，层 428 充分延伸到玻璃层 420 的表面之上的平面。钨层 428 的设计规则与用于填充与在附图 9B 和 9C 中所示的沟的多晶硅的设计规则类似。接着，如在附图 28D 中所示，钨层 428 是内腐蚀或是利用化学-机械抛光的磨光平面，而金属层 430 淀积在层 428 上。

钨层 428 提供了平整的表面，因此金属层 430 并不必延伸到由玻璃层 420 所形成的台阶上。

上文所描述的实施例仅是说明性的而不是限制性的。对于本领域的熟练人员来说根据本发明的原理显然可以有其它的实施例。

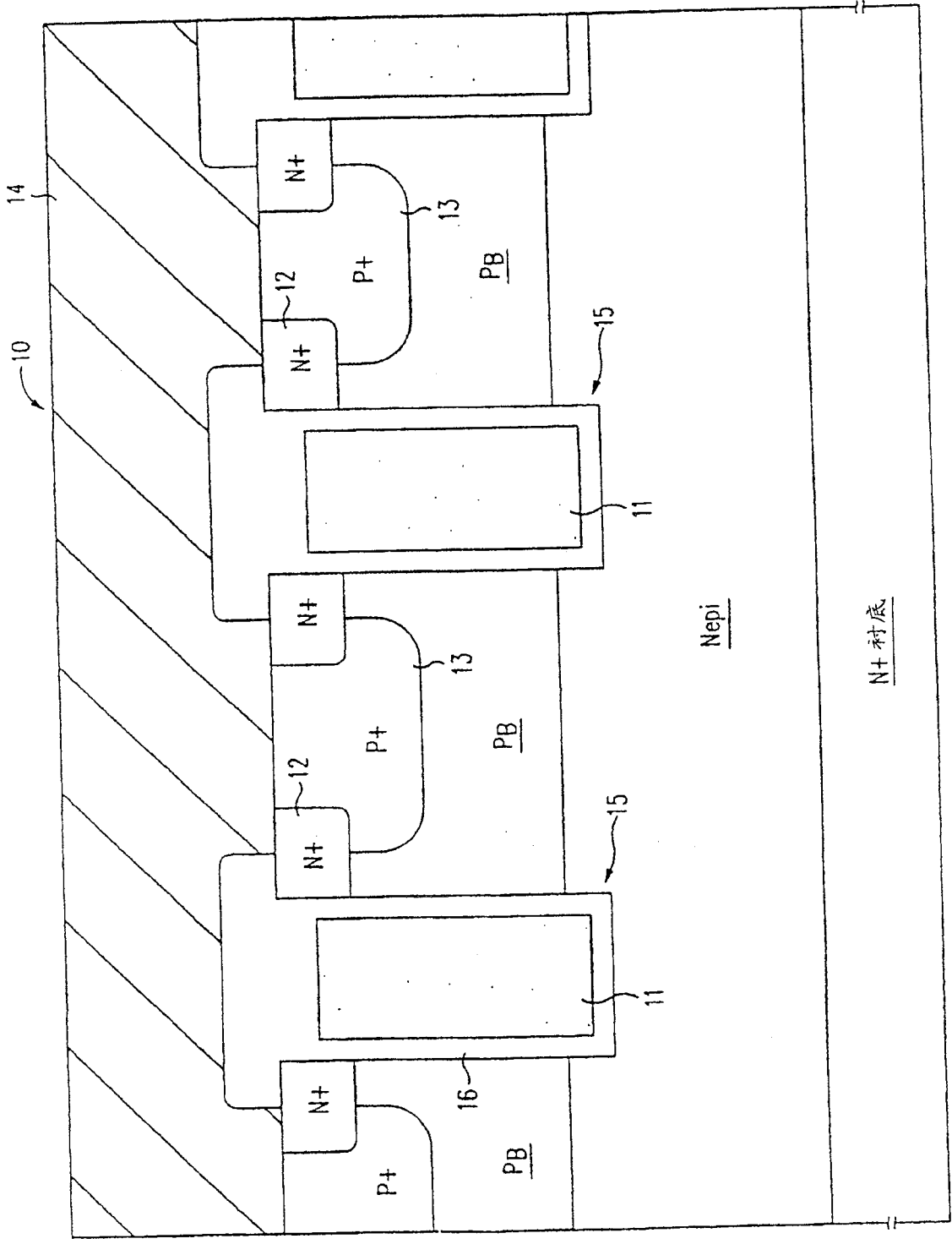
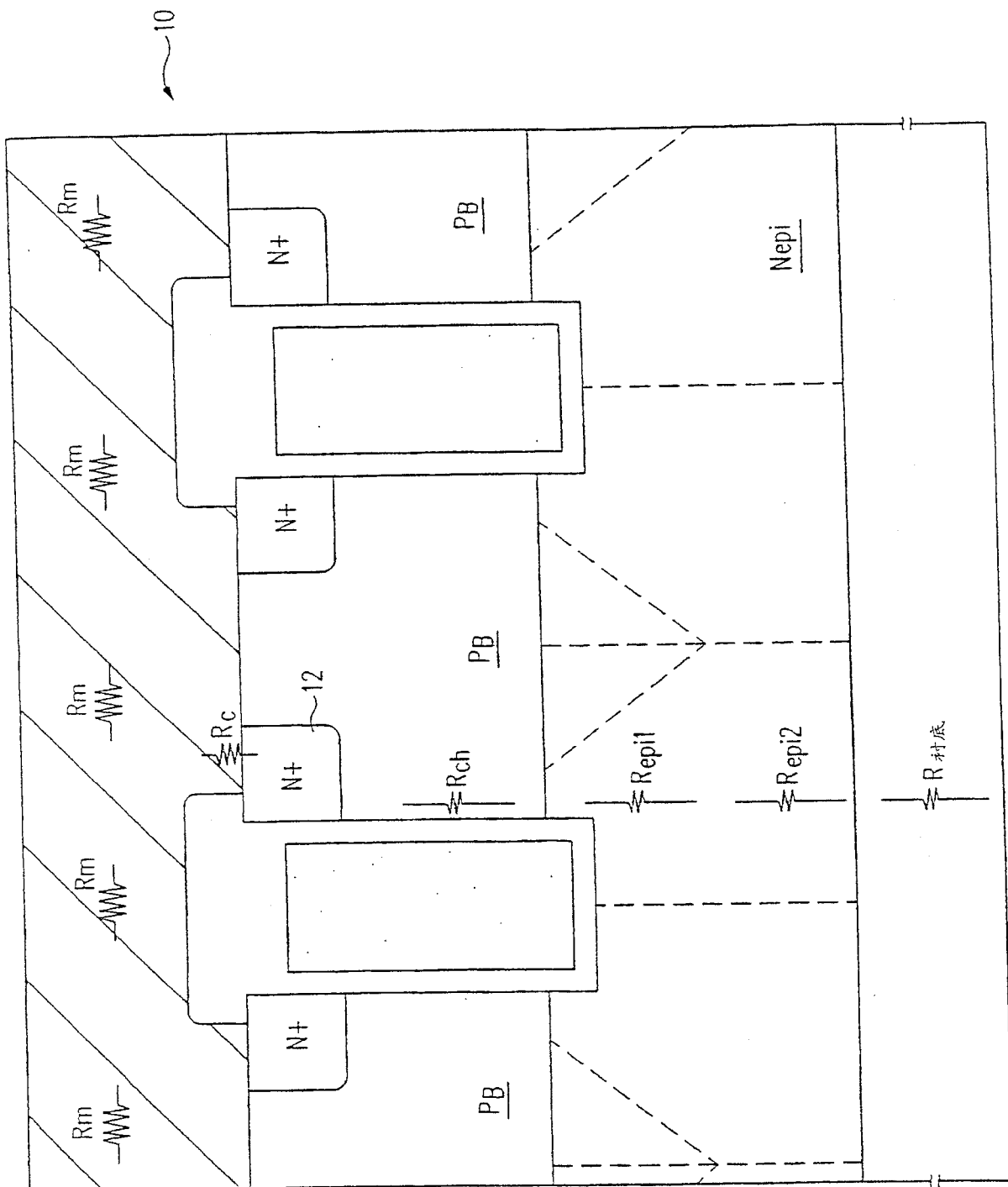


图 1



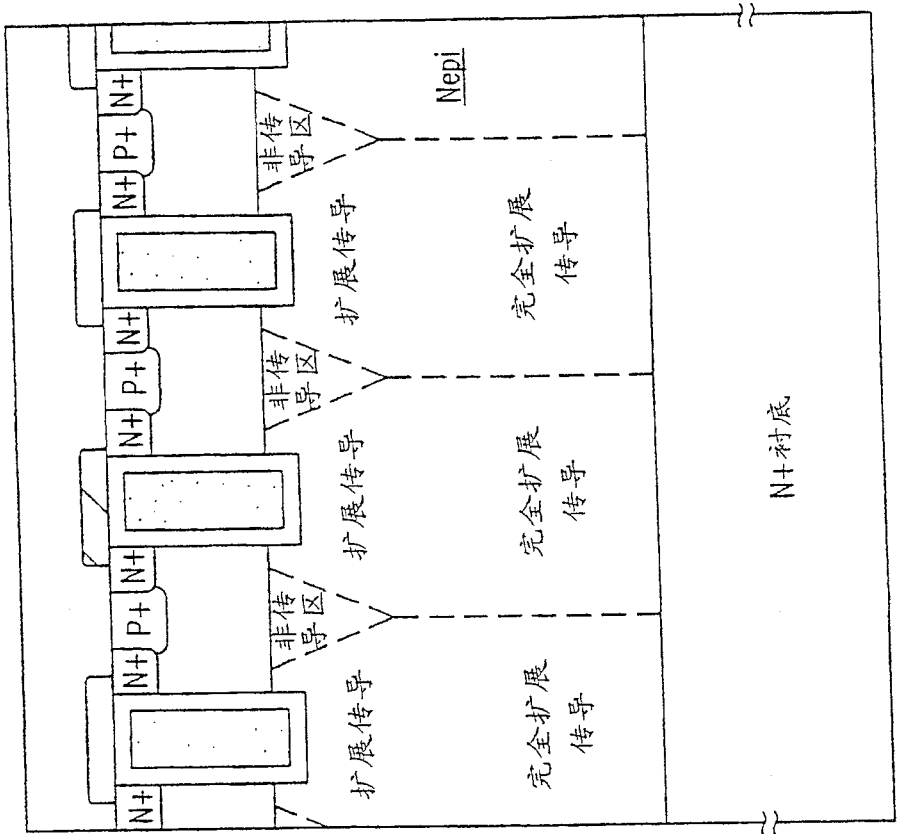


图 3B

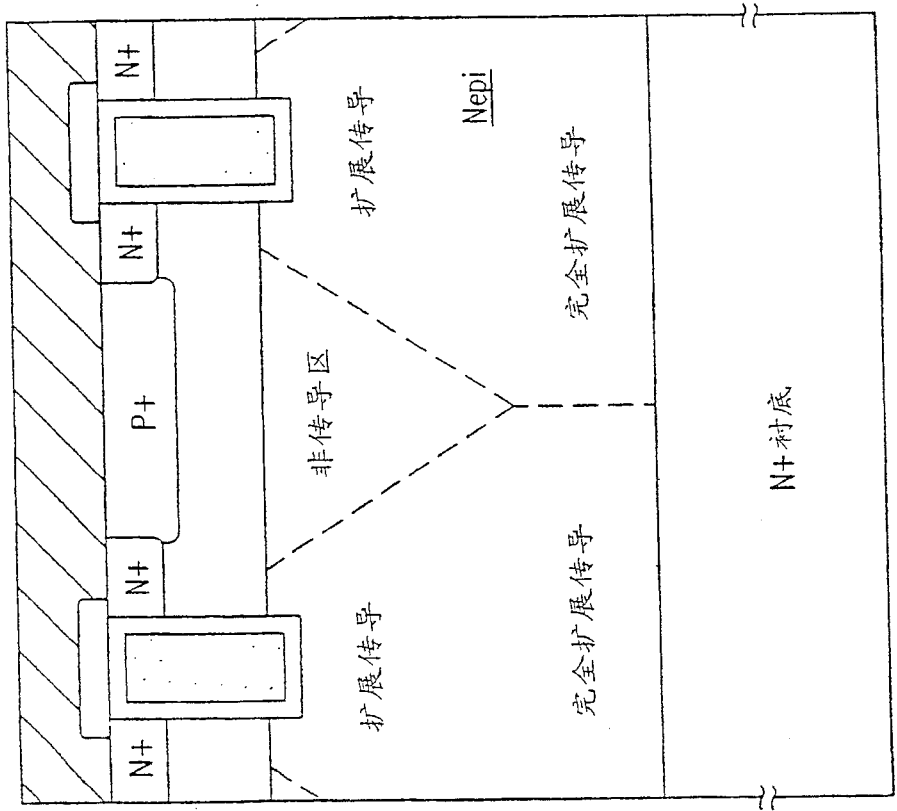
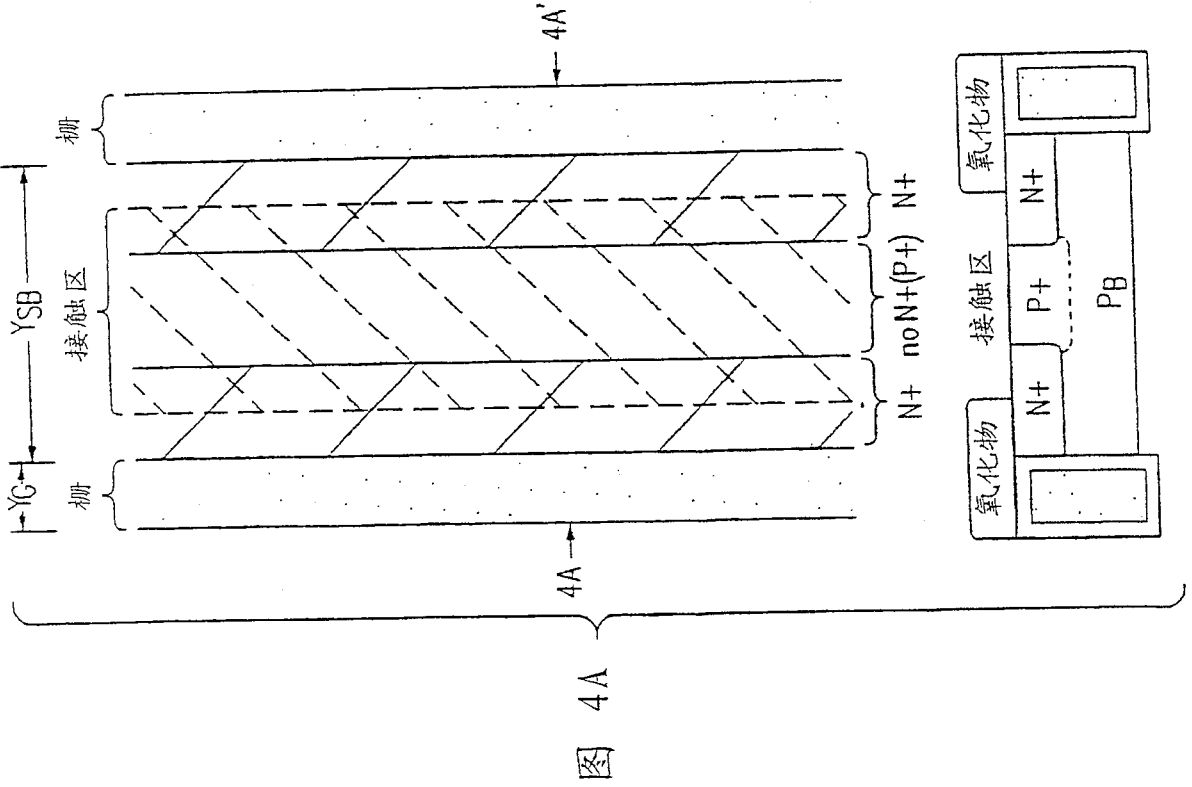
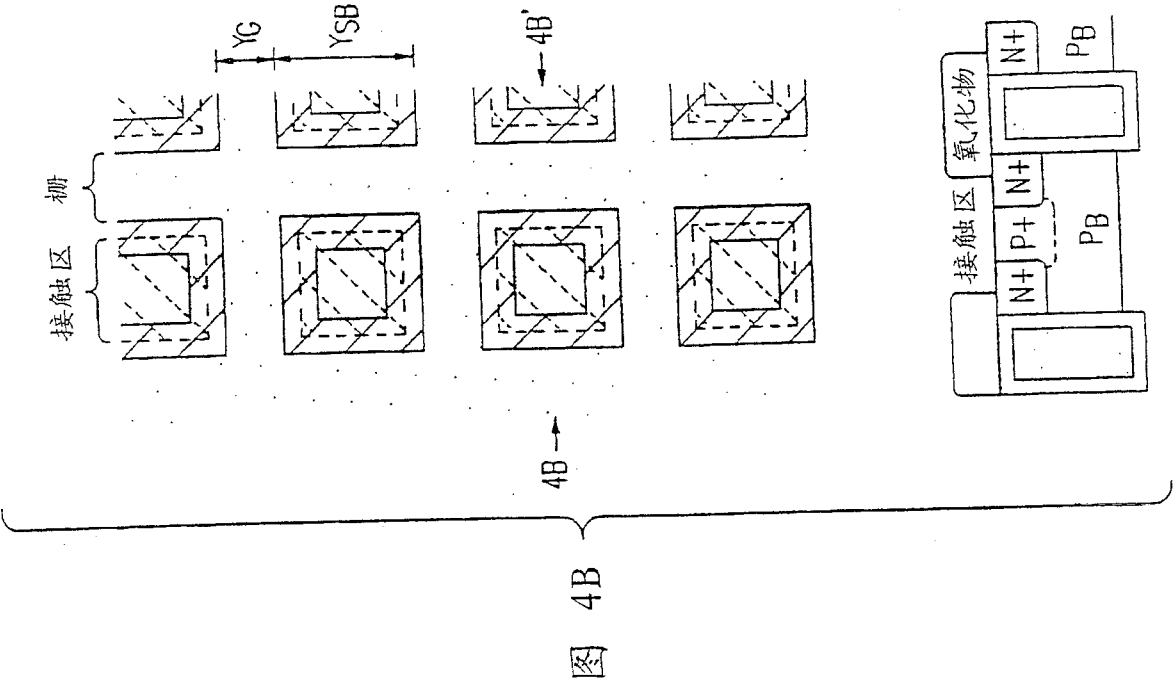
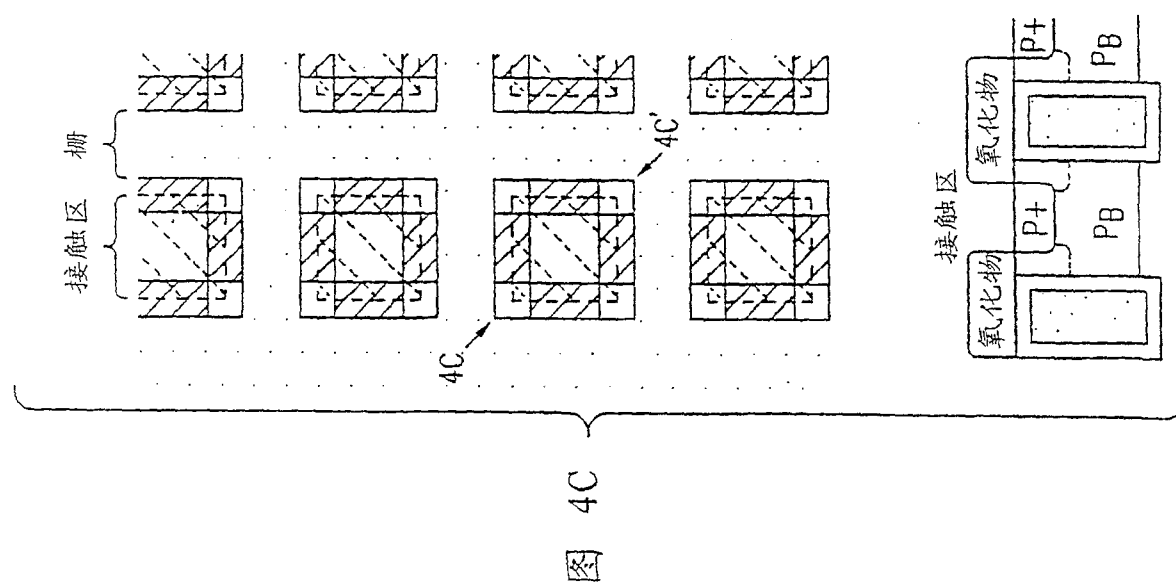
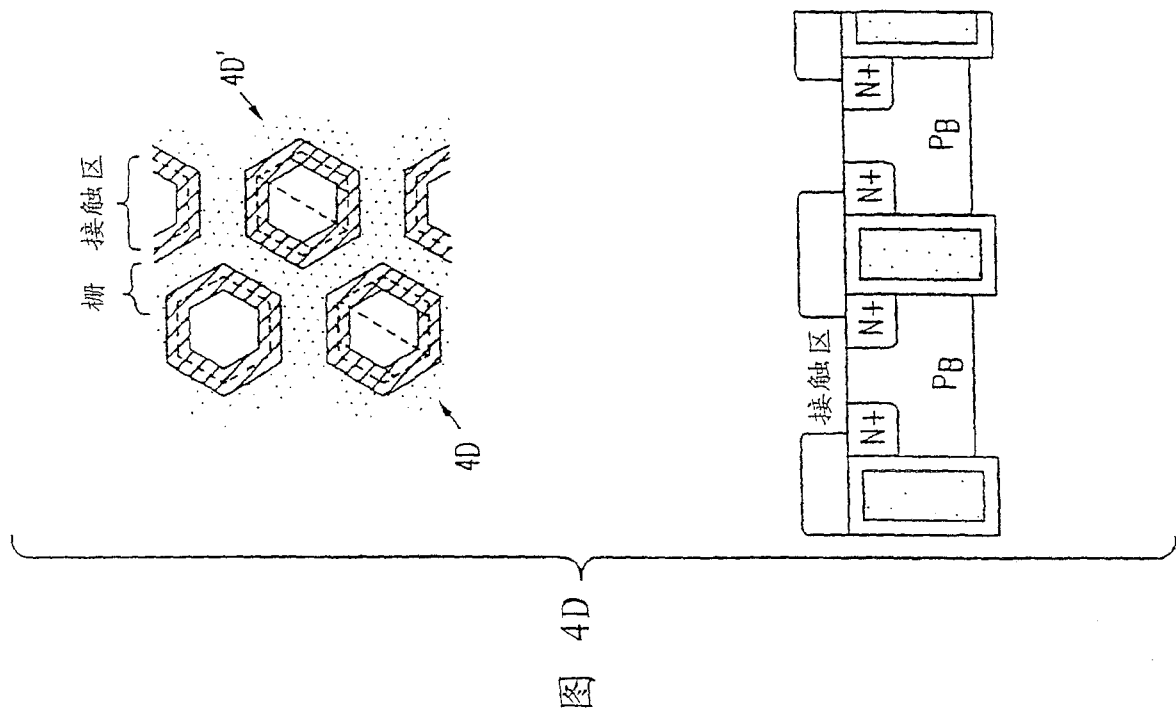


图 3A





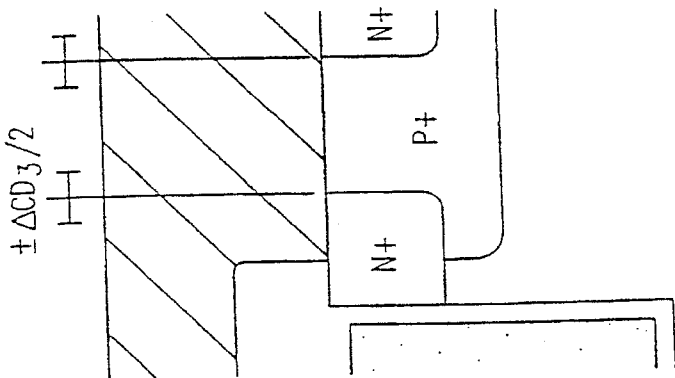


图 5C

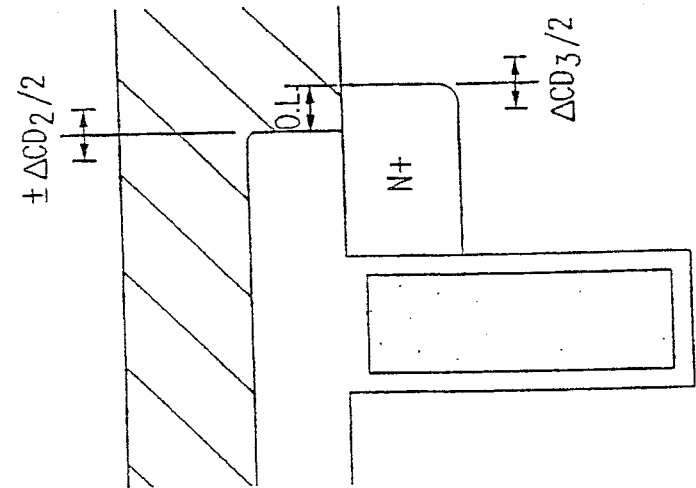


图 5B

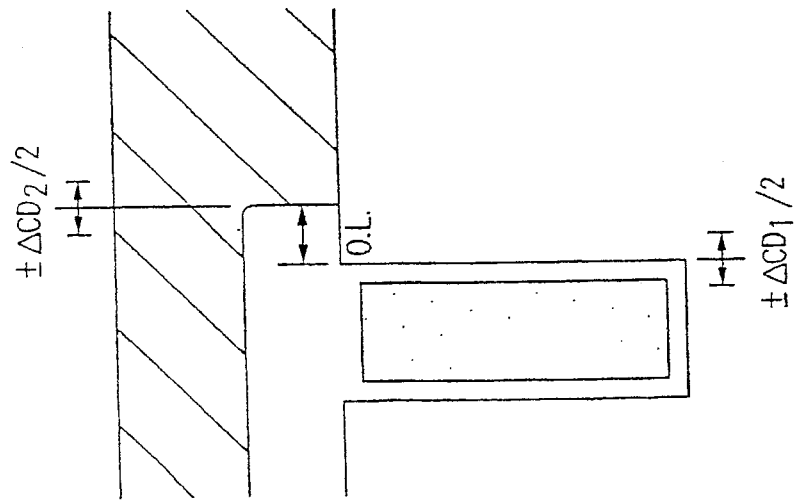


图 5A

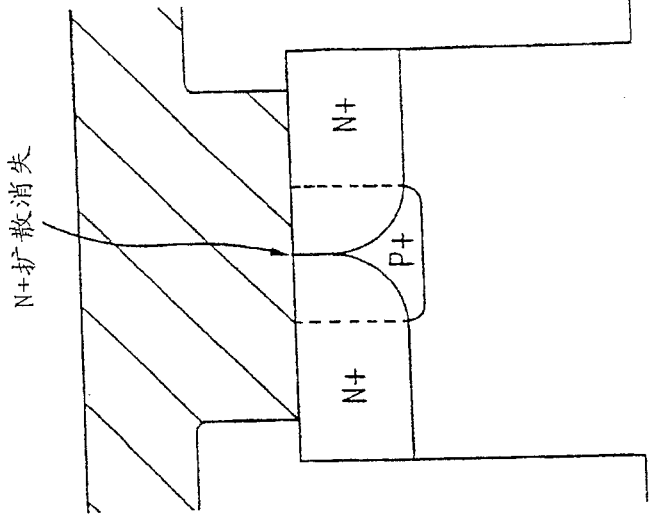


图 5F

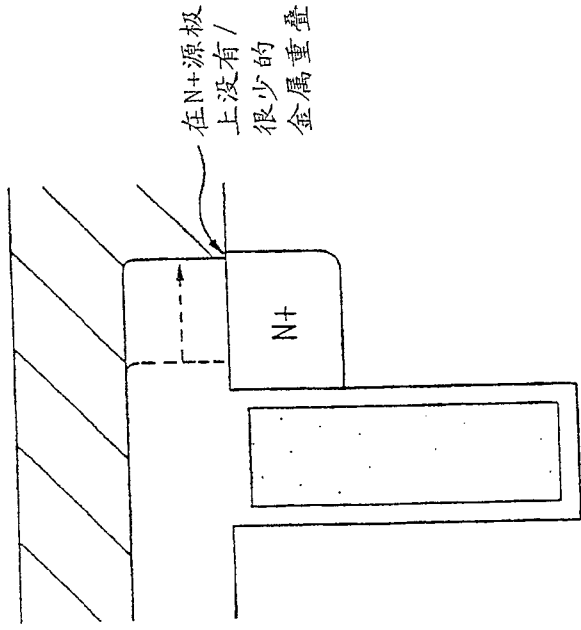


图 5E

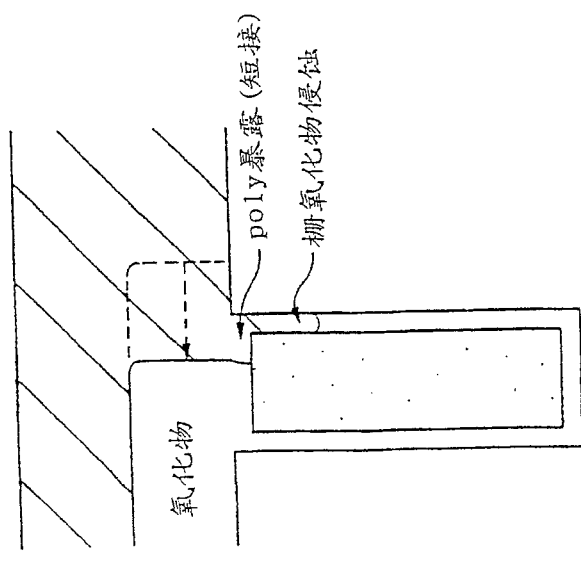


图 5D

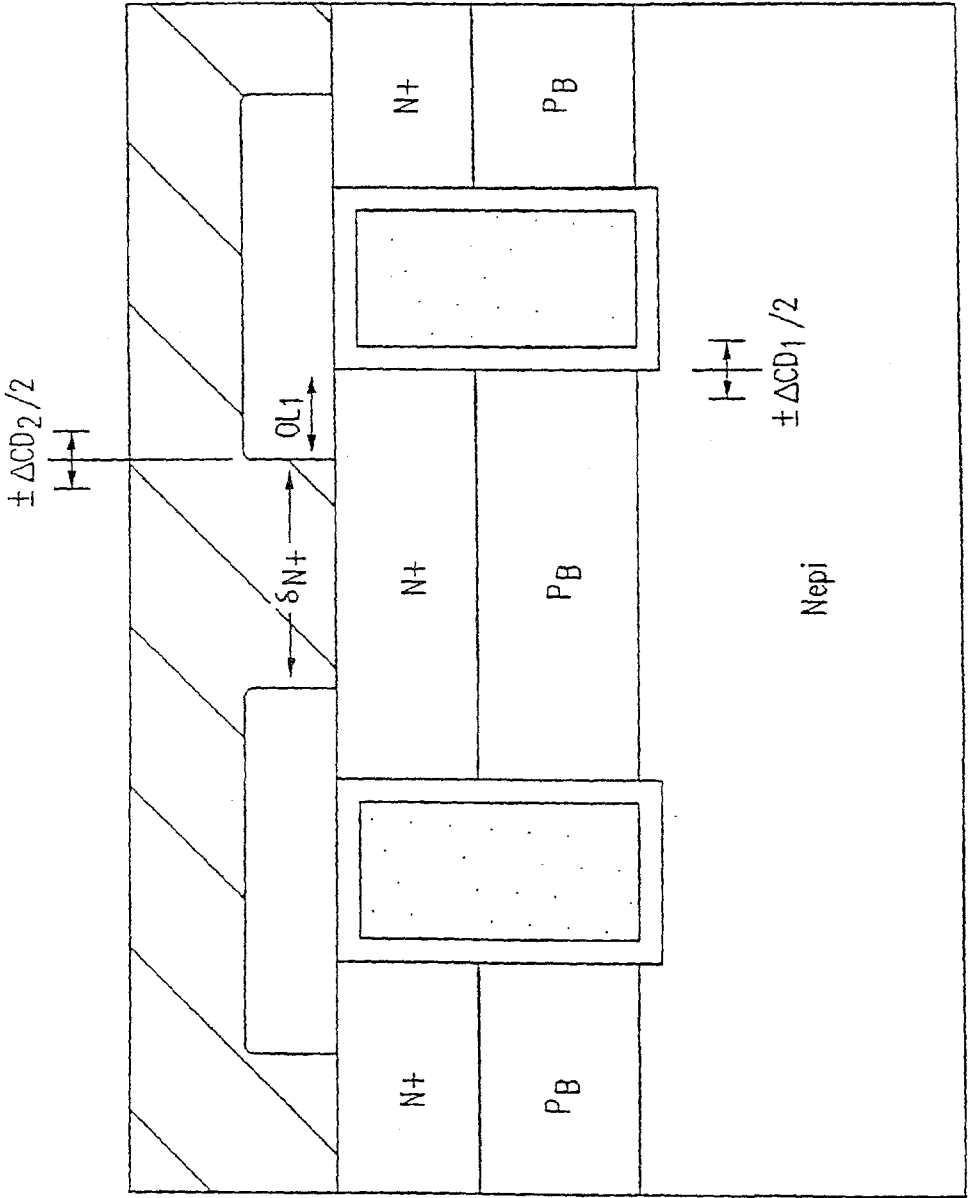
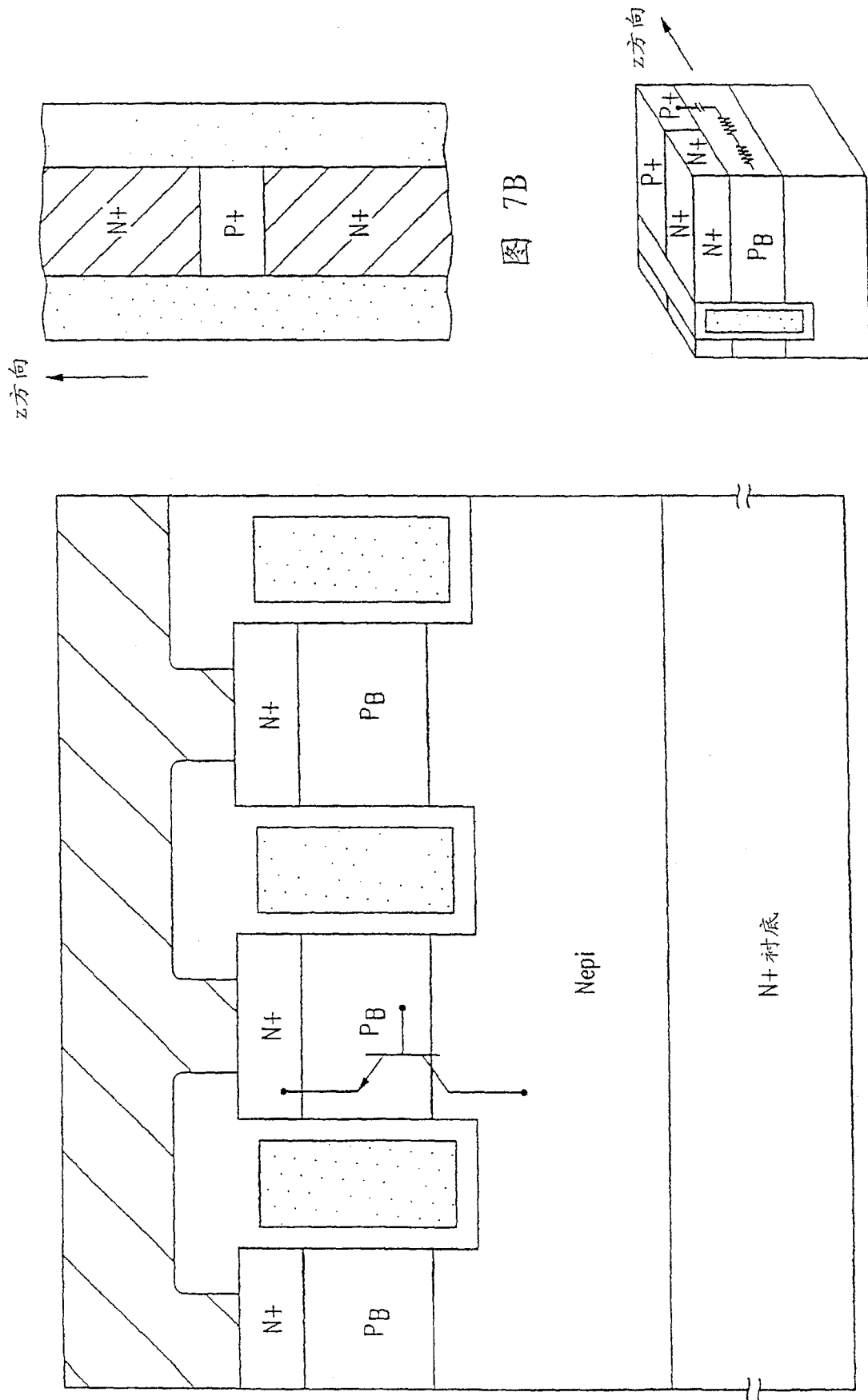


图 6



7C

7A

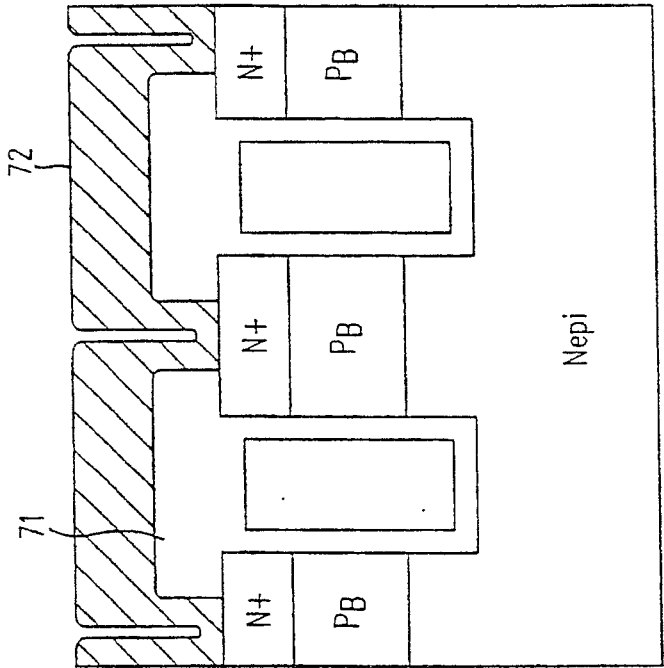


图 8B

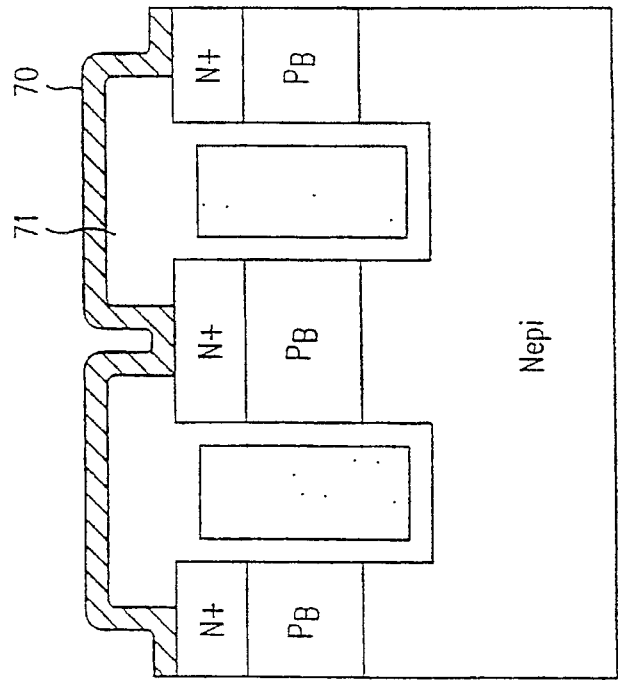


图 8A

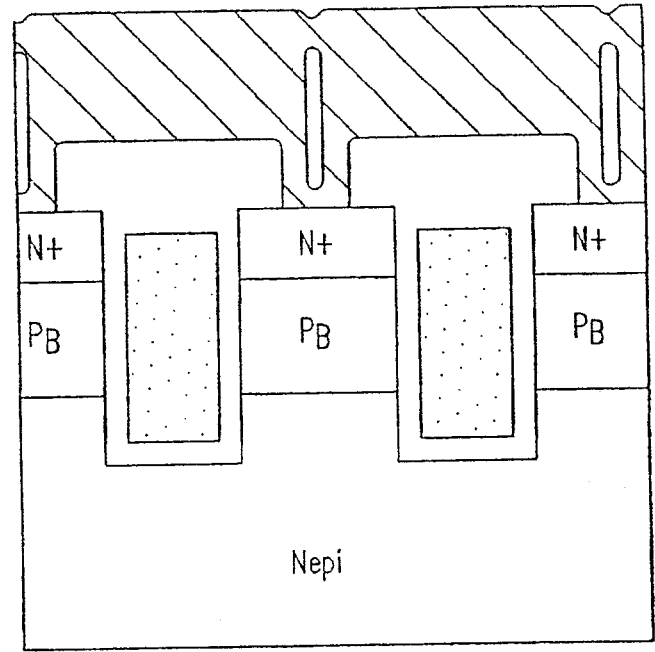


图 8C

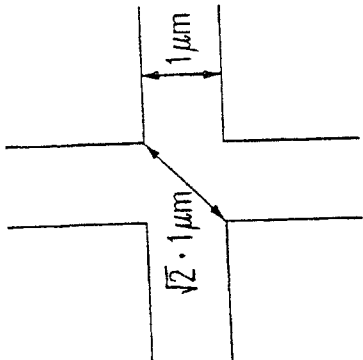


图 9B

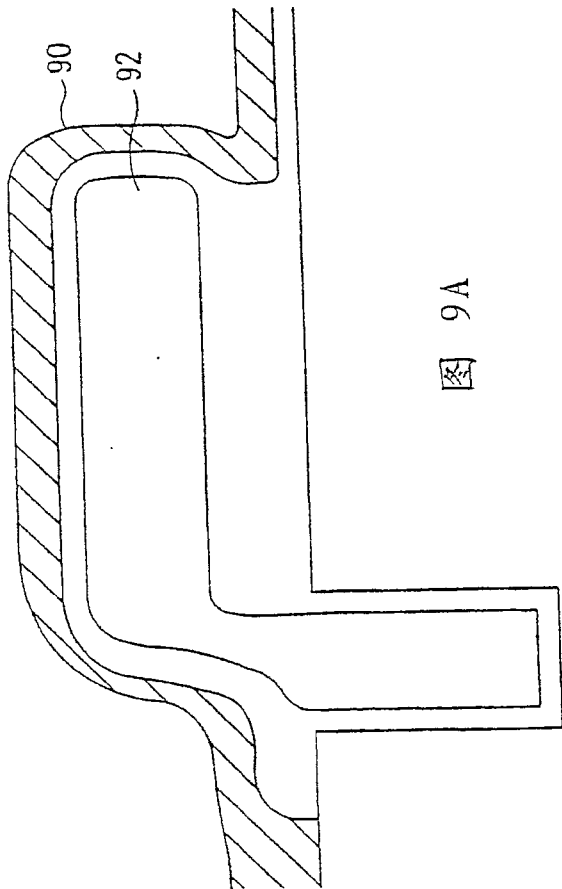


图 9A

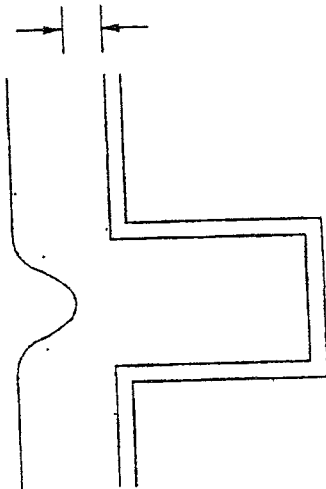


图 9C

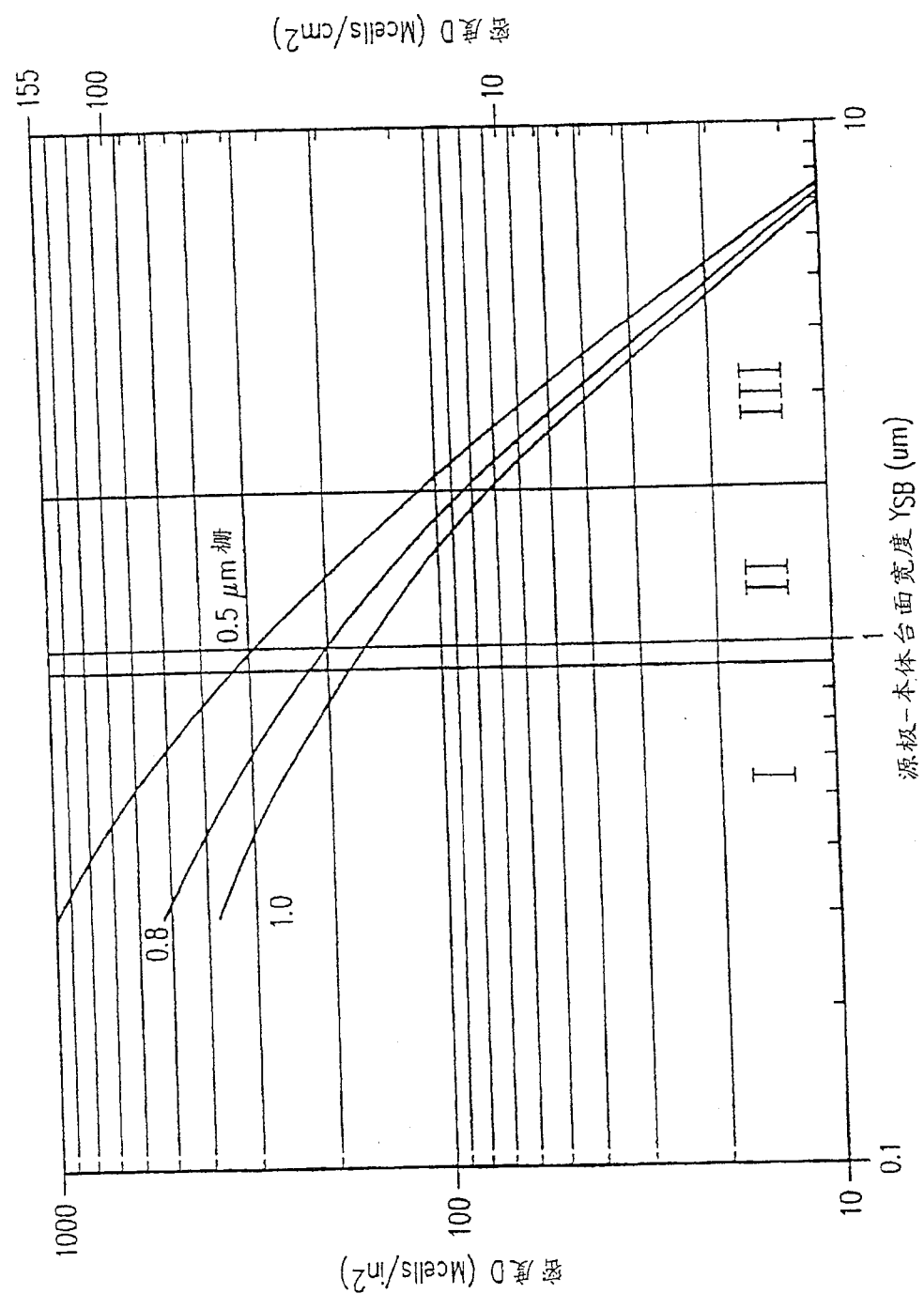


图 10A

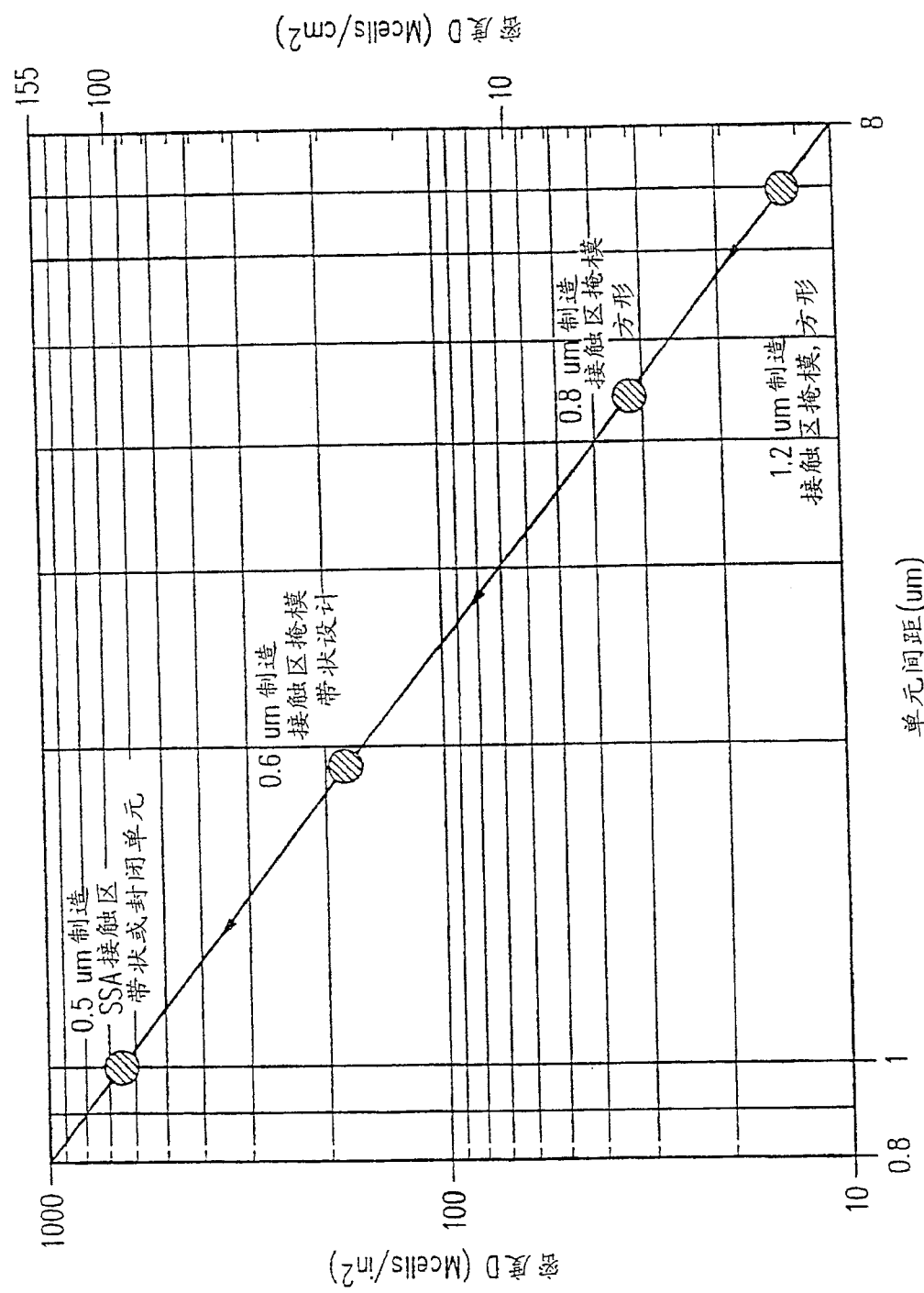


图 10B

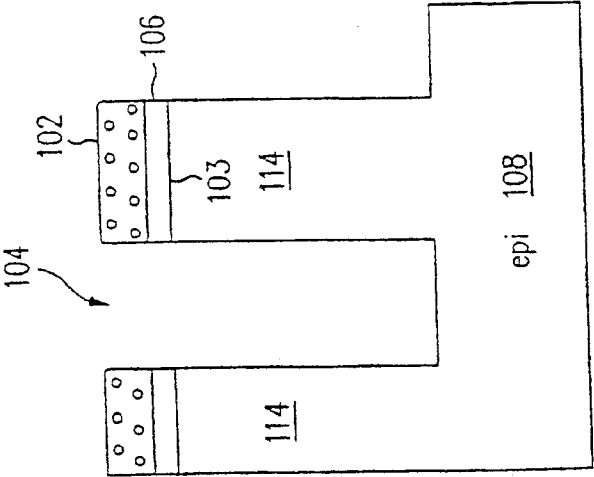


图 11A

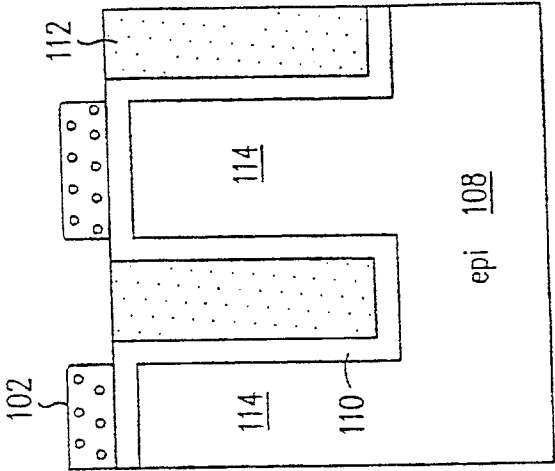


图 11B

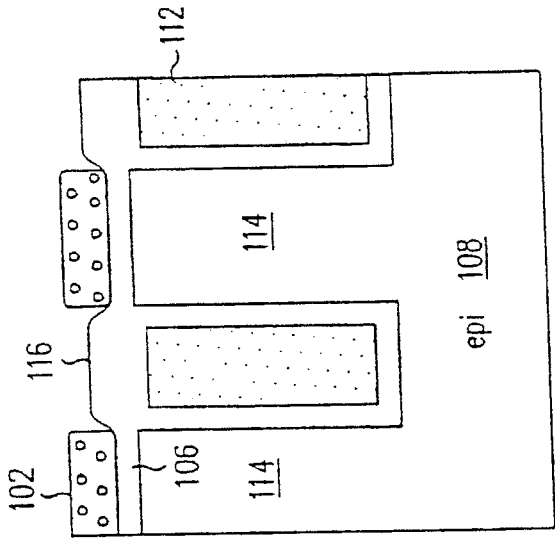


图 11C

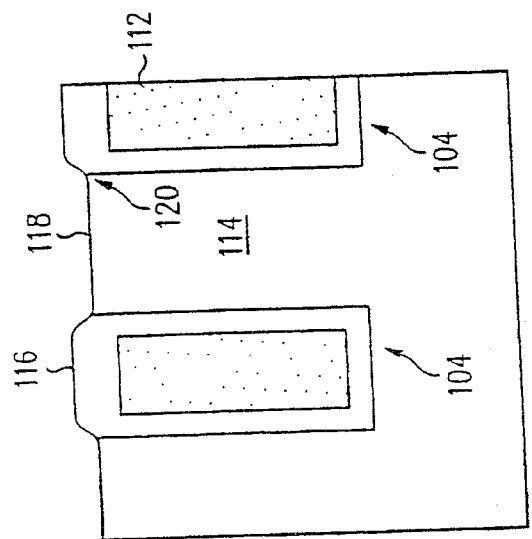


图 11E

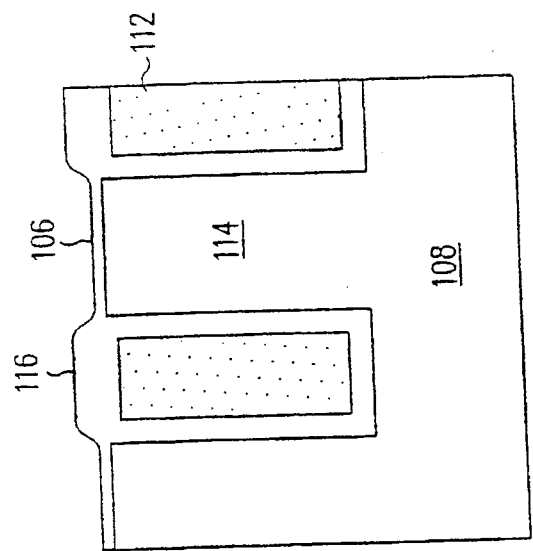


图 11D

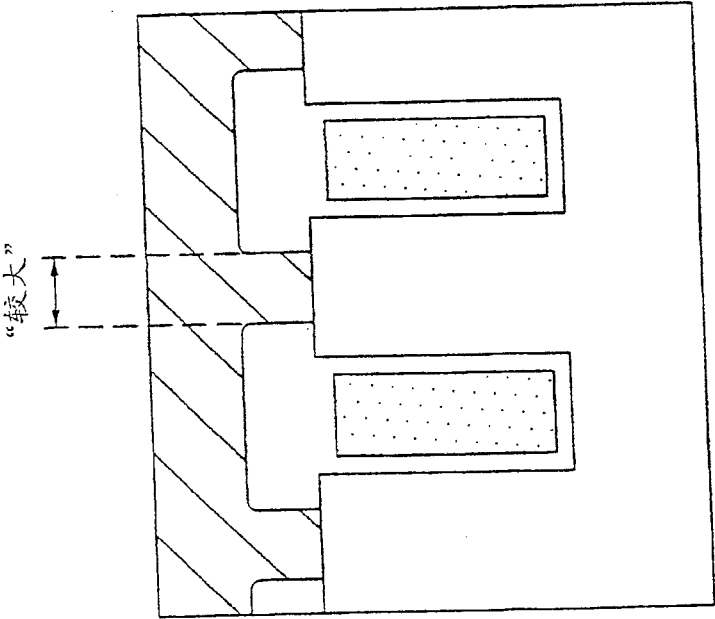


图 12A

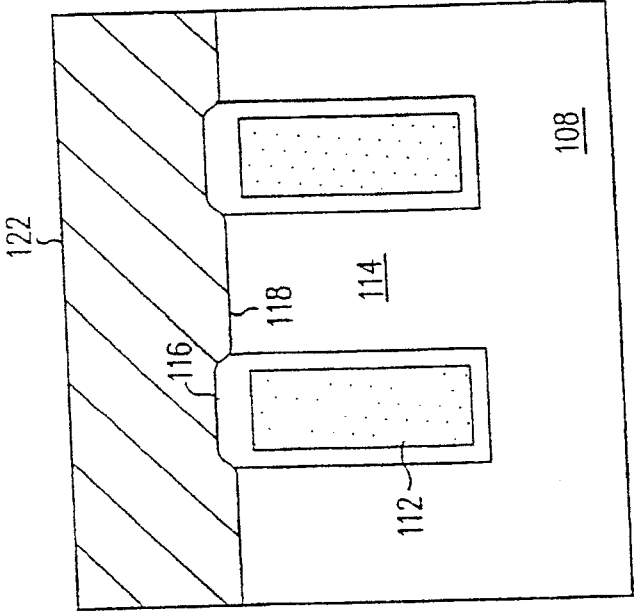


图 12B

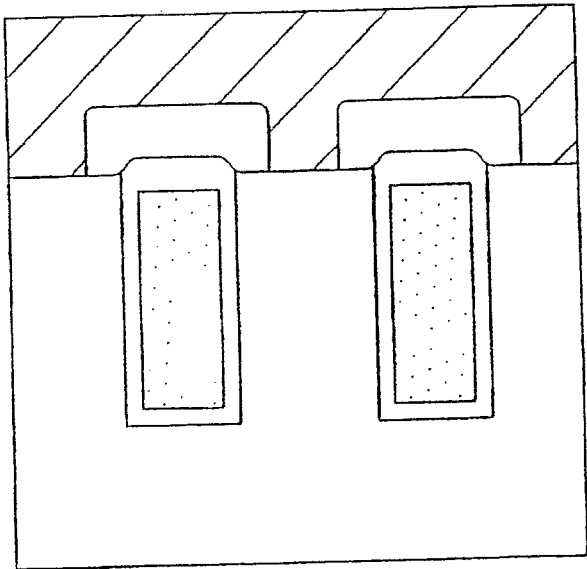


图 12C

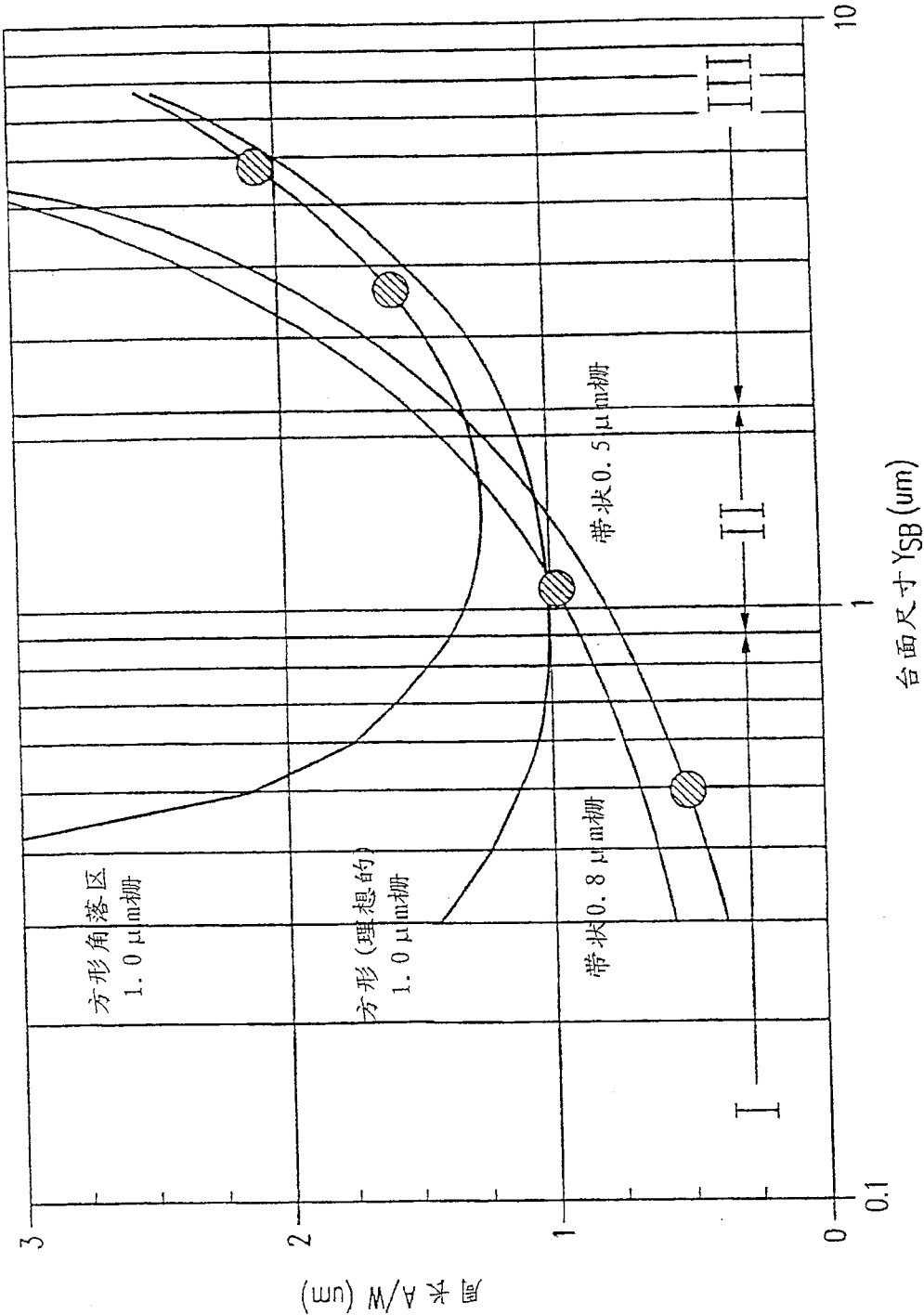


图 13

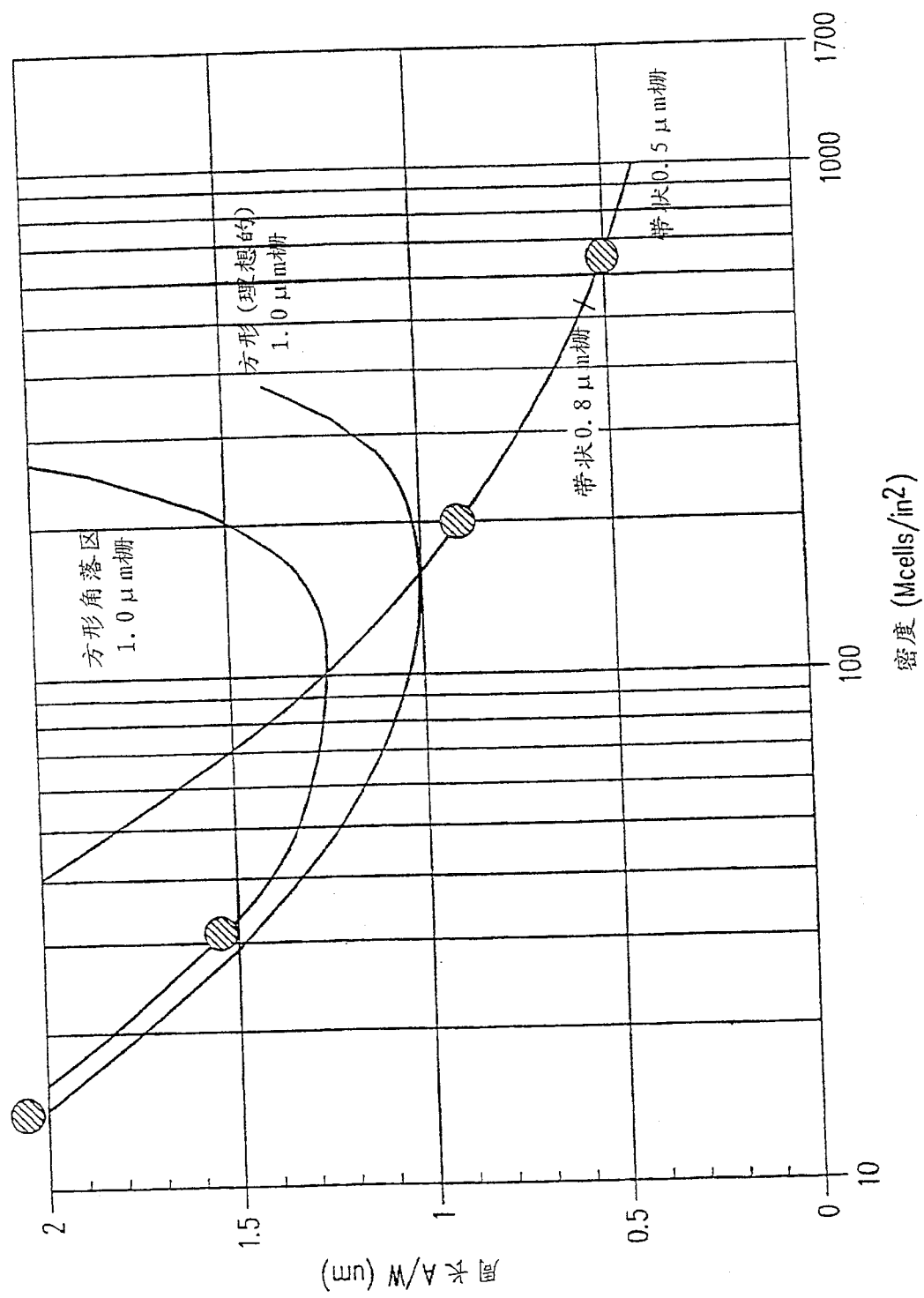


图 14

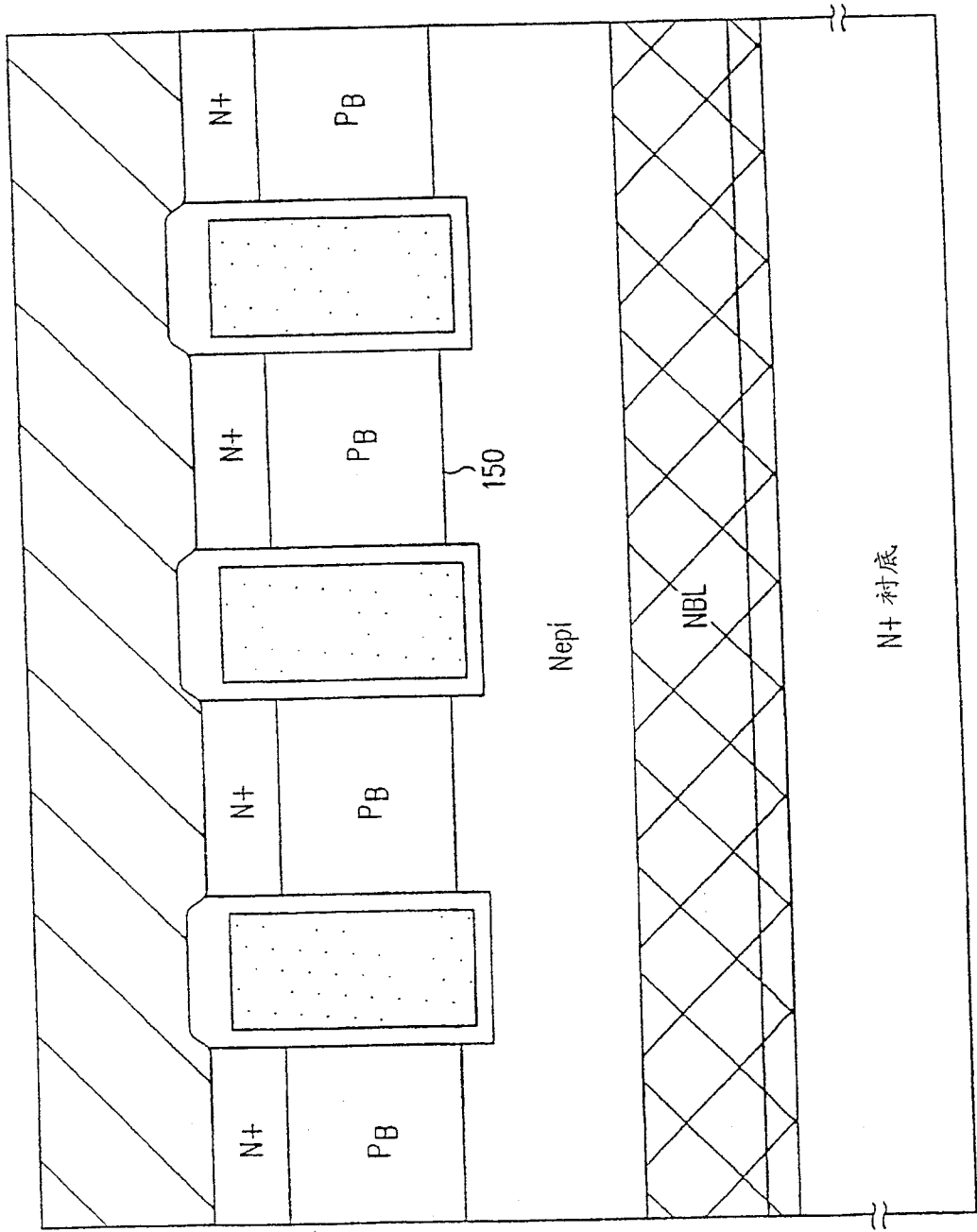


图 15A

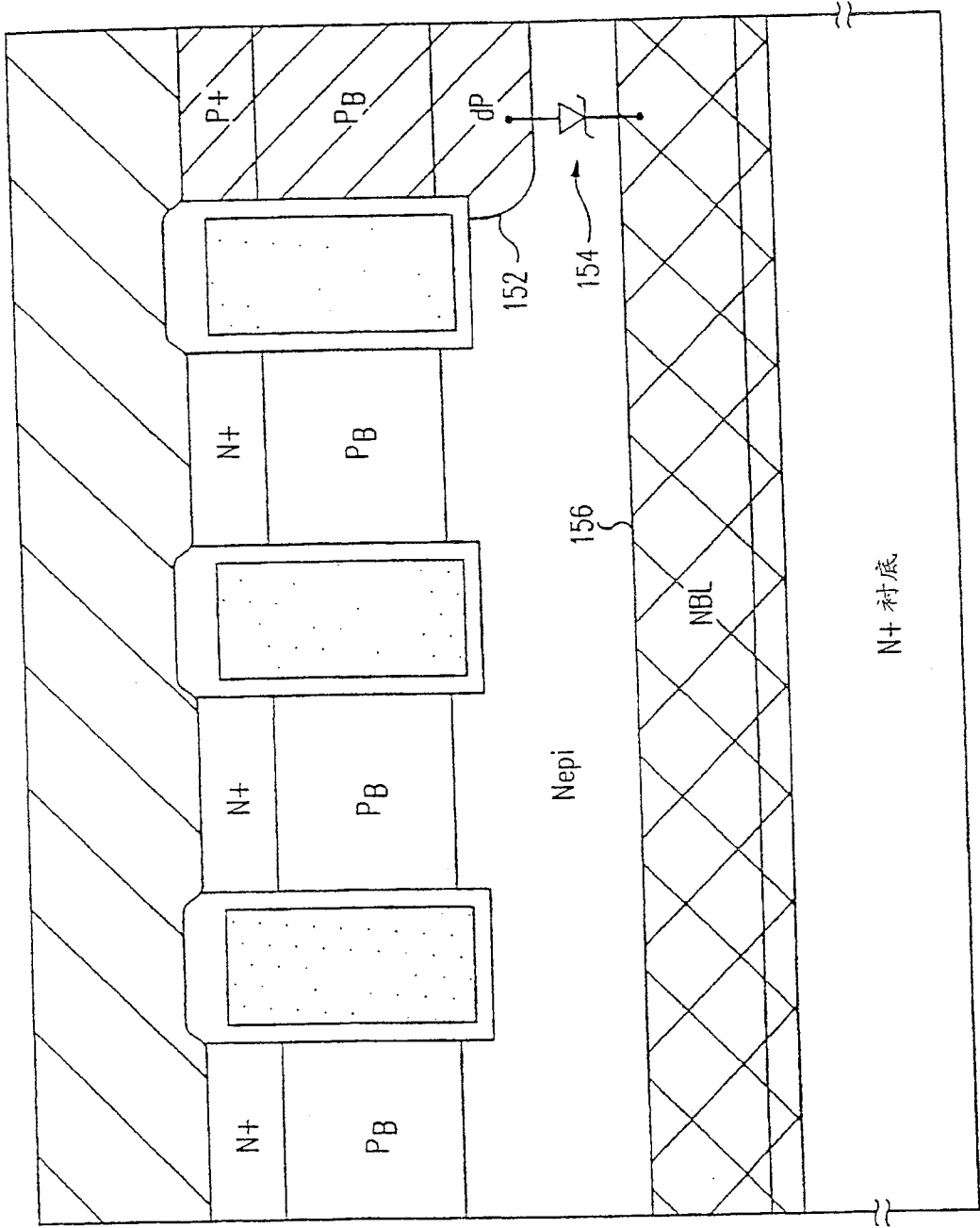


图 15B

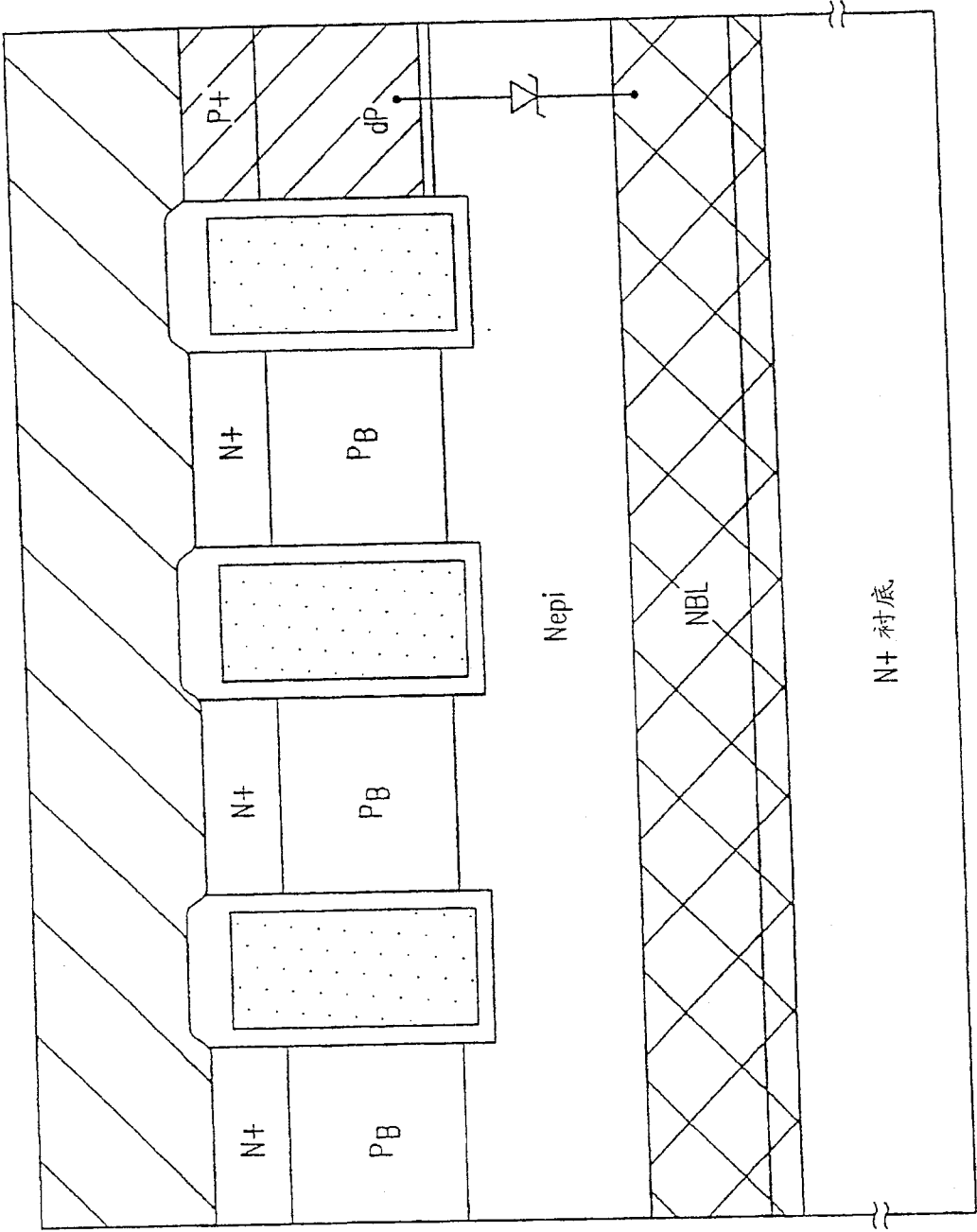


图 15C

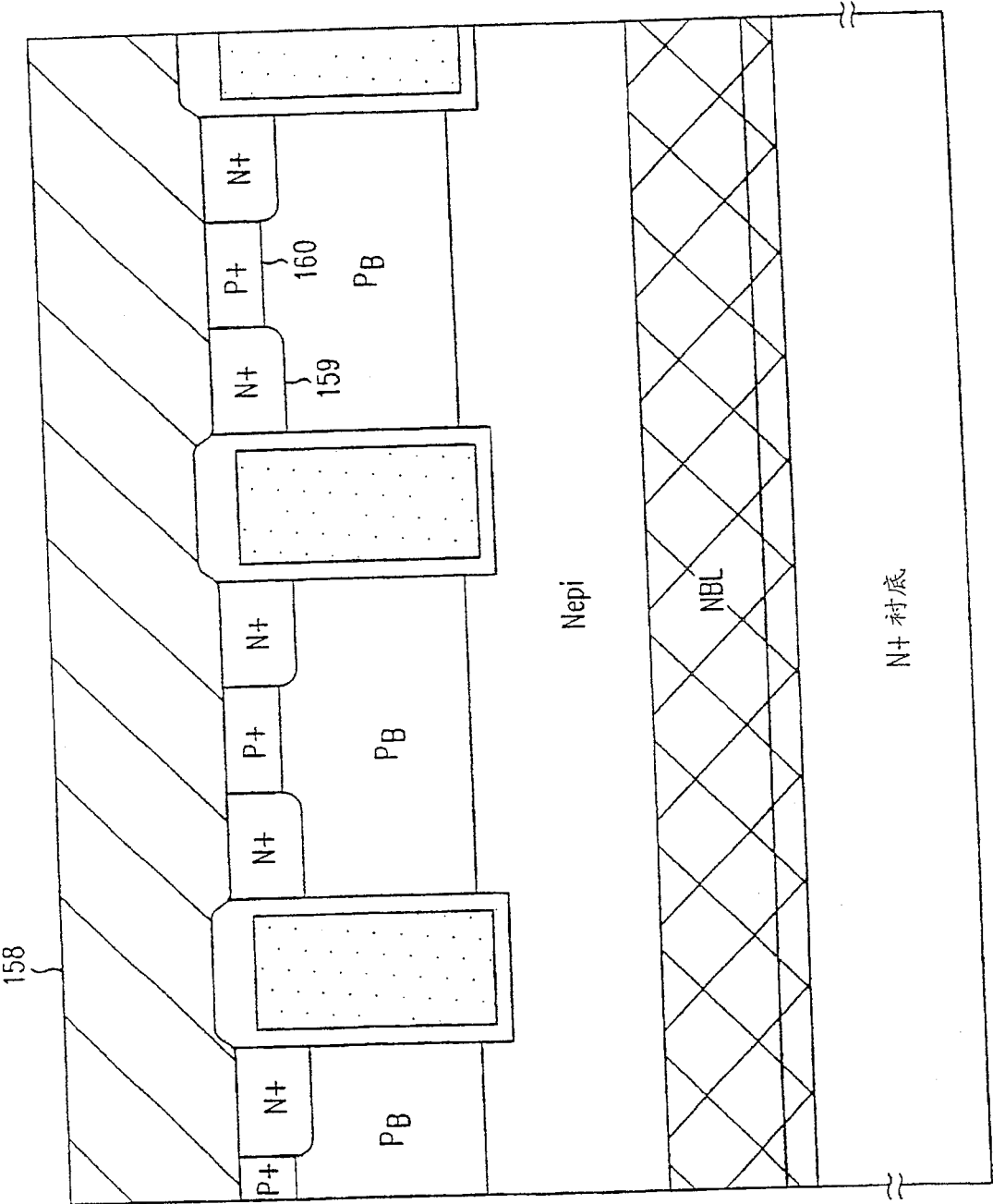


图 15D

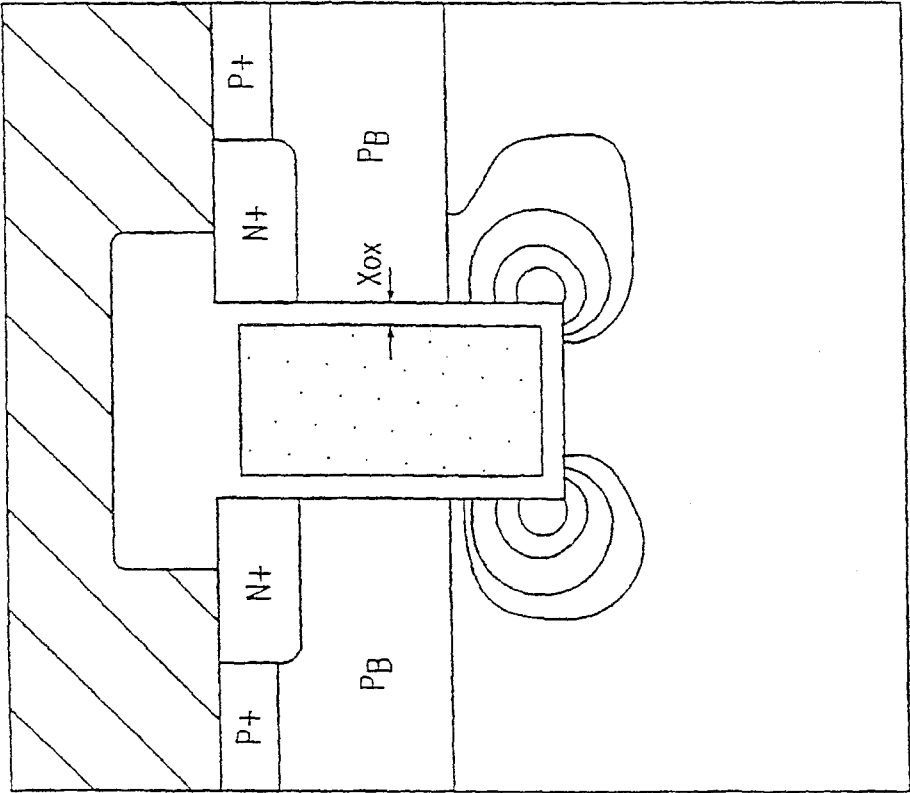


图 16A

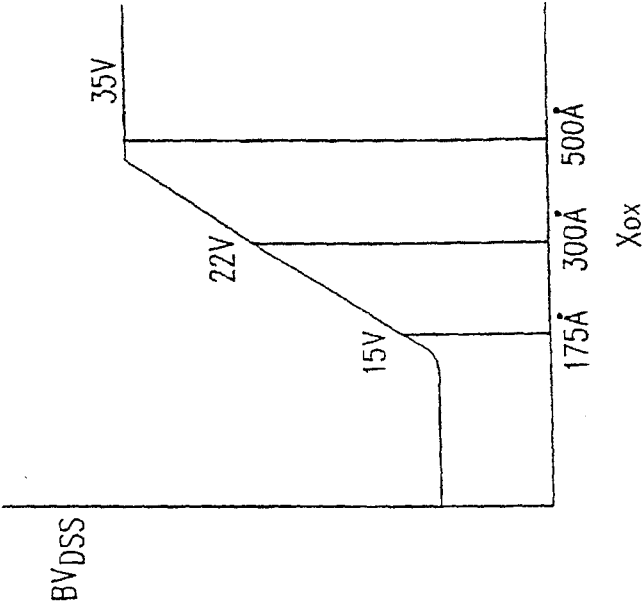


图 16B

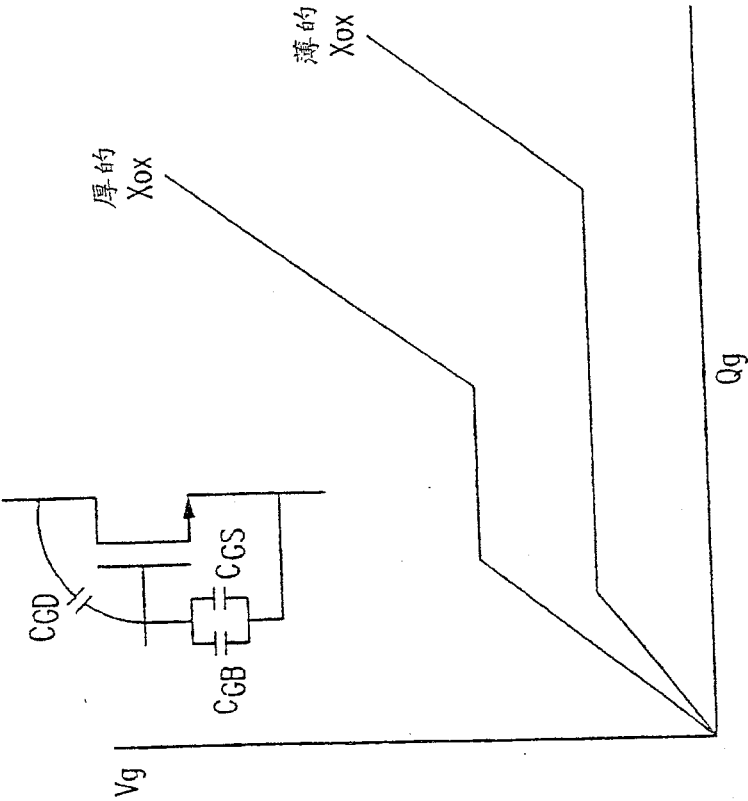


图 17A

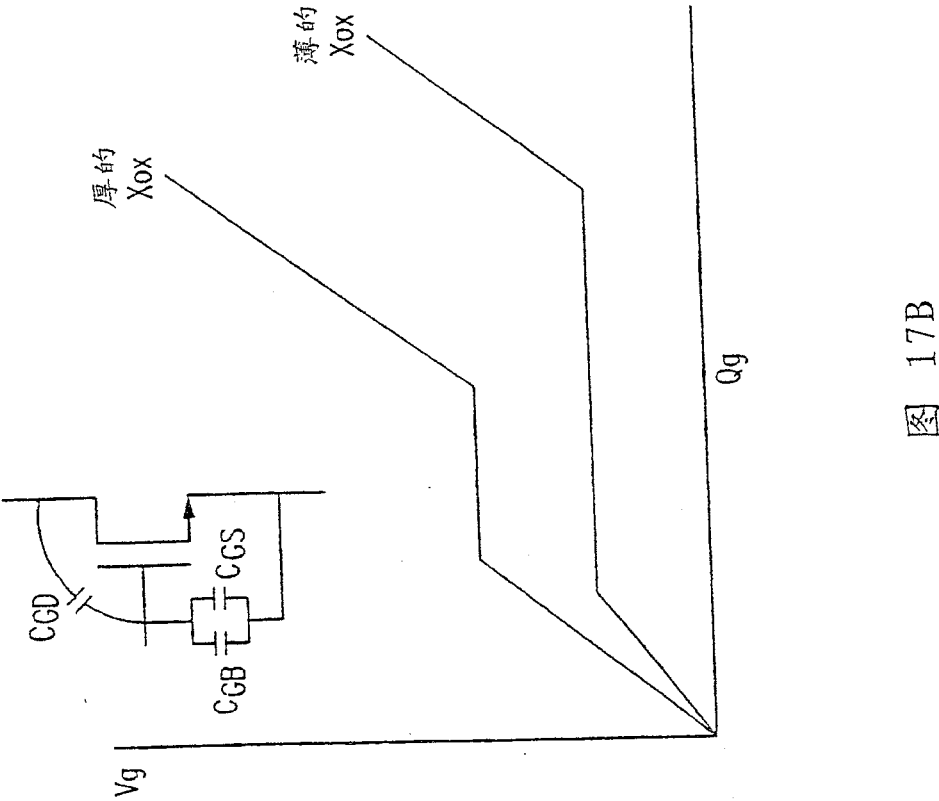


图 17B

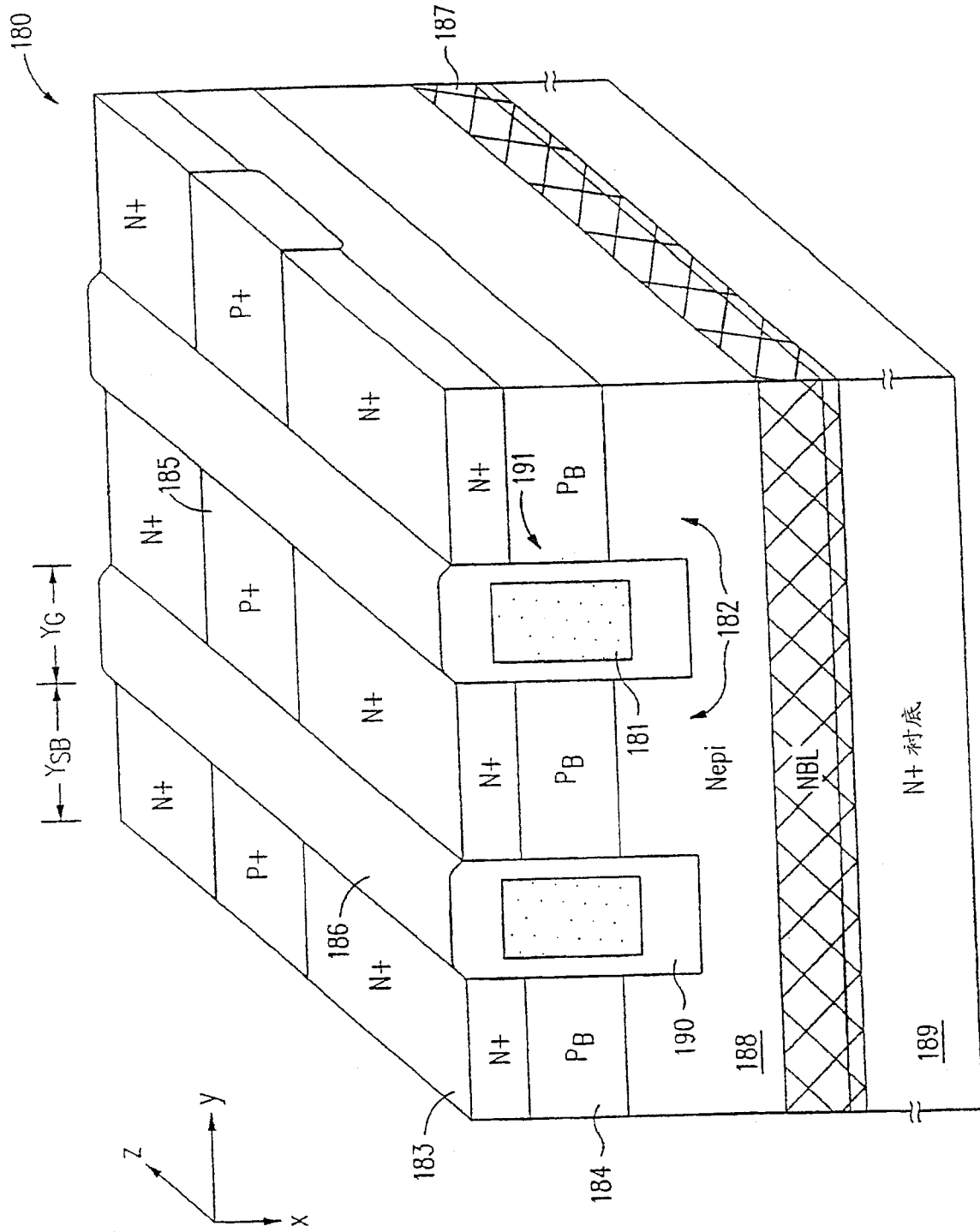


图 18

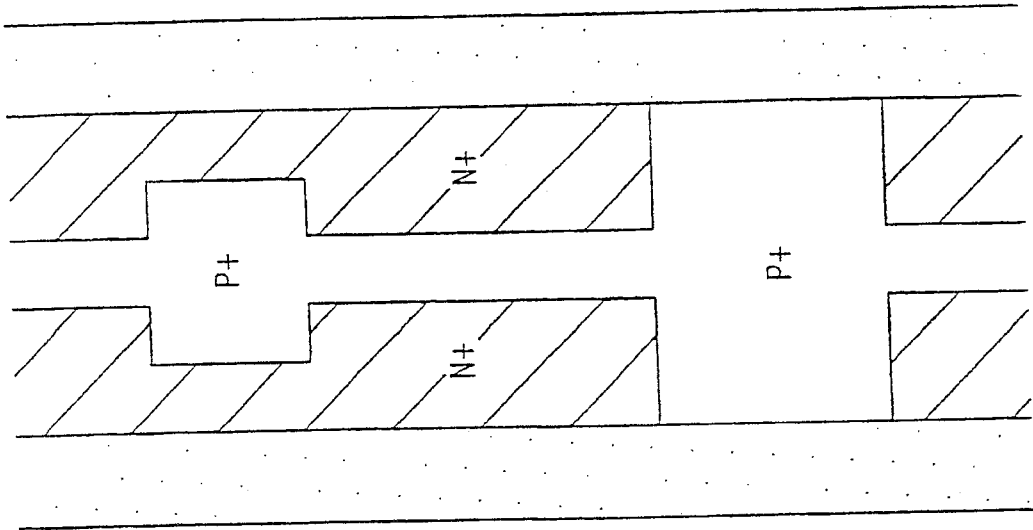


图 19B

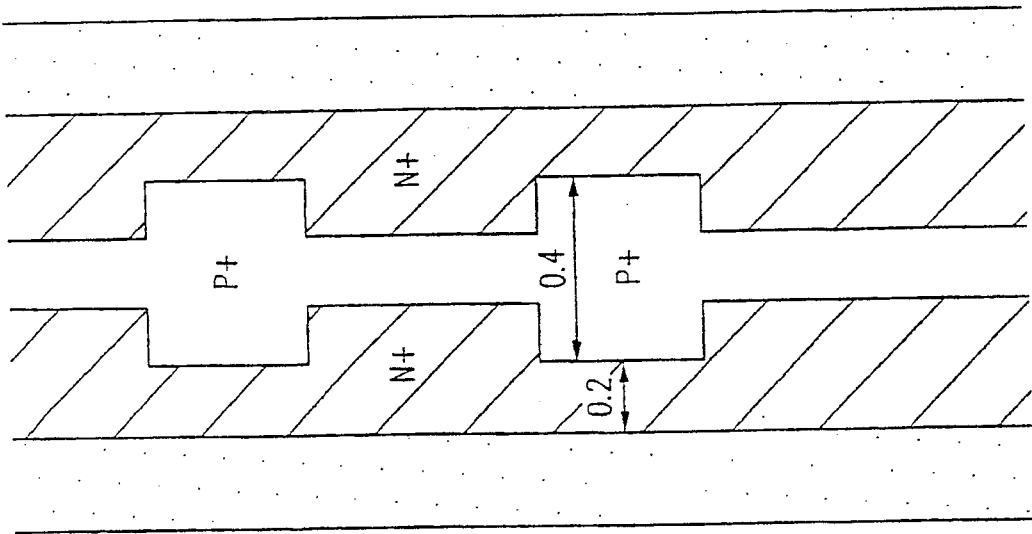


图 19A

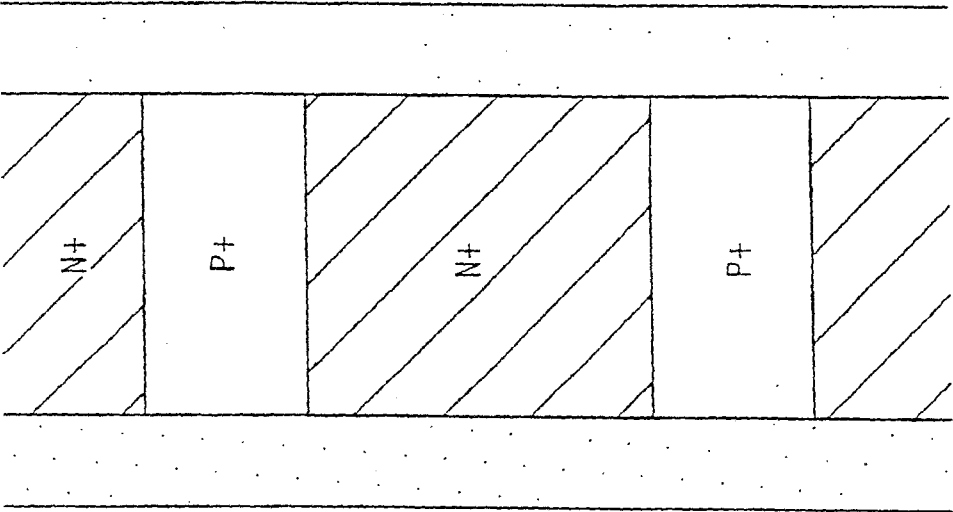


图 19D

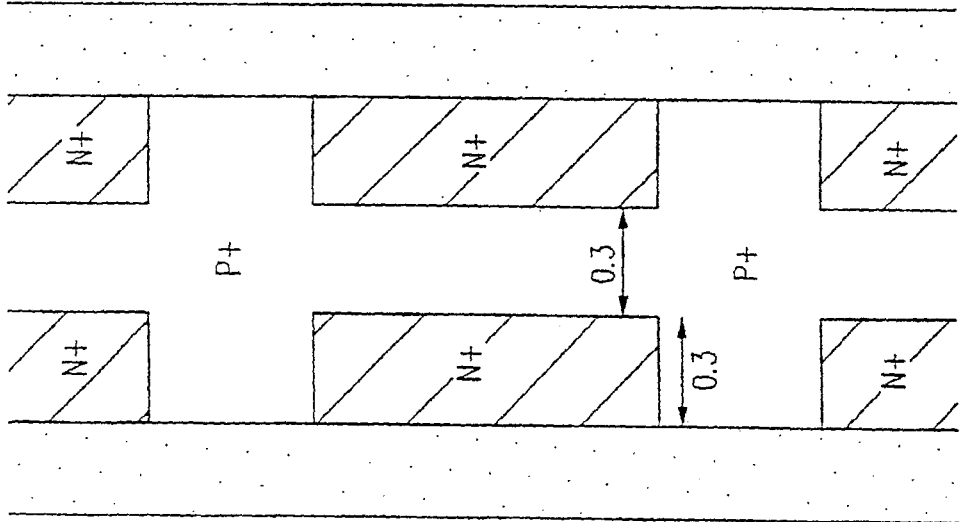


图 19C

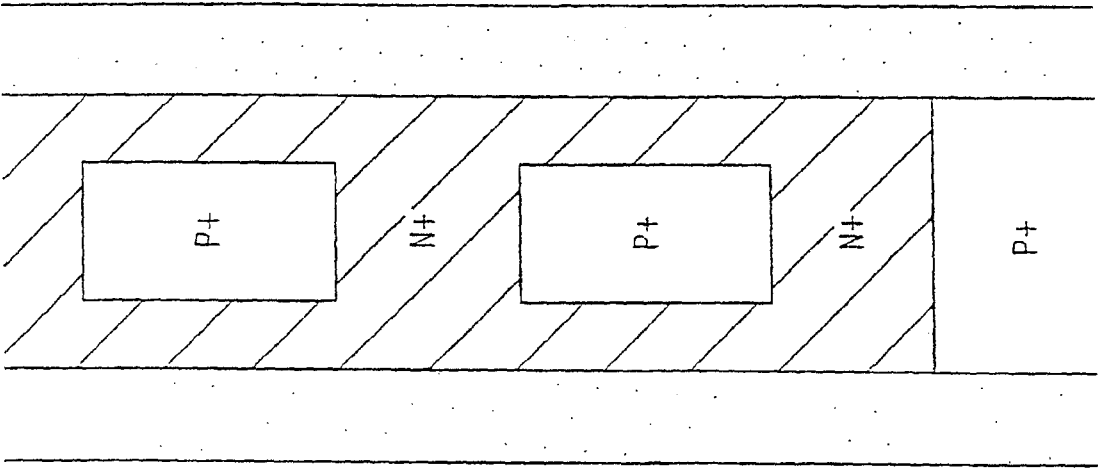


图 19F

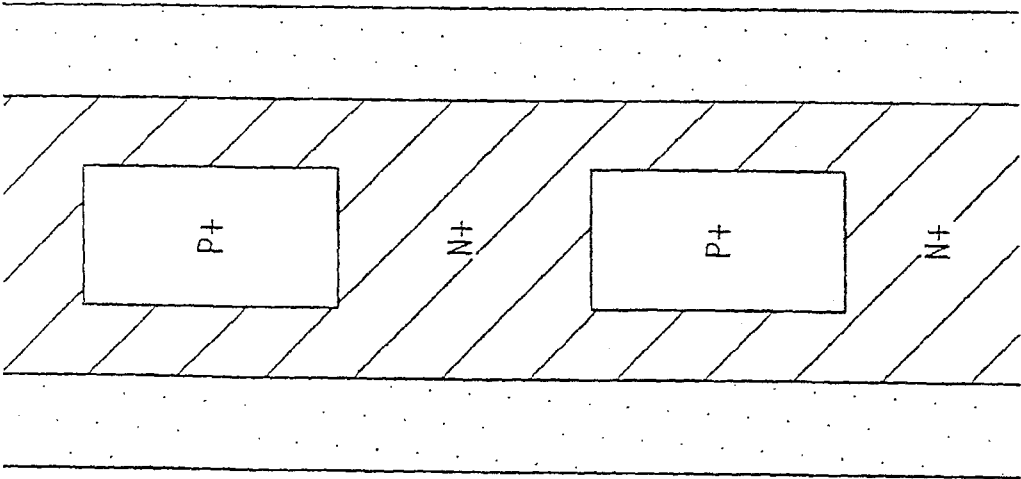


图 19E

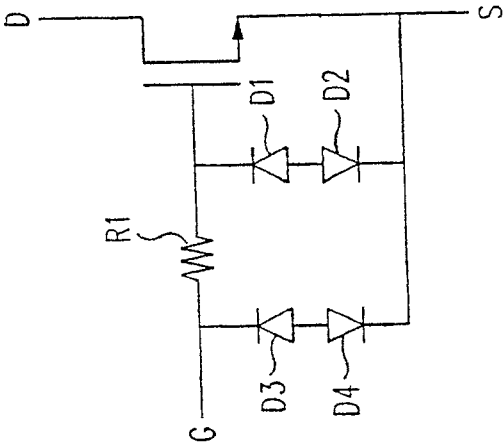


图 20B

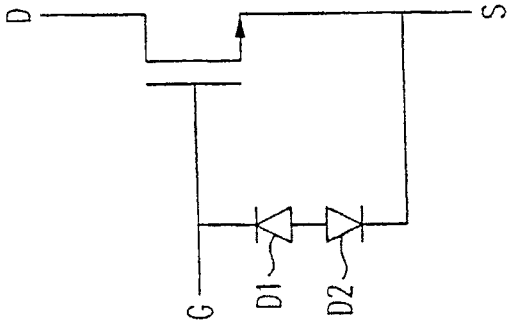


图 20A

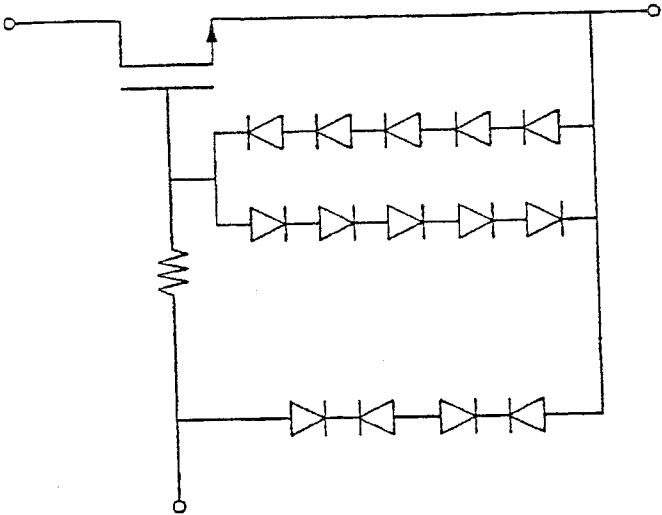


图 20D

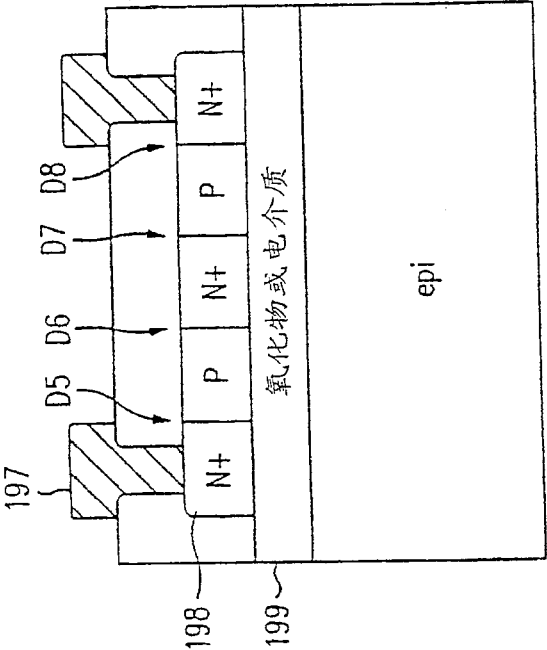


图 20C

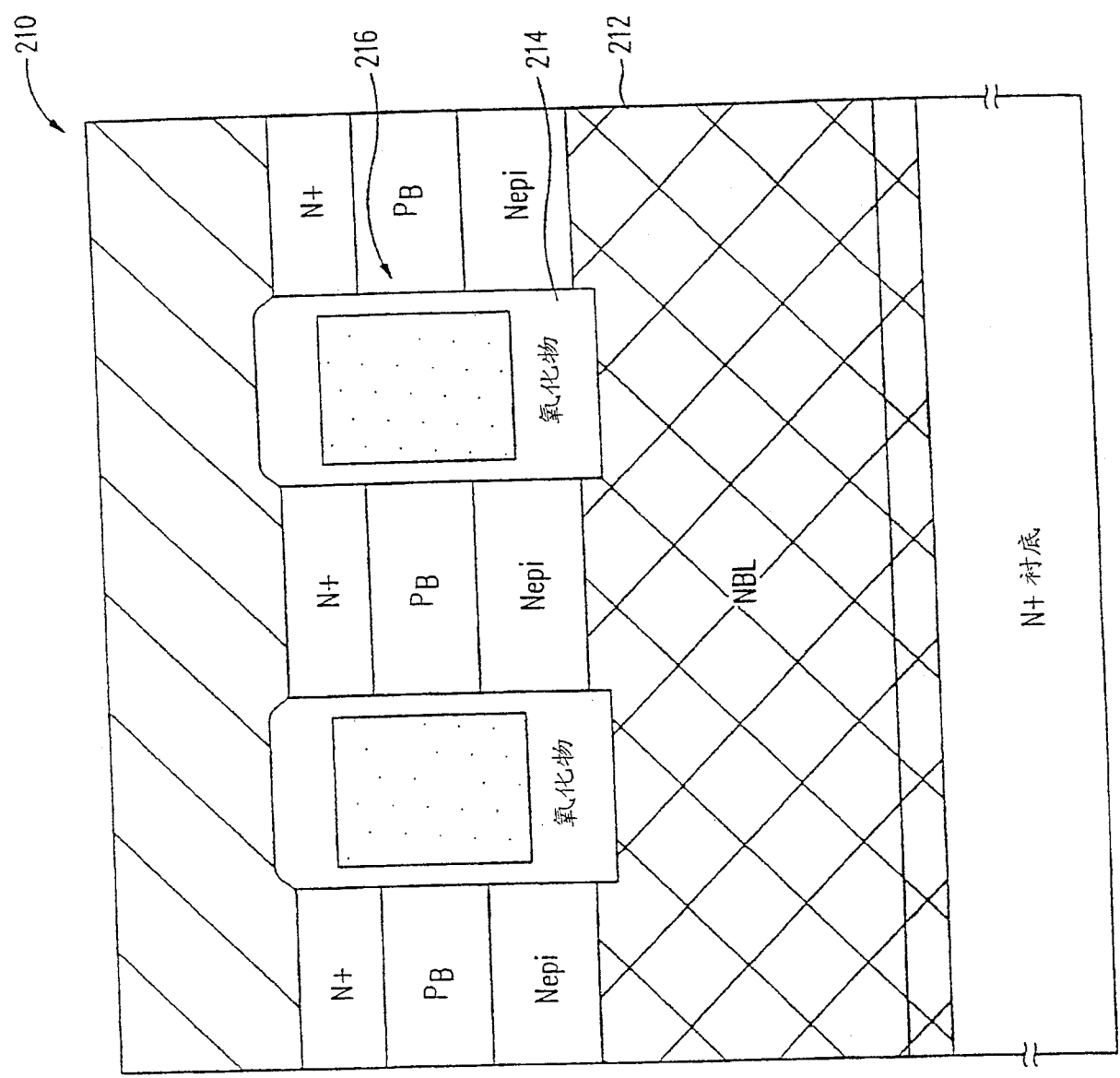


图 21A

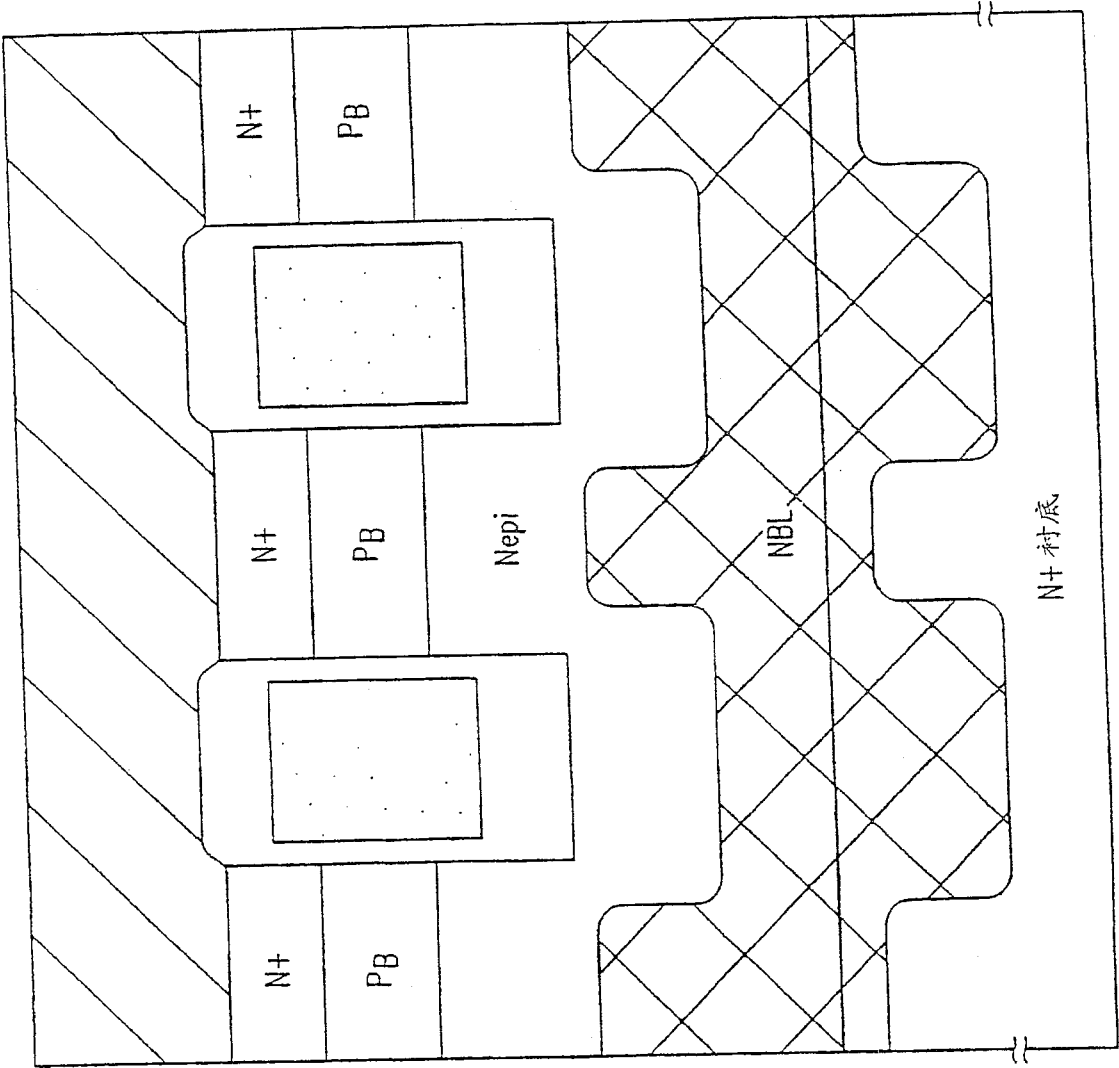
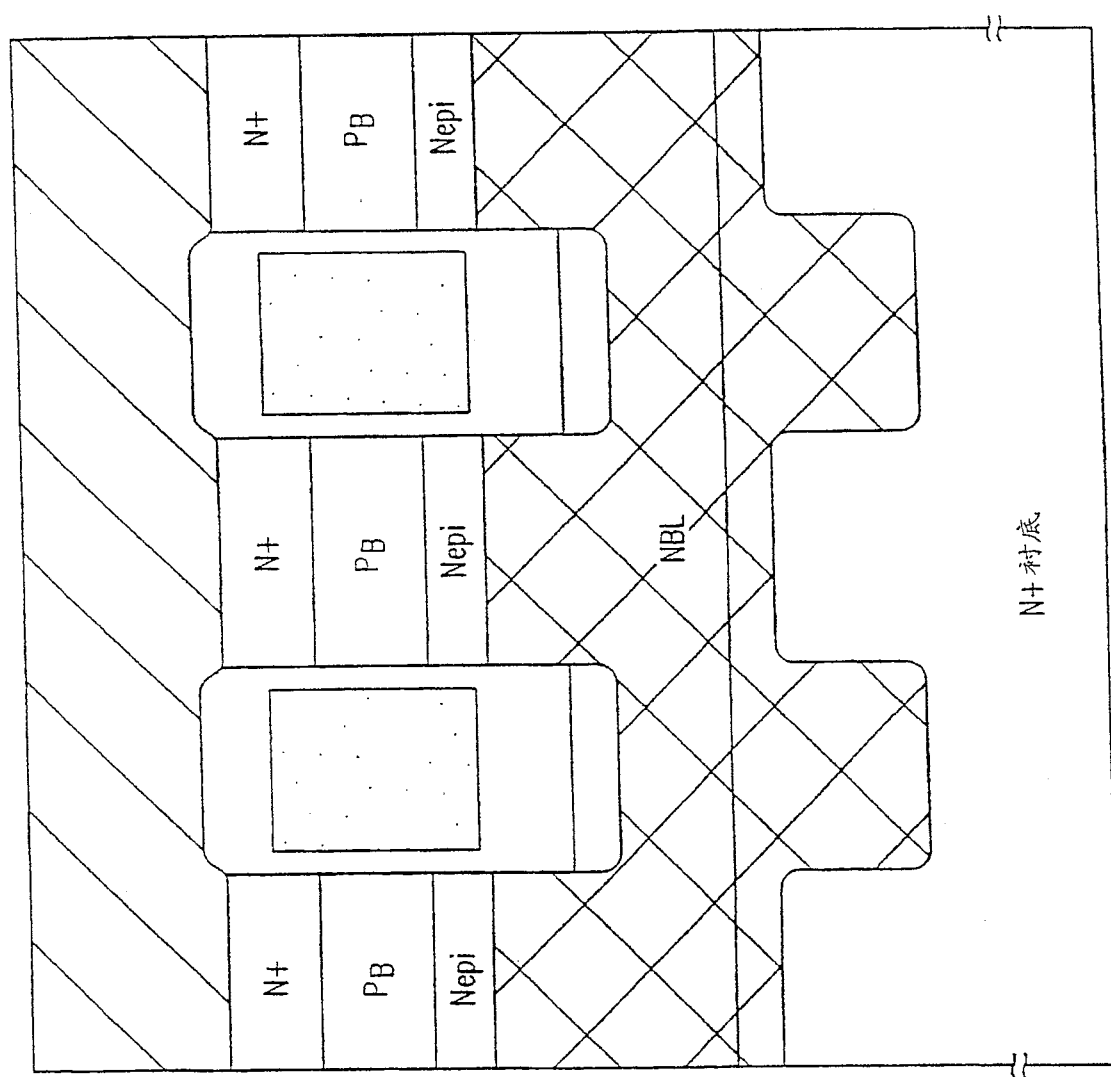


图 21B



210

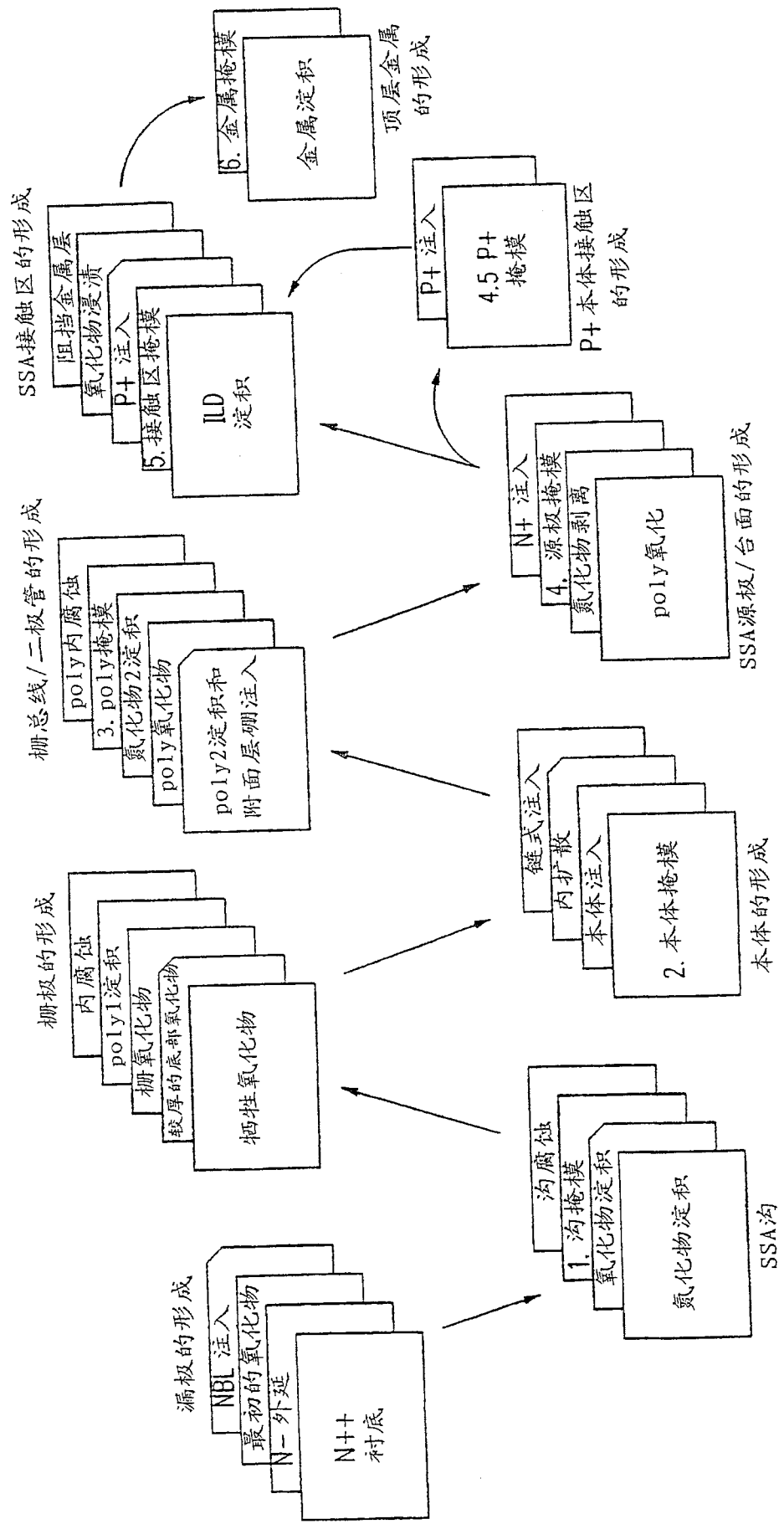


图 22

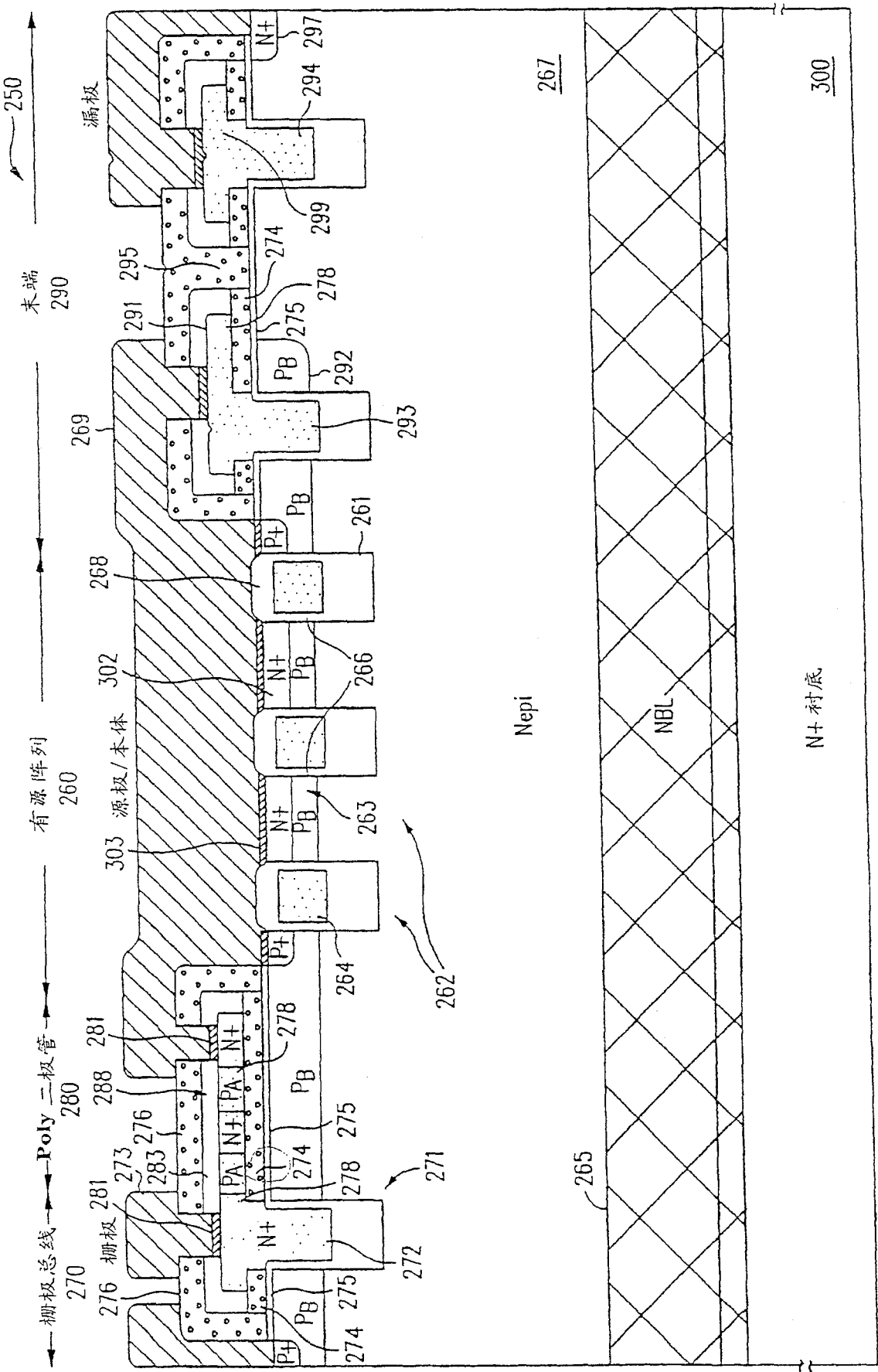


图 23

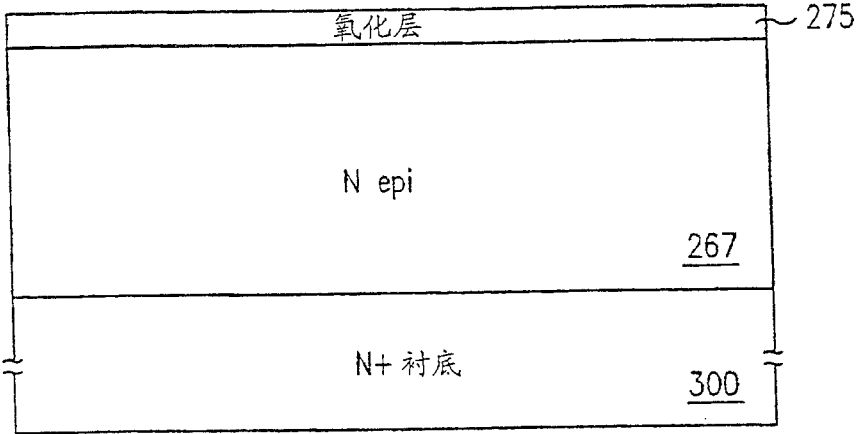


图 24A

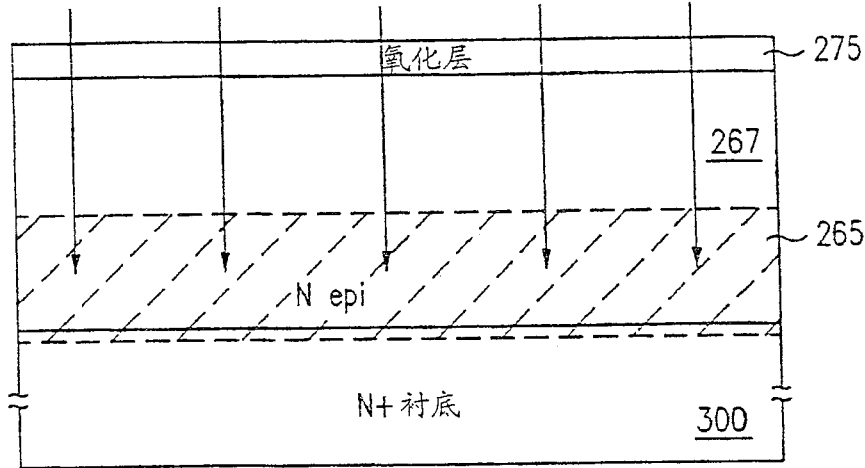


图 24B

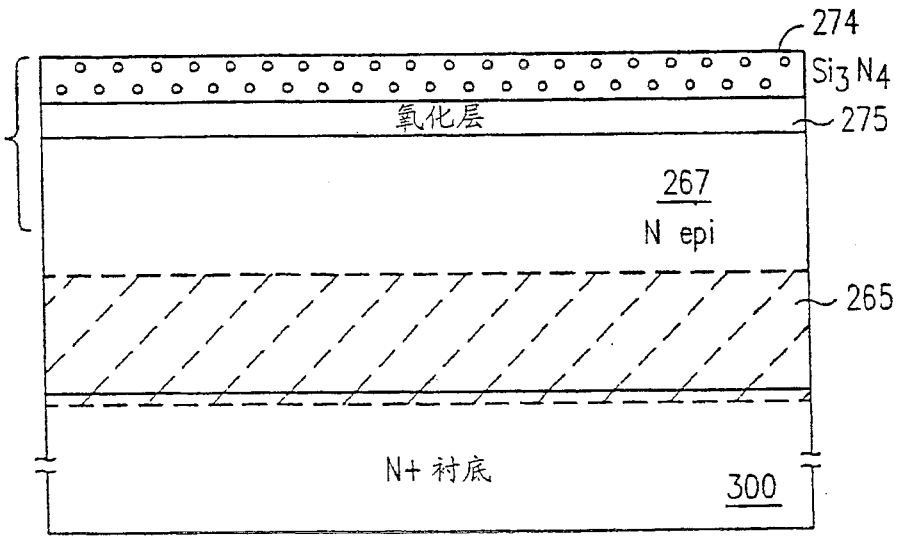


图 24C

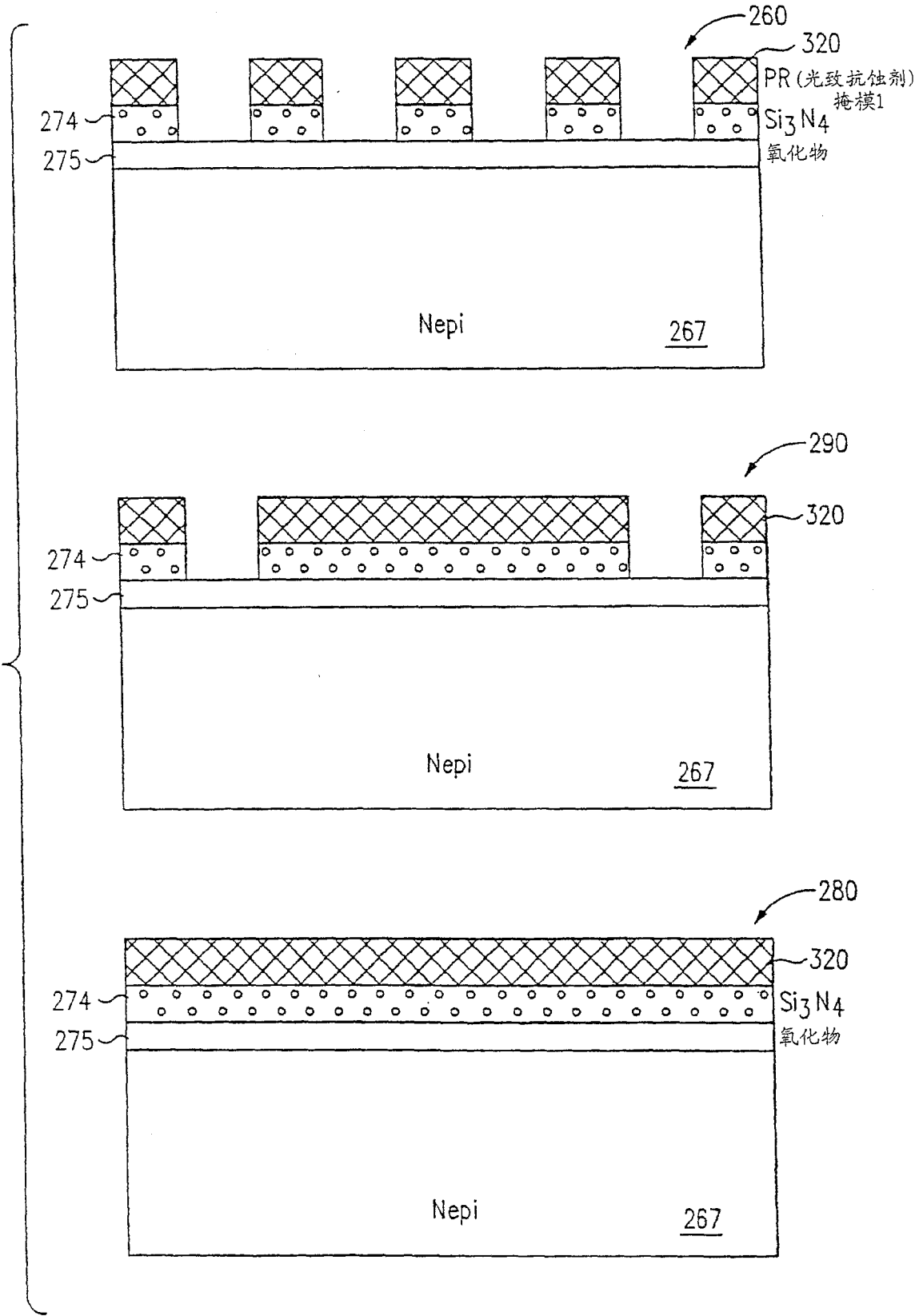


图 24D

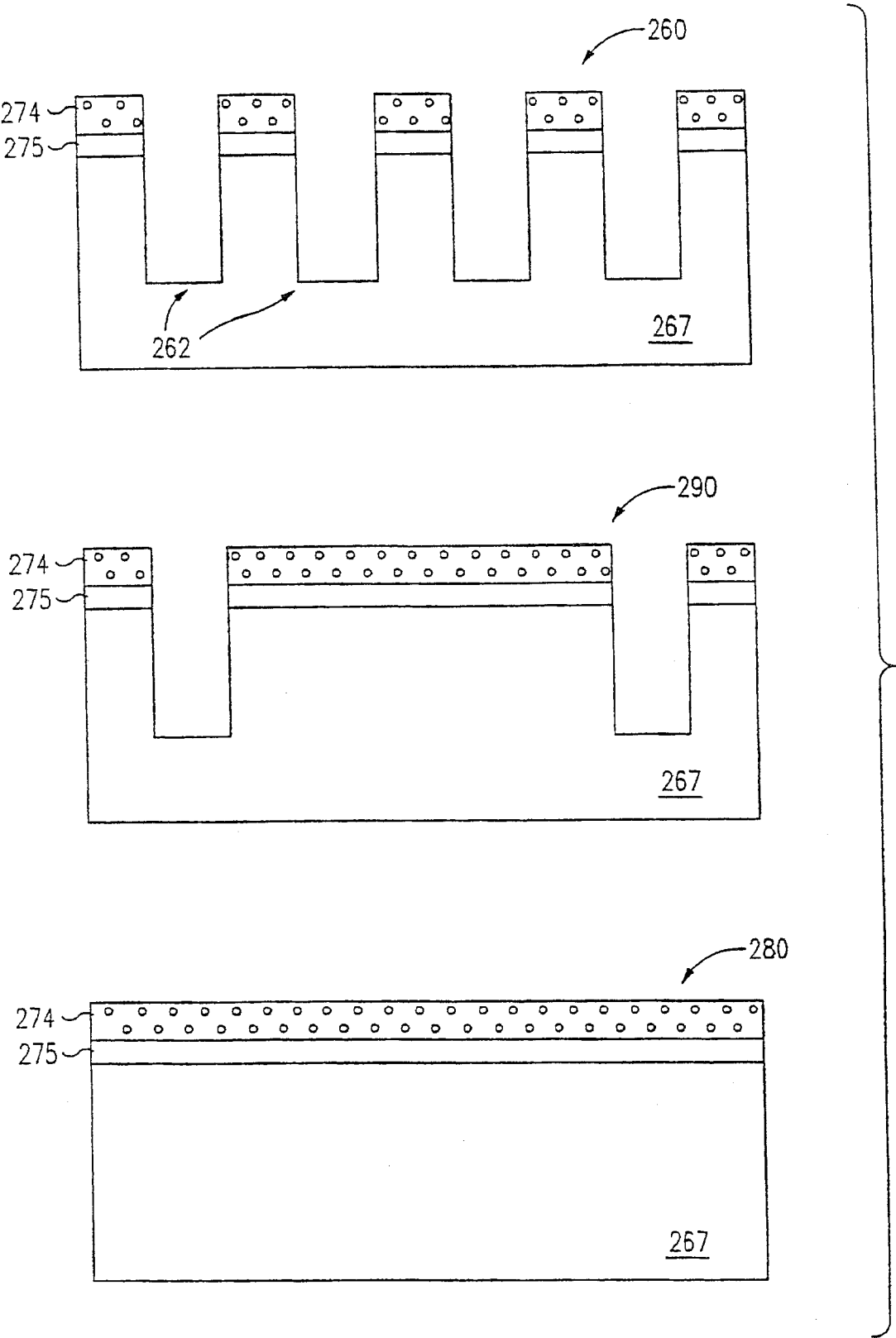


图 24E

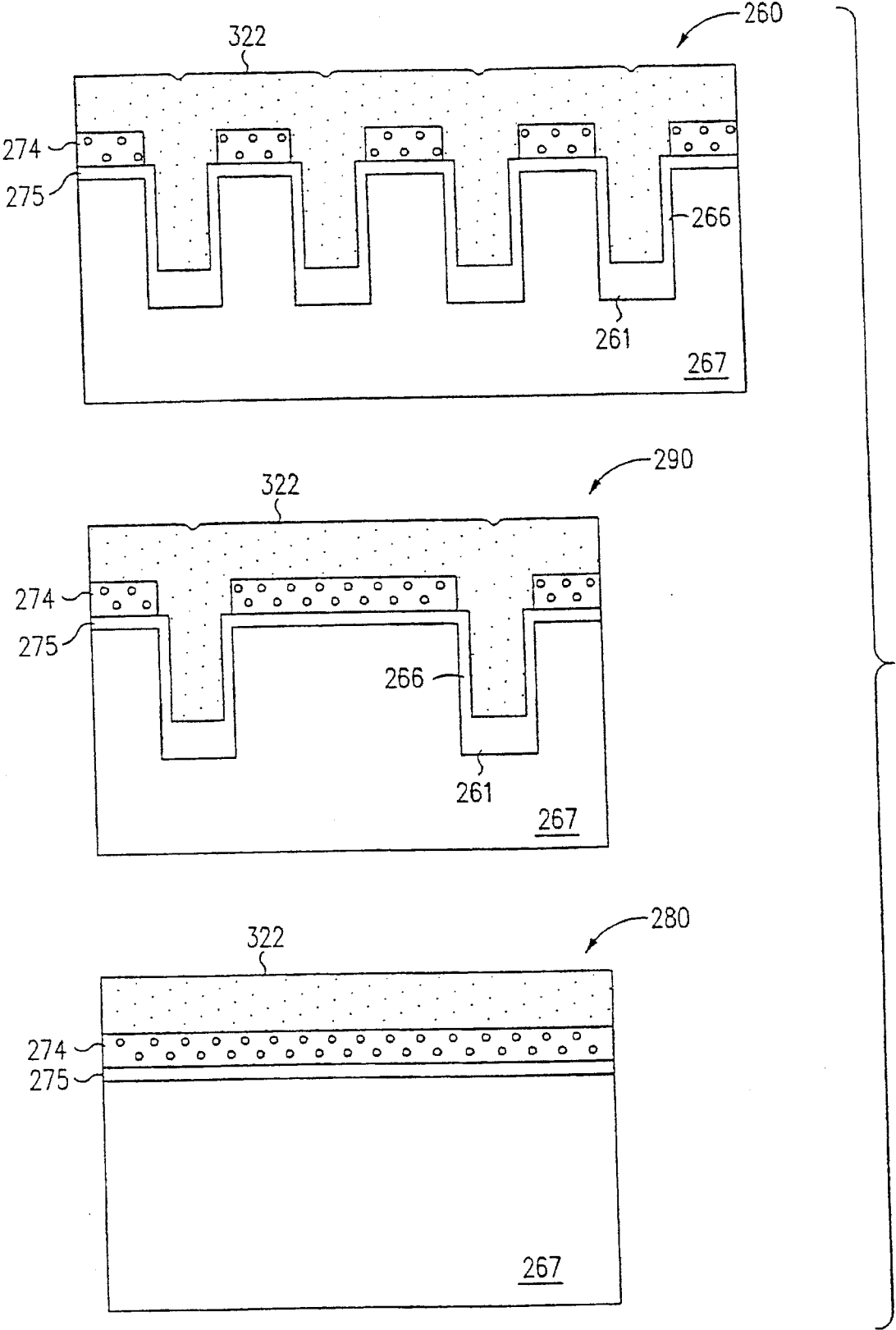


图 24F

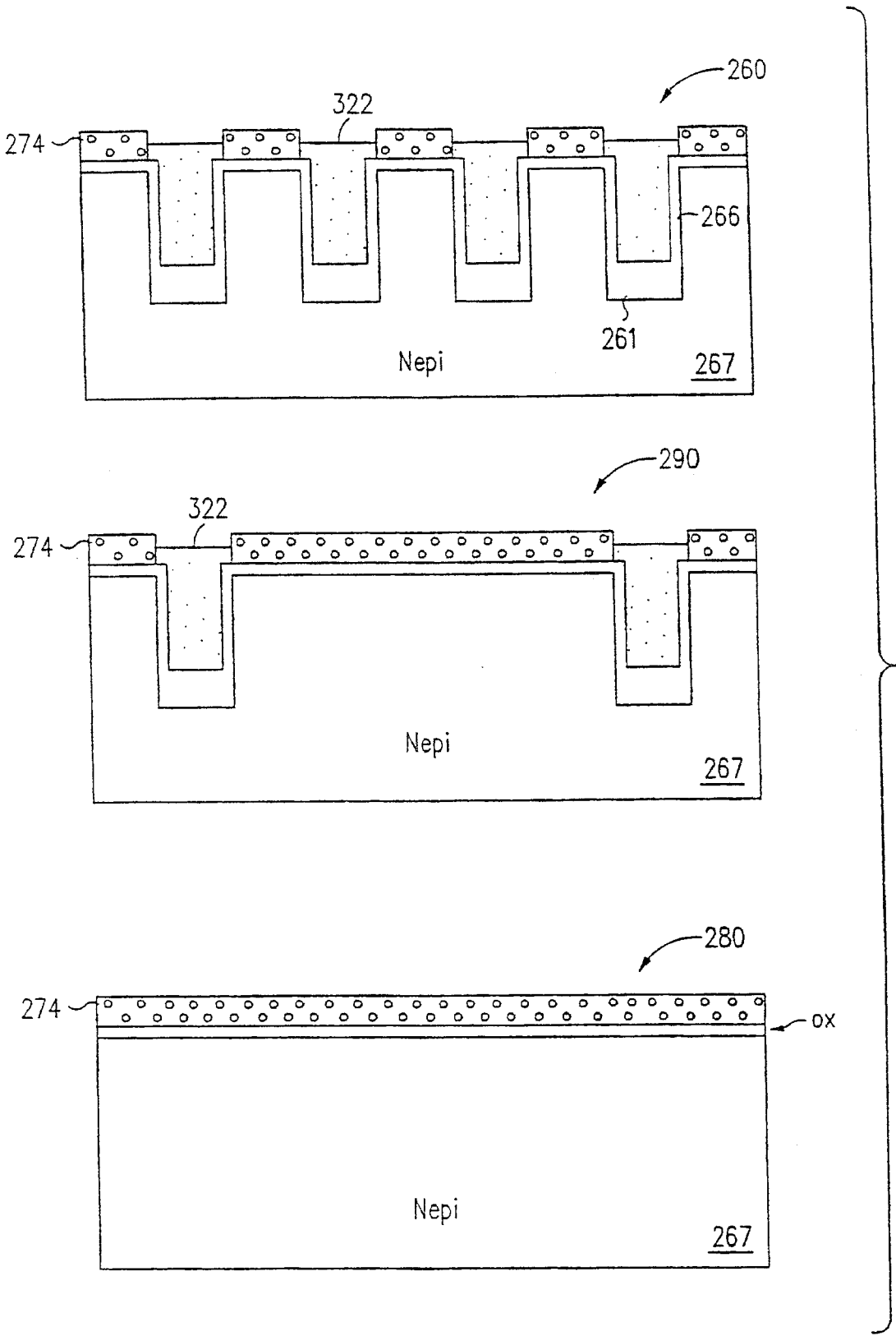


图 24G

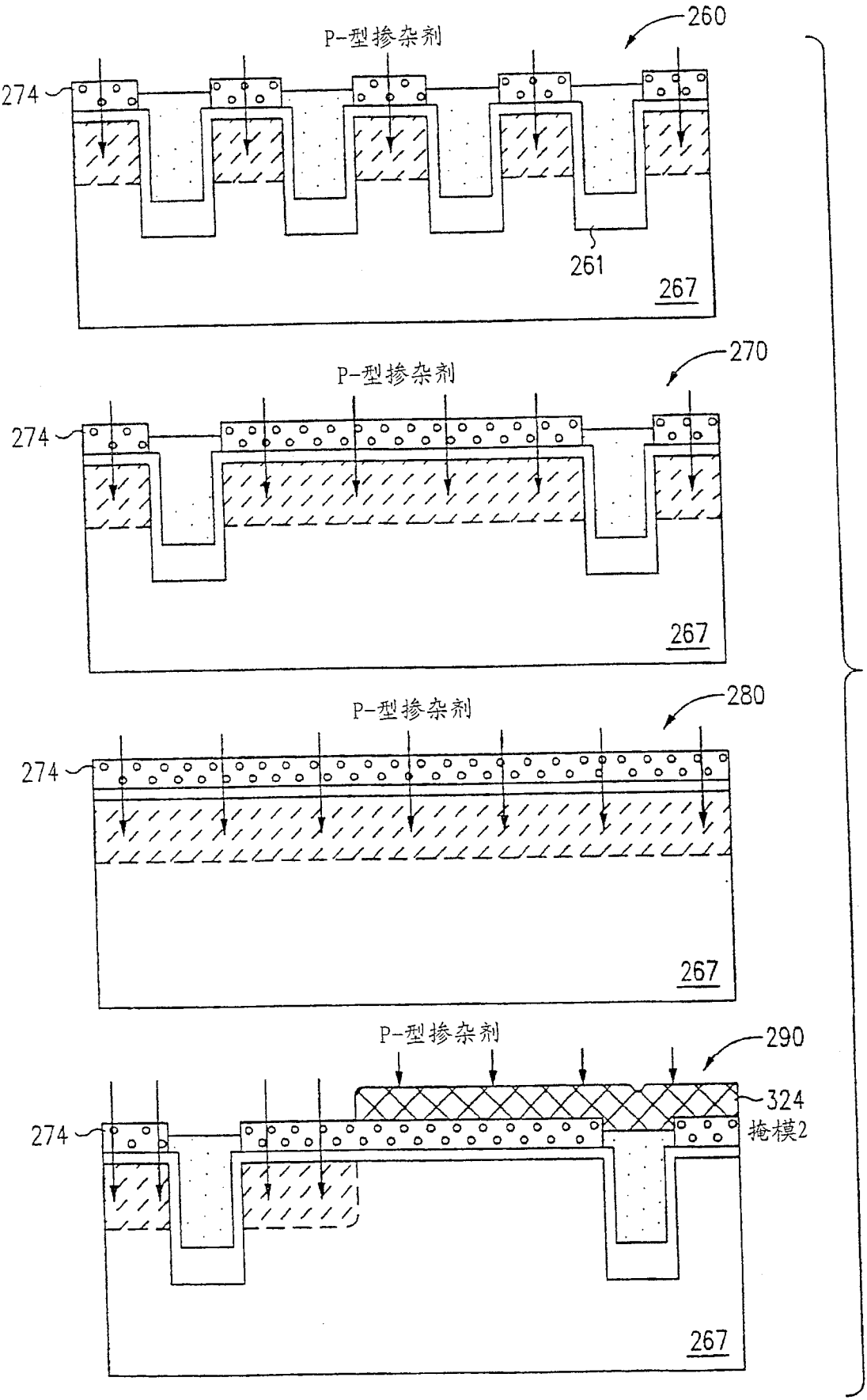


图 24H

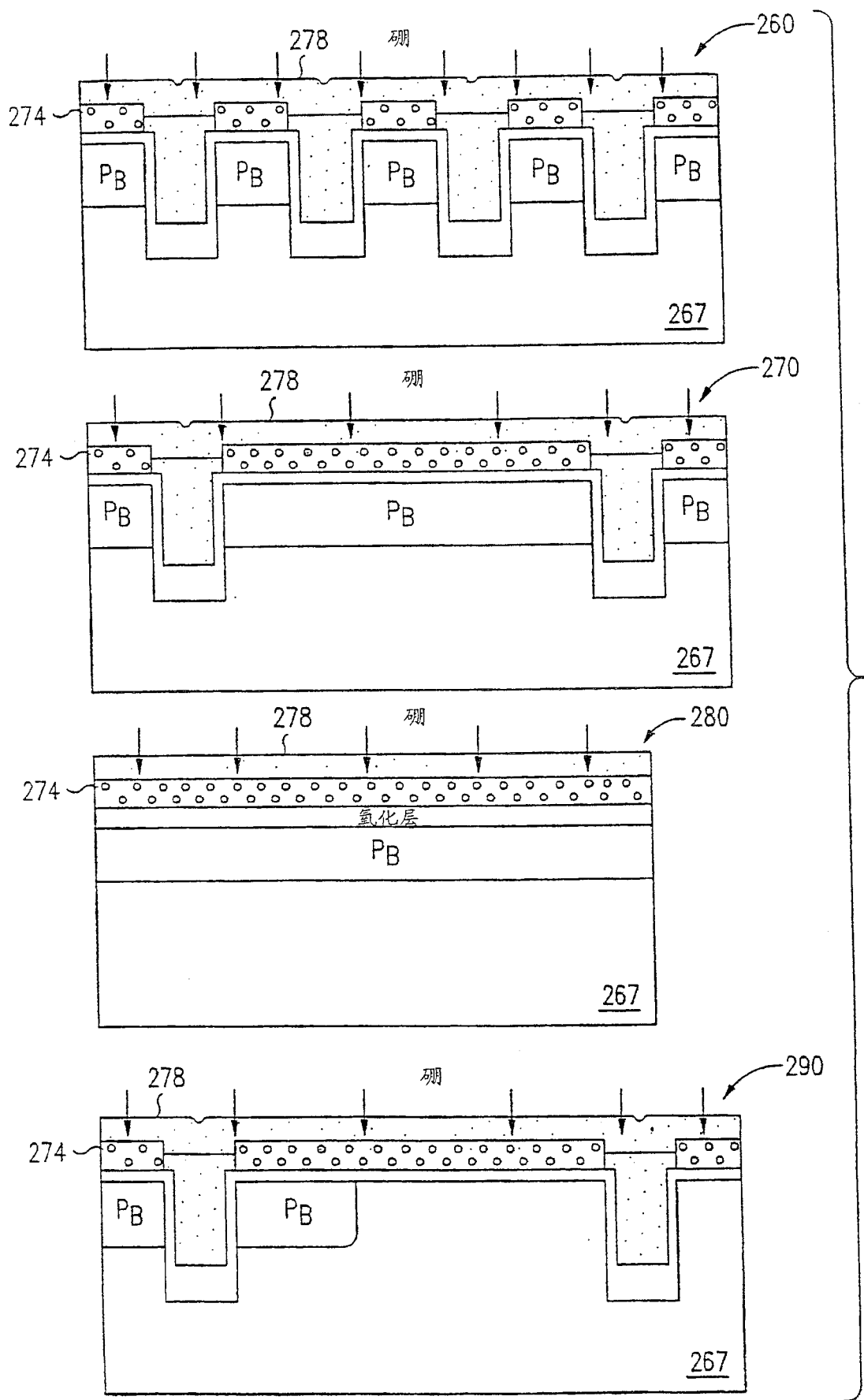


图 24I

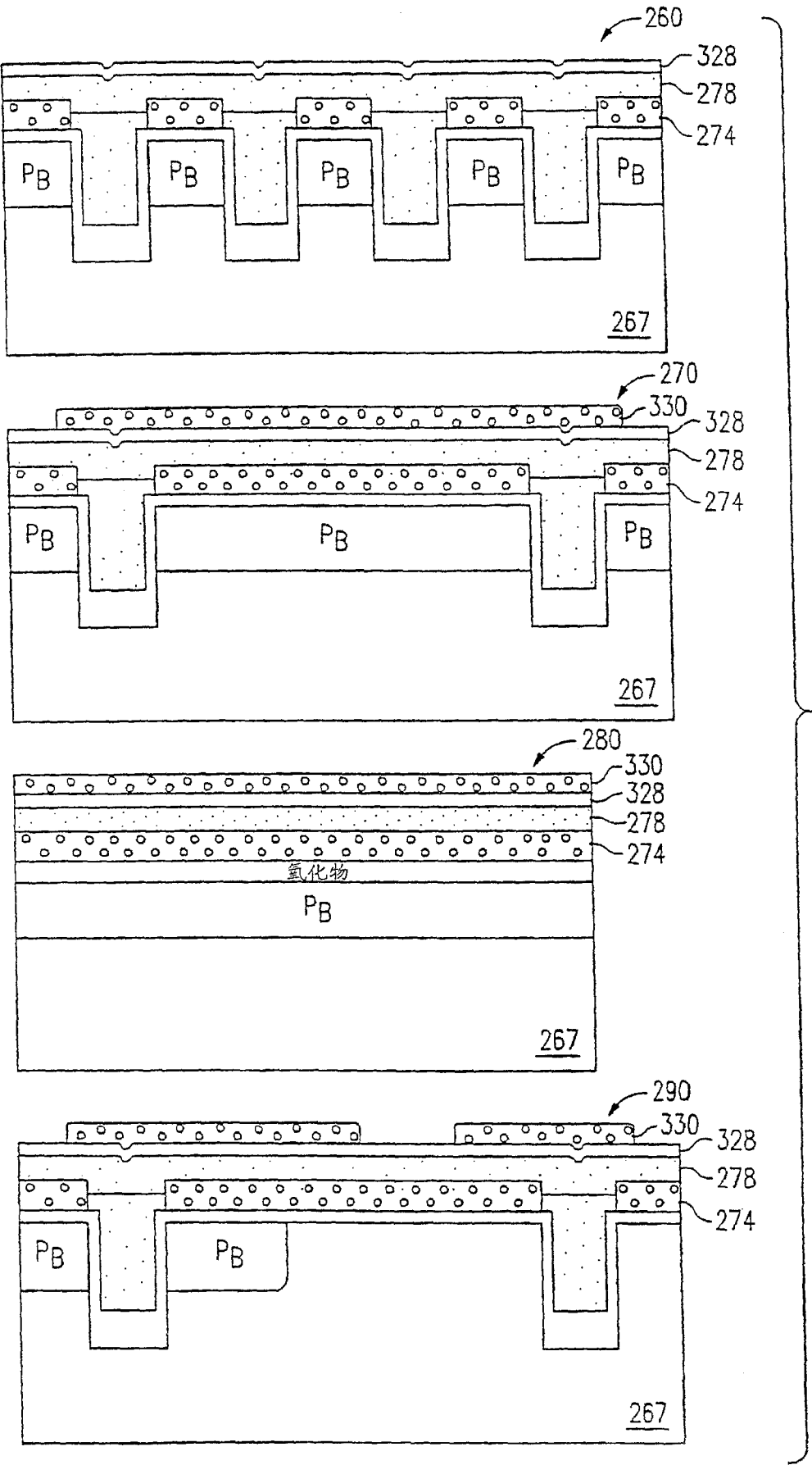


图 24J

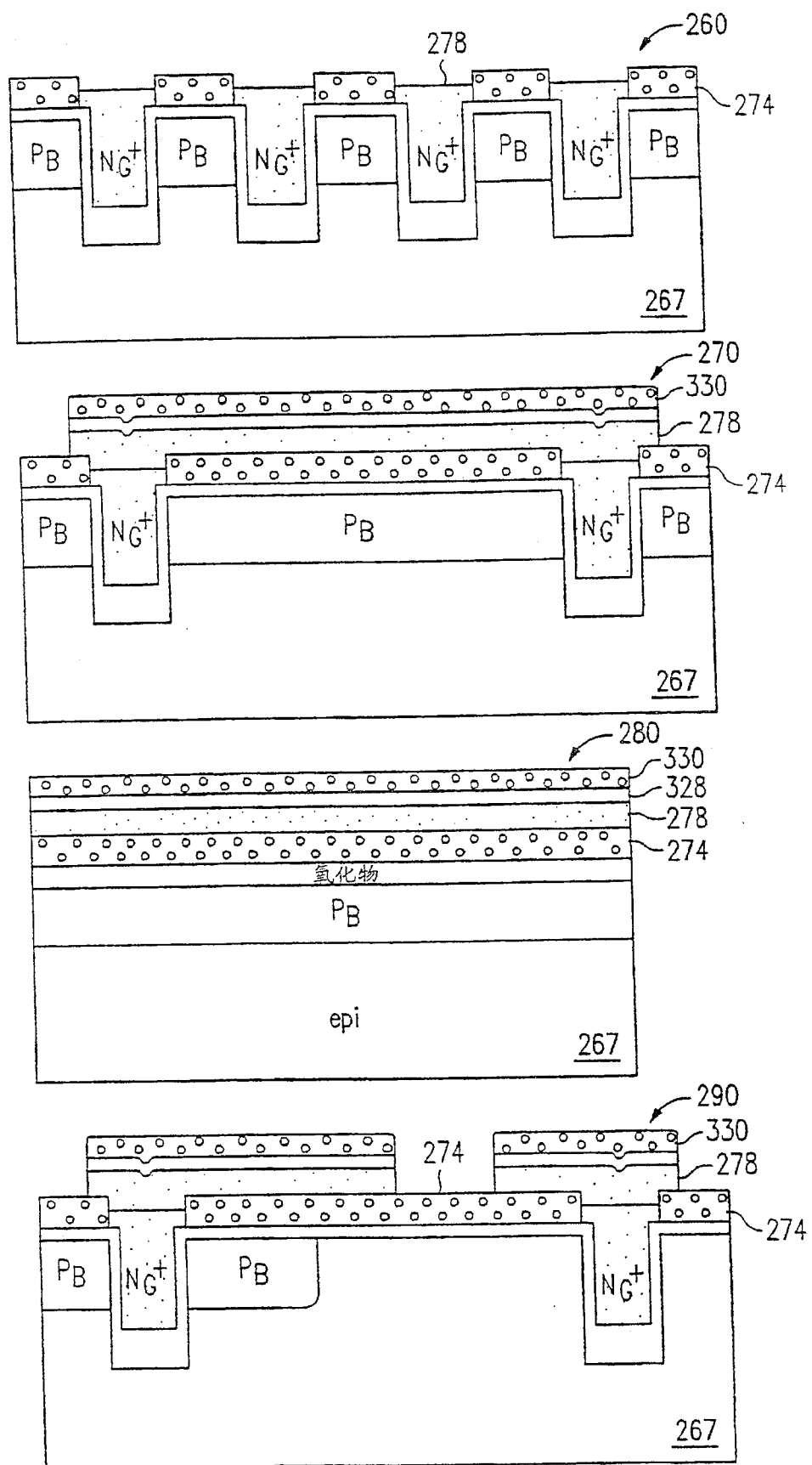


图 24K

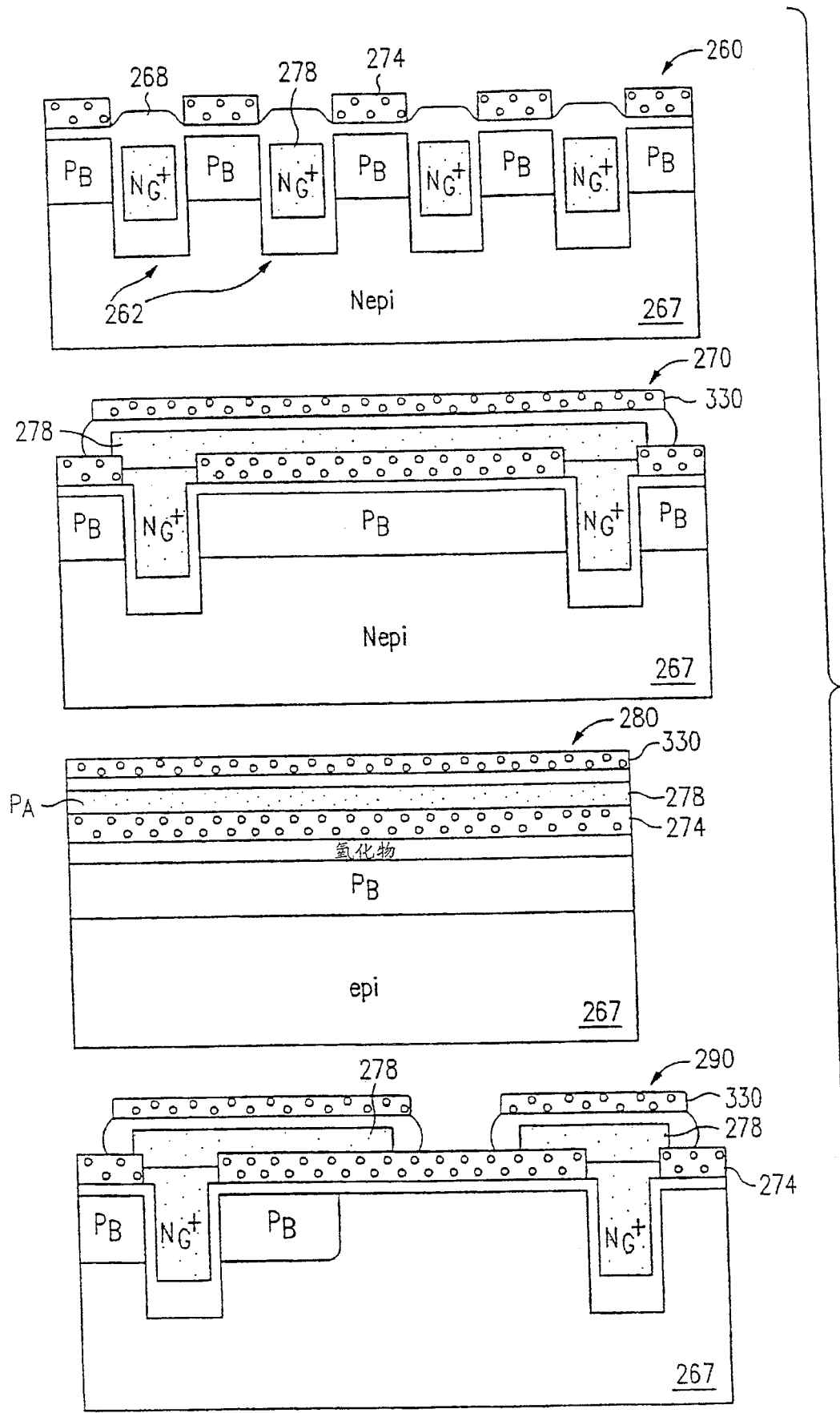


图 24L

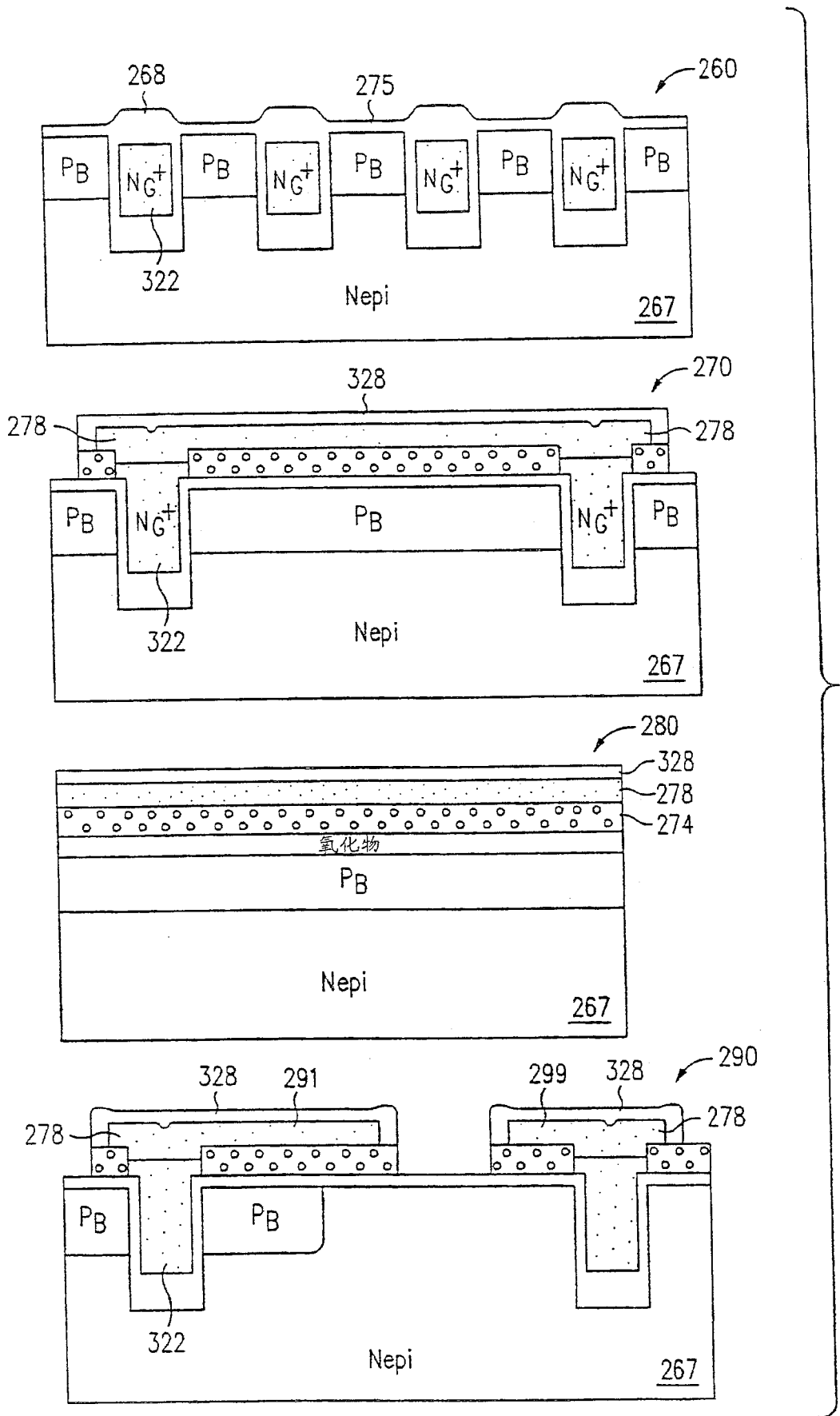


图 24M

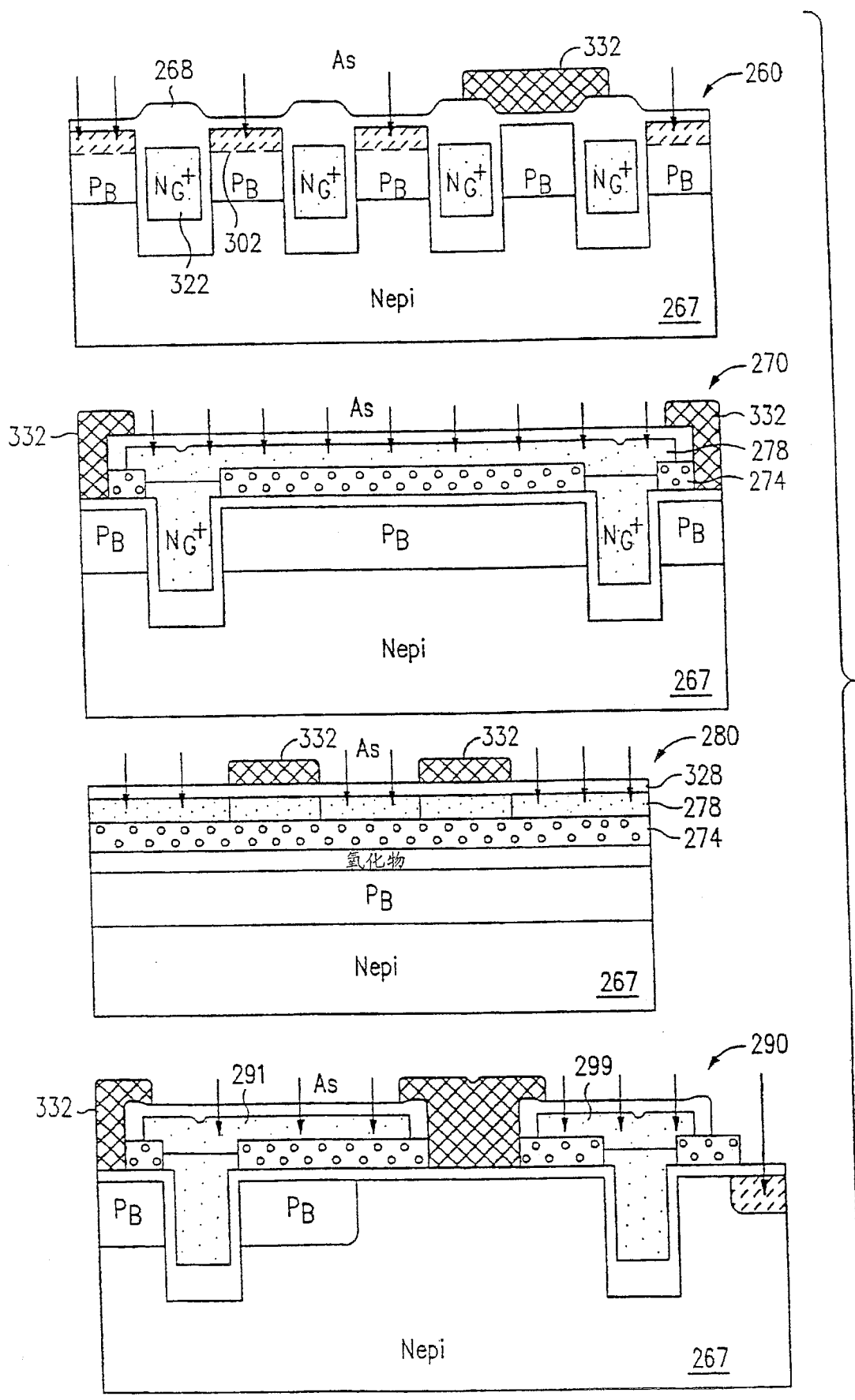


图 24N

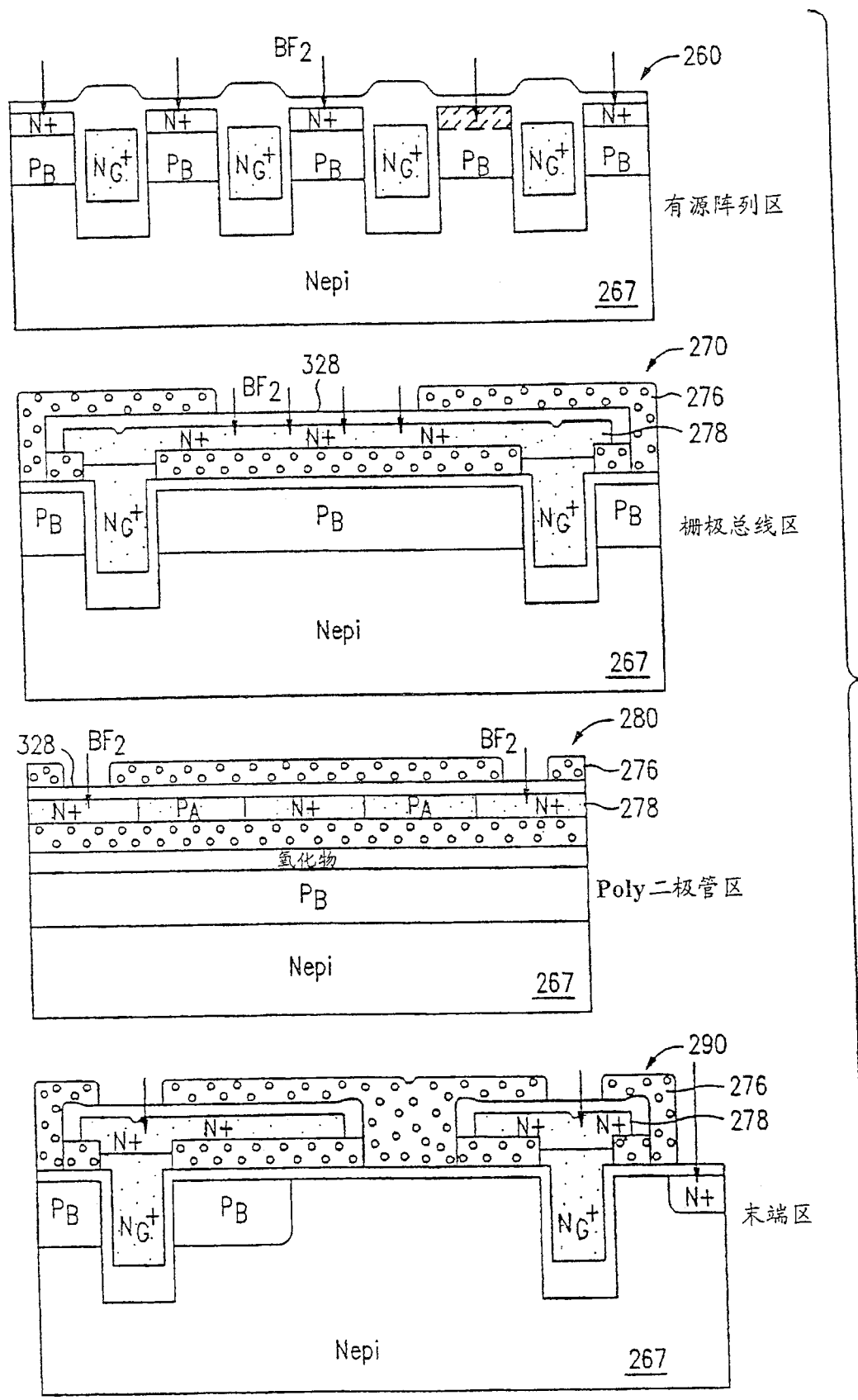


图 240

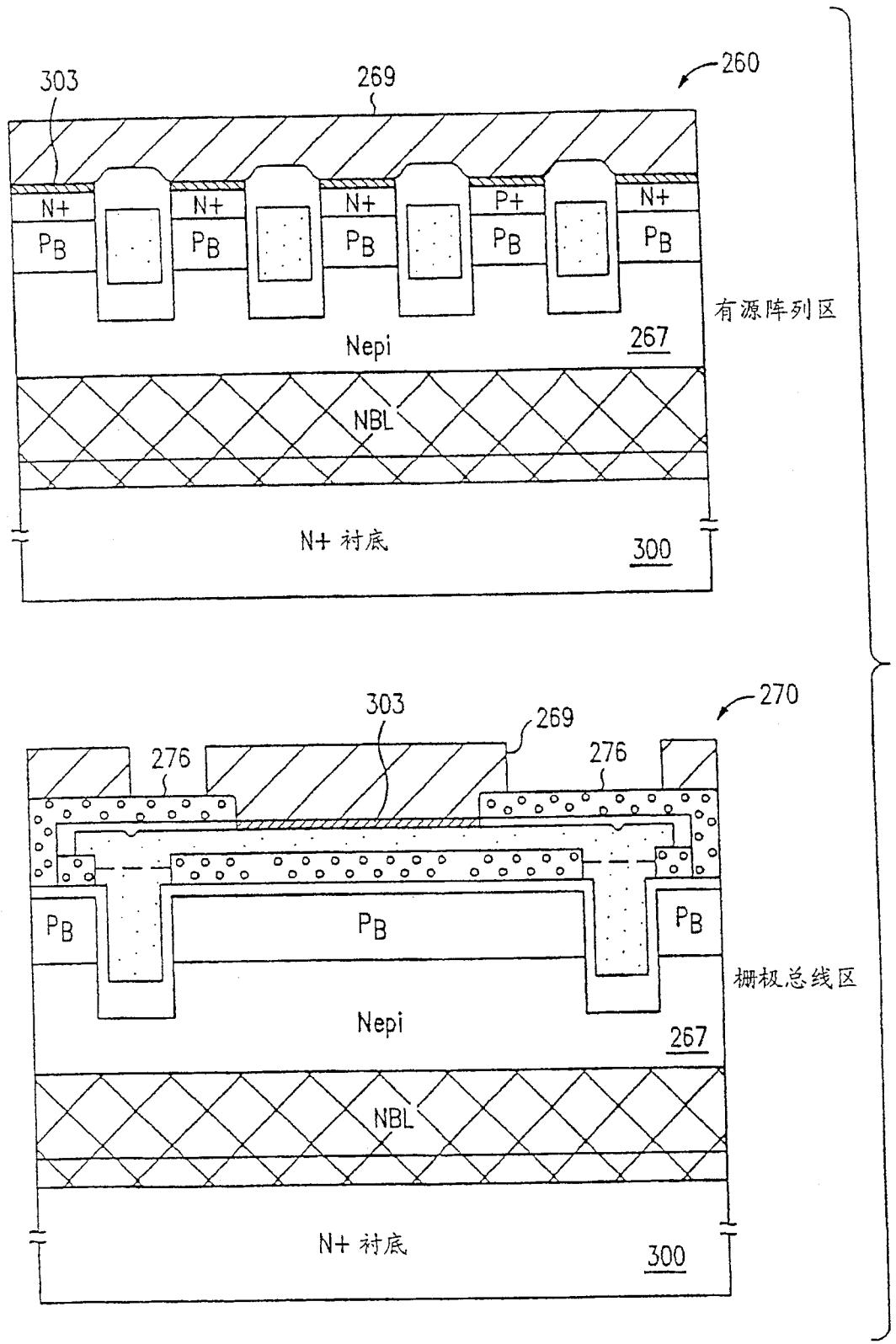


图 24P

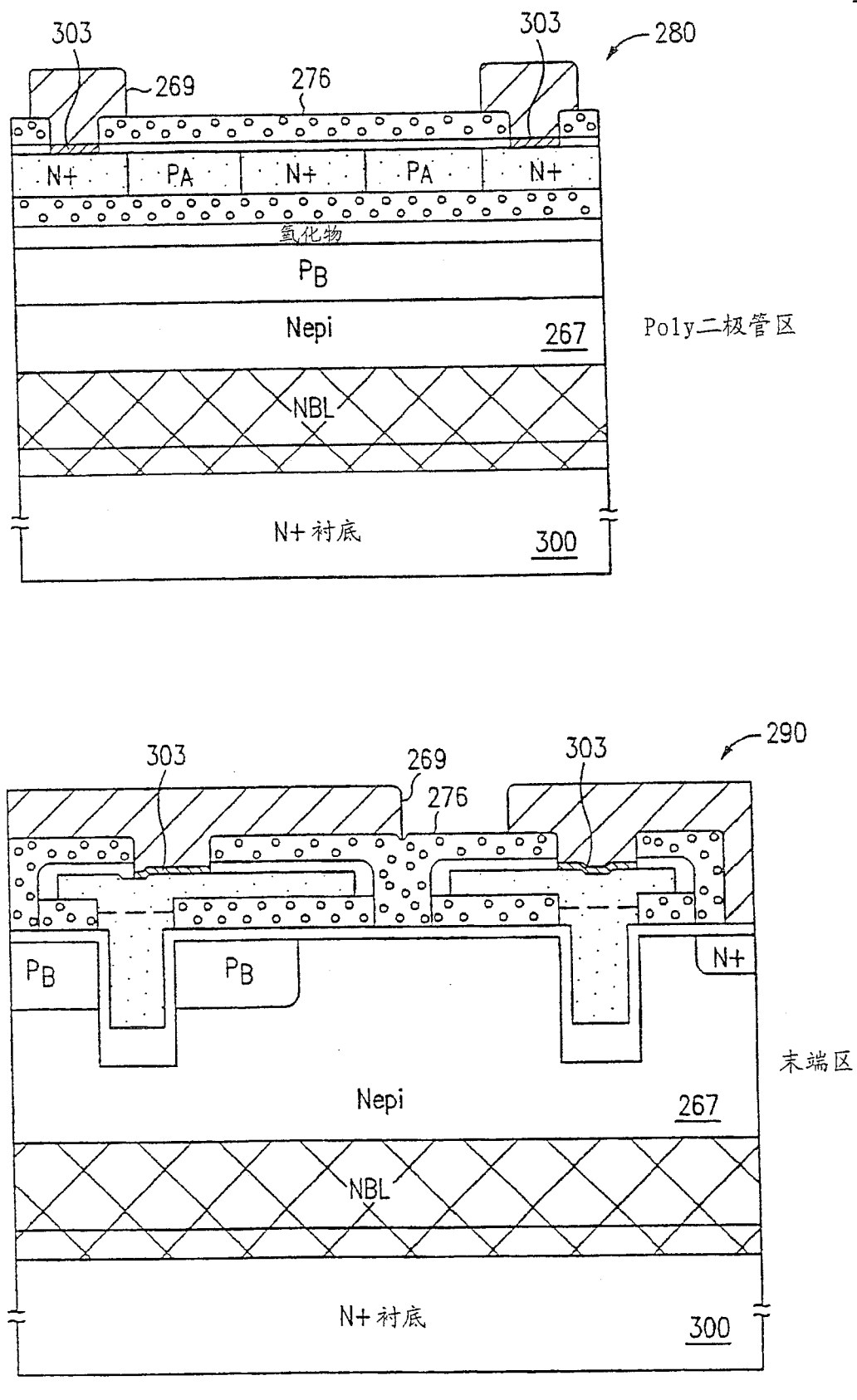


图 24Q

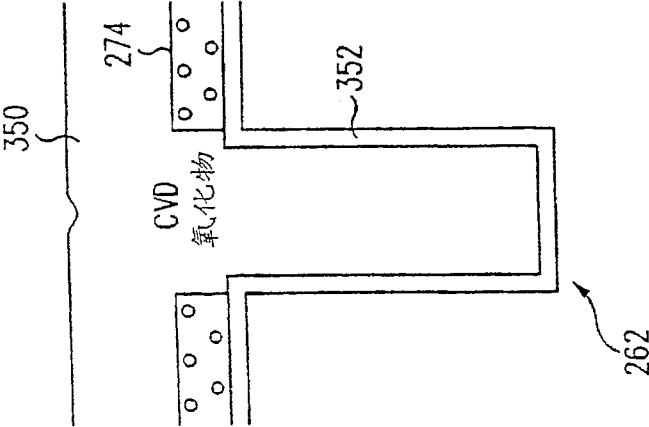


图 25A

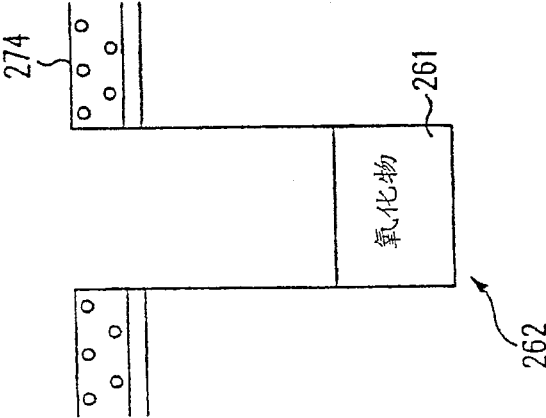


图 25B

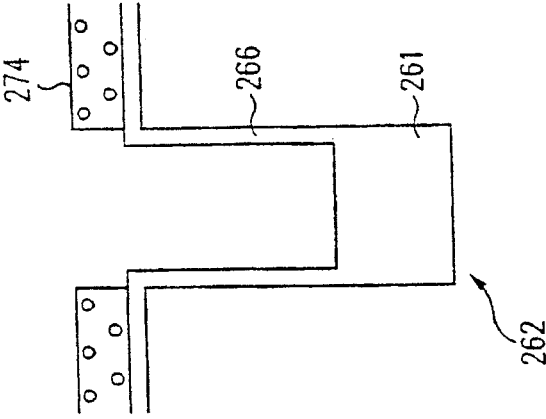


图 25C

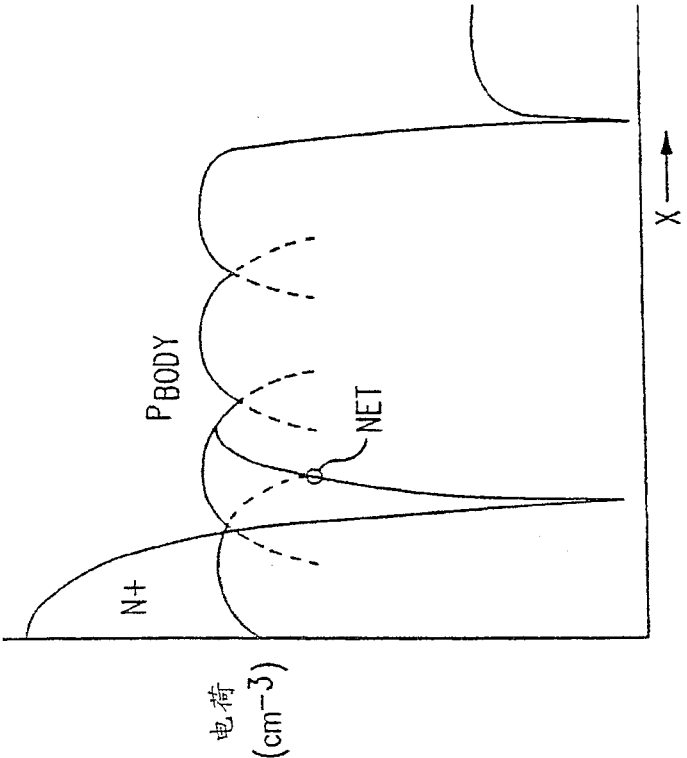


图 26A

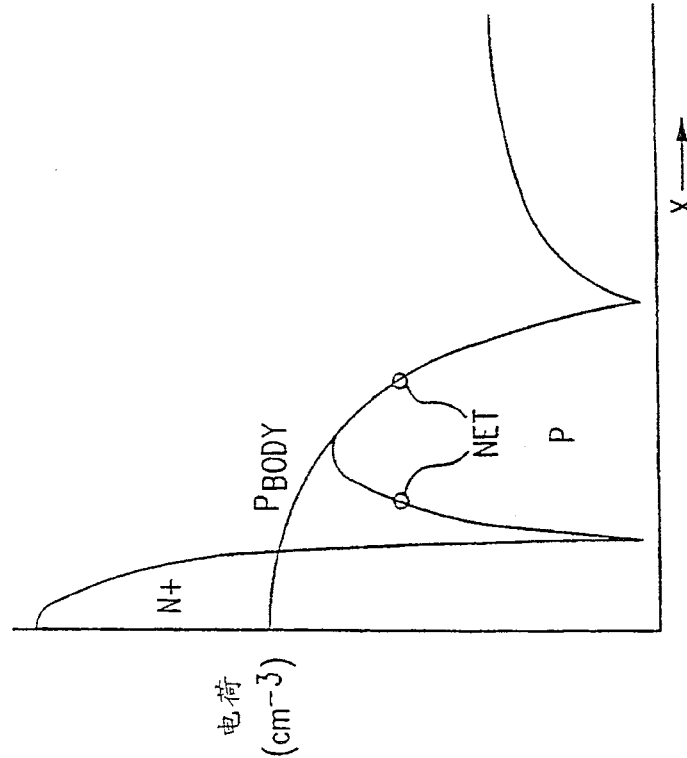


图 26B

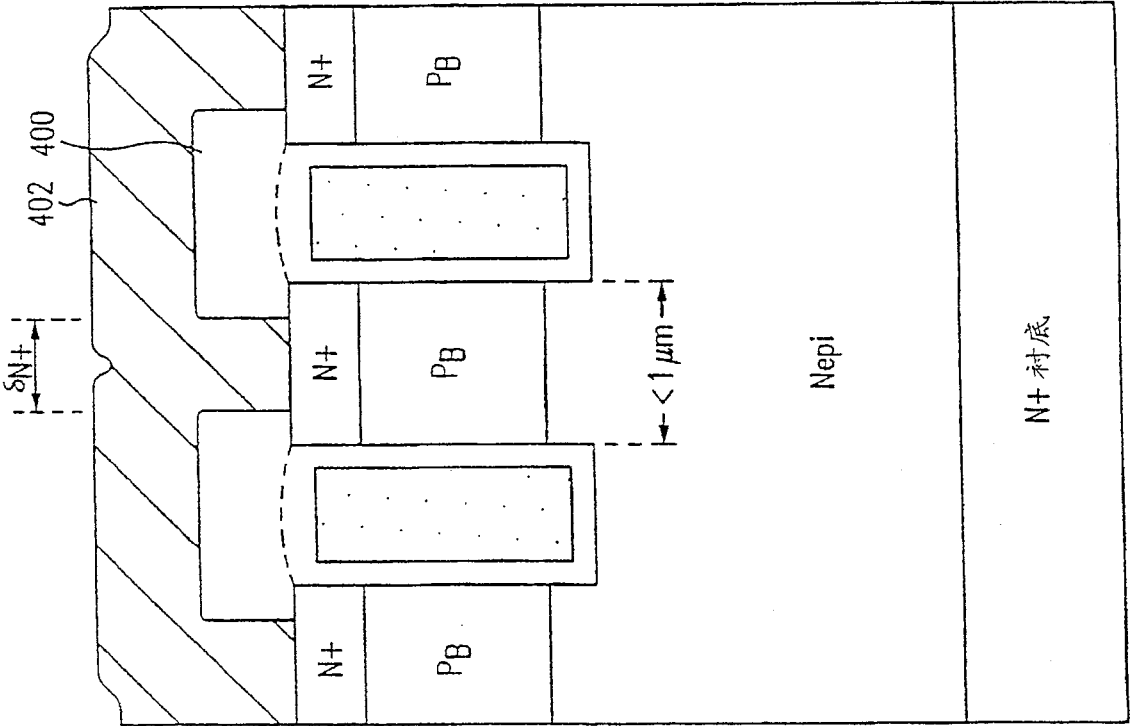


图 27A

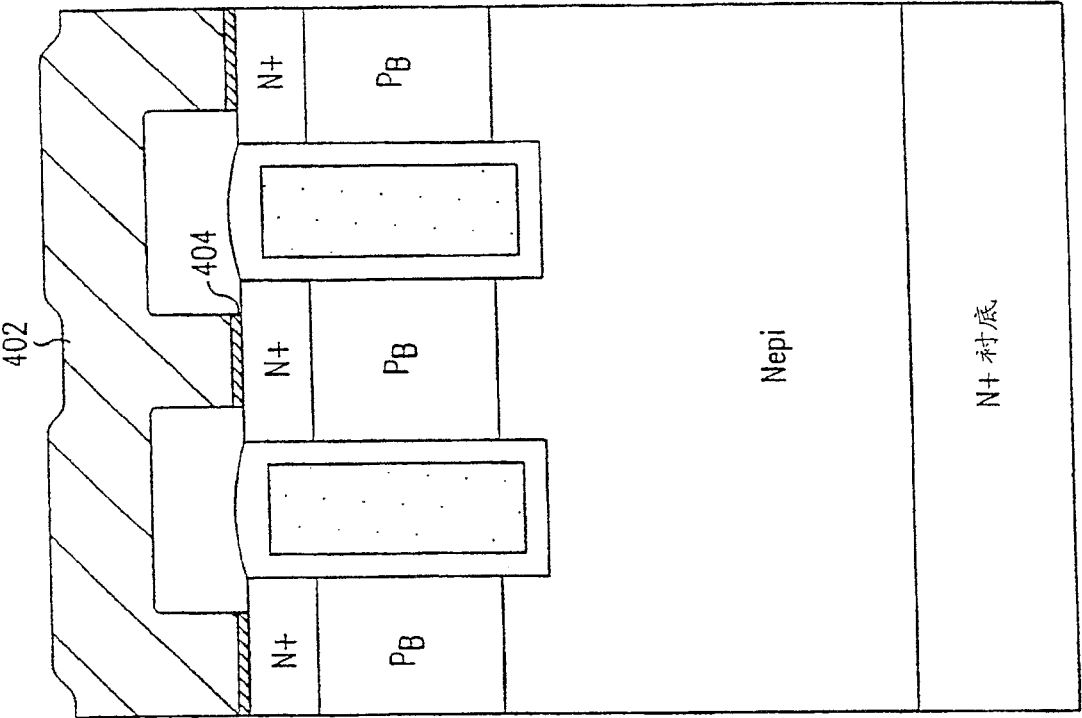


图 27B

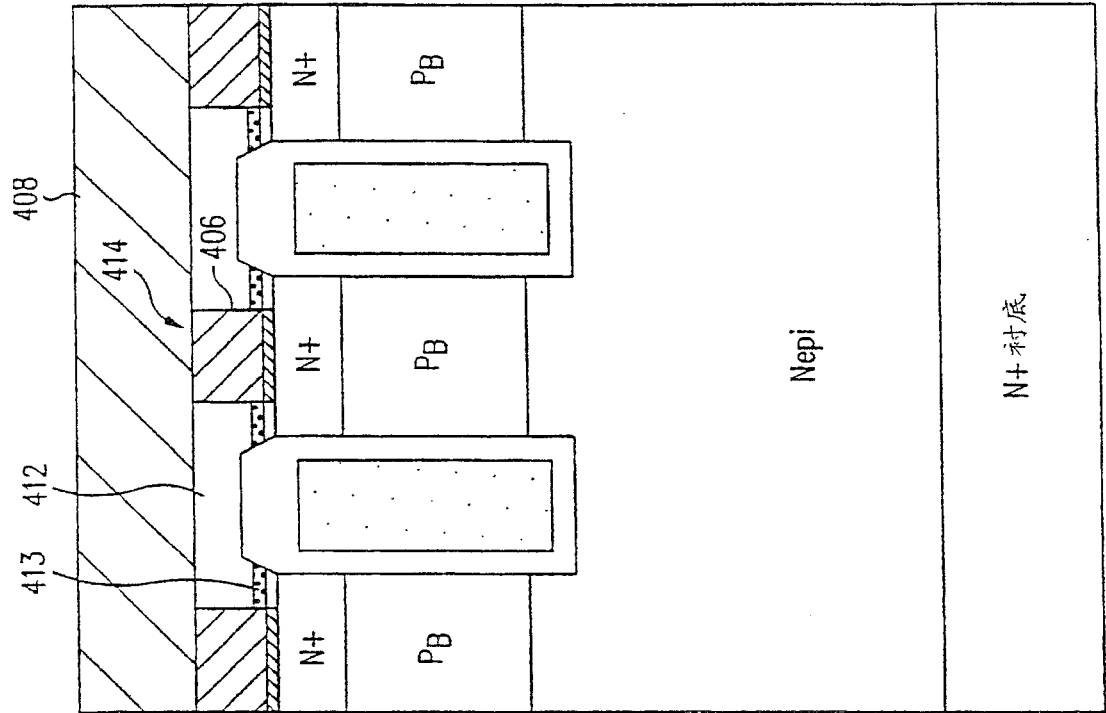


图 27D

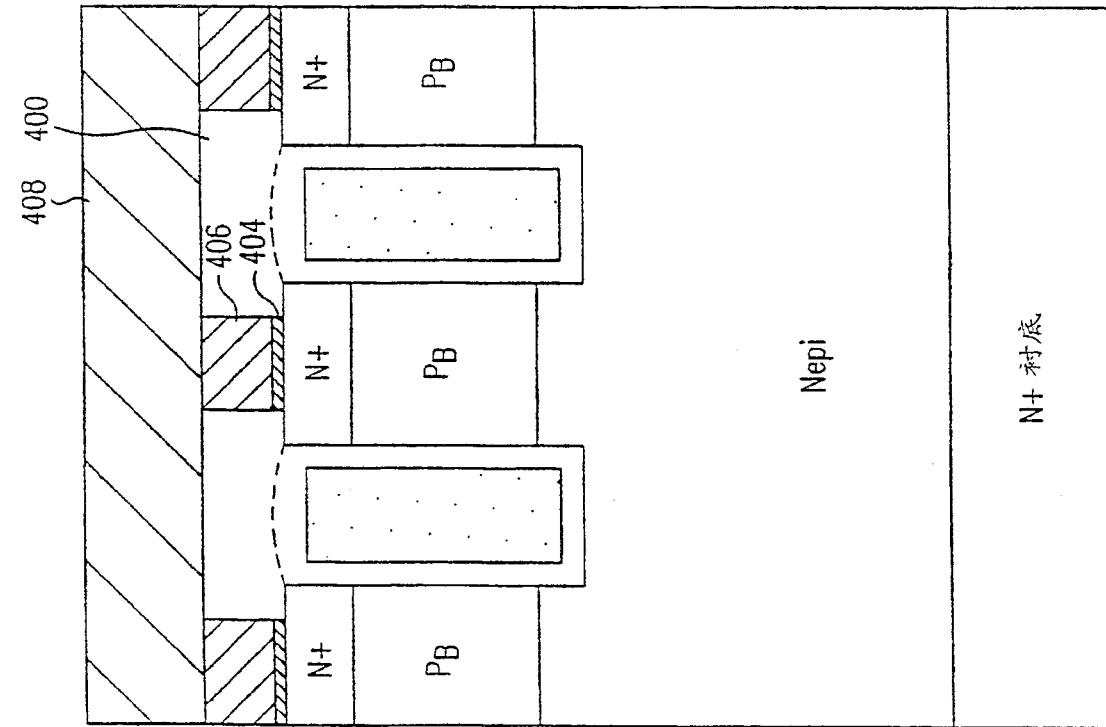


图 27C

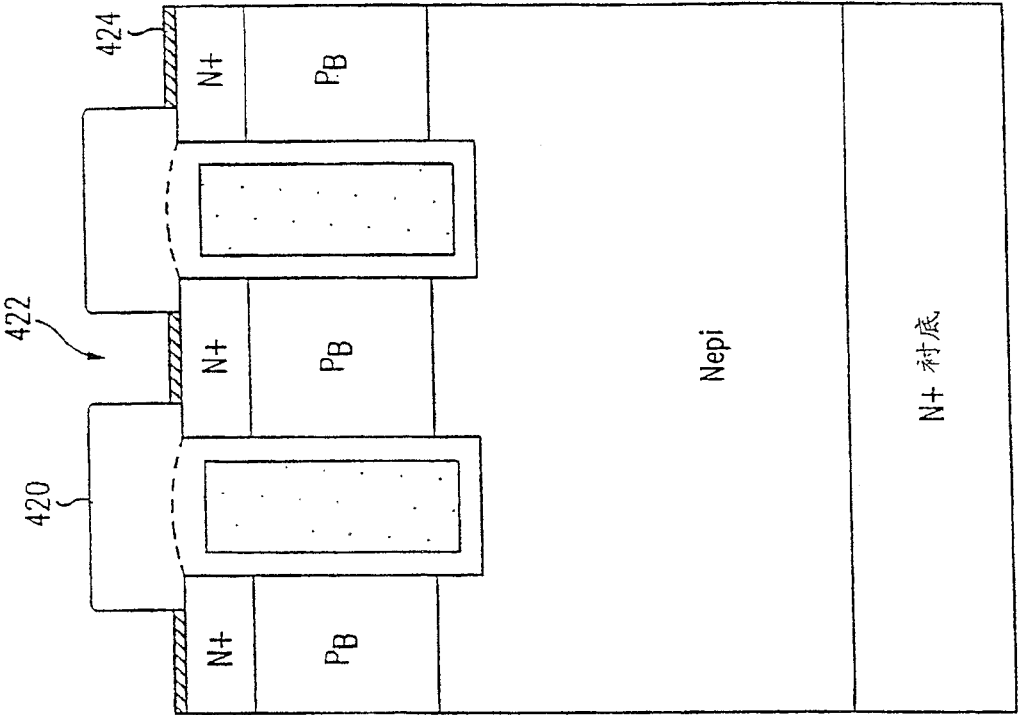


图 28B

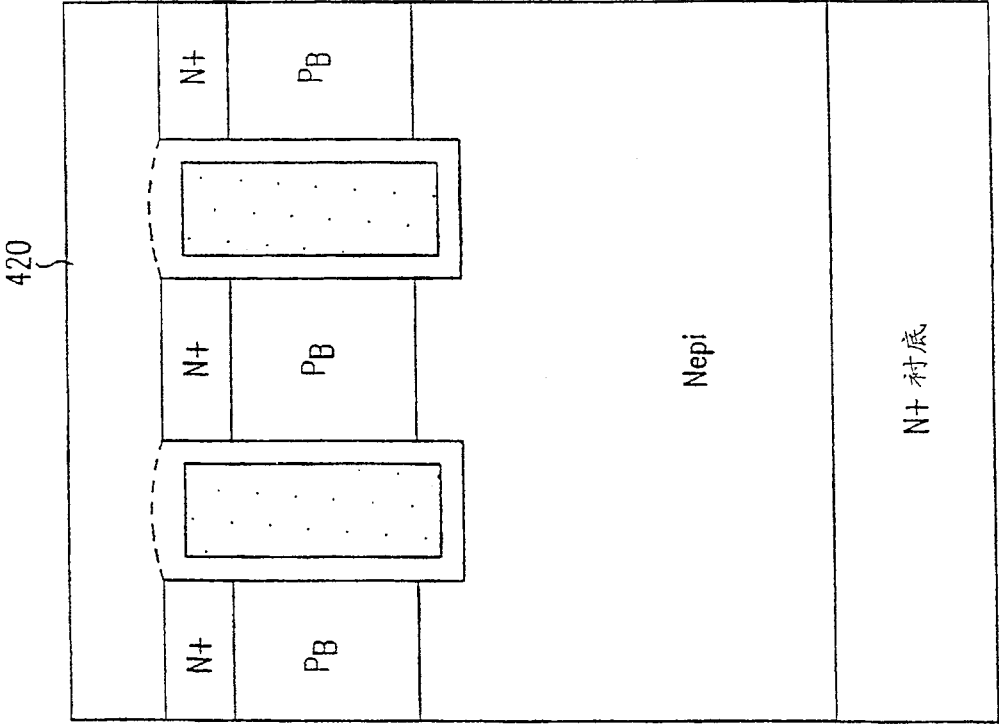


图 28A

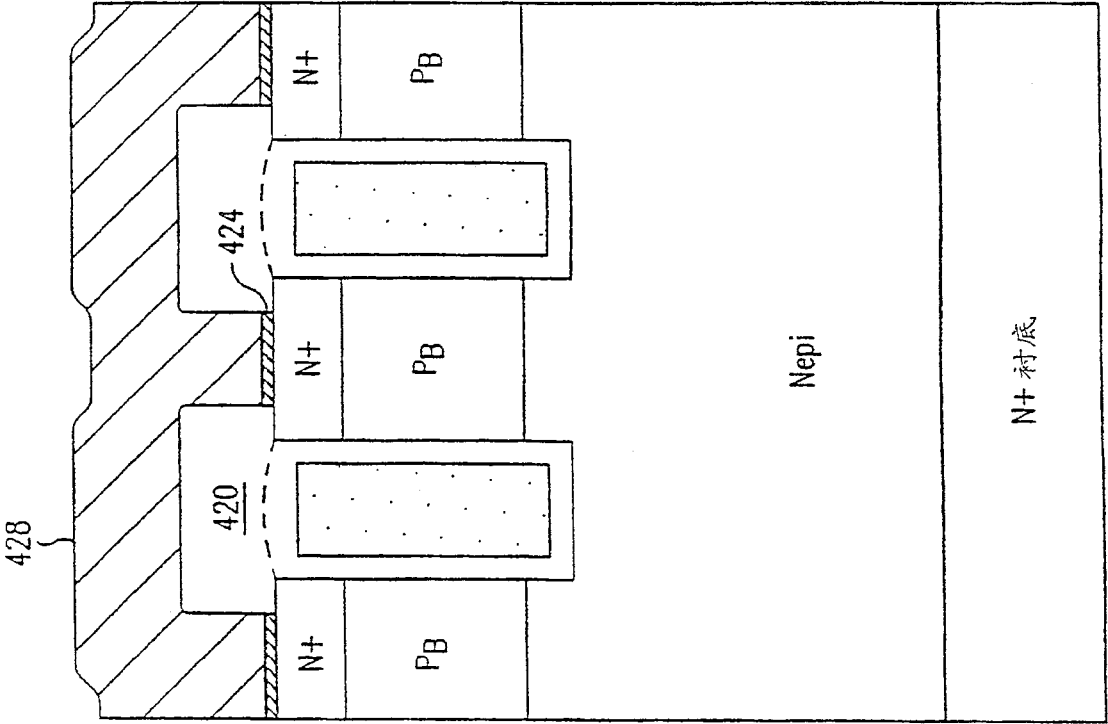


图 28C

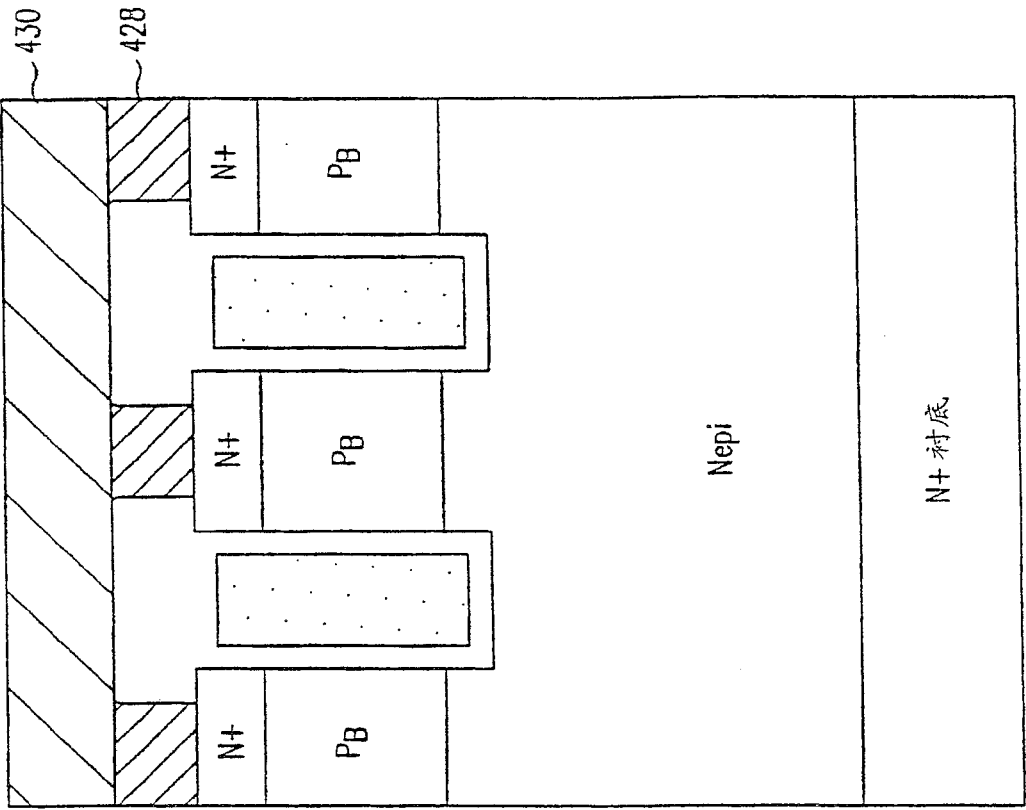


图 28D