

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年4月26日(2007.4.26)

【公開番号】特開2001-249737(P2001-249737A)

【公開日】平成13年9月14日(2001.9.14)

【出願番号】特願2000-62483(P2000-62483)

【国際特許分類】

<b>G 06 F</b>	<b>1/24</b>	<b>(2006.01)</b>
<i>G 06 F</i>	15/177	(2006.01)

【F I】

G 06 F	1/00	3 5 0 B
G 06 F	15/177	6 7 0 A

【手続補正書】

【提出日】平成19年3月2日(2007.3.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

リセット信号と第1種CPUが出力する第1種制御信号群または第2種CPUが出力する第2種制御信号群とを入力して内部の制御信号群に変換する変換回路において、前記リセット信号が有効から無効となつた時に、前記第1種制御信号群の負論理アドレスラッチ信号または前記第2種制御信号群の正論理アドレスラッチ信号の状態を保持する記憶手段を有し、

前記記憶手段に保持された内容に基づき、当該変換回路に前記第1種制御信号群または前記第2種制御信号群の何れが入力されているかを認識することを特徴とする変換回路。

【請求項2】

前記記憶手段に保持された内容に基づき、当該変換回路に入力されている第1種制御信号群または第2種制御信号群から、前記第2種制御信号群または前記第1種制御信号群と略同一仕様の内部の制御信号群を生成する内部信号生成回路を有することを特徴とする請求項1に記載の変換回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に係る変換回路は、リセット信号と第1種CPUが出力する第1種制御信号群または第2種CPUが出力する第2種制御信号群とを入力して内部の制御信号群に変換する変換回路において、前記リセット信号が有効から無効となつた時に、前記第1種制御信号群の負論理アドレスラッチ信号または前記第2種制御信号群の正論理アドレスラッチ信号の状態を保持する記憶手段を有し、前記記憶手段に保持された内容に基づき、当該変換回路に前記第1種制御信号群または前記第2種制御信号群の何れが入力されているかを認識するものである。

また、請求項2に係る変換回路は、請求項1に記載の変換回路において、前記記憶手段に

保持された内容に基づき、当該変換回路に入力されている第1種制御信号群または第2種制御信号群から、前記第2種制御信号群または前記第1種制御信号群と略同一仕様の内部の制御信号群を生成する内部信号生成回路を具備するものである。