



(12) 发明专利

(10) 授权公告号 CN 102473734 B

(45) 授权公告日 2015.08.12

(21) 申请号 201080033956.1

(22) 申请日 2010.07.20

(30) 优先权数据

2009-179722 2009.07.31 JP

(85) PCT国际申请进入国家阶段日

2012.01.31

(86) PCT国际申请的申请数据

PCT/JP2010/062484 2010.07.20

(87) PCT国际申请的公布数据

W02011/013596 EN 2011.02.03

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 秋元健吾 津吹将志

佐佐木俊成 桑原秀明

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘倜

(51) Int. Cl.

H01L 29/786(2006.01)

(56) 对比文件

WO 2009/072532 A1, 2009.06.11, 说明书第11栏第24行—第16栏第27行、附图1.

US 2008/0237598 A1, 2008.10.02, 说明书第0067—0068段、附图1.

审查员 李艳红

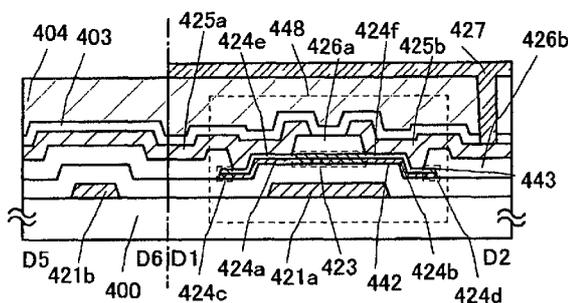
权利要求书3页 说明书48页 附图39页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明涉及半导体装置及其制造方法。在使用第一氧化物半导体层和第二氧化物半导体层的叠层的底栅结构的薄膜晶体管中,在与栅电极层重叠的一部分氧化物半导体层上形成与其接触的用作沟道保护层的氧化物绝缘层,并且在形成该绝缘层的相同的步骤中,形成覆盖氧化物半导体层的叠层的周缘部(包括侧表面)的氧化物绝缘层。



1. 一种半导体装置,包括:
栅电极层,设置在绝缘表面上;
栅极绝缘层,设置在所述栅电极层上;
第一氧化物半导体层,设置在所述栅极绝缘层上;
第二氧化物半导体层,设置在所述第一氧化物半导体层上且与所述第一氧化物半导体层接触;

氧化物绝缘层,设置在所述第二氧化物半导体层上并与所述第二氧化物半导体层接触;以及

源电极层及漏电极层,设置在所述氧化物绝缘层及所述第二氧化物半导体层上,

其中,所述氧化物绝缘层覆盖所述第一氧化物半导体层及所述第二氧化物半导体层的周缘及侧表面,

其中,所述源电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且所述漏电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且

所述第二氧化物半导体层的与所述源电极层和所述漏电极层接触的区域载流子浓度高于或者等于 $1 \times 10^{18}/\text{cm}^3$ 。

2. 一种半导体装置,包括:

栅电极层,设置在绝缘表面上;

栅极绝缘层,设置在所述栅电极层上;

第一氧化物半导体层,设置在所述栅极绝缘层上;

第二氧化物半导体层,设置在所述第一氧化物半导体层上且与所述第一氧化物半导体层接触;

氧化物绝缘层,设置在所述第二氧化物半导体层上并与所述第二氧化物半导体层接触;

源电极层及漏电极层,设置在所述氧化物绝缘层及所述第二氧化物半导体层上;以及

保护绝缘层,设置在所述氧化物绝缘层、所述源电极层和所述漏电极层上,其中所述保护绝缘层与所述氧化物绝缘层接触,

其中,所述源电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且所述漏电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且所述氧化物绝缘层覆盖所述第一氧化物半导体层及所述第二氧化物半导体层的周缘及侧表面。

3. 根据权利要求 2 所述的半导体装置,其中所述保护绝缘层利用通过溅射法形成的氮化硅、氧化铝或氮化铝形成。

4. 根据权利要求 1 或 2 所述的半导体装置,其中所述氧化物绝缘层利用通过溅射法形成的氧化硅或氧化铝形成。

5. 根据权利要求 1 或 2 所述的半导体装置,其中所述源电极层及所述漏电极层使用包含选自 Al、Cr、Cu、Ta、Ti、Mo 及 W 中的元素作为其成分的膜或包含这些元素的合金膜的组合的叠层膜形成。

6. 根据权利要求 1 或 2 所述的半导体装置,其中所述源电极层及所述漏电极层使用氧化铟、氧化铟和氧化锡的合金、氧化铟和氧化锌的合金、或氧化锌形成。

7. 根据权利要求 1 或 2 所述的半导体装置,还包括:

在所述绝缘表面上的电容器部;以及

彼此重叠并被包括在所述电容器部中的电容器布线及电容器电极,

其中所述电容器布线及所述电容器电极具有透光性。

8. 根据权利要求 1 或 2 所述的半导体装置,其中所述半导体装置组装在选自电子书阅读器、电视装置、数码相框、游戏机、投币机、便携式计算机及移动电话中的一种中。

9. 根据权利要求 1 或 2 所述的半导体装置,其中所述氧化物绝缘层使用氮氧化硅或氮化铝形成。

10. 根据权利要求 1 或 2 所述的半导体装置,其中所述第一氧化物半导体层及所述第二氧化物半导体层的平均总厚度为 3nm 至 30nm。

11. 根据权利要求 1 或 2 所述的半导体装置,还包括:

设置在所述源电极层及所述漏电极层上的平坦化绝缘层;以及

设置在所述平坦化绝缘层上并与所述栅电极层连接的导电层。

12. 一种半导体装置的制造方法,包括:

在绝缘表面上形成栅电极层;

在所述栅电极层上形成栅极绝缘层;

在所述栅极绝缘层上形成第一氧化物半导体层;

在所述第一氧化物半导体层上与所述第一氧化物半导体层接触地形成第二氧化物半导体层;

在所述第二氧化物半导体层上并与所述第二氧化物半导体层接触地形成氧化物绝缘层,使得所述氧化物绝缘层覆盖所述第一氧化物半导体层及所述第二氧化物半导体层的周缘及侧表面;以及

在所述氧化物绝缘层及所述第二氧化物半导体层上形成源电极层及漏电极层,其中,所述源电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且所述漏电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,

其中,不接触外部大气地形成所述第一氧化物半导体层及所述第二氧化物半导体层,以使得在所述第一氧化物半导体层及所述第二氧化物半导体层的脱水化或脱氢化之后防止水和氢侵入到所述第一氧化物半导体层及所述第二氧化物半导体层中,

所述第二氧化物半导体层的与所述源电极层和所述漏电极层接触的区域载流子浓度高于或者等于 $1 \times 10^{18}/\text{cm}^3$ 。

13. 一种半导体装置的制造方法,包括:

在绝缘表面上形成栅电极层;

在所述栅电极层上形成栅极绝缘层;

在所述栅极绝缘层上形成第一氧化物半导体层;

在所述第一氧化物半导体层上且与所述第一氧化物半导体层接触地形成第二氧化物半导体层;

在所述第二氧化物半导体层上且与所述第二氧化物半导体层接触地形成氧化物绝缘层;

在所述氧化物绝缘层及所述第二氧化物半导体层上形成源电极层及漏电极层,其中,

所述源电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触,并且所述漏电极层穿过所述氧化物绝缘层的开口与所述第二氧化物半导体层接触;以及

在所述氧化物绝缘层、所述源电极层和所述漏电极层上形成保护绝缘层,其中,所述保护绝缘层与所述氧化物绝缘层接触,

其中,所述氧化物绝缘层覆盖所述第一氧化物半导体层及所述第二氧化物半导体层的周缘及侧表面。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种使用氧化物半导体的半导体装置及其制造方法。

[0002] 本说明书中,半导体装置通常指的是能够通过利用半导体特性操作的装置,因此电光装置、半导体电路及电子设备都是半导体装置。

背景技术

[0003] 近年来,一种利用形成在具有绝缘表面的衬底上的半导体薄膜(厚度大约为几 nm 至几百 nm)来形成薄膜晶体管(TFT)的技术备受瞩目。薄膜晶体管被广泛地应用于如 IC 及电光装置之类的电子装置,尤其是对作为图像显示装置中的开关元件的 TFT 的开发日益火热。金属氧化物的种类繁多且用途广泛。氧化铟作为较普遍的材料被用作液晶显示器等所需要的透明电极材料。

[0004] 某些金属氧化物具有半导体特性。作为具有半导体特性的金属氧化物的示例,例如可以举出氧化钨、氧化锡、氧化铟、氧化锌等。已知一种将这种具有半导体特性的金属氧化物用作沟道形成区的薄膜晶体管(专利文献 1 及专利文献 2)。

[0005] [专利文献 1] 日本专利申请公开 2007-123861 号公报

[0006] [专利文献 2] 日本专利申请公开 2007-96055 号公报

发明内容

[0007] 当在绝缘表面上形成多个薄膜晶体管时,例如存在栅极布线和源极布线彼此交叉的部分。在所述栅极布线和源极布线彼此交叉的部分处,在栅极布线和其电位与该栅极布线不同的源极布线之间设置有作为电介质的绝缘层,而在栅极布线和源极布线之间形成电容。该电容也被称为布线间的寄生电容,并可能导致信号波形产生畸变。此外,当寄生电容较大时,可能导致信号传输延迟。

[0008] 另外,寄生电容的增加会引起其中布线间电信号泄漏的串扰现象,或使功耗增大。

[0009] 另外,在有源矩阵型显示装置中,尤其是当提供视频信号的信号布线与其他的布线或电极之间形成有较大的寄生电容时,可能导致显示质量下降。

[0010] 另外,当谋求电路的微细化时,布线间隔变窄,而有可能导致布线间的寄生电容增加。

[0011] 本发明的一个实施方式的目的之一在于提供一种具有能够充分降低布线间的寄生电容的结构半导体装置。

[0012] 当在绝缘表面上形成驱动电路时,优选用于驱动电路的薄膜晶体管的操作速度较快。

[0013] 例如,当减小薄膜晶体管的沟道长度(L)或增加薄膜晶体管的沟道宽度W时,可以提高操作速度。但是,当减小沟道长度时,发生开关特性例如导通截止比(on-off ratio)降低的问题。另外,当增加沟道宽度W时,发生薄膜晶体管自身的电容负载增加的问题。

[0014] 本发明一个实施方式的另一目的在于提供一种半导体装置,该半导体装置具备即

使沟道长度较短也具有稳定的电特性的薄膜晶体管。

[0015] 当在绝缘表面上形成多个彼此不同的电路时,例如,当将像素部和驱动电路形成一个衬底上时,需要优越的开关特性。例如,对于用于像素部的薄膜晶体管,要求高的导通截止比,而对于用于驱动电路的薄膜晶体管,要求高的操作速度。尤其是,随着显示装置的清晰度变高,显示图像的写入时间减小。因此,优选地,用于驱动电路的薄膜晶体管高速操作。

[0016] 本发明的一个实施方式的另一目的是提供一种半导体装置的制造方法,通过其在一个衬底上形成多种薄膜晶体管来形成多种电路。

[0017] 在绝缘表面上形成第一氧化物半导体层及第二氧化物半导体层,然后对这些氧化物半导体层进行构图。将所得到的氧化物半导体层用作薄膜晶体管的半导体层。特别地,当在一个衬底上形成多种薄膜晶体管时,使用第一氧化物半导体层和第二氧化物半导体层的叠层作为至少一个薄膜晶体管的半导体层。

[0018] 在使用第一氧化物半导体层和第二氧化物半导体层的叠层的底栅结构的薄膜晶体管中,在与栅电极层重叠的一部分氧化物半导体层上形成与其接触的作为沟道保护层的氧化物绝缘层。在与形成该绝缘层的同一步骤中,形成覆盖所述氧化物半导体层的叠层的周缘部(包括侧表面)的氧化物绝缘层。

[0019] 当提供了覆盖第一氧化物半导体层和第二氧化物半导体层的叠层的周缘部(包括侧表面)的氧化物绝缘层时,栅电极层和形成在栅电极层上方或周缘的布线层(诸如,源极布线层及电容器布线层等)之间的距离增大从而可以减少寄生电容。

[0020] 氧化物绝缘层覆盖第一氧化物半导体层及第二氧化物半导体层的端部(周缘及侧表面),从而可以减少泄漏电流。

[0021] 在与沟道保护层同一步骤中形成覆盖第一氧化物半导体层和第二氧化物半导体层的叠层的周缘部的氧化物绝缘层。因此,可以在不增加步骤数的情况下减少寄生电容。

[0022] 此外,覆盖第一氧化物半导体层和第二氧化物半导体层的叠层的周缘部(包括侧表面)的氧化物绝缘层使得可以降低寄生电容,并抑制信号波形的畸变。

[0023] 为了降低寄生电容,优选对于布线之间的氧化物绝缘层使用介电常数低的绝缘材料。

[0024] 当提供覆盖氧化物半导体层的周缘(包括侧表面)的氧化物绝缘层时,可以尽可能多地减小寄生电容,并可以实现薄膜晶体管的高速操作。另外,通过采用高速操作的薄膜晶体管,电路的集成度得到提高。

[0025] 本说明书所公开的本发明的一个实施方式是一种半导体装置,其包括:设置在绝缘表面上的栅电极层;设置在栅电极层上的栅极绝缘层;设置在栅极绝缘层上的第一氧化物半导体层;设置在第一氧化物半导体层上并与第一氧化物半导体层接触的第二氧化物半导体层;与第一氧化物半导体层的第一区及第二氧化物半导体层的第一区重叠且与第二氧化物半导体层接触的氧化物绝缘层;以及源电极层及漏电极层,其设置在氧化物绝缘层及第一氧化物半导体层的第二区上,与第二氧化物半导体层的第二区重叠,且与第二氧化物半导体层接触。在该半导体装置中,第一氧化物半导体层的第一区及第二氧化物半导体层的第一区设置在与栅电极层重叠的区域中以及在第一氧化物半导体层及第二氧化物半导体层的周缘及侧表面中。

[0026] 本说明书所公开的本发明的另一个实施方式是一种半导体装置,其包括:设置在绝缘表面上的栅电极层;设置在栅电极层上的栅极绝缘层;设置在栅极绝缘层上的第一氧化物半导体层;设置在第一氧化物半导体层上并与第一氧化物半导体层接触的第二氧化物半导体层;与第一氧化物半导体层的第一区及第二氧化物半导体层的第一区重叠且与第二氧化物半导体层接触的氧化物绝缘层;源电极层及漏电极层,其设置在氧化物绝缘层及第一氧化物半导体层的第二区上,与第二氧化物半导体层的第二区重叠,且与第二氧化物半导体层接触;以及保护绝缘层,其设置在氧化物绝缘层、源电极层、漏电极层及第一氧化物半导体层的第三区上,与第二氧化物半导体层的第三区重叠,且与第二氧化物半导体层接触。在该半导体装置中,第一氧化物半导体层的第一区及第二氧化物半导体层的第一区设置在与栅电极层重叠的区域中以及在第一氧化物半导体层及第二氧化物半导体层的周缘及侧表面中。

[0027] 在本说明书所公开的本发明的一个实施方式中,保护绝缘层可以利用通过溅射法形成的氮化硅、氧化铝或氮化铝形成。

[0028] 在本说明书所公开的本发明的一个实施方式中,氧化物绝缘层可以利用通过溅射法形成的氧化硅或氧化铝形成。

[0029] 在本说明书所公开的本发明的一个实施方式中,源电极层及漏电极层可以利用选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素为主要成分的膜或包括这些元素的合金膜组合的叠层膜形成。

[0030] 在本说明书所公开的本发明的一个实施方式中,半导体装置的源电极层及漏电极层可以利用氧化铟、氧化铟氧化锡合金、氧化铟氧化锌合金或氧化锌形成。

[0031] 在本说明书所公开的本发明的一个实施方式中,半导体装置可以包括在绝缘表面上的电容器部以及被包括在电容器部中的电容器布线以及与该电容器布线重叠的电容器电极。在该半导体装置中,电容器布线及电容器电极具有透光性。

[0032] 注意,第一氧化物半导体层的电阻率比第二氧化物半导体层的电阻率低(即,导电率高)。此外,第一氧化物半导体层与栅电极之间的距离比第二氧化物半导体层与栅电极之间的距离短。第一氧化物半导体层至少接触于栅极绝缘膜。通过使用该叠层制造薄膜晶体管,可以实现电特性(例如,电场效应迁移率等)优越的薄膜晶体管。

[0033] 利用上述结构解决了上述问题中的至少一个。

[0034] 用来实现上述结构的本发明的一个实施方式是一种半导体装置的制造方法,其包括如下步骤:在绝缘表面上形成栅电极层;在栅电极层上形成栅极绝缘层;在栅极绝缘层上形成第一氧化物半导体层;形成在第一氧化物半导体层上且与第一氧化物半导体层接触的第二氧化物半导体层;形成如下的氧化物绝缘层,所述氧化物绝缘层与第一氧化物半导体层的第一区及第二氧化物半导体层的第一区重叠,且与第二氧化物半导体层接触;以及形成如下的源电极层及漏电极层,所述源电极层及漏电极层设置在氧化物绝缘层及第一氧化物半导体层的第二区上,与第二氧化物半导体层的第二区重叠,且与第二氧化物半导体层接触。在该实施方式中,使其不接触大气地形成第一氧化物半导体层及第二氧化物半导体层,以使得在对第一氧化物半导体层及第二氧化物半导体层进行脱水化或脱氢化之后,防止第一氧化物半导体层及第二氧化物半导体层再次混入水、氢,并且,第一氧化物半导体层的第一区及第二氧化物半导体层的第一区形成在与栅电极层重叠的区域中以及第一氧

化物半导体层及第二氧化物半导体层的周缘及侧表面中。

[0035] 此外,用来实现上述结构的本发明的一个实施方式是一种半导体装置的制造方法,其包括如下步骤:在绝缘表面上形成栅电极层;在栅电极层上形成栅极绝缘层;在栅极绝缘层上形成第一氧化物半导体层;形成在第一氧化物半导体层上且与第一氧化物半导体层接触的第二氧化物半导体层;形成如下的氧化物绝缘层,所述氧化物绝缘层与第一氧化物半导体层的第一区及第二氧化物半导体层的第一区重叠,且与第二氧化物半导体层接触;形成如下的源电极层及漏电极层,所述源电极层及漏电极层设置在氧化物绝缘层及第一氧化物半导体层的第二区上,与第二氧化物半导体层的第二区重叠,且与第二氧化物半导体层接触;以及形成如下的保护绝缘层,所述保护绝缘层设置在氧化物绝缘层、源电极层、漏电极层及第一氧化物半导体层的第三区上,与第二氧化物半导体层的第三区重叠,且与第二氧化物半导体层接触。在该实施方式中,第一氧化物半导体层的第一区及第二氧化物半导体层的第一区形成在与栅电极层重叠的区域以及第一氧化物半导体层及第二氧化物半导体层的周缘及侧表面中。

[0036] 设置所述氧化物绝缘层以覆盖被氧化的金属薄膜的周缘及侧表面,来防止源电极和漏电极之间的导通。

[0037] 第一氧化物半导体层和第二氧化物半导体层的平均总厚度为 3nm 至 30nm。

[0038] 另外,第二氧化物半导体层优选包含第一氧化物半导体层中所包含的元素中的至少一种。当第二氧化物半导体层包含第一氧化物半导体层中所包含的元素中的至少一种时,可以使用相同的蚀刻剂或相同的蚀刻气体通过相同的蚀刻步骤蚀刻第二氧化物半导体层和第一氧化物半导体层,从而可以减少制造步骤数。

[0039] 注意,第一氧化物半导体层及第二氧化物半导体层可以利用由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, 且 m 不是整数) 表示的薄膜形成,并制造将该薄膜用作其氧化物半导体层的薄膜晶体管。注意, M 表示选自 Ga、Fe、Ni、Mn 和 Co 中的一种或多种金属元素。例如, M 可以是 Ga, 或者除了有 Ga 以外, M 还可以包含上述金属元素,例如, M 可以是 Ga 和 Ni 或者是 Ga 和 Fe。此外,在上述氧化物半导体中,在某些情况下,除了被作为 M 包含的金属元素之外,还包含诸如 Fe、Ni 等过渡金属元素或过渡金属的氧化物作为杂质元素。在本说明书中,在其组分化学式由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, 且 m 不是整数) 表示的氧化物半导体层中,将包含 Ga 作为 M 的氧化物半导体称为 In-Ga-Zn-O 类氧化物半导体,并且将 In-Ga-Zn-O 类氧化物半导体的薄膜称为 In-Ga-Zn-O 类非单晶膜。

[0040] 作为应用于所述氧化物半导体层的金属氧化物,除了可以使用上述材料之外,可以使用 In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类、In-Ga-O 类金属氧化物。在利用上述金属氧化物形成的氧化物半导体层中可以含有氧化硅。

[0041] 当在诸如氮或稀有气体(如,氩、氦等)等惰性气体的气氛下进行加热处理时,氧化物半导体层被通过加热处理变成氧缺乏型氧化物半导体层,从而成为低电阻氧化物半导体层,即, n 型 (n^- 型等) 氧化物半导体层。然后,通过形成与该氧化物半导体层接触的氧化物绝缘膜,并在形成之后进行加热处理来使该氧化物半导体层变成氧过剩状态,来成为高电阻氧化物半导体层,即, i 型氧化物半导体层。另外,也可以说成是进行使氧化物半导体层处于氧过剩状态的固相氧化。由此,可以制造并提供具有电特性好且可靠性高的薄膜

晶体管的半导体装置。

[0042] 作为脱水化或脱氢化,通过在诸如氮或稀有气体(如,氩、氦等)等惰性气体气氛下,以高于或等于 400°C 且低于或等于衬底的应变点的温度,优选地以高于或等于 420°C 且低于或等于 570°C 的温度,进行加热处理,从而减少氧化物半导体层所含的水分等杂质。

[0043] 在如下的热处理条件下对氧化物半导体层进行脱水化或脱氢化:即使在直至 450°C 的温度的对该进行了脱水化或脱氢化的氧化物半导体层进行 TDS,水的两个峰值或者至少一个在 300°C 附近的峰值也不会被检测出。所以,即使在直至 450°C 的温度对包括进行了脱水化或脱氢化的氧化物半导体层的薄膜晶体管进行 TDS,至少在 300°C 附近的水的峰值也不会被检测出。

[0044] 另外,重要的是:当温度从进行脱水化或脱氢化的加热温度 T 降低时,通过使用对氧化物半导体层进行脱水化或脱氢化的炉而不使氧化物半导体层暴露于大气,从而不使水或氢混入到氧化物半导体层中。在使用通过如下获得的氧化物半导体层形成薄膜晶体管时,该薄膜晶体管的阈值电压值可以为正电压,从而能够实现所谓常关型的开关元件:进行脱水化或脱氢化使氧化物半导体层变为低电阻氧化物半导体层(即,N 型(N⁻型等),以及使该低电阻氧化物半导体层变为高电阻氧化物半导体层而成为 i 型半导体层。对于半导体装置(显示装置),期望沟道的阈值电压为正值并且尽可能接近于 0V。如果薄膜晶体管的阈值电压值为负时,容易成为所谓常开型;也就是说,即使栅电压为 0V,在源电极和漏电极之间仍有电流流过。在有源矩阵型的显示装置中,电路中所包括的薄膜晶体管的电特性是重要的,并且显示装置的性能依赖于薄膜晶体管的电特性。在薄膜晶体管的电特性中,阈值电压(V_{th})很重要。即使在场效应迁移率高的情况下,当阈值电压值高或在负侧时,电路的控制也是比较困难的。在薄膜晶体管的阈值电压值高并且其阈值电压的绝对值大的情况下,当以低电压驱动该晶体管时,该薄膜晶体管不能起到开关功能而有可能成为负载。在 n 沟道薄膜晶体管的情况下,优选是在作为栅电压施加正的电压之后形成沟道并开始产生漏极电流。不提高驱动电压就不能形成沟道的晶体管和即使在负电压状态下也形成沟道并产生漏极电流的晶体管,不适合用作用于电路中的薄膜晶体管。

[0045] 另外,可以将从加热温度 T 开始降温的气体气氛转换成与升温到加热温度 T 的气体气氛不同的气体气氛。例如,使用进行脱水化或脱氢化的炉,并且以高纯度的氧气体、高纯度的 N₂O 气体、或超干燥空气(露点为 -40°C 或更低,优选为 -60°C 或更低)填充该炉而不暴露于大气,来进行冷却。

[0046] 通过使用在利用进行脱水化或脱氢化的加热处理使膜中所含有的水分减少之后,在不含有水分的气氛(露点为 -40°C 或更低,优选为 -60°C 或更低)下进行缓慢冷却(或冷却)的氧化物半导体膜,提高了薄膜晶体管的电特性,并且实现了可以量产的高性能的薄膜晶体管。

[0047] 在本说明书中,将在氮或稀有气体(诸如,氩、氦等)等惰性气体气氛下的加热处理称为用于脱水化或脱氢化的加热处理。在本说明书中,脱氢化并不仅仅表示通过该加热处理使 H₂ 消除,而且为了方便起见,脱水化或脱氢化也表示 H、OH 等的消除。

[0048] 当在氮或稀有气体(诸如,氩、氦等)等惰性气体气氛下进行加热处理时,氧化物半导体层通过该加热处理变成氧缺乏型氧化物半导体层,以便成为低电阻氧化物半导体层,即,N 型(例如,N⁻型等)氧化物半导体层。

[0049] 另外,与漏电极层重叠的区域被形成为高电阻漏区(也称为HRD区),其是氧缺乏型区域;并且,与源电极层重叠的区域被形成为高电阻源区(也称为HRS区),其是氧缺乏型区域。

[0050] 具体而言,高电阻漏区及高电阻源区中每一个的载流子浓度高于或者等于 $1 \times 10^{18}/\text{cm}^3$,并且至少高于沟道形成区的载流子浓度(小于 $1 \times 10^{18}/\text{cm}^3$)。注意,本说明书的载流子浓度是在室温下通过霍尔效应测量而获得的。在本说明书中,在某些情况下,根据高电阻漏区(源区)的电阻率(导电率)的梯度(gradient),高电阻漏区(源区)也称为第一高电阻漏区(或第一高电阻源区)或第二高电阻漏区(或第二高电阻源区)。另外,在本说明书中的说明中,第一高电阻漏区的电阻率比第二高电阻漏区的电阻率低(即,导电率高)。

[0051] 然后,通过至少使经过脱水化或脱氢化的第一氧化物半导体层和第二氧化物半导体层的叠层的一部分处于氧过剩状态以使其具有高电阻,即成为i型,来形成沟道形成区。注意,作为使经过脱水化或脱氢化的第一氧化物半导体层和第二氧化物半导体层处于氧过剩状态的处理,可以执行:利用溅射法的氧化物绝缘膜的沉积,该氧化物绝缘膜与经过脱水化或脱氢化的第一氧化物半导体层和第二氧化物半导体层的叠层接触;在氧化物绝缘膜的沉积之后,执行加热处理,或在含有氧的气氛下的加热处理,或者在惰性气体气氛下加热处理之后,在氧气氛下或在超干燥空气(露点为 -40°C 或更低,优选为 -60°C 或更低)下的冷却处理;等等。

[0052] 通过导致氧过剩的状态的处理,经过脱水化或脱氢化的第一氧化物半导体层和经过脱水化或脱氢化的第二氧化物半导体层的叠层的至少一部分(与栅电极层重叠的部分)用作沟道形成区;因此,可以选择性地将第一氧化物半导体层和第二氧化物半导体层置于氧过剩状态,并使其成为电阻增大的层,即,i型氧化物半导体层。

[0053] 由此,可以制造并提供具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0054] 注意,通过在与漏电极层(及源电极层)重叠的氧化物半导体层中形成第一高电阻漏区及第二高电阻漏区,可以提高形成驱动电路时的可靠性。具体而言,通过形成第一高电阻漏区及第二高电阻漏区,可以形成如下结构:导电性能从漏电极层至第二高电阻漏区、第一高电阻漏区、沟道形成区逐渐地变化。因此,当将漏电极层连接到提供高电源电位VDD的布线来使薄膜晶体管操作时,即使在栅电极层与漏电极层之间受到高电场,第一高电阻漏区及第二高电阻区作为缓冲区,并因此不受到局部性的高电场,从而可以提高晶体管的耐受电压。

[0055] 另外,在与漏电极层(以及源电极层)重叠的氧化物半导体层中形成第一高电阻漏区及第二高电阻漏区,使得可以在形成驱动电路时在沟道形成区中实现导通电流的增加以及泄漏电流的降低。具体而言,在形成第一高电阻漏区、第二高电阻漏区、第一高电阻源区、第二高电阻源区时,在晶体管的漏电极层和源电极层之间的泄漏电流依次流过漏电极层、第一高电阻漏区、第二高电阻漏区、沟道形成区、第一高电阻源区、第二高电阻源区、以及源电极层。在此情况下,当晶体管处于截止时,在沟道形成区中,从漏电极层一侧的第一高电阻漏区及第二高电阻漏区流向沟道区的泄漏电流可以集中在具有高电阻的栅极绝缘层与沟道形成区之间的界面附近。因而,可以降低背沟道部(远离栅电极层的沟道形成区的表面的一部分)中的泄漏电流的量。

[0056] 另外,根据栅电极层的宽度,与源电极层重叠的第一高电阻源区及第二高电阻源区,和与漏电极层重叠的第一高电阻漏区及第二高电阻漏区,彼此重叠,而栅电极层和栅极绝缘层的一部分插入在两方之间,并且能够更有效地降低漏电极层的端部附近的电场强度。

[0057] 另外,作为具有驱动电路的显示装置,除了液晶显示装置之外还可以举出使用发光元件的发光显示装置和使用电泳显示元件的显示装置(也称为电子纸)。

[0058] 在使用发光元件的发光显示装置中,像素部中具有多个薄膜晶体管,并且在像素部中还存在其中薄膜晶体管的栅电极和其他的晶体管的源极布线或漏极布线连接的区域。另外,在使用发光元件的发光显示装置的驱动电路中,存在其中薄膜晶体管的栅电极与该薄膜晶体管的源极布线或漏极布线连接的区域。

[0059] 此外,通过在一个衬底上制造矩阵电路和驱动电路,降低了半导体装置的制造成本。驱动电路包括例如逻辑电路等的注重操作速度的电路。在这种电路中使用包括第一氧化物半导体层及第二氧化物半导体层的叠层的薄膜晶体管,而在另一电路中使用包括第三氧化物半导体层的单层的薄膜晶体管。以此方式,在注重操作数据的电路(诸如,逻辑电路等)和其他电路之间,薄膜晶体管的结构可以不同。

[0060] 因为薄膜晶体管容易因静电等损坏,所以优选在用于栅极线或源极线的衬底上设置用于保护像素部的薄膜晶体管的保护电路。保护电路优选由使用氧化物半导体层的非线性元件形成。

[0061] 注意,为了方便起见而在本说明书中使用诸如第一、第二等序数词,但其并不表示步骤顺序或层叠顺序。此外,本说明书中的序数词并不表示限制本发明的特定名称。

[0062] 利用第一氧化物半导体层和第二氧化物半导体层的叠层,可以实现具备电特性优良的薄膜晶体管的半导体装置。以氧化物绝缘层覆盖氧化物半导体层的叠层的周缘及侧表面,从而可以减少泄漏电流。覆盖氧化物半导体层的叠层的周缘及侧表面的氧化物绝缘层通过与用作沟道保护层的氧化物绝缘层同一步骤形成。

[0063] 此外,可以在一个衬底上形成具有氧化物半导体层的叠层的薄膜晶体管和具有单层的氧化物半导体层的薄膜晶体管,从而可以制造多种电路。

附图说明

[0064] 图 1A 至 1C 是示出本发明的一个实施方式的平面图及截面图;

[0065] 图 2A 至 2E 是示出本发明的一个实施方式的制造步骤的截面图;

[0066] 图 3A 和 3B 是示出本发明的一个实施方式的截面图;

[0067] 图 4A1、4A2 及 4B1、4B2 是示出本发明的一个实施方式的平面图及截面图;

[0068] 图 5A 和 5C 是示出本发明的一个实施方式的平面图,而图 5B 是其截面图;

[0069] 图 6A 和 6B 是示出本发明的一个实施方式的截面图;

[0070] 图 7A 至 7C 是示出本发明的一个实施方式的平面图及截面图;

[0071] 图 8A 至 8E 是示出本发明的一个实施方式的制造步骤的截面图;

[0072] 图 9A 和 9B 是示出本发明的一个实施方式的半导体装置的图;

[0073] 图 10A1、10A2 及 10B 是示出本发明的一个实施方式的半导体装置的图;

[0074] 图 11A 和 11B 是示出本发明的一个实施方式的半导体装置的图;

- [0075] 图 12 是示出本发明的一个实施方式的半导体装置的像素的等效电路的图；
- [0076] 图 13A 至 13C 每一个是示出本发明的一个实施方式的半导体装置的图；
- [0077] 图 14A 和 14B 每一个是示出本发明的一个实施方式的半导体装置的框图；
- [0078] 图 15A 和 15B 是示出本发明的一个实施方式的半导体装置的图；
- [0079] 图 16A 至 16D 是示出本发明的一个实施方式的半导体装置的图；
- [0080] 图 17A 和 17B 是示出本发明的一个实施方式的半导体装置的图；
- [0081] 图 18 是示出本发明的一个实施方式的半导体装置的图；
- [0082] 图 19 是示出本发明的一个实施方式的半导体装置的图；
- [0083] 图 20 是示出本发明的一个实施方式的电子书的外观图；
- [0084] 图 21A 和 21B 是示出本发明的一个实施方式的电视装置及数码相框的例子的外观图；
- [0085] 图 22A 和 22B 是示出本发明的一个实施方式的游戏机的例子的外观图；
- [0086] 图 23A 和 23B 是示出本发明的一个实施方式的便携式计算机及移动电话的例子的外观图；
- [0087] 图 24 是示出本发明的一个实施方式的半导体装置的图；
- [0088] 图 25 是示出本发明的一个实施方式的半导体装置的图；
- [0089] 图 26 是示出本发明的一个实施方式的半导体装置的图；
- [0090] 图 27 是示出本发明的一个实施方式的半导体装置的图；
- [0091] 图 28 是示出本发明的一个实施方式的半导体装置的图；
- [0092] 图 29 是示出本发明的一个实施方式的半导体装置的图；
- [0093] 图 30 是示出本发明的一个实施方式的半导体装置的图；
- [0094] 图 31 是示出本发明的一个实施方式的半导体装置的图；
- [0095] 图 32 是示出本发明的一个实施方式的半导体装置的图；
- [0096] 图 33 是示出本发明的一个实施方式的半导体装置的图；
- [0097] 图 34 是示出本发明的一个实施方式的半导体装置的图；
- [0098] 图 35 是示出本发明的一个实施方式的半导体装置的图；以及
- [0099] 图 36A 和 36B 是示出本发明的一个实施方式的半导体装置的图。

具体实施方式

[0100] 下面,将参照附图详细说明本发明的实施方式。但是,本发明并不限于以下说明,并且本领域技术人员可以很容易地理解,这里公开的方式和详细内容可以以各种各样的形式进行修改而不偏离本发明的精神和范围。因此,本发明不应该被解释为仅限于对实施方式的具体说明。

[0101] 实施方式 1

[0102] 在本实施方式中,参照图 1A 至 1C、图 2A 至 2E、图 3A 和 3B 以及图 4A1、4A2 和 4B1 和 4B2 对半导体装置及半导体装置的制造方法的一个实施方式进行说明。

[0103] 图 1A 是设置在像素中的沟道保护型薄膜晶体管 448 的平面图,而图 1B 是沿着图 1A 的线 D1-D2 的截面图以及线 D5-D6 的截面图。图 1C 是沿着图 1A 的线 D3-D4 的截面图。注意,图 2E 是与图 1B 相同的截面图。

[0104] 设置在像素中的薄膜晶体管 448 是沟道保护型（也称作沟道停止型（channel-stop））的薄膜晶体管，并且在具有绝缘表面的衬底 400 上包括：栅电极层 421a；栅极绝缘层 402；包括沟道形成区 423 的第一氧化物半导体层 442 及第二氧化物半导体层 443；用作沟道保护层的氧化物绝缘层 426a；源电极层 425a；以及漏电极层 425b。另外，设置保护绝缘层 403 以覆盖薄膜晶体管 448 并与氧化物绝缘层 426a、源电极层 425a 及漏电极层 425b 接触，并且在其上层叠平坦化绝缘层 404。在平坦化绝缘层 404 上设置有像素电极层 427，其与漏电极层 425b 接触并因此电连接到薄膜晶体管 448。

[0105] 注意，以下举出其中层叠第一氧化物半导体层 442 和第二氧化物半导体层 443 的例子。首先，通过溅射法在诸如氩等的稀有气体和氧气体的气氛下，在栅极绝缘层 402 上形成第一氧化物半导体层 442。接着，不暴露于大气地在诸如氩等的稀有气体和氧气体的气氛下，通过溅射法使用包括诸如氧化硅等的绝缘氧化物的氧化物半导体，在第一氧化物半导体层 442 上形成第二氧化物半导体层 443。其结果是，第一氧化物半导体层的电阻率比包括诸如氧化硅等的绝缘氧化物的第二氧化物半导体层的电阻率低（即，导电率高）。通过使用该第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层制造薄膜晶体管，可以实现电特性（例如，电场效应迁移率等）优良的薄膜晶体管。

[0106] 在此，以如下的条件形成第一氧化物半导体层 442 及第二氧化物半导体层 443：使用包含 In、Ga 及 Zn 的氧化物半导体靶（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol%] 并且 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [at%]）；衬底和靶之间的距离为 100mm；压力为 0.2Pa；直流（DC）电源为 0.5kW；并且气氛为氩及氧（氩：氧 = 30sccm : 20sccm，氧流量比率为 40%）的气氛。注意，脉冲直流（DC）电源是优选的，这是因为可以减少尘屑且可以使膜厚度均匀。

[0107] 注意，溅射法的例子可以包括：将高频电源用于溅射用电源的 RF 溅射法、DC 溅射法、以及以脉冲的方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于形成绝缘膜的情况，而 DC 溅射法主要用于形成金属膜的情况。

[0108] 另外，还存在可以设置多个材料不同的靶的多源溅射装置。利用多源溅射装置，可以在同一反应室中层叠形成不同的材料的膜，或者可以在同一反应室中同时通过放电形成一具有多种材料的膜。

[0109] 另外，还存在处理室内部设置有磁体系统并用于磁控管溅射的溅射装置，以及不使用辉光放电而使用利用微波产生的等离子体的用于 ECR 溅射的溅射装置。

[0110] 另外，作为使用溅射法的沉积方法，还有反应溅射法以及偏压溅射法：在反应溅射法中，当进行沉积时靶物质和溅射气体成分彼此起化学反应而形成其化合物薄膜；而在偏压溅射法中，当进行沉积时对衬底也施加电压。

[0111] 用于像素的薄膜晶体管 448 具有第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层膜，其包括：第一高电阻源区 424a、第二高电阻源区 424e、第一高电阻漏区 424b、第二高电阻漏区 424f 及沟道形成区 423。形成第一高电阻源区 424a，并在其上与源电极层 425a 的底表面接触地形成第二高电阻源区 424e。此外，与漏电极层 425b 的底表面接触地形成第一高电阻区 424b、第二高电阻区 424f。即使对薄膜晶体管 448 施加高电场，由于第一高电阻源区 424a、第二高电阻源区 424e、第一高电阻漏区 424b、第二高电阻漏区 424f 作为缓冲区，因而不被施加局部性的高电场。以这样的方式，薄膜晶体管 448 具有提高了耐受电压的结构。注意，其中第一氧化物半导体层 442 及第二氧化物半导体层 443 中与第一氧

氧化物绝缘层 426a 及第二氧化物绝缘层 426b 重叠且接触的区域被称为第一区。此外,在第一氧化物半导体层 442 及第二氧化物半导体层 443 中,其中第二氧化物半导体层 443 与源电极层 425a 及漏电极层 425b 重叠且接触的区域被称为第二区。

[0112] 设置在像素中的薄膜晶体管 448 的沟道形成区 423 是这样的区域,其被包括在第一氧化物半导体层 442 及第二氧化物半导体层 443 的叠层膜中,接触作为沟道保护层的氧化物绝缘层 426a,并与栅电极层 421a 重叠。由于薄膜晶体管 448 被氧化物绝缘层 426a 保护,因而可以防止第二氧化物半导体层 442 在形成源电极层 425a、漏电极层 425b 的蚀刻步骤中被蚀刻。

[0113] 为了实现具有高开口率的显示装置,利用透光的导电膜来形成源电极层 425a 和漏电极层 425b,从而提供作为透光的薄膜晶体管的薄膜晶体管 448。

[0114] 另外,薄膜晶体管 448 的栅电极层 421a 也采用具有透光性的导电膜形成。

[0115] 在设置有薄膜晶体管 448 的像素中,使用透射可见光的导电膜形成像素电极层 427、其他的电极层(诸如,电容器电极层等)、或布线层(诸如,电容器布线层等),以实现具有高开口率的显示装置。当然,栅极绝缘层 402 和氧化物绝缘层 426a 每一个也优选使用透射可见光的膜形成。

[0116] 在本说明书中,透射可见光的膜是指具有对可见光的透射率为 75% 至 100% 的厚度的膜。在该膜具有导电性的情况下,也将其称为透明导电膜。另外,对于应用于栅电极层、源电极层、漏电极层、像素电极层、其他的电极层、或其他的布线层的金属氧化物,也可以使用对可见光半透明的导电膜。对可见光半透明的导电膜是指其对可见光的透射率为 50% 至 75% 的膜。

[0117] 为了降低寄生电容,在栅极布线和源极布线彼此交叉的布线交叉部中,在栅电极层 421b 和源电极层 425a 之间设置栅极绝缘层 402 和氧化物绝缘层 426b。注意,虽然使用彼此不同的附图标记来表示与沟道形成区 423 重叠的氧化物绝缘层 426a 和与沟道形成区 423 重叠的氧化物半导体层 426b,但是它们是使用相同的材料和相同的步骤形成的。

[0118] 下面,参照图 2A 至 2E 对在一个衬底上形成薄膜晶体管 448 和布线交叉部的制造步骤进行说明。除了像素部的薄膜晶体管外,还可以形成驱动电路中的薄膜晶体管。驱动电路中的晶体管可以使用相同步骤在同一衬底上形成。

[0119] 首先,在具有绝缘表面的衬底 400 上形成透光导电膜,之后,进行第一光刻步骤来形成栅电极层 421a、421b。在像素部中,利用与栅电极层 421a、421b 相同的透光材料,通过该第一光刻步骤形成电容器布线层。在形成驱动电路以及像素部的情况下,如果需要电容器,也为驱动电路提供电容器布线层。注意,可以使用喷墨法形成抗蚀剂掩模。使用喷墨法形成抗蚀剂掩模不需要光掩模,由此可以降低制造成本。

[0120] 注意,至于上述玻璃衬底,也可以使用诸如陶瓷衬底、石英衬底、蓝宝石衬底等的由绝缘体形成的衬底。替代地,可以使用晶化玻璃等。

[0121] 可以作为基底膜的绝缘膜设置在衬底 400 与栅电极层 421a、421b 之间。基底膜具有防止杂质从衬底 400 扩散的作用,并且其可以被形成为具有利用选自氮化硅膜、氧化硅膜、氮氧化硅膜、或氧氮化硅膜中的一种或多种膜的单层或叠层结构。

[0122] 作为栅电极层 421a、421b 的材料,可以采用透射可见光的导电材料。例如,可以应用任意下述金属氧化物:In-Sn-Zn-O 类金属氧化物、In-Al-Zn-O 类金属氧化物、

Sn-Ga-Zn-O 类金属氧化物、Al-Ga-Zn-O 类金属氧化物、Sn-Al-Zn-O 类金属氧化物、In-Zn-O 类金属氧化物、Sn-Zn-O 类金属氧化物、Al-Zn-O 类金属氧化物、In-O 类金属氧化物、Sn-O 类金属氧化物、Zn-O 类金属氧化物。其厚度可以适当地设置在 50nm 至 300nm 的范围内。可以使用溅射法、真空蒸镀法（电子束蒸镀法等）、电弧放电离子镀法、或喷涂法来沉积用于栅电极层 421a、421b 的金属氧化物。在使用溅射法的情况下，使用含有 2wt% 至 10wt% 的 SiO_2 的靶进行沉积，以使得在透光导电膜中包含有阻碍晶化的 SiO_x ($x > 0$)。因此，优选抑制透光导电膜在后面进行得用于脱水化或脱氢化的加热处理步骤中被晶化。

[0123] 然后，在栅电极层 421a、421b 上形成栅极绝缘层 402。

[0124] 通过利用等离子体 CVD 法或溅射法等，形成栅极绝缘层 402 以具有氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层或氧化铝层的单层或其叠层。例如，使用 SiH_4 、氧及氮作为成膜气体，通过等离子体 CVD 法来形成氧氮化硅层。栅极绝缘层 402 厚度为 100nm 至 500nm。在采用叠层结构的情况下，顺序层叠具有 50nm 至 200nm 厚度的第一栅极绝缘层和具有 5nm 至 300nm 厚度的第二栅极绝缘层。

[0125] 在本实施方式中，通过等离子体 CVD 法形成 200nm 或更小厚度的氮化硅层作为栅极绝缘层 402。

[0126] 接着，在栅极绝缘层 402 上形成第一氧化物半导体膜。通过溅射法、真空蒸镀法或涂敷法等形成第一氧化物半导体膜至大于 0nm 且小于 10nm 的厚度，优选地，大于或等于 3nm 且小于或等于 10nm 的厚度。注意，对于第一氧化物半导体膜，使用作为其电阻率比后来在第一氧化物半导体膜上形成且与第一氧化物半导体膜接触的第二氧化物半导体层的电阻率低的氧化物的材料。

[0127] 接着，在第一氧化物半导体膜上形成厚度为 2nm 至 200nm 的第二氧化物半导体膜。在此，通过采用溅射法、真空蒸镀法或涂敷法等并以包含绝缘氧化物（诸如，氧化硅）的方式形成第二氧化物半导体膜。为了即使在形成第二氧化物半导体膜之后的用于脱水化或脱氢化的加热处理之后氧化物半导体膜也仍为非晶的，优选第一氧化物半导体膜和第二氧化物半导体膜的总厚度较小（50nm 或更小）。当通过利用包含氧化硅的氧化物半导体膜较薄地形成第二氧化物半导体膜时，在形成第二氧化物半导体层之后进行加热处理的情况下，可以抑制第二氧化物半导体层的晶化。

[0128] 第一氧化物半导体膜及第二氧化物半导体膜使用 In-Ga-Zn-O 类非单晶膜形成，或者包括 In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、或 Zn-O 类的氧化物半导体。在本实施方式中，使用 In-Ga-Zn-O 类氧化物半导体靶并通过溅射法来形成第一氧化物半导体膜。另外，可以在稀有气体（典型是氩）气氛下、在氧气氛下、或者在稀有气体（典型是氩）和氧气氛下，通过溅射法来形成氧化物半导体膜。第二氧化物半导体膜的沉积可以通过溅射法，使用含有 2wt% 至 10wt% 的 SiO_2 的靶来进行，从而使氧化物半导体膜中包含有阻碍晶化的 SiO_x ($x > 0$)。因而，优选抑制在后来进行的用于脱水化或脱氢化的加热处理中晶化。

[0129] 第一氧化物半导体膜及第二氧化物半导体膜可以将简单地称为氧化物半导体，并且优选地，可以将其称为包含 In 的氧化物半导体，更优选地，将其称为包含 In 和 Ga 的氧化物半导体。

[0130] 接着，通过第二光刻步骤将第一氧化物半导体膜及第二氧化物半导体膜的叠层加

工为岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443。另外,也可以通过喷墨法形成来形成用于形成岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443 的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以降低制造成本。

[0131] 接着,对岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 进行脱水化或脱氢化。用于脱水化或脱氢化的第一加热处理在高于或等于 400°C 且低于衬底的应变点的温度进行,优选在 425°C 或更高的温度进行。注意,当采用 425°C 或更高的温度时,加热处理时间可以是 1 小时或更短;但是当采用低于 425°C 的温度时,加热处理时间长于 1 小时。在此,将衬底导入到电炉中,该电炉作为加热处理装置之一,并在氮气氛下对岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 进行加热处理。在此之后,以不使岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 暴露于大气,这防止水或氢再次混入其中,从而得到脱水化或脱氢化的氧化物半导体层。在本实施方式中,在加热处理中使用的一个炉被持续使用直到温度从执行氧化物半导体层的脱水化或脱氢化的加热温度 T 降低到足以防止水再次混入的温度。具体而言,在氮气氛下进行缓慢冷却,直至温度变为比加热温度 T 低 100°C 或更多的温度。另外,不局限于氮气氛,可以在诸如氩、氦、氙等稀有气体气氛下进行脱水化或脱氢化。

[0132] 注意,在第一加热处理中,优选氮气或诸如氩、氦、氙等的稀有气体中不含水、氢等。另外,优选地,导入到加热处理装置中的氮或诸如氩、氦、氙等的稀有气体的纯度为 6N(99.9999%) 或更高,更优选为 7N(99.99999%) 或更高(即,杂质的浓度为 1ppm 或更低,优选为 0.1ppm 或更低)。

[0133] 根据第一加热处理的条件和岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 的材料,可以将氧化物半导体层晶化以形成微晶膜或多晶膜。

[0134] 替代地,可以对未被加工成岛状氧化物半导体层的第一氧化物半导体层 442 及第二氧化物半导体层 443 进行第一加热处理。在此情况下,在第一加热处理之后从加热装置取出衬底,然后进行光刻步骤。

[0135] 接着,在栅极绝缘层 402 及岛状的第二氧化物半导体层 443 上形成氧化物绝缘膜(参照图 2A)。

[0136] 接着,通过第三光刻步骤形成抗蚀剂掩模,选择性地蚀刻以形成氧化物绝缘层 426a、426b,然后去除抗蚀剂掩模。在这个阶段中,岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443 的叠层具有与氧化物绝缘层接触的区域。该区域包括与其中栅电极层和氧化物绝缘层 426a 以栅极绝缘层插入在其间的方式彼此重叠的区域对应的沟道形成区 423。还形成与覆盖岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443 的叠层的周缘及侧表面的氧化物绝缘层 426b 重叠的区域 424c、424d。

[0137] 可以适当地使用溅射法等不将水、氢等杂质混入到氧化物绝缘膜的方法将氧化物绝缘层 426a、426b 中的每一个形成为厚度至少为 1nm 或更高。在本实施方式中,使用溅射法形成 300nm 厚的氧化硅膜作为氧化物绝缘膜。成膜时的衬底温度可以为高于或等于室温且低于或等于 300°C,并且在本实施方式中,衬底温度为室温。可以在稀有气体(典型为氩)气氛下、在氧气氛下、或者在稀有气体(典型为氩)和氧的气氛下,进行通过溅射法形成氧化硅膜。作为靶,可以使用氧化硅靶或硅靶。例如,使用硅靶,可以在氧和氮气氛下通过溅

射法形成氧化硅膜。作为与电阻降低了的氧化物半导体层接触地形成的氧化物绝缘膜,使用不包含诸如水分、氢离子、OH⁻等的杂质且阻挡上述杂质从外部侵入的无机绝缘膜。具体地,使用氧化硅膜、氮氧化硅膜、氧化铝膜或者氧氮化铝膜等。

[0138] 接着,在惰性气体气氛下或氮气气氛下,优选地在 200℃至 400℃(例如,250℃至 350℃)的温度进行第二加热处理(参照图 2B)。例如,在氮气气氛下,在 250℃,进行第二加热处理 1 小时。当进行第二加热处理时,与氧化物绝缘层 426b 重叠的岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 的端部和与氧化物绝缘层 426a 重叠的岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 的部分被在与氧化物绝缘层接触的状态下加热。注意,当进行第二加热处理时,不与氧化物绝缘层重叠的岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 的部分在露出的同时被加热。当在岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443 的叠层露出的同时在氮或惰性气体气氛下进行加热处理时,可以实现降低岛状的第一氧化物半导体层 442 及岛状的第二氧化物半导体层 443 中的露出的电阻增加(i 型)的区域(第一高电阻源区 424a、第二高电阻源区 424e、第一高电阻漏区 424b、第二高电阻漏区 424f)的电阻。另外,氧化物绝缘层 426a 形成在岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443 的叠层的沟道形成区上形成且与该沟道形成区接触,并用作沟道保护层。

[0139] 接着,在栅极绝缘层 402、氧化物绝缘层 426a 和 426b、岛状的第一氧化物半导体层 442、和岛状的第二氧化物半导体层 443 上,形成透光导电膜。然后通过第四光刻步骤形成抗蚀剂掩模,并选择性地蚀刻来形成源电极层 425a 及漏电极层 425b(参照图 2C)。使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子镀法、或喷射法,来形成透光导电膜。作为该导电膜的材料,可以使用透射可见光的导电材料,例如,可以使用任意下列金属氧化物:In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类的金属氧化物。可以适当地将导电膜的厚度设置在 50nm 至 300nm 的范围内。当使用溅射法时,使用包含 2wt%至 10wt%的 SiO₂的靶来进行沉积,从而使得在透光导电膜中包含阻碍晶化的 SiO_x(x > 0)。从而,抑制透光导电膜在后面进行的加热处理中晶化。

[0140] 注意,可以通过喷墨法来形成用于形成源电极层 425a、漏电极层 425b 的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模,因此可以缩减制造成本。

[0141] 接着,在氧化物绝缘层 426a 和 426b、源电极层 425a、漏电极层 425b 上形成保护绝缘层 403。在本实施方式中,使用 RF 溅射法形成氮化硅膜。RF 溅射法在量产方面优越,所以作为保护绝缘层 403 的形成方法优选采用 RF 溅射法。保护绝缘层 403 不包含水分、氢离子、OH⁻等杂质,且利用阻挡上述杂质从外部侵入的无机绝缘膜来形成保护绝缘层 403。具体地,使用氮化硅膜、氮化铝膜、氮氧化硅膜或者氧氮化铝膜等。当然,保护绝缘层 403 是透光绝缘膜。

[0142] 接着,在保护绝缘层 403 上形成平坦化绝缘层 404。平坦化绝缘层 404 可以由具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、或环氧树脂等形成。除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、或 BPSG(硼磷硅玻璃)等。也可以通过层叠多个由这些材料形成的绝缘膜来形成平坦化绝缘层 404。

[0143] 注意,硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷类树脂可以包括有机基团(例如,烷基、芳基)或氟基团作为取代基。另外,有机基团可以包括氟基团。

[0144] 对平坦化绝缘层 404 的形成方法没有特别的限制,可以根据其材料利用如下方法:溅射法、SOG 法、旋涂法、浸渍法、喷涂法、或液滴喷射法(喷墨法、丝网印刷、或胶版印刷等)等。另外,可以利用刮刀、辊涂机、幕涂机、或刮刀涂布机等来形成平坦化绝缘层 404。

[0145] 接着,进行第五光刻步骤。形成抗蚀剂掩模,并蚀刻平坦化绝缘层 404 及保护绝缘层 403,从而形成到达漏电极层 425b 的接触孔 441。然后,去除抗蚀剂掩模(参照图 2D)。如图 2D 所示,在接触孔的下方设置有氧化物绝缘层 426b,这使得与在接触孔的下方没有设置氧化物绝缘层的情况相比要去除的平坦化绝缘层的厚度可以较小;因此,可以缩减蚀刻时间。另外,与在接触孔的下方没有设置氧化物绝缘层的情况相比,接触孔 441 的深度可以较浅;因此,后来形成的位于与接触孔 441 重叠的区域中的透光导电膜的覆盖性可以是良好的。另外,在此蚀刻中还形成到达栅电极层 421b 的接触孔。可以通过喷墨法来形成用于形成到达漏电极层 425b 的接触孔的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不需要光掩模,因此可以降低制造成本。

[0146] 接着,形成透光导电膜。通过溅射法或真空蒸镀法等利用氧化铟(In_2O_3)或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,缩写为 ITO)等来形成透光导电膜。替代地,可以使用含有氮的 Al-Zn-O 类非单晶膜(即,Al-Zn-O-N 类非单晶膜)、Zn-O-N 类非单晶膜、或 Sn-Zn-O-N 类非单晶膜。注意,Al-Zn-O-N 类非单晶膜中的锌的百分比(原子百分比)为小于或等于 47%,并且高于该非单晶膜中的铝的百分(原子百分比);该非单晶膜中的铝的百分比(原子百分比)高于该非单晶膜中的氮的百分比(原子百分比)。这样的材料使用盐酸类的溶液进行蚀刻。但是,由于 ITO 的蚀刻中容易产生残留物,因此可以使用氧化铟-氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0147] 注意,透光导电膜中的组分的百分比的单位为原子百分比,并且通过使用电子探针 X 射线显微分析仪(EPMA:Electron Probe X-ray MicroAnalyzer)的分析估算组分的百分比。

[0148] 接着,进行第六光刻步骤。形成抗蚀剂掩模,并通过蚀刻去除透光导电膜的不需要的部分来形成像素电极层 427。然后,去除抗蚀剂掩模(参照图 2E)。

[0149] 通过上述步骤,使用六个掩模,可以在同一衬底上形成薄膜晶体管 448 和寄生电容降低的布线交叉部。设置于像素中的薄膜晶体管 448 是沟道保护型薄膜晶体管,其包括第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层,该叠层包括第一高电阻源区 424a、第二高电阻源区 424e、第一高电阻漏区 424b、第二高电阻漏区 424f、及沟道形成区 423。因此,即使对薄膜晶体管 448 施加高电场,第一高电阻源区 424a、第二高电阻源区 424e、第一高电阻漏区 424b、及第二高电阻漏区 424f 也作为缓冲区;因此,不受到局部性的高电场。以这样的方式,薄膜晶体管 448 具有提高了耐受电压的结构。

[0150] 另外,可以在同一衬底上形成以栅极绝缘层 402 为电介质的由电容器布线层和电容器电极形成的存储电容器。通过在其中以矩阵形式布置像素的像素部中的每个像素中布置薄膜晶体管 448 和存储电容器,可以获得用来制造有源矩阵型显示装置的衬底之一。在本说明书中,为了方便起见将这种衬底称为有源矩阵型衬底。

[0151] 另外,可以在同一衬底上设置用于驱动电路的薄膜晶体管。通过在同一衬底上提供驱动电路和像素部,可以缩短驱动电路与外部信号的连接布线,从而可以实现半导体装置的小型化、低成本化。

[0152] 在图 1B 所示的用于像素的薄膜晶体管 448 中,第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层设置有区域 424c 和区域 424d,其与氧化物绝缘层 426b 重叠,并且位于第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层的周缘部。作为第一氧化物半导体层 442 及第二氧化物半导体层 443 的叠层的周缘部的区域 424c 和区域 424d,以及沟道形成区 423,处于氧过剩状态。通过区域 424c 和区域 424d,当第一氧化物半导体层 442 和第二氧化物半导体层 443 的叠层与具有与氧化物半导体层不同的电位的布线被布置为彼此接近时,可以实现泄漏电流和寄生电容的降低。

[0153] 提供氧化物绝缘层 426b 以覆盖其导电性比第二氧化物半导体层 443 的导电性高的第一氧化物半导体层 442 的侧表面,从而防止源电极层和漏电极层之间的短路。

[0154] 就高集成化而言,特别在驱动电路中,优选以其间距离小地布置多个布线和多个氧化物半导体层。在这样的驱动电路中,通过使氧化物半导体层与氧化物绝缘层 426b 重叠,有效地设置区域 424c 及区域 424d,以便降低泄漏电流和寄生电容。另外,当串联或并联布置多个薄膜晶体管时,在多个薄膜晶体管当中,在一个岛状物中形成氧化物半导体层,并使氧化物半导体层与氧化物绝缘层 426b 重叠,由此形成元件隔离。因此,与氧化物绝缘层 426b 重叠的区域为元件隔离区域。通过上述方法,可以在小的面积中设置多个薄膜晶体管,从而可以高度集成驱动电路。

[0155] 实施方式 2

[0156] 在本实施方式中,将说明使用实施方式 1 所示的薄膜晶体管来在一个衬底上形成像素部和驱动电路来制造有源矩阵型液晶显示装置的示例。

[0157] 图 3A 示出有源矩阵衬底的截面结构的示例。

[0158] 在实施方式 1 中示出像素部中的薄膜晶体管及布线交叉部,而在本实施方式中示出驱动电路部的薄膜晶体管、存储电容器、栅极布线、源极布线的端子部以及该薄膜晶体管和布线交叉部。电容器、栅极布线、源极布线的端子部可以通过与实施方式 1 所示的制造工艺相同的工艺形成。另外,在像素部中的作为显示区的部分中,栅极布线、源极布线及电容器布线层都利用透光导电膜形成,以实现高开口率。

[0159] 在图 3A 中,与像素电极层 227 电连接的薄膜晶体管 220 是沟道保护型薄膜晶体管,并且设置在像素部中。在本实施方式中,使用具有与实施方式 1 的薄膜晶体管 448 相同的结构的晶体管。另外,薄膜晶体管 220 的栅电极层的在沟道方向上的宽度小于薄膜晶体管 220 的氧化物半导体层的在沟道方向上的宽度。

[0160] 利用与薄膜晶体管 220 的栅电极层相同的透光导电材料和步骤形成的电容器布线层 230 与电容器电极 231 重叠,而作为电介质的栅极绝缘层 202 插入在二者之间,从而形成存储电容器。注意,电容器电极 231 利用与薄膜晶体管 220 的源电极层和漏电极层相同的透光材料和相同的形成步骤形成。因为存储电容器以及薄膜晶体管 220 具有透光性,所以可以提高开口率。

[0161] 从提高开口率的观点而言,存储电容器的透光性是重要的。尤其是对于 10 英寸或更小的小型液晶显示面板,即使在例如通过增加栅极布线的数量等来实现显示图像的更高

分辨率而减小像素尺寸时,也可以实现高开口率。另外,通过对薄膜晶体管 220 及存储电容器中的部件使用透光膜,实现了宽的视角,从而使得即使将一个像素分为多个子像素时也可以实现高开口率。也即,即使在设置高密度的薄膜晶体管群组时,也可以保持高开口率,并且显示区可以具有足够的面积。例如,当一个像素具有 2 至 4 个子像素及存储电容器时,存储电容器以及薄膜晶体管具有透光性,从而可以提高开口率。

[0162] 注意,存储电容器设置在像素电极层 227 的下方,并且电容器电极 231 电连接到像素电极层 227。

[0163] 在本实施方式中示出了使用电容器电极 231 及电容器布线层 230 形成存储电容器的例子,但是对形成存储电容器的结构没有特别的限制。例如,也可以以如下方式形成存储电容器而不设置电容器布线层:使像素电极层与相邻像素的栅极布线重叠,而平坦化绝缘层、保护绝缘层及栅极绝缘层插入在二者之间。

[0164] 在图 3A 中,存储电容器在电容器布线层和电容器电极之间仅包括栅极绝缘层 202,从而形成大电容,而布线交叉部在和在栅电极层 421b 上方形成的布线之间包括栅极绝缘层 202 和氧化物绝缘层 266b 以使得降低寄生电容。在存储电容器中,为了在电容器布线层和电容器电极之间仅设置栅极绝缘层 202,选择栅极绝缘层的蚀刻条件或材料以使得用于去除氧化物绝缘层 266b 的蚀刻仅允许留下栅极绝缘层 202。在本实施方式中,因为氧化物绝缘层 266b 是通过溅射法形成的氧化硅膜,且栅极绝缘层 202 是通过等离子 CVD 法形成的氮化硅膜,所以可以实现选择性的去除。注意,当使用导致氧化物绝缘层 266b 和栅极绝缘层 202 在相同的条件下被去除的材料时,优选将厚度设置为使得即使栅极绝缘层的厚度被部分地减小也有至少一部分栅极绝缘层可以剩余并而形成电容器。因为为了在存储电容器中形成大电容,优选减小栅极绝缘层的厚度,所以也可以在用于去除氧化物绝缘层 266b 的蚀刻期间使电容器布线上方的栅极绝缘层的部分的厚度减小。

[0165] 薄膜晶体管 260 是沟道保护型的薄膜晶体管,且设置在驱动电路中。薄膜晶体管 260 的沟道长度 L 比薄膜晶体管 220 短,以实现更高的操作速度。优选将设置在驱动电路中的沟道保护型薄膜晶体管的沟道长度 L 设定为 $0.1\ \mu\text{m}$ 至 $2\ \mu\text{m}$ 。薄膜晶体管 260 的栅电极层 261 的在沟道长度方向上的宽度大于薄膜晶体管 260 的氧化物半导体层的在沟道长度方向上的宽度。栅电极层 261 的端面以栅极绝缘层 202 及氧化物绝缘层 266b 出入在其间的方式与源电极层 265a 和漏电极层 265b 重叠。

[0166] 此外,薄膜晶体管 260 的氧化物半导体层利用第一氧化物半导体层的单层形成,以便比薄膜晶体管 220 的薄,从而增加薄膜晶体管 260 的操作速度。当薄膜晶体管 260 的氧化物半导体层为单层时,由于对金属薄膜进行选择性的蚀刻,所以与薄膜晶体管 260 的氧化物半导体层为叠层的情况相比,光掩模的数量增加一个。

[0167] 薄膜晶体管 260 在具有绝缘表面的衬底 200 上包括栅电极层 261、栅极绝缘层 202、氧化物半导体层、源电极层 265a 及漏电极层 265b,该氧化物半导体层至少具有沟道形成区 263、高电阻源区 264a 及高电阻漏区 264b。另外,还设置有与沟道形成区 263 接触的氧化物绝缘层 266a。

[0168] 驱动电路中的薄膜晶体管 260 的栅电极层可以电连接到设置在氧化物半导体层的上方的导电层 267。在这种情况下,使用与用于电连接薄膜晶体管 220 的漏电极层与像素电极层 227 的接触孔相同的光掩模,来选择性地蚀刻平坦化绝缘层 204、保护绝缘层 203、氧

化物绝缘层 266b、栅极绝缘层 202,从而形成接触孔。通过该接触孔使导电层 267 与驱动电路中的薄膜晶体管 260 的栅电极层 261 电连接。

[0169] 对于保护绝缘层 203,使用无机绝缘膜,诸如氮化硅膜、氮化铝膜、氮氧化硅膜、氮化铝膜、或氧化铝等。在本实施方式中,使用氮化硅膜。

[0170] 在薄膜晶体管 260 中,栅电极层 261 的宽度大于氧化物半导体层的宽度。氧化物绝缘层 266b 与氧化物半导体层的周缘部重叠,并且也与栅电极层 261 重叠。氧化物绝缘层 266b 起增加漏电极层 265b 和栅电极层 261 之间的间隔并降低形成在漏电极层 265b 和栅电极层 261 之间的寄生电容的作用。与氧化物绝缘层 266b 重叠的氧化物半导体层中的区域 264c 和区域 264d 如同沟道形成区域 263 那样处于氧过剩状态,并且降低了漏电流还降低了寄生电容。

[0171] 由于在液晶显示面板的尺寸超过 10 英寸以及被设置为 60 英寸或更大、120 英寸的情况下,透光布线的电阻可能成为问题,因此优选地,栅极布线的一部分采用金属布线制来降低布线电阻。例如,如图 3A 所示,源电极层 265a 及漏电极层 265b 采用 Ti 等的金属布线(金属电极)形成。

[0172] 在此情况下,在经过脱水化或脱氢化的氧化物半导体层上与其接触地形成由 Ti 等的金属电极形成的源电极层或漏电极层,形成与源电极层重叠的高电阻源区和与漏电极层重叠的高电阻漏区,并且高电阻源区和高电阻漏区之间的区域作为沟道形成区。

[0173] 另外,为了降低布线电阻,如图 3A 那样在源电极层 265a 及漏电极层 265b 上形成使用更低电阻的金属电极形成的辅助电极层 268a、268b。在此情况下,由于也形成了金属布线(金属电极),因此与实施方式 1 中相比,光掩模的数目进一步增加一个。

[0174] 通过层叠透光导电膜及金属导电膜并通过光刻步骤选择性地地进行蚀刻来形成源电极层 265a、漏电极层 265b、辅助电极层 268a 和 268b、以及薄膜晶体管 220 的源电极层及漏电极层。去除薄膜晶体管 220 的源电极层和漏电极层上的金属导电膜。

[0175] 注意,当对金属导电膜进行蚀刻时,适当地调节相应地材料及蚀刻条件,以便不去除薄膜晶体管 220 的源电极及漏电极。

[0176] 例如,为了选择性地蚀刻金属导电膜,使用碱性蚀刻剂。作为金属导电膜的材料,可以举出选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、包含上述元素的合金、组合上述元素中的某些元素的合金膜等。另外,金属导电膜可以具有单层结构或两层或更多层的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;在铝膜上层叠钛膜的两层结构;钛膜、铝膜、钛膜顺序层叠的三层结构等。替代地,可以使用铝和选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、Sc(钪)中的一个或多个元素的组合的膜、合金膜或氮化膜。

[0177] 设置在氧化物半导体层和由金属材料形成的辅助电极层 268a 之间的漏电极层 265a 还用作低电阻漏区(也称为 LRN 区或 LRD 区)。当采用具有氧化物半导体层、低电阻漏区、和作为金属电极的辅助电极层 268 的结构时,可以提高晶体管的耐受电压。具体而言,优选低电阻漏区的载流子浓度大于高电阻漏区(HRD 区)的载流子浓度,并且优选在 $1 \times 10^{20}/\text{cm}^3$ 至 $1 \times 10^{21}/\text{cm}^3$ 的范围内。

[0178] 根据像素密度设置多个栅极布线、源极布线及电容器布线层。另外,在端子部中,布置多个处于与栅极布线相同电位的第一端子电极、多个处于与源极布线相同电位的第二端子电极、多个处于与电容器布线层相同电位的第三端子等。各端子电极的数量可以是由

实施者适当决定的任意数量。

[0179] 在端子部中,可以使用与像素电极层 227 相同的透光材料形成处于与栅极布线相同电位的第一端子电极。第一端子电极通过到达栅极布线的接触孔与栅极布线电连接。使用与用来使薄膜晶体管 220 的漏电极层和像素电极层 227 电连接的接触孔相同的光掩模,来对平坦化绝缘层 204、保护绝缘层 203、氧化物绝缘层 266b、以及栅极绝缘层 202 进行选择性的蚀刻,以此方式形成到达栅极布线的接触孔。

[0180] 可以使用与像素电极层 227 相同的透光材料形成端子部中的处于与源极布线 254 及辅助布线 269 相同电位的第二端子电极 255。第二端子电极 255 通过到达源极布线 254 的接触孔与源极布线 254 电连接。源极布线是使用与薄膜晶体管 260 的源电极层 265a 相同的材料及步骤形成的金属布线,且处于与源电极层 265a 相同的电位。另一方面,辅助布线 269 是使用其电阻比源极布线 254 低的金属材料形成的金属布线。辅助布线 269 通过采用与辅助电极层 268a、268b 相同的材料及步骤形成,并处于与辅助电极层 268a、268b 相同的电位。

[0181] 使用与像素电极层 227 相同的透光材料形成处于与电容器布线层 230 相同电位的第三端子电极。可以使用与用来使电容器电极 231 和像素电极层 227 电连接的接触孔相同的光掩模及步骤来形成到达电容器布线层 230 的接触孔。

[0182] 当制造有源矩阵型液晶显示装置时,将有源矩阵衬底和设置有对置电极的对置衬底固定而液晶层在源矩阵衬底和对置衬底之间。注意,与为对置衬底提供的对置电极电连接的公共电极设置在有源矩阵衬底上,并且在端子部设置与公共电极电连接的第四端子电极。该第四端子电极是用于将公共电极设定在固定电位(例如 GND 或 0V 等)的端子。可以使用与像素电极层 227 相同的透光材料形成第四端子电极。

[0183] 当使用相同的材料来形成栅电极层、源电极层、漏电极层、像素电极层、其他电极层及其他布线层时,可以使用共同的溅射靶或共同的制造装置。因此,降低了这些层的材料成本及在蚀刻时使用的蚀刻剂(或蚀刻气体)成本,结果缩减了制造成本。

[0184] 在图 3A 的结构中,当将感光树脂材料用于平坦化绝缘层 204 时,可以省略形成抗蚀剂掩模的步骤。

[0185] 图 3B 示出与图 3A 的截面结构部分不同的截面结构。图 3B 与图 3A 相比除了在端子部中不存在平坦化绝缘层 204 以及驱动电路中的薄膜晶体管的结构不同之外,其他是相同的。因此,使用相同的附图标记表示图 3A 和 3B 共同的部件,并且对其不再详细说明。在图 3B 中,设置使用金属布线的薄膜晶体管 270。还使用与金属布线相同的材料及步骤形成端子电极。

[0186] 在图 3B 的结构中,作为平坦化绝缘层 204 使用感光树脂材料,并省略了形成抗蚀剂掩模的步骤。因此,可以不使用抗蚀剂掩模地形成在端子部中不存在平坦化绝缘层 204 的结构。当在端子部不设置平坦化绝缘层 204 时,可以容易地获得 FPC 的良好连接。

[0187] 薄膜晶体管 270 在具有绝缘表面的衬底 200 上包括:栅电极层 271;栅极绝缘层 202;至少具有沟道形成区 273、高电阻源区 274a 及高电阻漏区 274b 的氧化物半导体层;源电极层 275a;以及漏电极层 275b。此外,还设置有与沟道形成区 273 接触的氧化物绝缘层 276a。注意,在薄膜晶体管 270 的氧化物半导体层中,与氧化物绝缘层 276a、276b 接触且重叠的区域被称为第一区。此外,在薄膜晶体管 270 的氧化物半导体层中,与源电极层 475a

及漏电极层 475b 接触且重叠的区域被称为第二区。

[0188] 氧化物半导体层中的与氧化物绝缘层 276b 重叠的区域 274c、区域 274d 如同沟道形成区 273 一样处于氧过剩状态,并且具有减少泄漏电流及寄生电容的作用。氧化物半导体层中的与保护绝缘层 203 接触的区域 274e 设置在沟道形成区 273 和高电阻源区 274a 之间。氧化物半导体层中的与保护绝缘层 203 接触的区域 274f 设置在沟道形成区 273 和高电阻漏区 274b 之间。注意,在薄膜晶体管 270 中的氧化物半导体层中,与保护绝缘层 203 接触且重叠的区域被称为第三区。氧化物半导体层中的与保护绝缘层 203 接触的区域 274e 和区域 274f 使得能够减小截止电流。

[0189] 在沟道保护型薄膜晶体管中,当在具有小的宽度(该宽度被减小以缩短沟道形成区的沟道长度 L)的氧化物绝缘体层上设置源电极层及漏电极层时,在氧化物绝缘层上可能发生短路。因此,源电极层 275a 及漏电极层 275b 被设置为使得源电极层 275a 及漏电极层 275b 的端部远离具有小的宽度的氧化物绝缘层 276a。

[0190] 驱动电路中的薄膜晶体管 270 的栅电极层可以与设置在氧化物半导体层上方的导电层 277 电连接。

[0191] 端子部中的处于与源极布线 256 相同电位的第二端子电极 257 可以利用与像素电极层 227 相同的透光材料形成。源极布线是金属布线,其使用与薄膜晶体管 270 的源电极层 275a 相同的材料及步骤形成,并且处于与源电极层 275a 相同的电位。

[0192] 由于薄膜晶体管容易因静电等损坏,因此优选在与像素部或驱动电路同一衬底上设置保护电路。优选以包含氧化物半导体层的非线性元件形成保护电路。例如,将保护电路设置在像素部与扫描线输入端子及信号线输入端子之间。在本实施方式中,设置多个保护电路以便防止因静电等而导致的浪涌电压被施加于扫描线、信号线及电容器总线时像素晶体管等的损坏。因此,将保护电路形成为当浪涌电压被施加到该保护电路时将电荷释放到公共布线。此外,保护电路包括彼此并行布置的非线性元件,而扫描线位于其间。非线性元件包括诸如二极管的二端元件或诸如晶体管的三端元件形成。例如,非线性元件也可以通过与像素部中的薄膜晶体管 220 相同的步骤形成,并且可以通过将使非线性元件的栅极端与漏极端连接来使其具有与二极管相同的特性。

[0193] 可以通过省略形成平坦化绝缘层 204 的步骤来采用不设置平坦化绝缘层 204 的结构。在此情况下,导电层 267、导电层 277、像素电极层 227、以及第二端子电极 255 和 257 设置在保护绝缘层 203 上且与保护绝缘层 203 接触。

[0194] 本实施方式可以与实施方式 1 适当地组合。

[0195] 实施方式 3

[0196] 在本实施方式中,描述了设置在与薄膜晶体管同一衬底上的端子部的结构的示例。尽管实施方式 2 中示出源极布线的端子部的示例,但是本实施方式图示了具有与实施方式 2 中所描述的端子部不同的源极布线的端子部以及栅极布线的端子部。注意,在图 4A1 至 4B2 中,使用与图 3A 或 3B 相同的附图标记表示相同的部件。

[0197] 图 4A1、图 4A2 分别图示栅极布线端子部的截面图及俯视图。图 4A1 是沿着图 4A2 中的 C1-C2 线的截面图。在图 4A1 中,形成在保护绝缘层 203 上的透明导电层 225 是用作输入端子的连接用端子电极。另外,在图 4A1 的端子部中,利用与栅电极层 421b 相同的材料形成的第一端子 221、利用与源极布线相同的材料形成的连接电极层 223、使用其电阻比

连接电极层 223 低的金属电极材料形成的辅助电极层 228 以栅极绝缘层 202 插入在其间的方式彼此重叠,且通过透明导电层 225 彼此电连接。在采用图 3B 所示的结构时,连接电极层 223 可以使用金属布线材料形成。

[0198] 图 4B1 及图 4B2 分别示出与图 3B 所示的源极布线端子部不同的源极布线端子部的截面图及俯视图。图 4B1 是沿着图 4B2 中的 C3-C4 线的截面图。在图 4B1 中,形成在保护绝缘层 203 上的透明导电层 225 是用作输入端子的连接用端子电极。此外,在图 4B1 的端子部中,利用与栅极布线相同的材料形成的电极层 226 位于与源极布线电连接的第二端子 222 的下方且与之重叠,而栅极绝缘层 202 插入在二者之间。电极层 226 不与第二端子 222 电连接。当电极层 226 的电位被设定为与第二端子 222 不同的电位(例如,浮置、GND、或 0V 等)时,可以形成用于防止噪声或静电的电容器。在第二端子 222 上层叠有使用其电阻比第二端子 222 低的金属电极材料形成的辅助电极层 229,并且辅助电极层 229 与透明导电层 225 电连接而保护绝缘层 203 插入其间。另外,当采用图 3B 所示的结构时,对于第二端子 222 可以使用金属布线材料。

[0199] 根据像素密度设置多个栅极布线、源极布线及电容器布线。在端子部中,布置多个处于与栅极布线相同电位的第一端子、多个处于与源极布线相同电位的第二端子、多个处于与电容器布线相同电位的第三端子等。各端子电极的数量可以是由实施者适当地决定的任意数量。

[0200] 本实施方式可以与实施方式 1 或实施方式 2 适当组合。

[0201] 实施方式 4

[0202] 在此实施方式中,提供了对如下的液晶显示装置的说明,在该液晶显示装置中,液晶层密封在第一衬底和第二衬底之间,并且在第一衬底上形成与设置在第二衬底的对置电极电连接的公共连接部。注意,在第一衬底上形成有用作开关元件的薄膜晶体管,并且通过与像素部中的开关元件的工艺制造公共连接部,从而可以在不使工艺复杂的情况下获得公共连接部。

[0203] 公共连接部设置在与用于接合第一衬底和第二衬底的密封剂重叠的位置,且通过包含在密封剂中的导电粒子与对置电极电连接。或者,公共连接部设置在不与密封剂重叠的位置(像素部除外),并且将包含导电粒子的膏剂与密封剂分开提供以便与公共连接部重叠,从而使公共连接部与对置电极电连接。

[0204] 图 5A 是其中薄膜晶体管和公共连接部形成在一个衬底上的半导体装置的截面图。

[0205] 在图 5A 中,与像素电极层 227 电连接的薄膜晶体管 220 是沟道保护型薄膜晶体管,并且设置在像素部中。在本实施方式中,该薄膜晶体管 220 采用与实施方式 1 的薄膜晶体管 448 相同的结构。

[0206] 图 5B 是示出公共连接部的俯视图的示例的图,附图中的虚线 C5-C6 对应于于图 5A 的公共连接部的截面。注意,在图 5B 中,使用相同的附图标记来表示与图 5A 相同的部件。

[0207] 公共电位线 205 设置在栅极绝缘层 202 上并利用与像素部的像素电极层 227 相同的材料及步骤形成。

[0208] 此外,公共电位线 205 被覆盖以保护绝缘层 203。保护绝缘层 203 具有多个与公共电位线 205 重叠开口部。该开口部通过与将薄膜晶体管 220 的漏电极层和像素电极层 227

连接的接触孔相同的步骤形成。

[0209] 注意,由于面积上大不相同,因此这里在像素部中的接触孔和公共连接部的开口部之间进行了区分。另外,在图 5A 中,像素部和公共连接部不是以相同的比例来图示的。例如,公共连接部中的虚线 C5-C6 的长度为 500 μm 左右,而薄膜晶体管的宽度小于 50 μm ;因此,公共连接部实际上面积是薄膜晶体管 10 倍或更大。然而,为了简明起见,在图 5A 中以不同的比例示出了像素部和公共连接部。

[0210] 公共电极层 206 设置在保护绝缘层 203 上,并使用与像素部的像素电极层 227 相同的材料及步骤形成。注意,在公共电位线 205 上形成有由采用与辅助电极层相同的材料及步骤形成的金属布线形成的辅助布线 210。

[0211] 以此方式,以与像素部中的开关元件相同的步骤制造公共连接部。

[0212] 使用密封剂固定设置有像素部和公共连接部的第一衬底和具有对置电极的第二衬底。

[0213] 当使密封剂包含导电粒子时,使该对衬底对准以使得密封剂和公共连接部重叠。例如,在小型的液晶面板中,将两个公共连接部布置为以便在像素部的对角等处与密封剂重叠。在大型的液晶面板中,布置四个或更多个公共连接部以与密封剂重叠。

[0214] 注意,公共电极层 206 是与包含在密封剂中的导电粒子接触的电极,并与第二衬底的对置电极电连接。

[0215] 当使用液晶注入法时,在使用密封剂固定该对衬底之后,将液晶注入到该对衬底之间。替代地,当使用液晶滴落法时,在第二衬底或第一衬底上涂绘密封剂,将液晶滴落其上,然若在降低得压力下对该对衬底进行接合。

[0216] 在本实施方式中,描述了与对置电极电连接的公共连接部的例子,但是并不局限于此,还可以将公共连接部用作与任何其他布线或与外部连接端子等连接的连接部。

[0217] 图 5C 示出部分不同于图 5A 的截面结构。图 5C 的结构与图 5A 相比基本相同,除了提供了与公共电极层 206 重叠的第一氧化物半导体层和第二氧化物半导体层的叠层及覆盖端部的氧化物绝缘层,以及将金属布线用作公共电位线之外。因此,使用相同的附图标记表示相同的部分并且将省略对相同的部分的详细说明。

[0218] 第一氧化物半导体层 207a 和第二氧化物半导体层 207b 的叠层设置在栅极绝缘层 202 上,且采用与薄膜晶体管 220 中层叠的第一氧化物半导体层和第二氧化物半导体层相同的材料及工艺形成。此外,形成覆盖第一氧化物半导体层 207a 和第二氧化物半导体层 207b 的叠层的氧化物绝缘层 208。在第一氧化物半导体层 207a 和第二氧化物半导体层 207b 的叠层上形成利用金属布线形成的公共电位线 209。该公共电位线 209 如实施方式 2 的图 3B 所示那样,通过采用与驱动电路的薄膜晶体管的源电极层和漏电极层相同的工艺形成。

[0219] 公共电位线 209 被覆盖有保护绝缘层 203。保护绝缘层 203 在与公共电位线 209 重叠的位置具有多个开口部。该开口部通过与用于薄膜晶体管 220 的漏电极层和像素电极层 227 之间的连接的接触孔相同的工艺形成。

[0220] 公共电极层 206 设置在保护绝缘层 203 上,且采用与像素部的像素电极层 227 相同的材料及工艺形成。

[0221] 以这样的方式,可以采用与像素部中的开关元件相同的工艺制造公共连接部,并且可以将金属布线用作公共电位线,从而降低了布线电阻。

[0222] 本实施方式可以与实施方式 1 至 3 中任一个自由地组合。

[0223] 实施方式 5

[0224] 实施方式 1 或实施方式 2 示出了栅极绝缘层具有单层结构的例子。在本实施方式中,将示出叠层结构的例子。注意,在图 6A 和 6B 中,以相同的附图标记表示与图 3A 或 3B 相同的部分。

[0225] 图 6A 示出了设置在像素中的沟道保护型薄膜晶体管 280。薄膜晶体管 280 是具有以两层形成的栅极绝缘层且以两层形成的氧化物半导体层的薄膜晶体管的例子。此外,薄膜晶体管 260 是设置在驱动电路中的沟道保护型薄膜晶体管,并且是具有以两层形成的栅极绝缘层且以单层形成的氧化物半导体层的薄膜晶体管的例子。注意,图 3A 所示的薄膜晶体管 260 和该薄膜晶体管 260 是相同的,所以在此省略其说明。

[0226] 在本实施方式中,栅极绝缘层具有厚度为 50nm 至 200nm 的第一栅极绝缘层 282a 和厚度为 50nm 至 300nm 的第二栅极绝缘层 282b 的叠层结构。作为第一栅极绝缘层 282a,使用厚度为 100nm 的氮化硅膜或氮氧化硅膜。作为第二栅极绝缘层 282b,使用厚度为 100nm 的氧化硅膜。

[0227] 在薄膜晶体管 280 中,在具有绝缘表面的衬底上包括:栅电极层 281;第一栅极绝缘层 282a;第二栅极绝缘层 282b;至少具有沟道形成区 283、第一高电阻源区 284a 及第二高电阻源区 284e、第一高电阻漏区 284b、及第二高电阻漏区 284f 的叠层的氧化物半导体层;源电极层 285a;以及漏电极层 285b。此外,与沟道形成区 283 接触地设置氧化物绝缘层 286a 的叠层。此外,像素电极层 227 与漏电极层 285b 电连接。

[0228] 注意,存储电容器设置在像素电极层 227 的下方,且电容器电极 231 与像素电极层 227 电连接。

[0229] 在本实施方式中,使用电容器电极 231 及电容器布线层 230 形成存储电容器。

[0230] 在图 6A 中,存储电容器在电容器布线和电容器电极之间只包括栅极绝缘层,以便具有大的电容。

[0231] 在本实施方式中,作为例子,使用通过溅射法获得的氧化硅膜形成氧化物绝缘层 286b,并且当去除与电容器布线层 230 重叠的氧化物绝缘层的叠层时,将利用氧化硅膜形成的第二栅极绝缘层蚀刻得较薄,从而形成第三栅极绝缘层 282c。注意,第一栅极绝缘层 282a 利用氮化硅膜或氮氧化硅膜形成,并用作蚀刻停止层用以防止对栅电极层或衬底的蚀刻损伤。

[0232] 当第三栅极绝缘层 282c 厚度小时,可以增大存储电容。

[0233] 图 6B 示出其部分不同于图 6A 的截面结构。图 6B 示出设置在像素中的沟道保护型薄膜晶体管 290。薄膜晶体管 290 是具有以两层形成的栅极绝缘层且以第一氧化物半导体层和第二氧化物半导体层形成的氧化物半导体层的薄膜晶体管的示例。注意,除了不设置辅助电极层 268a、268b 之外,图 6B 所示的薄膜晶体管 289 和图 3A 所示的薄膜晶体管 260 基本相同;所以在此省略其说明。至于薄膜晶体管 289,也可以在驱动电路中采用其中不设置辅助电极层但形成源电极层及漏电极层的结构。

[0234] 在图 6B 所示的薄膜晶体管 290 中,栅极绝缘层具有厚度为 50nm 至 200nm 的第一栅极绝缘层 292a 和厚度为 1nm 至 50nm 的第二栅极绝缘层 292b 的叠层结构。作为第一栅极绝缘层 292a,使用厚度为 100nm 的氧化硅膜。作为第二栅极绝缘层 292b,使用厚度为 10nm

的氮化硅膜或氮氧化硅膜。

[0235] 薄膜晶体管 290 在具有绝缘表面的衬底 200 上包括：栅电极层 271；第一栅极绝缘层 292a；第二栅极绝缘层 292b；第一氧化物半导体层和第二氧化物半导体层的叠层，其至少具有沟道形成区 293、第一高电阻源区 294a、第二高电阻源区 294g、第一高电阻漏区 294b、以及第二高电阻漏区 294h；源电极层 295a；以及漏电极层 295b。此外，设置与沟道形成区 293 接触的氧化物绝缘层 296a。

[0236] 另外，第一氧化物半导体层和第二氧化物半导体层的叠层的与氧化物绝缘层 296b 重叠的区域 294c、区域 294d 处于与沟道形成区 293 相同的氧过剩状态，并且具有降低泄漏电流或寄生电容的功能。另外，第一氧化物半导体层和第二氧化物半导体层的叠层的与保护绝缘层 203 接触的区域 294e 设置在沟道形成区 293 与第一高电阻源区 294a（及第二高电阻源区 294g）之间。第一氧化物半导体层和第二氧化物半导体层的叠层的与保护绝缘层 203 接触的区域 294f 设置在沟道形成区 293 与第一高电阻漏区 294b（及第二高电阻源区 294h）之间。通过利用第一氧化物半导体层和第二氧化物半导体层的叠层的与保护绝缘层 203 接触的区域 294e 及区域 294f，可以降低截止电流。

[0237] 氧化物半导体层的区域 294e、区域 294f 还与利用氮化硅膜或氮氧化硅膜形成的第二栅极绝缘层 292b 接触。保护绝缘层 203 利用不包含诸如水分、OH⁻等的杂质且阻挡上述杂质从外部侵入的无机绝缘膜形成，所述无机绝缘膜诸如氧化硅膜、氮化铝膜、氮氧化硅膜、或氧氮化铝膜等。

[0238] 在本实施方式中，作为例子，氧化物绝缘层 296b 使用通过溅射法获得的氧化硅膜，并且当去除与电容器布线层 230 重叠的氧化物绝缘层时，将使用氮化硅膜或氮氧化硅膜形成的第二栅极绝缘层用作蚀刻停止层来对氧化物绝缘层进行蚀刻。

[0239] 在沟道保护型薄膜晶体管中，当减小氧化物绝缘层的宽度以使得减小沟道形成区的沟道长度 L，并且在宽度小的氧化物绝缘层上设置源电极层及漏电极层时，有可能在氧化物绝缘层上产生短路。因此，源电极层 295a 及漏电极层 295b 被设置为使得其端部远离宽度小的氧化物绝缘层 296a。

[0240] 本实施方式可以与实施方式 1 至 4 中任一个自由地组合。

[0241] 实施方式 6

[0242] 在本实施方式中，将参考图 7A 至 7C 以及图 8A 至 8E 说明其制造工艺与实施方式 1 部分不同的薄膜晶体管的例子。图 7A 至 7C 以及图 8A 至 8E 除了部分工艺之外与图 1A 至 1C 以及图 2A 至 2E 相同。因此，使用相同的附图标记表示相同的部分，并且省略了对相同部分的详细说明。

[0243] 首先，根据实施方式 1 在衬底上形成栅电极层、栅极绝缘层、金属薄膜及氧化物半导体膜。然后，根据实施方式 1 形成岛状的第一氧化物半导体层 442 和岛状的第二氧化物半导体层 443。

[0244] 接着，进行氧化物半导体层的脱水化和脱氢化。将用于脱水化和脱氢化的第一加热处理的温度设定为高于或等于 400℃且低于衬底的应变点，优选设定为 425℃或更高。注意，当加热处理的温度为 425℃或更高时，加热处理时间为 1 小时或更短，而当加热处理的温度低于 425℃时，加热处理时间被设置为长于 1 小时。在此实施方式中，将衬底引入作为加热处理装置中之一种的电炉中，并在氮气氛下对氧化物半导体层进行加热处理。然后，氧

化物半导体层不暴露于大气,这防止水、氢再混入氧化物半导体层,从而获得氧化物半导体层。然后,在同一炉中引入高纯度的氧气体、高纯度的 N_2O 气体或超干燥空气(露点为 $-40^{\circ}C$ 或更低,优选为 $-60^{\circ}C$ 或更低)来进行冷却。优选地,氧气体或 N_2O 气体不包含水、氢等。替代地,引入到加热处理装置的氧气体或 N_2O 气体的纯度为6N(99.9999%)或更高,优选为7N(99.99999%)或更高(也就是说,氧气体或 N_2O 气体中的杂质浓度为1ppm或更低,优选为0.1ppm或更低)。

[0245] 此外,在用于脱水化和脱氢化的第一加热处理之后,可以在氧气体或 N_2O 气体气氛下以 $200^{\circ}C$ 至 $400^{\circ}C$,优选以 $200^{\circ}C$ 至 $300^{\circ}C$ 的温度,进行加热处理。

[0246] 替代地,可以在将其加工成岛状的氧化物半导体层之前对氧化物半导体膜进行第一氧化物半导体层442及第二氧化物半导体层443的第一加热处理。在此情况下,在第一加热处理之后,从加热装置取出衬底并对其进行光刻步骤。

[0247] 通过上述工艺,使第一氧化物半导体层442及第二氧化物半导体层443处于氧过剩的状态;因而,形成了高电阻(即,i型)氧化物半导体膜。

[0248] 接着,通过溅射法在栅极绝缘层402及第二氧化物半导体层443上形成氧化物绝缘膜(参照图8A)。

[0249] 接着,通过第三光刻步骤形成抗蚀剂掩模,并且通过选择性蚀刻来形成氧化物绝缘层426a、426b。然后,去除抗蚀剂掩模(参照图8B)。

[0250] 接着,在栅极绝缘层402、氧化物绝缘层426a和426b、及第二氧化物半导体层443上形成透光导电膜。然后,通过第四光刻步骤形成抗蚀剂掩模,并通过选择性蚀刻来形成源电极层425a及漏电极层425b(参照图8C)。

[0251] 接着,为了减小薄膜晶体管的电特性的变化,可以在惰性气体气氛下或氮气体气氛下进行加热处理(优选以高于或等于 $150^{\circ}C$ 且低于 $350^{\circ}C$ 地温度)。例如,在氮气气氛下以 $250^{\circ}C$ 进行加热处理1小时。

[0252] 接着,在氧化物绝缘层426a和426b、源电极层425a、漏电极层425b上形成保护绝缘层403。

[0253] 接着,在保护绝缘层403上形成平坦化绝缘层404。

[0254] 接着,进行第五光刻步骤。形成抗蚀剂掩模,并对平坦化绝缘层404及保护绝缘层403进行蚀刻,以使得形成到达漏电极层425b的接触孔441。然后,去除抗蚀剂掩模(参照图8D)。

[0255] 接着,形成透光导电膜。

[0256] 接着,进行第六光刻步骤。形成抗蚀剂掩模,并通过蚀刻去除不需要的部分,从而形成像素电极层427。然后,去除抗蚀剂掩模(参照图8E)。

[0257] 通过上述步骤,可以使用六个掩模在同一衬底上形成薄膜晶体管420和寄生电容减小了的布线交叉部。

[0258] 用于像素的薄膜晶体管420是包括第一氧化物半导体层442和第二氧化物半导体层443的叠层的沟道保护型薄膜晶体管,所述叠层包含沟道形成区。

[0259] 此外,图7A是设置在像素中的沟道保护型薄膜晶体管420的平面图,而图7B是沿着图7A的线D7-D8和线D11-D12的截面图。图7C是沿着图7A的线D9-D10的截面图。注意,图8E与图7B相同。

[0260] 本实施方式可以与实施方式 1 至 5 中任一个自由地组合。

[0261] 实施方式 7

[0262] 在本实施方式中,将参考图 9A 及图 9B 说明与实施方式 2 不同的存储电容器的结构的例子。除了存储电容器的结构不同之外,图 9A 与图 3A 相同。因此,使用相同的附图标记表示相同的部分,并省略对相同部分的详细说明。注意,图 9A 示出像素部中的薄膜晶体管 220 和存储电容器的截面结构。

[0263] 图 9A 示出如下的示例,其中:使用保护绝缘层 203 及平坦化绝缘层 204 作为电介质,通过像素电极层 227 和与该像素电极层 227 重叠的电容器布线层 250 来形成存储电容器。电容器布线层 250 采用与像素部中的薄膜晶体管 220 的源电极层相同的透光材料及相同的步骤形成;因此,将电容器布线层 250 设置为不与薄膜晶体管 220 的源极布线层重叠。

[0264] 在图 9A 所示的存储电容器中,电极对和电介质具有透光性,因而整个存储电容器具有透光性。

[0265] 图 9B 示出与图 9A 结构不同的存储电容器的例子。除了存储电容器的结构不同以外,图 9B 与图 3A 也是相同的。因此,使用同样的附图标记表示相同的部分,并省略对相同部分的详细说明。

[0266] 图 9B 示出如下的例子,其中,将栅极绝缘层 202 用作电介质,通过电容器布线层 230,与该电容器布线层 230 重叠的第一氧化物半导体层 251、第二氧化物半导体层 252 和电容器电极 231 的叠层,形成存储电容器。另外,电容器电极 231 层叠在第一氧化物半导体层 251 和第二氧化物半导体层 252 的叠层上且与该叠层接触,并用作存储电容器的一个电极。注意,第一氧化物半导体层 251 及第二氧化物半导体层 252 的叠层可以使用与薄膜晶体管 220 中的第一氧化物半导体层及第二氧化物半导体层的叠层相同的透光材料和相同的步骤形成。电容器布线层 230 使用与薄膜晶体管 220 的栅电极层相同的透光材料和相同的步骤形成;因此,将电容器布线层 230 设置为不与薄膜晶体管 220 的栅极布线层重叠。另外,电容器电极 231 电连接到像素电极层 227。

[0267] 此外,在图 9B 所示的存储电容器中,电极对和电介质具有透光性,因而整个存储电容器具有透光性。

[0268] 图 9A 和 9B 所示的存储电容器具有透光性,并且通过例如增加栅极布线的数目等,实现了显示图像的高分辨率。因此,即使在像素尺寸减小时,也可以获得充分的电容和高的开口率。

[0269] 本实施方式可以与其他实施方式自由组合。

[0270] 实施方式 8

[0271] 在本实施方式中,下面将说明在一个衬底上至少形成驱动电路中的一些以及设置在像素部中的薄膜晶体管的例子。

[0272] 根据实施方式 1、2、5、6 形成设置在像素部中的薄膜晶体管。因为实施方式 1、2、5、6 中任一所示的薄膜晶体管是 n 沟道型 TFT,所以将驱动电路中的可以由 n 沟道型 TFT 构成的驱动电路中的某些形成在其中形成像素部中的薄膜晶体管的衬底上。

[0273] 图 14A 示出有源矩阵型显示装置的框图的一个例子。在显示装置中在衬底 5300 上设置:像素部 5301;第一扫描线驱动电路 5302;第二扫描线驱动电路 5303;信号线驱动电路 5304。在像素部 5301 中,设置从信号线驱动电路 5304 延伸的多个信号线,并且设置从

第一扫描线驱动电路 5302 及第二扫描线驱动电路 5303 延伸多个扫描线。注意,在扫描线与信号线的交叉区中,以矩阵布置每一具有显示元件的像素。显示装置的衬底 5300 通过诸如柔性印刷电路 (FPC) 等的连接部连接到时序控制电路 5305 (也称为控制器或控制 IC)。

[0274] 在图 14A 中,在其中形成像素部 5301 的衬底 5300 上形成第一扫描线驱动电路 5302、第二扫描线驱动电路 5303、信号线驱动电路 5304。由此,减少设置在外部的驱动电路等构件的数量,从而可以实现成本的降低。另外,可以减少连接部中在布线从设置在衬底 5300 外部的驱动电路延伸时形成的连接的数目,并且可以提高可靠性或成品率。

[0275] 注意,时序控制电路 5305 例如对第一扫描线驱动电路 5302 供应第一扫描线驱动电路用启动信号 (GSP1)、扫描线驱动电路时钟信号 (GCK1)。此外,时序控制电路 5305 例如对第二扫描线驱动电路 5303 供应第二扫描线驱动电路用启动信号 (GSP2) (也称为启动脉冲)、扫描线驱动电路时钟信号 (GCK2)。另外,时序控制电路 5305 对信号线驱动电路 5304 供应信号线驱动电路用启动信号 (SSP)、信号线驱动电路时钟信号 (SCLK)、视频信号数据 (DATA) (也简称为视频信号)、及锁存信号 (LAT)。各时钟信号可以是具有相移的多个时钟信号,或者可以与通过使时钟信号反转而获得的信号 (CKB) 一起供应。注意,可以省略第一扫描线驱动电路 5302 和第二扫描线驱动电路 5303 中的一方。

[0276] 图 14B 示出如下的结构,其中:在其中形成像素部 5301 的衬底 5300 上形成驱动频率较低的电路 (例如,第一扫描线驱动电路 5302、第二扫描线驱动电路 5303),并且在与其形成像素部 5301 的衬底 5300 不同的衬底上形成信号线驱动电路 5304。通过该结构,可以通过其场效应迁移率低于包含单晶半导体的晶体管的场效应迁移率的薄膜晶体管构形成在衬底 5300 上的驱动电路。从而,可以实现显示装置的大型化、成本的降低或成品率的提高等。

[0277] 实施方式 1、2、5、6 中的薄膜晶体管是 n 沟道型 TFT。图 15A 和图 15B 示出由 n 沟道型 TFT 构成的信号线驱动电路的结构和操作的例子。

[0278] 信号线驱动电路具有移位寄存器 5601 及开关电路部 5602。开关电路部 5602 具有多个开关电路 5602_1 至 5602_N (N 是自然数)。开关电路 5602_1 至 5602_N 每一具有多个薄膜晶体管 5603_1 至 5603_k (k 是自然数)。下面对薄膜晶体管 5603_1 至 5603_k 是 n 沟道型 TFT 的例子进行说明。

[0279] 以开关电路 5602_1 为例子对信号线驱动电路中的连接关系进行说明。薄膜晶体管 5603_1 至 5603_k 的第一端子分别连接到布线 5604_1 至 5604_k。薄膜晶体管 5603_1 至 5603_k 的第二端子分别连接到信号线 S1 至 Sk。薄膜晶体管 5603_1 至 5603_k 的栅极连接到布线 5605_1。

[0280] 移位寄存器 5601 具有通过对布线 5605_1 至 5605_N 依次输出 H 电平信号 (也称为 H 信号或处于高电源电位水平的信号) 来依次选择开关电路 5602_1 至 5602_N 的功能。

[0281] 开关电路 5602_1 具有控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 之间的电连通性 (第一端子和第二端子之间的电连通性) 的功能,即控制是否将布线 5604_1 至 5604_k 的电位供应到信号线 S1 至 Sk 的功能。以这样的方式,开关电路 5602_1 作为选择器。另外,薄膜晶体管 5603_1 至 5603_k 具有分别控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 的导通状态的功能,即将布线 5604_1 至 5604_k 的电位分别供应到信号线 S1 至 Sk 的功能。以这样的方式,薄膜晶体管 5603_1 至 5603_k 每一作为开关。

[0282] 对布线 5604_1 至 5604_k 中每一个输入视频信号数据 (DATA)。视频信号数据 (DATA) 常常是与图像信号或图像数据对应的模拟信号。

[0283] 接着,参照图 15B 的时序图说明图 15A 的信号线驱动电路的操作。图 15B 示出信号 Sout_1 至 Sout_N 及信号 Vdata_1 至 Vdata_k 的例子。信号 Sout_1 至 Sout_N 是来自移位寄存器 5601 的输出信号的例子。信号 Vdata_1 至 Vdata_k 是输入到布线 5604_1 至 5604_k 的信号的例子。注意,信号线驱动电路的一个操作期间 (operation period) 对应于显示装置中的一个栅极选择期间。例如,一个栅极选择期间 (gate selection period) 被分为期间 T1 至期间 TN。期间 T1 至期间 TN 每一个是用于将视频信号数据 (DATA) 写入所选择的行中的像素中的期间。

[0284] 注意,有时为了简单起见,本实施方式中的附图等所示的各结构中的信号波形的畸变等被夸大地表示。因此,本实施方式并不必然限于图中所示的比例。

[0285] 在期间 T1 至期间 TN 中,移位寄存器 5601 将 H 电平信号依次输出到布线 5605_1 至 5605_N。例如,在期间 T1 中,移位寄存器 5601 将 H 电平信号输出到布线 5605_1。然后,薄膜晶体管 5603_1 至 5603_k 导通,从而使布线 5604_1 至 5604_k 和信号线 S1 至 Sk 导通。此时,分别对布线 5604_1 至 5604_k 输入 Data (S1) 至 Data (Sk)。Data (S1) 至 Data (Sk) 分别通过薄膜晶体管 5603_1 至 5603_k 写入到所选择的行中的像素中的第一列至第 k 列像素中。以这样的方式,在期间 T1 至 TN 中,将视频信号数据 (DATA) 以 k 列顺序写入到所选择的行中的像素中。

[0286] 如上所述,将视频信号数据 (DATA) 以多列写入像素中,从而可以减少视频信号数据 (DATA) 的数量或布线的数量。因此,可以减少与外部电路的连接数目。此外,当将视频信号数据 (DATA) 以多列写入到像素中时,可以延长写入时间;因此可以防止视频信号数据 (DATA) 的写入不足。

[0287] 注意,对于移位寄存器 5601 及开关电路部 5602,可以使用由任意实施方式 1、2、5、6 中的薄膜晶体管构成的任何电路。在此情况下,移位寄存器 5601 可以仅由 N 沟道型晶体管或 P 沟道型晶体管构成。

[0288] 对扫描线驱动电路的结构进行说明。扫描线驱动电路具有移位寄存器。有时扫描线驱动电路也可以另外具有电平移位器、缓冲器等。在扫描线驱动电路中,对移位寄存器输入时钟信号 (CLK) 及启动脉冲信号 (SP),以使得生成选择信号。所生成的选择信号在缓冲器中被缓冲并放大,并且所得到的信号被供应到对应的扫描线。扫描线连接到一行的像素中的晶体管的栅电极。由于需要将一行的像素中的晶体管同时导通,因此使用能够供应大电流的缓冲器。

[0289] 将参照图 16A 至图 16D 及图 17A 和图 17B 说明用于扫描线驱动电路及 / 或信号线驱动电路的一部分的移位寄存器的一个实施方式。

[0290] 参照图 16A 至图 16D 及图 17A 和图 17B 说明扫描线驱动电路和 / 或信号线驱动电路中的移位寄存器。移位寄存器具有第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N (N 是大于或等于 3 的自然数) (参照图 16A)。在图 16A 所示的移位寄存器中,分别从第一布线 11、第二布线 12、第三布线 13、和第四布线 14 供应第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、和第四时钟信号 CK4 到第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N。对第一脉冲输出电路 10_1 输入来自第五布线 15 的启动脉冲 SP1 (第一启动脉冲)。对

第二级或后续级的第 n 脉冲输出电路 10_n (n 是大于等于 2 且小于等于 N 的自然数), 输入来自前一级的脉冲输出电路的信号 (该信号被称为前级信号 $OUT(n-1)$) (n 是大于等于 2 的自然数)。对第一脉冲输出电路 10_1 , 输入来自后一级之后的级的第三脉冲输出电路 10_3 的信号。类似地, 对第二级或后续级的第 n 脉冲输出电路 10_n , 输入来自后一级之后的级的第 $(n+2)$ 脉冲输出电路 $10_(n+2)$ 的信号 (该信号被称为后级信号 $OUT(n+2)$)。因此, 各级的脉冲输出电路输出要输入到后级的脉冲输出电路和 / 或在前一级之前的级的脉冲输出电路的第一输出信号 ($OUT(1)$ (SR) 至 $OUT(N)$ (SR)) 以及要输入到其他电路等的第二输出信号 ($OUT(1)$ 至 $OUT(N)$)。注意, 由于不对移位寄存器的最后两级输入后级信号 $OUT(n+2)$, 如图 16A 所示, 所以例如可以对最后两级的脉冲数据电路输入第二启动脉冲 SP2 和第三启动脉冲 SP3。

[0291] 注意, 时钟信号 (CK) 是以规则的间隔在 H 电平和 L 电平 (也称为 L 信号或处于低电源电位水平的信号) 之间交替的信号。在此, 第一时钟信号 (CK1) 至第四时钟信号 (CK4) 依次延迟 $1/4$ 周期 (cycle)。在本实施方式中, 利用第一时钟信号 (CK1) 至第四时钟信号 (CK4) 控制脉冲输出电路的驱动等。注意, 在某些情况下, 根据对其输入时钟信号的驱动电路也将时钟信号称为 GCK 或 SCK; 在下面的说明中将时钟信号称为 CK。

[0292] 第一输入端子 21、第二输入端子 22 及第三输入端子 23 电连接到任一的第一布线 11 至第四布线 14。例如, 在图 16A 中的第一脉冲输出电路 10_1 中, 第一输入端子 21 电连接到第一布线 11, 第二输入端子 22 电连接到第二布线 12, 并且第三输入端子 23 电连接到第三布线 13。在第二脉冲输出电路 10_2 中, 第一输入端子 21 电连接到第二布线 12, 第二输入端子 22 电连接到第三布线 13, 并且第三输入端子 23 电连接到第四布线 14。

[0293] 第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N 每一个包括第一输入端子 21、第二输入端子 22、第三输入端子 23、第四输入端子 24、第五输入端子 25、第一输出端子 26、第二输出端子 27 (参照图 16B)。在第一脉冲输出电路 10_1 中, 对第一输入端子 21 输入第一时钟信号 CK1, 对第二输入端子 22 输入第二时钟信号 CK2, 对第三输入端子 23 输入第三时钟信号 CK3, 对第四输入端子 24 输入启动脉冲, 对第五输入端子 25 输入后级信号 $OUT(3)$, 从第一输入端子 26 输出第一输出信号 $OUT(1)$ (SR), 从第二输出端子 27 输出第二输出信号 $OUT(1)$ 。

[0294] 在第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N 中, 除了具有三端的薄膜晶体管 (TFT) 之外, 还可以使用如上述实施方式中所说明的具有四端的薄膜晶体管 (TFT)。图 16C 示出上述实施方式中所说明的具有四端的薄膜晶体管 28 的符号 (symbol)。图 16C 所示的薄膜晶体管 28 的符号表示上述实施方式 1、2、5、6 中的任一个所说明的具有四端的薄膜晶体管, 并且在附图等中使用该符号。注意, 在本说明书中, 当薄膜晶体管具有两个栅电极而半导体层插入在其间时, 将半导体层下方的栅电极称为下栅电极, 而将半导体层上方的栅电极称为上栅电极。薄膜晶体管 28 是这样一种元件, 该元件利用输入到下栅电极的第一控制信号 G1 及输入到上栅电极的第二控制信号 G2 对 IN 端和 OUT 端之间的电流进行控制。

[0295] 当将氧化物半导体用于薄膜晶体管中的包括沟道形成区的半导体层时, 根据制造工艺, 有时阈值电压在正向或负向移动。由此, 其中将氧化物半导体用于包括沟道形成区的半导体层的薄膜晶体管优选采用可以控制阈值电压的结构。通过在薄膜晶体管 28 的沟道

形成区的上方和下方设置栅电极且栅极绝缘膜插入在上栅电极和沟道形成区之间以及下栅电极和沟道形成区之间,以及通过控制上栅电极和/或下栅电极的电位,可以将图 16C 所示的薄膜晶体管 28 的阈值电压控制为所希望的电平。

[0296] 下面将参照图 16D 说明脉冲输出电路的具体电路结构的一个例子。

[0297] 脉冲输出电路 10_1 具有第一晶体管 31 至第十三晶体管 43 (参照图 16D)。除了第一输入端子 21 至第五输入端子 25 以及第一输出端子 26、第二输出端子 27 以外,还从被供应第一高电源电位 VDD 的电源线 51、被供应第二高电源电位 VCC 的电源线 52、被供应低电源电位 VSS 的电源线 53 对第一晶体管 31 至第十三晶体管 43 供应信号或电源电位。图 16D 中的各电源线的电源电位的关系为:第一电源电位 VDD 高于或等于第二电源电位 VCC,而第二电源电位 VCC 高于第三电源电位 VSS。注意,第一时钟信号 (CK1) 至第四时钟信号 (CK4) 每一以一定的间隔在 H 电平和 L 电平之间交替;时钟信号的 H 电平为 VDD,时钟信号的 L 电平为 VSS。通过使电源线 52 的电位 VCC 低于电源线 51 的电位 VDD,可以降低施加到晶体管的栅电极的电位,并且可以降低晶体管的阈值电压的偏移,且可以抑制晶体管的劣化,而对操作没有不利影响。注意,如图 16D 那样,作为第一晶体管 31 至第十三晶体管 43 中的第一晶体管 31、第六晶体管 36 至第九晶体管 39,优选使用图 16C 所示的具有四端的薄膜晶体管 28。第一晶体管 31、第六晶体管 36 至第九晶体管 39 需要根据栅电极的控制信号切换连接有作为源极或漏极的一个电极的节点的电位,并且通过对输入到栅电极的控制信号的快速响应(导通电流的急剧上升),可以减少脉冲输出电路的错误操作。通过使用图 16C 所示的具有四端的薄膜晶体管 28,可以控制阈值电压,并且可以实现进一步减少脉冲输出电路的错误操作。注意,尽管在图 16D 中,第一控制信号 G1 及第二控制信号 G2 是相同的控制信号,但是第一控制信号 G1 及第二控制信号 G2 也可以是不同的控制信号。

[0298] 在图 16D 中,第一晶体管 31 的第一端子电连接到电源线 51,第一晶体管 31 的第二端子电连接到第九晶体管 39 的第一端子,而第一晶体管 31 的栅电极(下栅电极及上栅电极)电连接到第四输入端子 24。第二晶体管 32 的第一端子电连接到电源线 53,第二晶体管 32 的第二端子电连接到第九晶体管 39 的第一端子,而第二晶体管 32 的栅电极电连接到第四晶体管 34 的栅电极。第三晶体管 33 的第一端子电连接到第一输入端子 21,而第三晶体管 33 的第二端子电连接到第一输出端子 26。第四晶体管 34 的第一端子电连接到电源线 53,而第四晶体管 34 的第二端子电连接到第一输出端子 26。第五晶体管 35 的第一端子电连接到电源线 53,第五晶体管 35 的第二端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极,而第五晶体管 35 的栅电极电连接到第四输入端子 24。第六晶体管 36 的第一端子电连接到电源线 52,第六晶体管 36 的第二端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极,而第六晶体管 36 的栅电极(下栅电极及上栅电极)电连接到第五输入端子 25。第七晶体管 37 的第一端子电连接到电源线 52,第七晶体管 37 的第二端子电连接到第八晶体管 38 的第二端子,而第七晶体管 37 的栅电极(下栅电极及上栅电极)电连接到第三输入端子 23。第八晶体管 38 的第一端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极,而第八晶体管 38 的栅电极(下栅电极及上栅电极)电连接到第二输入端子 22。第九晶体管 39 的第一端子电连接到第一晶体管 31 的第二端子及第二晶体管 32 的第二端子,第九晶体管 39 的第二端子电连接到第三晶体管 33 的栅电极及第十晶体管 40 的栅电极,而第九晶体管 39 的栅电极(下栅电极及上栅电极)电连接到电源线

52。第十晶体管 40 的第一端子电连接到第一输入端子 21,第十晶体管 40 的第二端子电连接到第二输出端子 27,而第十晶体管 40 的栅电极电连接到第九晶体管 39 的第二端子。第十一晶体管 41 的第一端子电连接到电源线 53,第十一晶体管 41 的第二端子电连接到第二输出端子 27,而第十一晶体管 41 的栅电极电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极。第十二晶体管 42 的第一端子电连接到电源线 53,第十二晶体管 42 的第二端子电连接到第二输出端子 27,而第十二晶体管 42 的栅电极电连接到第七晶体管 37 的栅电极(下栅电极及上栅电极)。第十三晶体管 43 的第一端子电连接到电源线 53,第十三晶体管 43 的第二端子电连接到第一输出端子 26,而第十三晶体管 43 的栅电极电连接到第七晶体管 37 的栅电极(下栅电极及上栅电极)。

[0299] 在图 16D 中,将其中第三晶体管 33 的栅电极、第十晶体管 40 的栅电极以及第九晶体管 39 的第二端子连接的连接点称为节点 A。将其中第二晶体管 32 的栅电极、第四晶体管 34 的栅电极、第五晶体管 35 的第二端子、第六晶体管 36 的第二端子、第八晶体管 38 的第一端子以及第十一晶体管 41 连接的连接点称为节点 B(参照图 17A)。

[0300] 注意,薄膜晶体管是指包括栅极、漏极以及源极的至少三个端子的元件。薄膜晶体管在漏区和源区之间具有沟道区域,电流能够流过漏区、沟道区域以及源区。在此,由于薄膜晶体管的源极和漏极可以根据薄膜晶体管的结构、操作条件等而互换,因此难以限定哪个是源极哪个是漏极。因此,有时不将用作源极及漏极的区域称为源极或漏极。在此情况下,作为一个例子,有时将源极和漏极中一个称为第一端子,而将其另一个称为第二端子。

[0301] 注意,在图 16D 和图 17A 中,可以另外设置用于通过使节点 A 处于浮置(float)状态来进行自举(bootstrap)操作的电容器。此外,为了保持节点 B 的电位,可以另外设置一个电极连接到节点 B 的电容器。

[0302] 图 17B 示出图 17A 所示的具有多个脉冲输出电路的移位寄存器的时序图。注意,在移位寄存器被包括在扫描线驱动电路中时,图 17B 中的期间 61 相当于垂直回扫期间(vertical retrace period),并且期间 62 相当于栅极选择期间。

[0303] 注意,通过如图 17A 所示设置对栅极施加第二电源电位 VCC 的第九晶体管 39,在自举操作的前后,有如下优点。

[0304] 在没有对栅电极施加第二电位 VCC 的第九晶体管 39 时,如果通过自举操作节点 A 的电位上升,则作为第一晶体管 31 的第二端子的源极的电位上升到高于第一电源电位 VDD 的值。然后,第一晶体管 31 的第一端子(即,电源线 51 一侧上的端子)来作为第一晶体管 31 的源极。由此,在第一晶体管 31 中,在栅极和源极之间,以及在栅极和漏极之间,施加了较高的偏压并因此施加了显著的应力,这会导致晶体管的劣化。另一方面,通过设置对栅电极施加第二电源电位 VCC 的第九晶体管 39,当通过自举操作节点 A 的电位上升时,可以防止第一晶体管 31 的第二端子的电位的上升。换言之,通过设置第九晶体管 39,可以使对第一晶体管 31 的栅极和源极之间施加的负偏压的电平降低。由此,本实施方式中的电路结构可以使施加到第一晶体管 31 的栅极和源极之间的负偏压变小,从而可以抑制因应力而导致的的第一晶体管 31 的劣化。

[0305] 注意,第九晶体管 39 可以设置在任何位置,只要第九晶体管 39 的第一端子和第二端子连接在第一晶体管 31 的第二端子和第三晶体管 33 的栅极之间即可。注意,当本实施方式的具有多个脉冲输出电路的移位寄存器被包括在具有比扫描线驱动电路级数多的信

号线驱动电路中时,也可以省略第九晶体管 39,这在减少晶体管的数量方面是有利的。

[0306] 注意,对于第一晶体管 31 至第十三晶体管 43 的半导体层使用氧化物半导体;因而,可以降低薄膜晶体管的截止电流,并可以提高导通电流及场效应迁移率,并且可以降低晶体管的劣化程度。结果,可以减少电路中的错误操作。此外,与包含非晶硅的晶体管相比,包含氧化物半导体的晶体管因对栅电极施加高电位而导致的劣化的程度小。由此,即使在对供应第二电源电位 VCC 的电源线供应第一电源电位 VDD 时,移位寄存器也可以类似地操作,并可以减少电路之间的电源线的数量;因此,可以减小电路的尺寸。

[0307] 注意,即使在连接关系改变使得从第三输入端子 23 供应到第七晶体管 37 的栅电极(下栅电极及上栅电极)的时钟信号和从第二输入端子 22 供应到第八晶体管 38 的栅电极(下栅电极及上栅电极)的时钟信号可以分别从第二输入端子 22 和第三输入端子 23 供应时,移位寄存器也将实现类似的效果。在图 17A 所示的移位寄存器中,第七晶体管 37 及第八晶体管 38 的状态被改变从而使得第七晶体管 37 和第八晶体管 38 导通,然后第七晶体管 37 截止且第八晶体管 38 导通,并然后第七晶体管 37 截止且第八晶体管 38 截止;因此,由第二输入端子 22 及第三输入端子 23 的电位降低所导致的节点 B 的电位的降低发生两次,该节点 B 的电位的降低是因第七晶体管 37 的栅电极的电位的降低及第八晶体管 38 的栅电极的电位降低而产生的。另一方面,在其中图 17A 所示的移位寄存器中的第七晶体管 37 及第八晶体管 38 的状态如图 17B 中的期间 61 中改变使得第七晶体管 37 及第八晶体管 38 都是导通、然后第七晶体管 37 导通且第八晶体管 38 截止、然后第七晶体管 37 截止且第八晶体管 38 截止的情况下,由第二输入端子 22 及第三输入端子 23 的电位的降低所导致的节点 B 的电位降低仅因第八晶体管 38 的栅电极的电位的降低而发生一次。由此,如下的连接关系是优选的:从第三输入端子 23 向第七晶体管 37 的栅电极供应时钟信号 CK3,并且从第二输入端子 22 向第八晶体管 38 的栅电极供应时钟信号 CK2。这是因为可以减少节点 B 的电位中的变化次数,从而,可以减少噪声。

[0308] 以这样的方式,在将第一输出端子 26 及第二输出端子 27 的电位保持为 L 电平的期间中,对节点 B 有规律地供应 H 电平信号;因此,可以抑制脉冲输出电路的错误操作。

[0309] 实施方式 9

[0310] 通过制造薄膜晶体管并将该薄膜晶体管用于像素部及驱动电路,可以制造具有显示功能的半导体装置(也称为显示装置)。此外,可以在其中形成像素部的衬底上形成包含改薄膜晶体管的驱动电路的一部分或整体,由此形成面板上系统(system-on-panel)。

[0311] 显示装置包括显示元件。显示元件的示例可以包括液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。发光元件在其范畴内包括利用电流或电压控制亮度的元件,并且具体地,包括无机电致发光(EL)元件、有机 EL 元件等。此外,显示装置可以包括通过电效应改变其对比度显示媒体,诸如电子墨水等。

[0312] 此外,显示装置包括其中密封显示元件的面板和在该面板上安装有包括控制器的 IC 等的模块。另外,作为该显示装置的制造工艺中在显示元件完成之前的一个实施方式,元件衬底在多个像素的每一个像素中设置有用将电流供应到显示元件的单元。具体而言,元件衬底可以处于其中仅形成了显示元件的像素电极的状态、其中形成了要作为像素电极的导电膜但是还未蚀刻该导电膜来形成像素电极的状态、或者任意其他状态。

[0313] 注意,本说明书中的显示装置是指图像显示装置或光源(包括照明装置)。另

外,所述显示装置在其范畴中还包括任何下列模块:附连有连接器(诸如,柔性印刷电路(FPC)、载带自动键合(TAB)带、或带载封装(TCP)等)的模块;在TAB带或TCP的端部处设置有印刷布线板的模块;以及具有通过玻璃上芯片(COG)方法直接安装在显示元件上的集成电路(IC)的模块。

[0314] 将参照图10A1、图10A2以及图10B说明作为半导体装置的一个实施方式的液晶显示面板的外观及截面。图10A1、图10A2是面板的平面图,其中利用密封剂4005将薄膜晶体管4010、4011及液晶元件4013密封在第一衬底4001和第二衬底4006之间。图10B时沿着图10A1、图10A2的M-N的截面图。

[0315] 密封剂4005被设置为围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004。在像素部4002和扫描线驱动电路4004上设置第二衬底4006。因此,像素部4002和扫描线驱动电路4004与液晶层4008一起由第一衬底4001、密封剂4005和第二衬底4006密封。在第一衬底4001上在与被密封剂4005围绕的区域不同的区域中安装有信号线驱动电路4003,该信号线驱动电路4003使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

[0316] 注意,对于另行形成的驱动电路的连接方法没有特别的限制,并且可以采用COG方法、引线接合方法或TAB方法等。图10A1示出通过COG方法安装信号线驱动电路4003的例子。图10A2示出通过TAB方法安装信号线驱动电路4003的例子。

[0317] 设置在第一衬底4001上的像素部4002和扫描线驱动电路4004包括多个薄膜晶体管。作为示例,图10B示出像素部4002中所包括的薄膜晶体管4010和扫描线驱动电路4004中所包括的薄膜晶体管4011。在薄膜晶体管4010、4011上设置有绝缘层4041a、4041b、4042a、4042b、4020和4021。

[0318] 可以将实施方式1、2、5、6所示的任何包括氧化物半导体层的可靠性高的薄膜晶体管用于薄膜晶体管4010、4011。作为驱动电路用薄膜晶体管4011,可以使用实施方式1、2、5、6所示的任何薄膜晶体管260、289、270,并且作为像素用薄膜晶体管4010,可以使用任何薄膜晶体管420、448、220、280、290。在本实施方式中,薄膜晶体管4010、4011是n沟道型薄膜晶体管。

[0319] 导电层4040设置在绝缘层4021的与驱动电路用薄膜晶体管4011中的氧化物半导体层的沟道形成区重叠的部分上。导电层4040设置在与氧化物半导体层的沟道形成区重叠的位置处,从而可以减少BT测试前后的薄膜晶体管4011的阈值电压的变化量。导电层4040的电位可以与薄膜晶体管4011的栅电极层相同或者不同。导电层4040还可以用作第二栅电极层。替代地,导电层4040的电位可以为GND或0V,或者导电层4040可以处于浮置状态。

[0320] 液晶元件4013中所具有的像素电极层4030与薄膜晶体管4010电连接。液晶元件4013的对置电极层4031形成在第二衬底4006上。像素电极层4030、对置电极层4031和液晶层4008彼此重叠的部分对应于液晶元件4013。注意,像素电极层4030、对置电极层4031分别设置有用作取向膜的绝缘层4032、4033,并且液晶层4008夹在像素电极层4030和对置电极层4031,并且绝缘层4032和4033位于其间。

[0321] 注意,作为第一衬底4001、第二衬底4006可以使用透光衬底,可以使用玻璃、陶瓷、或塑料。所述塑料可以是纤维增强塑料(Fiberglass-Reinforced Plastics, FRP)板、

聚氟乙烯 (PVF) 膜、聚酯膜、或丙烯酸树脂膜。

[0322] 间隔物 4035 是通过绝缘膜进行选择性蚀刻而得到的柱状间隔物, 并且其被设置用于控制像素电极层 4030 和对置电极层 4031 之间的距离 (单元间隙 (cell gap))。替代地, 可以使用球状间隔物。对置电极层 4031 电连接到形成在其中形成薄膜晶体管 4010 的衬底上的公共电位线。可以使用公共连接部通过设置在一对衬底之间的导电粒子将对置电极层 4031 和公共电位线彼此电连接。注意, 所述导电粒子被包含在密封剂 4005 中。

[0323] 替代地, 还可以使用不需要使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种, 其是在使胆甾相液晶的温度上升时就在从胆甾相转变到各向同性相 (isotropic phase) 之前出现的相。由于蓝相只在较窄的温度范围内产生, 所以为了改善温度范围而将含有 5wt% 或更多的手性试剂的液晶组成物用于液晶层 4008。含呈现蓝相的液晶和手性试剂的液晶组成物具有 1msec 或更少的短的响应时间, 并且其具有光学各向同性; 因此不需要取向处理, 从而视角依赖性低。

[0324] 注意, 本实施例除了可以应用于透射型液晶显示装置之外, 还可以应用于透射反射型 (transflective) 液晶显示装置。

[0325] 虽然在该液晶显示装置的例子中, 在衬底的外表面 (观看者一侧) 上设置偏振片, 并在衬底的内表面上依次设置着色层和用于显示元件的电极层的例子, 但是也可以在衬底的内表面上设置偏振片。偏振片和着色层的叠层结构并不局限于本实施方式中的结构, 可以根据偏振片和着色层的材料或制造工艺条件来适当地设定偏振片和着色层的叠层结构。另外, 可以在显示部之外的部分设置用作黑矩阵 (black matrix) 的阻光膜。

[0326] 在薄膜晶体管 4011 中, 形成有用作沟道保护层的绝缘层 4041a 及覆盖氧化物半导体层的叠层的周缘部 (包括侧表面) 的绝缘层 4041b。以类似的方式, 在薄膜晶体管 4010 中, 形成有用作沟道保护层的绝缘层 4042a 及覆盖氧化物半导体层的叠层的周缘部 (包括侧表面) 的绝缘层 4042b。

[0327] 覆盖第一氧化物半导体层和第二氧化物半导体层的叠层的周缘部 (包括侧表面) 的氧化物绝缘层的绝缘层 4041b、4042b 使栅电极层与形成在栅电极层上或栅电极层周围的布线层 (例如, 源极布线层及电容器布线层等) 的距离增大, 从而可以减少寄生电容。可以使用与实施方式 1 中所示的氧化物绝缘层 426a、426b 类同的材料及方法来形成绝缘层 4041a、4041b、4042a、4042b。此外, 为了减少因薄膜晶体管导致表面粗糙, 以用作平坦化绝缘膜的绝缘层 4021 覆盖薄膜晶体管。在此, 根据实施方式 1 采用溅射法形成氧化硅膜, 作为所述绝缘层 4041a、4041b、4042a、4042b。

[0328] 在绝缘层 4041a、4041b、4042a、4042b 上形成有绝缘层 4020。通过采用与实施方式 1 中所示的保护绝缘层 403 类同的材料及方法来形成绝缘层 4020。在此, 通过 RF 溅射法形成氮化硅膜, 作为绝缘层 4020。

[0329] 形成绝缘层 4021 作为平坦化绝缘膜。通过采用与实施方式 1 所示的平坦化绝缘层 404 类同的材料及方法来形成绝缘层 4021, 并且可以使用具有耐热性的有机材料诸如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、或环氧树脂等。除了上述有机材料之外, 还可以使用低介电常数材料 (low-k 材料)、硅氧烷类树脂、磷硅玻璃 (PSG)、或硼磷硅玻璃 (BPSG) 等。注意, 可以通过层叠多个由这些材料形成的绝缘膜来形成所述绝缘层 4021。

[0330] 在本实施方式中, 可以使用氮化物绝缘膜将像素部中的多个薄膜晶体管围绕在一

起。例如,可以采用如下的结构,其中:可以使用氮化物绝缘膜作为绝缘层 4020 及栅极绝缘层,并且如图 10A1、10A2、10B 所示,绝缘层 4020 至少在有源矩阵衬底上的围绕像素部的周缘部分中与栅极绝缘层接触。在该制造工艺过程中,可以防止水分从外部侵入。此外,即使在该装置完成作为半导体装置(例如,显示装置)之后也可以长期防止水分从外部侵入;从而,可以提高装置的长期可靠性。

[0331] 注意,硅氧烷类树脂对应于以硅氧烷类材料为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷类树脂可以包含有机基团(例如烷基或芳基)或氟基团作为取代基。另外,有机基团也可以包含氟基团。

[0332] 对绝缘层 4021 的形成方法没有特别的限制。根据其材料,可以利用诸如溅射法、SOG 法、旋涂法、浸渍法、喷涂法、或液滴喷射法(例如,喷墨法、丝网印刷、或胶版印刷等)等方法,或者通过利用诸如刮片、辊涂机、幕涂机、或刮刀涂布机等工具,来形成绝缘层 4021。当组合绝缘层 4021 的焙烧步骤和对半导体层的退火,可以高效地制造半导体装置。

[0333] 像素电极层 4030、对置电极层 4031 可以使用透光导电材料形成,诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面称为 ITO)、氧化铟锌、或添加有氧化硅的氧化铟锡等。

[0334] 替代地,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成像素电极层 4030 和对置电极层 4031。使用该导电组成物形成的像素电极的薄层电阻优选为 $10000 \Omega / \square$ 或更低,并且其在 550nm 的波长处的透光率优选为 70% 或更高。另外,导电组成物中所包含的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 或更低。

[0335] 作为导电高分子,可以使用所谓的 π 电子共轭导电聚合物。作为例子可以举出聚苯胺及其衍生物、聚吡咯及其衍生物、聚噻吩及其衍生物、以及上述材料中的两种或更多种的共聚物等。

[0336] 从 FP C4018 向另行形成的信号线驱动电路 4003、扫描线驱动电路 4004、或像素部 4002 供应各种信号及电位。

[0337] 连接端子电极 4015 由与液晶元件 4013 中所具有的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 由与薄膜晶体管 4010、4011 的源电极层及漏电极层相同的导电膜形成。

[0338] 连接端子电极 4015 通过各向异性导电膜 4019 电连接到 FPC 4018 中所包含的端子。

[0339] 注意,图 10A1、10A2 以及 10B 中示出另行形成信号线驱动电路 4003 并将它安装在第一衬底 4001 上的例子,但是本实施方式并不局限于该结构。可以另行形成扫描线驱动电路然后安装,或者可以仅另行形成信号线驱动电路的一部分或扫描线驱动电路的一部分然后安装。

[0340] 图 19 示出使用通过本说明书所公开的制造方法制造的 TFT 衬底 2600 来形成作为半导体装置的液晶显示模块的示例。

[0341] 图 19 示出液晶显示模块的示例,其中利用密封剂 2602 将 TFT 衬底 2600 和对置衬底 2601 彼此固定,并在衬底之间设置包括 TFT 等的像素部 2603、包括液晶层的显示元件 2604、着色层 2605 来形成显示区。着色层 2605 是进行彩色显示所需的。在 RGB 体系中,为像素提供对应于红色、绿色、蓝色的着色层。在 TFT 衬底 2600 和对置衬底 2601 的外侧设置

有偏振片 2606、偏振片 2607、散射板 (diffusion plate) 2613。光源包括冷阴极管 2610 和反射板 2611。电路板 2612 同柔性布线板 2609 与 TFT 衬底 2600 的布线电路部 2608 连接, 并且包括诸如控制电路或电源电路等的外部电路。可以层叠偏振片和液晶层, 而延迟板插入在二者之间。

[0342] 对于该液晶显示模块, 可以采用扭曲向列 (TN) 模式、平面内转换 (IPS) 模式、周缘电场转换 (FFS) 模式、多畴垂直取向 (MVA) 模式、构图垂直取向 (PVA) 模式、轴对称排列微胞 (ASM) 模式、光学补偿双折射 (OCB) 模式、铁电性液晶 (FLC) 模式、或反铁电性液晶 (AFLC) 模式等。

[0343] 通过上述, 可以形成作为半导体装置的可靠性高的液晶显示面板。

[0344] 本实施方式可以与其他实施方式中所记载的结构适当地组合实现。

[0345] 实施方式 10

[0346] 在本实施方式中, 将描述电子纸的例子作为半导体装置的一个实施方式。

[0347] 可以将半导体装置用于其中利用与开关元件电连接的元件来驱动电子墨水。电子纸也称为电泳显示装置 (电泳显示器), 并具有如下优点: 具有与普通纸相同的可读性; 功耗比其他的显示装置小; 并且其可以形成为薄且轻。

[0348] 电泳显示器可以具有多种模式。电泳显示器包含分散在溶剂或溶质中的多个微囊, 每一微囊包含带正电荷的第一粒子和带负电荷的第二粒子。通过对微囊施加电场, 使微囊中的粒子在彼此相反的方向移动, 并仅显示集聚在一侧的粒子的颜色。注意, 第一粒子和第二粒子每一都包含颜料, 并且在没有电场时不移动。此外, 第一粒子和第二粒子具有不同的颜色 (其可以是无色的)。

[0349] 因此, 电泳显示器是利用所谓的介电电泳效应的显示器, 通过该介电电泳效应, 介电常数高的物质移动到高电场区。

[0350] 在溶剂中分散有上述微囊的溶液被称为电子墨水。电子墨水可以印刷在玻璃、塑料、布、纸等的表面上。另外, 还可以通过使用彩色滤光器或具有颜料的粒子来实现彩色显示。

[0351] 此外, 如果在有源矩阵衬底上适当地设置多个上述微囊以使微囊夹在两个电极之间, 则可以完成有源矩阵型显示装置, 并且可以通过对微囊施加电场进行显示。作为所述有源矩阵衬底, 例如, 可以使用利用在实施方式 1、2、5、6 中获得的任何薄膜晶体管的有源矩阵衬底。

[0352] 注意, 微囊中的第一粒子及第二粒子每一可以使用选自导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、磁泳 (magnetophoretic) 材料中的单一材料或任何这些材料的复合材料形成。

[0353] 图 18 示出作为半导体装置例子的有源矩阵型电子纸。用于半导体装置的薄膜晶体管 581 可以与实施方式 1 中所示的薄膜晶体管类同的方式形成, 其是包括氧化物半导体层的可靠性高的薄膜晶体管。可以将实施方式 2、5、6 中所示的任何薄膜晶体管用作本实施方式的薄膜晶体管 581。

[0354] 图 18 中的电子纸是采用旋转球显示 (twisting ball display) 体系的显示装置的例子。旋转球显示体系是指这样一种方法, 其中将每一都着色为白色和黑色的球形粒子布置在作为用于显示元件的电极层的第一电极层及第二电极层之间, 并在第一电极层和第

二电极层之间产生电位差来控制球形粒子的配向 (orientation), 从而进行显示。

[0355] 薄膜晶体管 581 是具有底栅结构的薄膜晶体管, 并且被覆盖以与半导体层接触的绝缘膜 583。薄膜晶体管 581 的源电极层或漏电极层在形成于绝缘层 585 中的开口中与第一电极层 587 接触, 从而薄膜晶体管 581 与第一电极层 587 电连接。在第一电极层 587 和与第二衬底 596 相邻的第二电极层 588 之间, 设置有球形粒子 589。每一球形粒子 589 具有黑色区 590a 和白色区 590b, 并且黑色区 590a 和白色区 590b 周围的空腔 594 填充有液体。球形粒子 589 的周围填充有诸如树脂等的填料 595 (参照图 18)。第一电极层 587 相当于像素电极, 第二电极层 588 相当于公共电极。第二电极层 588 电连接到设置在与薄膜晶体管 581 同一衬底上的公共电位线。使用公共连接部, 可以通过设置在一对衬底之间的导电粒子将第二电极层 588 电连接到公共电位线。

[0356] 此外, 还可以使用电泳元件代替旋转球。使用直径为 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 左右的微囊, 该微囊中封入有透明液体、带正电的白色微粒和带负电的黑色微粒。在设置在第一电极层和第二电极层之间的微囊中, 当通过第一电极层和第二电极层施加电场时, 白色微粒和黑色微粒向相反侧移动, 从而可以显示白色或黑色。电泳显示元件具有比液晶显示元件高的反射率。电泳显示元件具有比液晶显示元件高的反射, 因而不需要辅助灯, 功耗低, 并且在昏暗的地方也能够辨认显示部。另外, 即使不向显示部供应电力, 也能够保持显示过一次的图像。因此, 即使使具有显示功能的半导体装置 (简称为显示装置, 或称为具备显示装置的半导体装置) 远离电波源, 也能够保存显示的图像。

[0357] 通过上述工艺, 可以制造作为半导体装置的可靠性高的电子纸。

[0358] 本实施方式可以与其他实施方式所记载的任何结构适当地组合。

[0359] 实施方式 11

[0360] 将描述发光显示装置的例子作为半导体装置。在此, 描述利用电致发光的发光元件作为显示装置中所包含的显示元件。根据其发光材料是有机化合物还是无机化合物对利用电致发光的发光元件进行分类。一般前者称为有机 EL 元件, 而后者称为无机 EL 元件。

[0361] 在有机 EL 元件中, 通过对发光元件施加电压, 电子和空穴从一对电极分别注入到包含发光有机化合物的层, 并且电流流动。载流子 (电子和空穴) 复合, 并因此, 发光有机化合物被激发。发光有机化合物从激发态回到基态, 从而发光。根据该机理, 这种发光元件被称为电流激发型发光元件。

[0362] 无机 EL 元件根据其元件结构分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件具有在粘合剂中分散有发光材料的粒子的发光层, 并且其发光机理是利用施主能级和受主能级的施主 - 受主复合型发光。薄膜型无机 EL 元件具有其中发光层被夹在电介质层之间而电介质层又被夹在电极之间的结构, 并且其发光机理是利用金属离子的内层电子跃迁的局部型发光。注意, 在此描述有机 EL 元件作为发光元件的例子。

[0363] 图 12 示出作为半导体装置的例子可以使用数字时间灰度级方法驱动的像素结构的示例。

[0364] 将说明可以使用数字时间灰度级驱动的像素的结构以及像素的操作。在此, 一个像素包括两个 n 沟道型晶体管, 每一 n 沟道型晶体管包括氧化物半导体层作为沟道形成区。

[0365] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容器 6403。开关晶体管 6401 的栅极与扫描线 6406 连接, 开关晶体管 6401 的第一电极 (源电极

和漏电极中的一方)与信号线6405连接,并且开关晶体管6401的第二电极(源电极和漏电极中的另一方)与驱动晶体管6402的栅极连接。驱动晶体管6402的栅极通过电容器6403与电源线6407连接,驱动晶体管6402的第一电极与电源线6407连接,而驱动晶体管6402的第二电极与发光元件6404的第一电极(像素电极)连接。发光元件6404的第二电极相当于公共电极6408。公共电极6408与设置在同一衬底上的公共电位线电连接。

[0366] 发光元件6404的第二电极(公共电极6408)被设定到低电源电位。注意,所述低电源电位是指以被设定给电源线6407的高电源电位为基准满足低电源电位<高电源电位的电位。作为低电源电位,例如可以采用GND或0V等。将该高电源电位与低电源电位之间的电位差施加到发光元件6404,并且将电流提供到发光元件6404,以使得发光元件6404发光。在此,为使发光元件6404发光,每一电位被设置为使得高电源电位与低电源电位之间的电位差为发光元件6404的正向阈值电压或更高。

[0367] 注意,可以使用驱动晶体管6402的栅极电容代替电容器6403,从而可以省略电容器6403。驱动晶体管6402的栅极电容可以形成在沟道区与栅电极之间。

[0368] 当采用电压输入电压驱动方法时,对驱动晶体管6402的栅极输入视频信号以使驱动晶体管6402处于被充分导通或截止的两个状态中任一个。也即,使驱动晶体管6402在线性区中操作。由于驱动晶体管6402在线性区中操作,所以将比电源线6407的电压高的电压施加到驱动晶体管6402的栅极。注意,对信号线6405施加高于或等于(电源线电压+驱动晶体管6402的 V_{th})的电压。

[0369] 当使用模拟灰度级方法代替数字时间灰度级方法时,通过以不同方式输入信号可以使用与图12相同的像素结构。

[0370] 当进行模拟灰度级驱动时,对驱动晶体管6402的栅极施加高于或等于(发光元件6404的正向电压+驱动晶体管6402的 V_{th})的电压。发光元件6404的正向电压是指获得所希望的亮度时的电压,并且至少包括正向阈值电压。输入使驱动晶体管6402在饱和区中操作的视频信号,以使得电流可以被供应到发光元件6404。为了使驱动晶体管6402在饱和区中操作,将电源线6407的电位设定得高于驱动晶体管6402的栅极电位。当使用模拟视频信号时,可以根据视频信号向发光元件6404馈送电流,并进行模拟灰度级驱动。

[0371] 注意,像素结构不局限于此图12所示的像素结构。例如,图12中所示的像素还可以包括开关、电阻器、电容器、晶体管或逻辑电路等。

[0372] 接着,参照图13A至13C说明发光元件的结构。在此,将以n沟道驱动TFT为例子来说明像素的截面结构。用于图13A、13B和13C中所示的半导体装置中的驱动TFT7001、7011、7021可以以与实施方式1中所示的薄膜晶体管类同地形成,并且驱动TFT7001、7011、7021是每一都包括氧化物半导体层的可靠性高的薄膜晶体管。替代地,也可以将实施方式2、5、6中所示的薄膜晶体管用作驱动TFT7001、7011、7021。

[0373] 为了取出从发光元件发射的光,阳极和阴极中的至少一方需要是透光的。在衬底上形成薄膜晶体管及发光元件。发光元件可以有:顶部发射结构,其中通过与衬底相反的表面抽取光发射;底部发射结构,其中通过衬底一侧的表面抽取发光;或者,双发射结构,其中通过与衬底相反的表面以及衬底一侧的表面抽取发光。该像素结构可以应用于具有任何发射结构的发光元件。

[0374] 将参照图13A说明具有顶部发射结构的发光元件。

[0375] 图 13A 是当驱动 TFT 7001 是 n 型 TFT 并且从发光元件 7002 发射光到阳极 7005 一侧时的像素的截面图。在图 13A 中,发光元件 7002 的阴极 7003 与用作驱动 TFT 的 TFT 7001 电连接,并且在阴极 7003 上按顺序层叠发光层 7004 和阳极 7005。阴极 7003 可以使用各种导电材料形成,只要其功函数小且反射光。例如,优选采用 Ca、Al、MgAg、或 AlLi 等。发光层 7004 可以利用单层或多个层的叠层形成。当发光层 7004 利用多个层形成时,通过在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层,来发光层 7004。不是必需形成上述的所有层。使用透光导电膜形成阳极 7005,所述透光导电膜例如包含氧化铟的氧化铟、包含氧化铟的氧化铟锌、包含氧化铟的氧化铟锡、包含氧化铟的氧化铟锡(下面,称为 ITO)、氧化铟锌、或者添加有氧化硅的氧化铟锡等。

[0376] 发光元件 7002 对应于其中发光层 7004 夹在阴极 7003 及阳极 7005 之间的区域。在图 13A 所示的像素的情况下,从发光元件 7002 发射光到阳极 7005 一侧,如箭头所示。

[0377] 接着,参考图 13B 说明具有底部发射结构的发光元件。图 13B 是在驱动 TFT 7011 是 n 型并且从发光元件 7012 发射光向阴极 7013 一侧的情况下的像素的截面图。在图 13B 中,在与驱动 TFT 7011 电连接的透光导电膜 7017 上形成发光元件 7012 的阴极 7013,并且在阴极 7013 上按顺序层叠发光层 7014 和阳极 7015。当阳极 7015 具有透光性时,可以形成用于反射或阻挡光的光阻挡膜 7016 以覆盖阳极 7015。对于阴极 7013,可以如图 13A 中的情况那样使用各种材料,只要阴极 7013 是利用功函数低的导电材料形成的即可。阴极 7013 被形成为具有能够透射光的厚度(优选为 5nm 至 30nm 左右)。例如,可以将厚度为 20nm 的铝膜用作阴极 7013。与图 13A 类同地,发光层 7014 可以利用单层或层叠的多个层形成。阳极 7015 不需要透射光,但是可以如图 13A 中那样地使用透光导电材料形成。作为屏蔽膜 7016,例如可以使用反射光的金属等,但是并不局限于金属膜。例如,也可以使用添加有黑色颜料的树脂等。

[0378] 发光元件 7012 对应于其中由阴极 7013 及阳极 7015 夹着发光层 7014 的区域。在图 13B 所示的像素的情况下,从发光元件 7012 向阴极 7013 一侧发射光,如箭头所示。

[0379] 接着,参考图 13C 说明具有双发射结构的发光元件。在图 13C 中,在与驱动 TFT 7021 电连接的透光导电膜 7027 上形成发光元件 7022 的阴极 7023,并且在阴极 7023 上按顺序层叠发光层 7024、阳极 7025。如图 13A 中的情况那样,阴极 7023 可以使用任意各种材料形成,只要利用功函数小的导电材料形成阴极 7023 即可。阴极 7023 被形成为具有能够透射光的厚度。例如,可以将厚度为 20nm 的 Al 膜用作阴极 7023。如图 13A 中那样,发光层 7024 可以利用单层或层叠的多个层形成。如图 13A 中那样,阳极 7025 可以利用透光导电材料形成。

[0380] 发光元件 7022 对应于其中阴极 7023、发光层 7024 和阳极 7025 彼此重叠的区域。在图 13C 所示的像素的情况下,从发光元件 7022 向阳极 7025 一侧和阴极 7023 一侧发射光,如箭头所示。

[0381] 注意,虽然在此描述了用作发光元件的有机 EL 元件,但是也可以设置无机 EL 元件作为发光元件。

[0382] 注意,虽然在此描述了控制发光元件的驱动的薄膜晶体管(驱动 TFT)与发光元件电连接的例子,但是也可以采用在驱动 TFT 和发光元件之间连接有用于电流控制的 TFT 的结构。

[0383] 注意,半导体装置的结构并不局限于图 13A 至图 13C 所示的结构,而是可以根据本说明书中所公开的技术进行各种形式的修改。

[0384] 接着,参照图 11A 和 11B 说明作为半导体装置的一个实施方式的发光显示面板(也称为发光面板)的外观及截面。图 11A 是一种面板的平面图,其中利用密封剂将形成在第一衬底上的薄膜晶体管及发光元件密封在第一衬底与第二衬底之间。图 11B 相当于沿着图 11A 的线 H-I 的截面图。

[0385] 密封剂 4505 被设置来围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b。此外,在像素部 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 上设置第二衬底 4506。因此,像素部 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 与填料 4507 一起被第一衬底 4501、密封剂 4505 和第二衬底 4506 密封。以这样的方式,优选面板封装(密封)有高气密性且少漏气的保护膜(诸如,层压膜和紫外线固化树脂膜等)或盖材料,以使得面板不暴露于外部空气。

[0386] 形成在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b,每一都包括多个薄膜晶体管,并且在图 11B 中例示了被包括在像素部 4502 中的薄膜晶体管 4510 和被包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

[0387] 对于薄膜晶体管 4509、4510,可以使用实施方式 1、2、5、6 中任意实施方式中所示的包括氧化物半导体层的高可靠性的薄膜晶体管。作为驱动电路用薄膜晶体管 4509,可以使用实施方式 1、2、5、6 中所示的任意薄膜晶体管 260、289、270。作为用于像素的薄膜晶体管 4510,可以使用任意薄膜晶体管 420、448、220、280、290。在本实施方式中,薄膜晶体管 4509、4510 是 n 沟道型薄膜晶体管。

[0388] 导电层 4540 设置在绝缘层 4544 的一部分上,以便与驱动电路用薄膜晶体管 4509 中的氧化物半导体层的沟道形成区重叠。导电层 4540 设置为与氧化物半导体层的沟道形成区重叠,从而可以减少 BT 测试前后的薄膜晶体管 4509 的阈值电压的变化量。此外,导电层 4540 的电位可以与薄膜晶体管 4509 的栅电极层的相同或者不同。导电层 4540 还可以用作第二栅电极层。替代地,导电层 4540 的电位可以为 GND 或 0V,或者,导电层 4540 可以处于浮置状态。

[0389] 在薄膜晶体管 4509 中,形成有用作沟道保护层的绝缘层 4541a 及覆盖氧化物半导体层的叠层的周缘部(包括侧表面)的绝缘层 4541b。以类似的方式,在薄膜晶体管 4510 中,形成有用作沟道保护层的绝缘层 4542a 及覆盖氧化物半导体层的叠层的周缘部(包括侧表面)的绝缘层 4542b。

[0390] 作为覆盖氧化物半导体层的叠层的周缘部(包括侧表面)的氧化物绝缘层的绝缘层 4541b、4542b 每一都使栅电极层和形成在栅电极层上或周围的布线层(诸如,源极布线层或电容器布线层等)的距离增大,从而可以降低寄生电容。可以使用与实施方式 1 中所示的氧化物绝缘层 426a、426b 类同的材料及方法来形成绝缘层 4541a、4541b、4542a、4542b。此外,为减小薄膜晶体管的表面粗糙度,以用作平坦化绝缘膜的绝缘层 4543 覆盖薄膜晶体管。在此,作为绝缘层 4541a、4541b、4542a 和 4542b,如实施方式 1 中所描述的,通过溅射形成氧化硅膜。

[0391] 在绝缘层 4541a、4541b、4542a、4542b 上形成绝缘层 4543。可以利用与实施方式 1 中所示的保护绝缘层 403 类同的材料及方法来形成绝缘层 4543。在此,通过 RF 溅射形成氮化硅膜,作为绝缘层 4543。

[0392] 形成绝缘层 4544 作为平坦化绝缘膜。采用与实施方式 1 中所示的绝缘层 404 类同的材料及方法形成绝缘层 4544。在此,对于绝缘层 4544 使用丙烯酸树脂。

[0393] 在本实施方式中,可以通过氮化物绝缘膜围绕像素部中的多个薄膜晶体管。可以使用氮化物绝缘膜作为绝缘层 4543 及栅极绝缘层,并且可以提供这样的区域,在该区域中,绝缘层 4543 与栅极绝缘层接触以便至少围绕有源矩阵衬底上的像素部的周缘,如图 11A 和 11B 中所示。在该制造过程中,可以防止水分从外部侵入。此外,即使在将器件完成作为半导体装置(例如,作为显示装置)之后,也可以长期防止水分从外部侵入,从而可以提高装置的长期可靠性。

[0394] 此外,附图标记 4511 表示发光元件。作为发光元件 4511 中所包括的像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。注意,发光元件 4511 的结构是包括第一电极层 4517、电致发光层 4512、和第二电极层 4513 的叠层结构,但是不局限于所示出的结构。可以根据从发光元件 4511 抽取光的方向等适当地改变发光元件 4511 的结构。

[0395] 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔物 4520。特别优选的是,使用感光材料形成分隔物 4520,以及在第一电极层 4517 上形成开口,以使得该开口的侧壁被形成为具有连续的曲率的倾斜表面。

[0396] 电致发光层 4512 既可以由单层形成,又可以由多个层的叠层形成。

[0397] 可以在第二电极层 4513 及分隔物 4520 上形成保护膜,以防止氧、氢、水分、或二氧化碳等侵入到发光元件 4511 中。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、或 DLC 膜等。

[0398] 另外,从 FPC 4518a 和 4518b 向信号线驱动电路 4503a 和 4503b、扫描线驱动电路 4504a 和 4504b、或像素部 4502 供应各种信号及电位。

[0399] 连接端子电极 4515 由与发光元件 4511 中所包括的第一电极层 4517 相同的导电膜形成,并且端子电极 4516 由与薄膜晶体管 4509、4510 中所包括的源电极层及漏电极层相同的导电膜形成。

[0400] 连接端子电极 4515 通过各向异性导电膜 4519 电连接到 FPC 4518a 中所包括的端子。

[0401] 位于从发光元件 4511 提取光的方向上的第二衬底需要具有透光性。在此情况下,对于第二衬底,使用诸如玻璃板、塑料板、聚酯膜或丙烯酸树脂膜等的透光材料。

[0402] 作为填料 4507,除了诸如氮及氩等的惰性气体之外,还可以使用紫外线固化树脂或热固化树脂。例如,可以使用 PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、或 EVA(乙烯-醋酸-乙烯酯)。例如,使用氮作为填料。

[0403] 另外,若有需要,也可以在发光元件的光发射表面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、延迟板(四分之一波片($\lambda/4$ 片)或半波片($\lambda/2$ 片))、或滤色器等光学膜。另外,偏振片或圆偏振片可以设置有抗反射膜。例如,可以进行抗眩光处理,通过该处理利用表面上的凹凸来使反射光散射以便减少眩光。

[0404] 信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 可以作为在另行准

备的衬底上利用单晶半导体膜或多晶半导体膜形成的驱动电路安装。替代地,可以另行仅形成信号线驱动电路或其一部分或者扫描线驱动电路或其一部分,并安装。本实施方式并不局限于图 11A 和 11B 所示的结构。

[0405] 通过上述工艺,可以制造作为半导体装置的可靠性高的发光显示装置(显示面板)。

[0406] 本实施方式可以与实施方式 1 至 4 以及 6 至 8 中所记载的结构适当地组合实施。

[0407] 实施方式 12

[0408] 本说明书中所公开的半导体装置可以应用于电子纸。电子纸可以用于显示数据的多种领域的电子设备。例如,可以将电子纸应用于电子书阅读器(电子书)、招贴 (poster)、诸如列车等的交通工具中的广告、诸如信用卡等的各种卡片的显示等。图 20 示出电子设备的示例。

[0409] 图 20 示出电子书阅读器 2700 的示例。例如,电子书阅读器 2700 包括两个壳体,即壳体 2701 及壳体 2703。壳体 2701 及壳体 2703 利用铰接件 2711 组合使得可以以该铰接件 2711 为轴开闭电子书阅读器 2700。通过该结构,电子书阅读器 2700 可以如纸质书籍那样操作。

[0410] 壳体 2701 和壳体 2703 中分别整合有显示部 2705 和显示部 2707。显示部 2705 及显示部 2707 可以显示一个图像或不同图像。在显示部 2705 及显示部 2707 显示不同图像的情况下,例如,右侧的显示部(图 20 中的显示部 2705)可以显示文本,而左侧的显示部(图 20 中的显示部 2707)可以显示图形。

[0411] 图 20 中示出壳体 2701 设置有操作部等的例子。例如,壳体 2701 被设置有电源开关 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。注意,可以在与壳体的显示部在同一表面上设置键盘、定位装置 (pointing device) 等。另外,可以在壳体的背表面或侧表面上设置外部连接端子(耳机端子、USB 端子、或可以与诸如 AC 适配器及 USB 线缆等各种线缆连接的端子等)、记录介质插入部等的结构。另外,电子书阅读器 2700 可以具有电子词典的功能。

[0412] 电子书阅读器 2700 可以具有以无线方式收发数据的配置。通过无线通信,可以从电子书籍服务器购买并下载所希望的书籍数据等。

[0413] 实施方式 13

[0414] 本说明书中所公开的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备的例子,例如可以举出:电视装置(也称为电视或电视接收机);计算机等的监视器;诸如数码相机、数码摄像机等的拍摄装置;数码相框;移动电话手持机(也称为移动电话或移动电话装置);便携式游戏机;便携式信息终端;音频再现装置;诸如弹珠机等大型游戏机等。

[0415] 图 21A 示出电视装置 9600 的示例。在电视装置 9600 中,壳体 9601 中组装有显示部 9603。显示部 9603 可以显示图像。在此,利用支架 9605 支撑壳体 9601。

[0416] 可以通过壳体 9601 的操作开关或者分立的遥控器 9610 操作电视装置 9600。可以利用遥控器 9610 的操作键 9609 进行频道及音量的控制,从而可以控制显示部 9603 上显示的图像。此外,遥控器 9610 可以设置有用显示从该遥控器 9610 输出的数据的显示部 9607。

[0417] 注意,电视装置 9600 配备有接收机及调制解调器等。利用接收机,可以接收一般的电视广播。另外,在通过调制解调器有线或无线地连接到通信网络时,可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0418] 图 21B 示出数码相框 9700 的示例。例如,在数码相框 9700 中,壳体 9701 组装有显示部 9703。显示部 9703 可以显示各种图像。例如,显示部 9703 可以显示使用数码相机等拍摄的图像数据,并起一般相框的功能。

[0419] 注意,数码相框 9700 配备有操作部、外部连接端子(USB 端子、或可以与 USB 线缆等的各种线缆连接的端子等)、记录媒体插入部等。尽管这些部件可以设置在其上设置显示部的表面上,但是对于数码相框 9700 的设计而言,优选将它们设置在侧表面或背表面上。例如,可以储存由数码相机拍摄的图像数据的存储器插入数码相框的记录媒体插入部,从而可以传送图像数据,然后可以在显示部 9703 上显示该图像数据。

[0420] 数码相框 9700 可以被配置来以无线方式收发数据。可以采用以无线的方式传送所希望的图像数据并进行显示的结构。

[0421] 图 22A 示出一种便携式游戏机,其由壳体 9881 和壳体 9891 两个壳体构成,并且这两个壳体通过连接部 9893 连接从而使得可以开闭该便携式游戏机。壳体 9881 和壳体 9891 中分别安装有显示部 9882 和显示部 9883。另外,图 22A 所示的便携式游戏机还配备有扬声器部 9884、记录介质插入部 9886、LED 灯 9890、输入单元(操作键 9885、连接端子 9887、传感器 9888(具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、射线、流量(flow rate)、湿度、倾斜度、振动、气味、或红外线等)以及麦克风 9889)等。当然,便携式游戏机的结构并不限于上述结构,并且可以采用至少配备有本说明书中所公开的半导体装置的其他结构。便携式游戏机可以适当地包括其它附属设备。图 22A 所示的便携式游戏机具有如下功能:读出储存在记录介质中的程序或数据以将其显示在显示部上;以及,通过无线通信与其他便携式游戏机共享信息。注意,图 22A 中所示的便携式游戏机所具有的功能并不限于上述功能,而是便携式游戏机可以具有各种各样的功能。

[0422] 图 22B 示出作为大型游戏机的一种投币机(slot machine)9900 的示例。在投币机 9900 中,壳体 9901 中安装有显示部 9903。另外,投币机 9900 还包括诸如起动手柄或停止开关等的操作单元、投币口、扬声器等。当然,投币机 9900 的结构并不限于此,并且可以采用至少配备有本说明书中所公开的半导体装置的其他结构。投币机 9900 可以适当地包括其它附属设备。

[0423] 图 23A 是示出便携式计算机的示例的透视图。

[0424] 在图 23A 的便携式计算机中,通过闭合连接上部壳体 9301 与下部壳体 9302 的铰链装置,可以使具有显示部 9303 的上部壳体 9301 与具有键盘 9304 的下部壳体 9302 彼此重叠。图 23A 中的便携式计算机便于携带。并且,当利用键盘进行输入时,将铰链装置打开,从而用户可以看着显示部 9303 进行输入。

[0425] 下部壳体 9302 除了键盘 9304 之外还包括可以进行输入操作的定位装置 9306。另外,当显示部 9303 为触摸输入面板时,可以通过触摸显示部的一部分来进行输入。下部壳体 9302 包括诸如 CPU、硬盘等的计算功能部。此外,下部壳体 9302 还具有其它装置,例如外部连接端口 9305,符合 USB 的通信标准的通信线缆插入该外部连接端口。

[0426] 上部壳体 9301 还具有显示部 9307, 并且可以通过使其向上部壳体 9301 内部滑动而将显示部 9307 收纳其中, 因此显示部 9307 可以具有大的显示屏幕。另外, 使用者可以调节可以收纳在上部壳体 9301 中的显示部 9307 的屏幕的方向。当可以收纳在上部壳体 9301 中的显示部 9307 为触摸输入面板时, 可以通过触摸可以收纳在上部壳体 9301 中的显示部 9307 的一部分来进行输入。

[0427] 显示部 9303 或可以收纳在上部壳体 9301 中的显示部 9307 使用如液晶显示面板或诸如有机发光元件或无机发光元件等的发光显示面板等的视频显示装置形成。

[0428] 另外, 图 23A 中的便携式计算机可以配备有接收机等, 并且可以接收电视广播并将图像显示在显示部上。使用者可以在连接上部壳体 9301 与下部壳体 9302 的铰链装置处于关闭的状态下通过滑动显示部 9307 而使显示部 9307 的整个屏幕露出时观看电视广播。此时, 铰链装置不打开, 并且不在显示部 9303 上进行显示。另外, 仅启动用于显示电视广播的电路。因此, 可以将功耗控制为最少, 这对于电池容量有限的便携式计算机而言是十分有利的。

[0429] 图 23B 是示出像手表一样使用者能够戴在手腕上的移动电话的示例的透视图。

[0430] 该移动电话包括: 包括至少具有电话功能的通信装置和电池的主体; 用于使得主体能够被戴在手腕上的带部 9204; 用于调节带部 9204 与手腕的固定的调节部 9205; 显示部 9201; 扬声器 9207; 以及麦克风 9208。

[0431] 另外, 主体具有操作开关 9203。操作开关 9203 可以具有相应的各种功能, 例如, 除了作为电源开关、用于切换显示的开关、用于指示摄像开始的开关之外, 还可以作为用于当按钮被按压时启动用于因特网 (Internet) 的程序的开关等。

[0432] 通过用手指或输入笔等触碰显示部 9201、操作操作开关 9203、或者对麦克风 9208 输入声音, 来进行对该移动电话的输入。在图 23B 中, 显示部 9201 包括触摸面板 9209, 并且在显示部 9201 上显示显示按钮 9202。可以通过用手指等触碰该显示按钮 9202 来进行输入。

[0433] 另外, 主体具有拍摄装置部 9206, 该拍摄装置部 9206 包括具有将通过摄影镜头形成的物体图像转换为电子图像信号的功能的图像拾取单元。注意, 该拍摄装置部不是必须提供的。

[0434] 图 23B 中所示的移动电话配备有电视广播的接收机等, 并且可以通过接收电视广播将图像显示于显示部 9201 上。另外, 图 23B 中所示的移动电话配备有诸如存储器等的存储装置等, 并且可以将电视广播记录在存储器中。图 23B 中所示的移动电话可以具有收集位置信息的功能, 诸如 GPS 等。

[0435] 使用液晶显示面板或诸如有机发光元件或无机发光元件等的发光显示面板等的图像显示装置作为显示部 9201。图 23B 中所示的移动电话为紧凑且重量轻, 所以其电池容量有限。因而, 优选将使用低功耗进行驱动的面板用作用于显示部 9201 的显示装置。

[0436] 注意, 图 23B 示出戴在“手腕”上的电子设备, 但是本实施方式不限于此, 只要采用便携的形状即可。

[0437] 实施方式 14

[0438] 在本实施方式中, 作为半导体装置的一个实施方式, 将参照图 24 至图 35 说明包括实施方式 1、2、5、6 中所示的薄膜晶体管的显示装置的例子。在本实施方式中, 参照图 24 至

图 35 说明液晶显示装置的例子,其每一都包括液晶元件作为显示元件。作为用于图 24 至图 35 中所示的液晶显示装置的 TFT 628、629,可以应用实施方式 1、2、5、6 所示的任何薄膜晶体管。另外,该 TFT 628、629 可以通过与实施方式 1、2、5、6 所示的相同工艺制造,并且具有好的电特性及高的可靠性。TFT 628 和 TFT 629 分别包括沟道保护层 608 和沟道保护层 611,并且它们都是包含半导体膜作为沟道形成区的反交错薄膜晶体管。

[0439] 首先示出垂直取向 (Vertical Alingment, VA) 型的液晶显示装置。VA 型液晶显示装置具有一种控制液晶显示面板的液晶分子的取向的形式。在 VA 型液晶显示装置中,当没有施加电压时液晶分子被取向在相对于面板表面垂直的方向。在本实施方式中,特别地,将像素分成数个区域 (子像素),并分子在其相应区域中被对准在不同的方向。这被称为多域 (multi-domain) 化或多域设计。在下面的说明中,对多域设计的液晶显示装置进行说明。

[0440] 图 25 及图 26 分别示出像素电极及对置电极。此外,图 25 是其上形成有像素电极的衬底一侧的平面图。图 24 示出沿图 25 中的线 E-F 的截面结构。图 26 是设置有对置电极的衬底一侧的平面图。下面,参照这些附图进行说明。

[0441] 在图 24 中,衬底 600 和对置衬底 601 彼此重叠且在衬底 600 和对置衬底 601 之间注入了液晶,在该衬底 600 上形成有 TFT 628、与 TFT628 连接的像素电极 624、以及存储电容器部 630,并该对置衬底 601 设置有置电极 640 等。

[0442] 虽然未图示,但是在对置衬底 601 的形成有间隔物的位置,形成第一着色膜、第二着色膜、第三着色膜以及对置电极 640。通过采用该结构,使用于控制液晶取向的突起 644 的高度不同于间隔物的高度。在像素电极 624 上形成有取向膜 648,并且对置电极 640 类似地设置有取向膜 646。在取向膜 646 与取向膜 648 之间,形成液晶层 650。

[0443] 作为间隔物,可以形成柱状间隔物;替代地,可以散布珠状间隔物。当间隔物具有透光性时,可以在形成在衬底 600 上的像素电极 624 上形成间隔物。

[0444] 在衬底 600 上形成 TFT 628、与 TFT 628 连接的像素电极 624、以及存储电容器部 630。像素电极 624 通过贯穿覆盖 TFT628、布线 616 及存储电容器部 630 的绝缘膜 620 并且还贯穿覆盖绝缘膜 620 的第三绝缘膜 622 的接触孔 623,与布线 618 连接。作为 TFT 628,可以适当地使用任意实施方式 1、2、5、6 中所示的薄膜晶体管。另外,存储电容器部 630 包括与 TFT 628 的栅极布线 602 同时形成的第一电容器布线 604、栅极绝缘膜 606、以及与布线 616 及 618 同时形成的第二电容器布线 617。

[0445] 像素电极 624、液晶层 650 和对置电极 640 彼此重叠,从而形成液晶元件。

[0446] 图 25 示出衬底 600 上的结构。像素电极 624 使用实施方式 1 中所示的材料形成。在像素电极 624 中形成槽缝 625。槽缝 625 用于控制液晶取向。

[0447] 图 25 所示的 TFT 629、与 TFT 629 连接的像素电极 626、以及存储电容器部 631,可以以与 TFT 628、像素电极 624 及存储电容器部 630 类同的方式形成。TFT 628 和 TFT 629 都连接到布线 616。该液晶显示面板的像素包括像素电极 624 及像素电极 626。像素电极 624 及像素电极 626 是子像素。

[0448] 图 26 示出对置衬底一侧的结构。在阻光膜 632 上形成对置电极 640。优选使用与像素电极 624 同样的材料来形成对置电极 640。在对置电极 640 上形成用于控制液晶取向的突起 644。

[0449] 图 27 示出该像素结构的等效电路。TFT 628 和 TFT 629 都连接到栅极布线 602 和布线 616。在这种情况下,当电容器布线 604 和电容器布线 605 的电位互不相同,可以使液晶元件 651 和液晶元件 652 的操作不同。就是说,通过单独控制电容器布线 604 和电容器布线 605 的电位,能够精确地控制液晶的取向且扩大视角。

[0450] 当对设置有槽缝 625 的像素电极 624 施加电压时,在槽缝 625 附近产生畸变电场(倾斜电场)。槽缝 625 和对置衬底 601 一侧上的突起 644 以咬合的方式交替布置,因此有效地产生倾斜电场来控制液晶的取向,从而使得液晶的取向方向根据位置而变化。就是说,通过域倍增(domain multiplication),增加了液晶显示面板的视角。

[0451] 接着,参照图 28 至图 31 说明与上述装置不同的另一 VA 型液晶显示装置。

[0452] 图 28 和图 29 每一都示出 VA 型液晶显示面板的像素结构。图 29 示出衬底 600 的平面图。图 28 示出沿图 29 中的线 Y-Z 截取的截面结构。在下面的说明中,参照上述两个附图进行说明。

[0453] 在该像素结构中,一个像素中具有多个像素电极,并且对于每一像素电极连接一 TFT。这多个 TFT 被构建为由不同的栅极信号驱动。就是说,彼此独立地控制施加到多域像素中的各个像素电极的信号。

[0454] 经由接触孔 623,像素电极 624 通过布线 618 连接到 TFT 628。经由接触孔 627,像素电极 626 通过布线 619 连接到 TFT 629。TFT 628 的栅极布线 602 和 TFT 629 的栅极布线 603 彼此分离,以使得能够提供不同的栅极信号。另一方面,TFT 628 和 TFT 629 共用用作数据线的布线 616。作为 TFT 628 和 TFT 629 中的每一个,可以适当地使用任意实施方式 1、2、5、6 中所示的薄膜晶体管。此外,设置有电容器布线 690。

[0455] 像素电极 624 和像素电极 626 的形状彼此不同,并且二者被槽缝 625 隔开。像素电极 626 围绕呈 V 字形的像素电极 624。TFT 628 及 TFT 629 使施加电压到像素电极 624 和像素电极 626 的时序彼此不同,从而控制液晶的取向。图 31 示出该像素结构的等效电路。TFT 628 连接到栅极布线 602,而 TFT 629 连接到栅极布线 603。如果对栅极布线 602 和栅极布线 603 施加不同的栅信号,则可以使 TFT 628 和 TFT 629 的操作时序不同。

[0456] 对置衬底 601 设置有第二着色膜 636 及对置电极 640。此外,在第二着色膜 636 和对置电极 640 之间形成有平坦化膜 637,从而防止液晶取向的错乱。图 30 示出对置衬底一侧的结构。由多个像素共享对置电极 640,并且在对该对置电极 640 中形成槽缝 641。像素电极 624 及像素电极 626 一侧上的槽缝 625 和槽缝 641 以咬合的方式交替布置;因此可以有效地产生倾斜电场,并且能够控制液晶的取向。由此,在不同的位置处液晶的取向可以不同,从而扩大视角。

[0457] 像素电极 624、液晶层 650 和对置电极 640 彼此重叠,从而形成第一液晶元件。另外,像素电极 626、液晶层 650 和对置电极 640 彼此重叠,从而形成第二液晶元件。另外,采用对于一个像素设置有第一液晶元件和第二液晶元件的多域结构。

[0458] 接着,说明水平电场模式下的液晶显示装置。在水平电场模式中,在相对于单元内的液晶分子沿着水平方向施加电场,由此驱动液晶来表示灰度级。根据该方法,可以使视角增大到大约 180° 。在下面的说明中,说明采用水平电场模式的液晶显示装置。

[0459] 图 32 示出其中设置有 TFT 628 及与 TFT 628 连接的像素电极 624 的衬底 600 和对置衬底 601 重叠且在二者之间注入了液晶的状态。对置衬底 601 设置有第二着色膜 636

以及平坦化膜 637 等。为衬底 600 提供像素电极,并且不为对置衬底 601 提供像素电极。在衬底 600 和对置衬底 601 之间形成液晶层 650。

[0460] 在衬底 600 上形成有第一像素电极 607、与第一像素电极 607 连接的电容器布线 604、以及实施方式 1、2、5、6 中所示的 TFT 628。第一像素电极 607 可以使用与实施方式 1 中所示的像素电极层 427 类同的材料形成。第一像素电极 607 被大致以像素形状进行划分。在第一像素电极 607 及电容器布线 604 上形成栅极绝缘膜 606。

[0461] 在栅极绝缘膜 606 上形成 TFT 628 的布线 616 及布线 618。布线 616 是通过其传送视频信号的数据线,其在液晶显示面板中在一个方向上延伸,与 TFT 628 的源区或漏区连接,并作为源电极和漏电极之一。布线 618 作为源电极及漏电极中的另一方,并且与第二像素电极 624 连接。

[0462] 在布线 616 及布线 618 上形成第二绝缘膜 620。另外,在绝缘膜 620 上形成通过形成在绝缘膜 620 中的接触孔连接到布线 618 的第二像素电极 624。像素电极 624 利用与实施方式 1 所示的像素电极层 427 相类同的材料形成。

[0463] 以这样的方式,在衬底 600 上形成 TFT 628 以及与 TFT 628 连接的第二像素电极 624。在第一像素电极 607 和第二像素电极 624 之间形成保持电容器。

[0464] 图 33 是说明像素电极的结构平面图。图 32 示出沿图 33 中的线 O-P 截取的截面结构。像素电极 624 设置有槽缝 625。该槽缝 625 被形成用于控制液晶的取向。在此情况下,在第一像素电极 607 和第二像素电极 624 之间产生电场。栅极绝缘膜 606 形成在第一像素电极 607 和第二像素电极 624 之间,但是栅极绝缘膜 606 被形成为具有 50nm 至 200nm 的厚度,该厚度与 2 μ m 至 10 μ m 厚的液晶层相比充分薄。因此,在基本平行于衬底 600 的方向(水平方向)上产生电场。利用该电场控制液晶的取向。通过利用在该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下均被水平取向,因此对比度等较少受观看角度的影响,从而视角得到扩大。此外,由于第一像素电极 607 和第二像素电极 624 都是透光电极,因此可以改善开口率。

[0465] 下面,说明水平电场模式下的液晶显示装置另一不同例子。

[0466] 图 34 及图 35 示出 IPS 模式下的液晶显示装置的像素结构。注意,图 35 是平面图,而图 34 示出沿图 35 所示的线 V-W 截取的截面结构。在以下说明中,将参照上述两个附图进行说明。

[0467] 图 34 示出衬底 600 与对置衬底 601 重叠且在二者之间注入了液晶的状态,其中衬底 600 设置有 TFT 628 及与 TFT 628 连接的像素电极 624。对置衬底 601 设置有第二着色膜 636 以及平坦化膜 637 等。为衬底 600 提供像素电极,而部位对置衬底 601 提供像素电极。在衬底 600 和对置衬底 601 之间形成液晶层 650。

[0468] 在衬底 600 上形成公共电位线 609 及实施方式 1、2、5、6 中所示的 TFT 628。公共电位线 609 可以与 TFT 628 的栅极布线 602 同时形成。

[0469] 在栅极绝缘膜 606 上形成 TFT 628 的布线 616 及布线 618。布线 616 是通过其传送视频信号的数据线,其在液晶显示面板中在一个方向上延伸,与 TFT 628 的源区或漏区连接,并且作为源电极和漏电极之一。布线 618 作为源电极及漏电极中的另一方,并且与第二像素电极 624 连接。

[0470] 在布线 616 及布线 618 上形成第二绝缘膜 620。另外,在绝缘膜 620 上形成通过

形成在绝缘膜 620 中的接触孔 623 连接到布线 618 的第二像素电极 624。像素电极 624 利用与实施方式 1 所示的像素电极 427 相类同的材料形成。注意,如图 35 中所示,像素电极 624 被形成为与公共电位线 609 同时形成的梳形电极产生横向电场。此外,像素电极 624 的梳状部分和与公共电位线 609 同时形成的梳状电极彼此对应。

[0471] 当在施加到像素电极 624 的电位和公共电位线 609 的电位之间产生电场时,利用该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下均被水平取向,因此对比度等较少受观看角度的影响,从而视角得到扩大。

[0472] 通过上述方法,在衬底 600 上形成 TFT 628 以及与 TFT 628 连接的像素电极 624。通过在公共电位线 609 和电容器电极 615 之间设置栅极绝缘膜 606 而形成存储电容器。电容器电极 615 和像素电极 624 通过接触孔 633 连接。

[0473] 通过上述步骤,可以制造作为显示装置的液晶显示装置。本实施方式的液晶显示装置是开口率高的液晶显示装置。

[0474] 实施方式 15

[0475] 当液晶显示面板的尺寸超过 10 英寸,以及被设置为 60 英寸或者甚至为 120 英寸时,透光性的布线的布线电阻可能成为问题,因此,在本实施方式中,将说明通过将金属布线用作栅极布线的一部分来降低布线电阻的例子。

[0476] 注意,对于图 3A 和图 36A 中相同的部分使用相同的附图标记表示,并省略了对其的详细说明。注意,本实施方式可以应用于实施方式 1 中所示的有源矩阵衬底。

[0477] 图 36A 和 36B 是利用金属布线形成驱动电路的薄膜晶体管的栅电极层的例子。在驱动电路中,栅电极层的材料并不限于透光材料。注意,由于形成了金属布线,所以与实施方式 1 及实施方式 2 相比,光掩模的数量增加。

[0478] 在图 36A 中,驱动电路的薄膜晶体管 260 包括栅电极层,在该栅电极层中,第二金属布线层 241 层叠在第一金属布线层 242 上。注意,可以通过采用与第一金属布线层 236 相同的材料及相同的工艺来形成该第一金属布线层 242。可以采用与第二金属布线层 237 相同的材料及相同的工艺来形成该第二金属布线层 241。

[0479] 以类同的方式,在图 36B 中,驱动电路的薄膜晶体管 270 包括栅电极层,在该栅电极层中,第二金属布线层 243 层叠在第一金属布线层 244 上。注意,可以通过采用与第一金属布线层 236 相同的材料及相同的工艺来形成该第一金属布线层 244。通过与第二金属布线层 237 相同的材料及相同的工艺来形成该第二金属布线层 243。

[0480] 当第一金属布线层 242 和导电层 267 彼此电连接时,用于防止第一金属布线层 242 的氧化的第二金属布线层 241 优选是金属氮化物膜。类似地,当第一金属布线层 244 和导电层 277 彼此电连接时,用于防止第一金属布线层 244 的氧化的第二金属布线层 243 优选是金属氮化物膜。

[0481] 首先,在衬底 200 上形成能够耐受用于脱水化或脱氢化的第一加热处理的耐热性导电材料膜(其厚度为 100nm 至 500nm)。

[0482] 在本实施方式中,形成厚度为 370nm 的钨膜及厚度为 50nm 的氮化钽膜。在此,使用氮化钽膜和钨膜的叠层形成导电膜,但是本实施方式并不限于此。可以使用选自 Ta、W、Ti、Mo、Al、Cu 中的元素或包含任意上述元素为成分的合金、包含任意上述元素的组合的合

金膜、或包含任意上述元素为成分的氮化物，来形成导电膜。另外，耐热性导电材料膜不限于包含任意上述元素的单层结构，并且可以使用两层或更多层的叠层结构。

[0483] 通过第一光刻步骤形成金属布线，以形成第一金属布线层 236 和第二金属布线层 237、第一金属布线层 242 和第二金属布线层 241、以及第一金属布线层 244 和第二金属布线层 243。对于钨膜及氮化钽膜的蚀刻，优选使用感应耦合等离子体 (ICP, Inductively Coupled Plasma) 蚀刻法。通过采用 ICP 蚀刻法并适当地调节蚀刻条件 (施加到线圈形电极的功率量、施加到衬底一侧上的电极的功率量、或衬底一侧上的电极温度等)，可以将上述膜蚀刻为所希望的锥形形状 (tapered shape)。当将第一金属布线层 236 和第二金属布线层 237 形成为锥形形状时，可以减少形成在金属布线层上且与金属布线层接触的透光导电膜的形成中的缺陷。

[0484] 然后，在形成透光导电膜之后，通过第二光刻步骤形成栅极布线层 238、薄膜晶体管 220 的栅电极层。透光导电膜利用实施方式 1 中所示的对可见光具有透光性的导电材料。

[0485] 例如，取决于透光导电膜的材料，如果存在栅极布线层 238 的界面，其与第一金属布线层 236 或第二金属布线层 237 接触，则通过后面执行的热处理形成氧化膜，使得接触电阻可能增高；因此，第二金属布线层 237 优选使用防止第一金属布线层 236 的氧化的金属氮化物膜形成。

[0486] 接着，通过与实施方式 1 相类同的工艺形成栅极绝缘层、氧化物半导体层等。根据实施方式 1 执行后续的步骤以制造有源矩阵衬底。

[0487] 在图 36A 和 36B 中示出与第二金属布线层 237 的一部分重叠的栅极布线层 238。替代地，栅极布线层可以覆盖整个第一金属布线层 236 和第二金属布线层 237。也就是说，可以将第一金属布线层 236 及第二金属布线层 237 称为用于降低栅极布线层 238 电阻的辅助布线。

[0488] 此外，在端子部中，在保护绝缘层 203 上形成电位与栅极布线的电位相同的第一端子电极，并且该第一端子电极与第二金属布线层 237 电连接。还使用金属布线形成从端子部引出的布线。

[0489] 另外，可以将用于降低布线电阻的金属布线，即，第一金属布线 236 及第二金属布线层 237，用作显示部分以外的部分中的栅极布线层和电容器布线层的辅助布线。

[0490] 在本实施方式中，通过部分地使用金属布线来降低布线电阻。因此，即使当液晶显示面板的尺寸超过 10 英寸，以及被设置为 60 英寸或者甚至为 120 英寸时，也可以实现所显示的图像的高分辨率，从而可以实现高开口率。

[0491] 本申请基于 2009 年 7 月 31 日在日本专利局受理的日本专利申请 No. 2009-179722，通过引用将该申请全部内容结合在此。

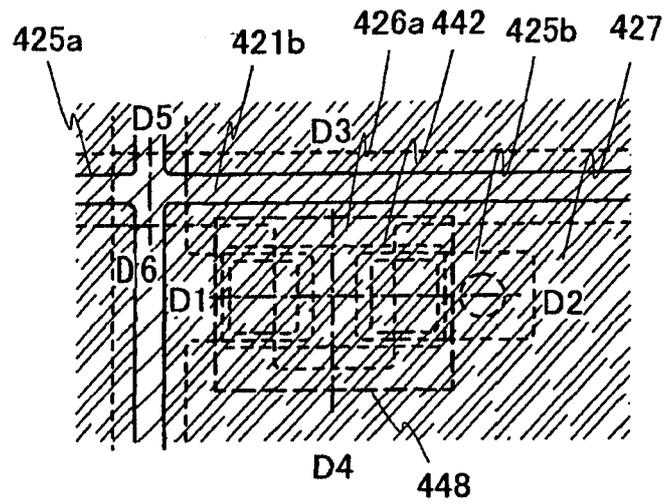


图 1A

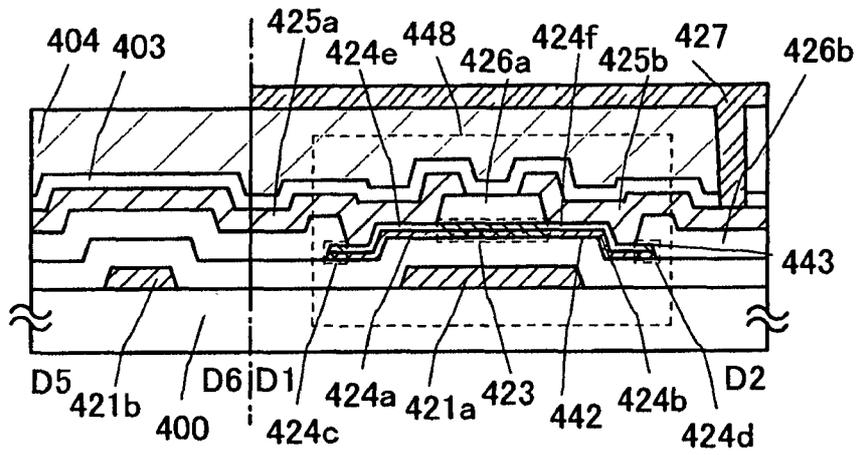


图 1B

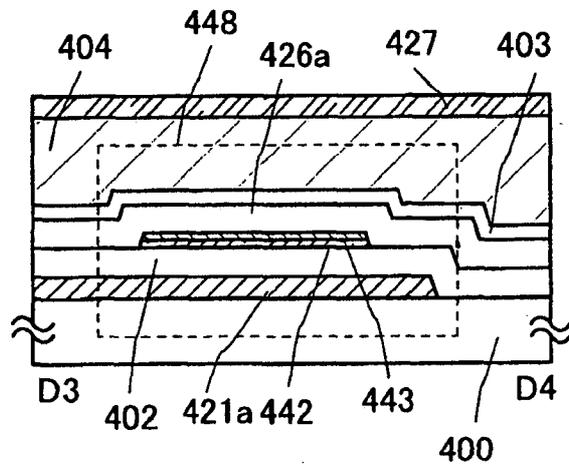
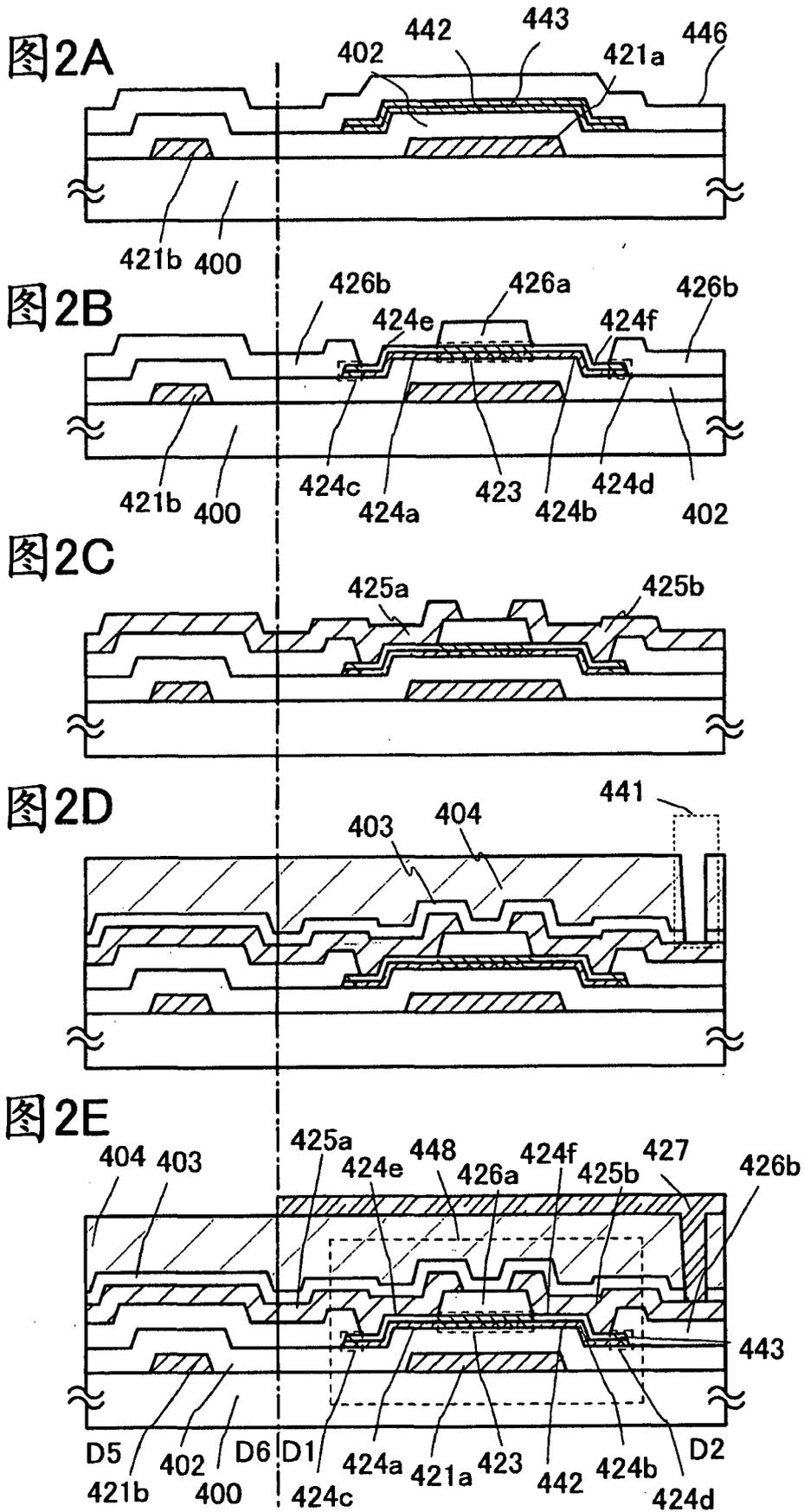
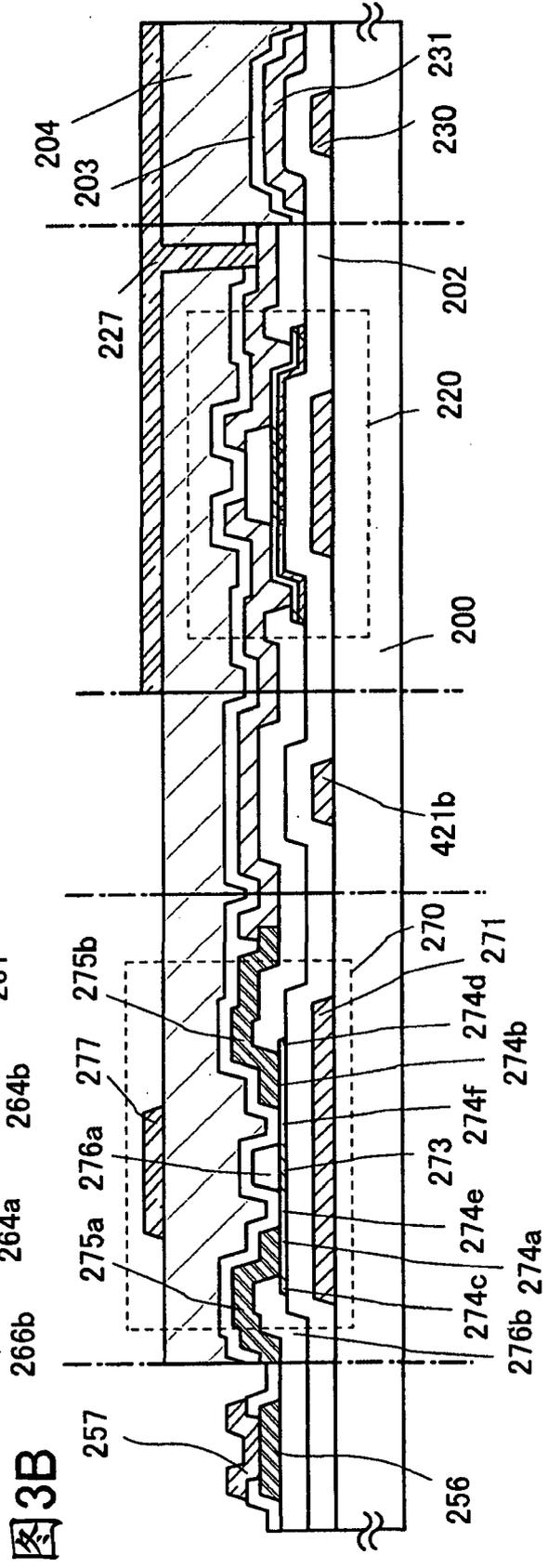
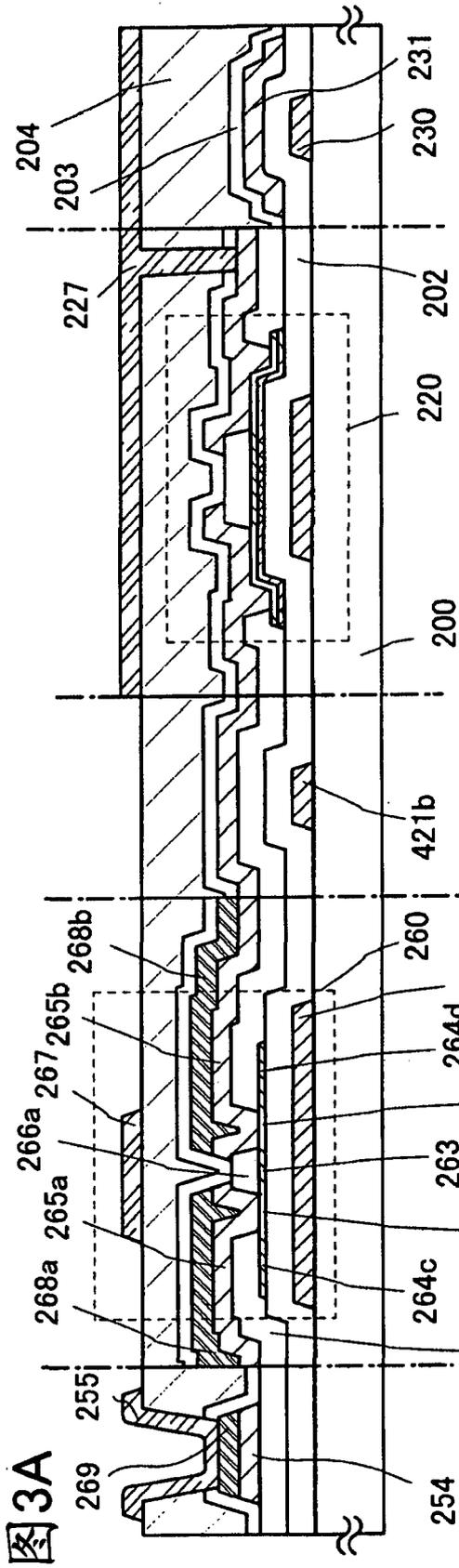


图 1C





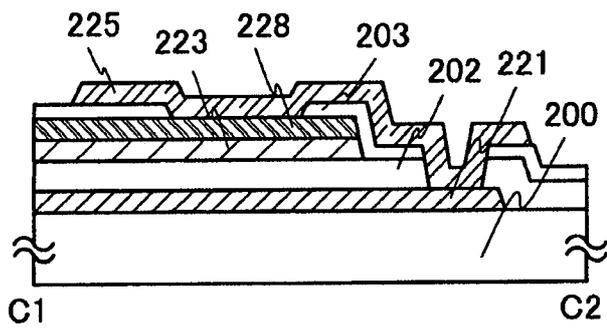


图 4A1

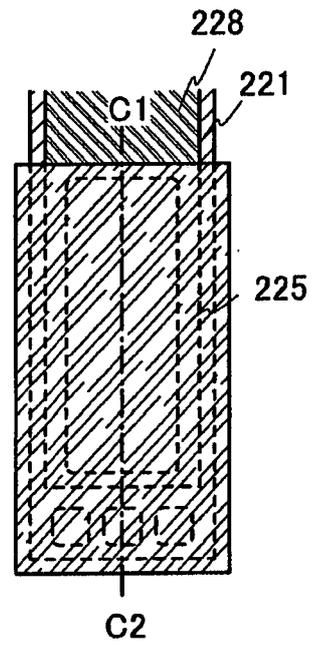


图 4A2

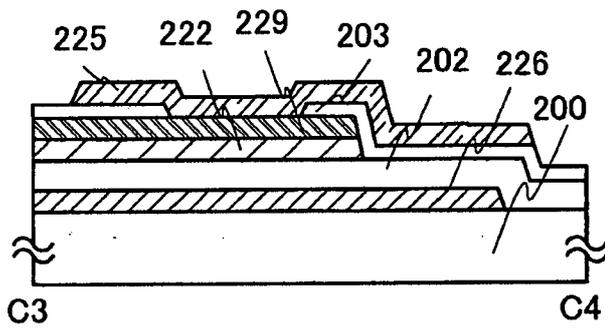


图 4B1

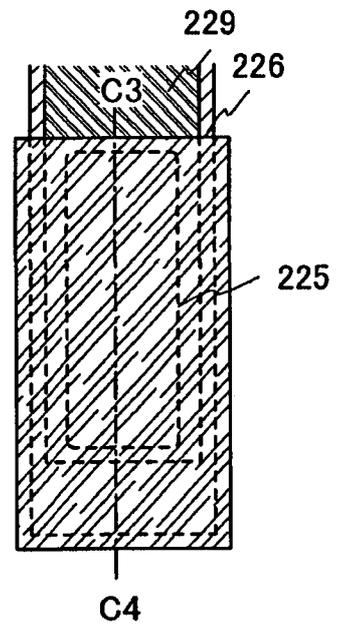


图 4B2

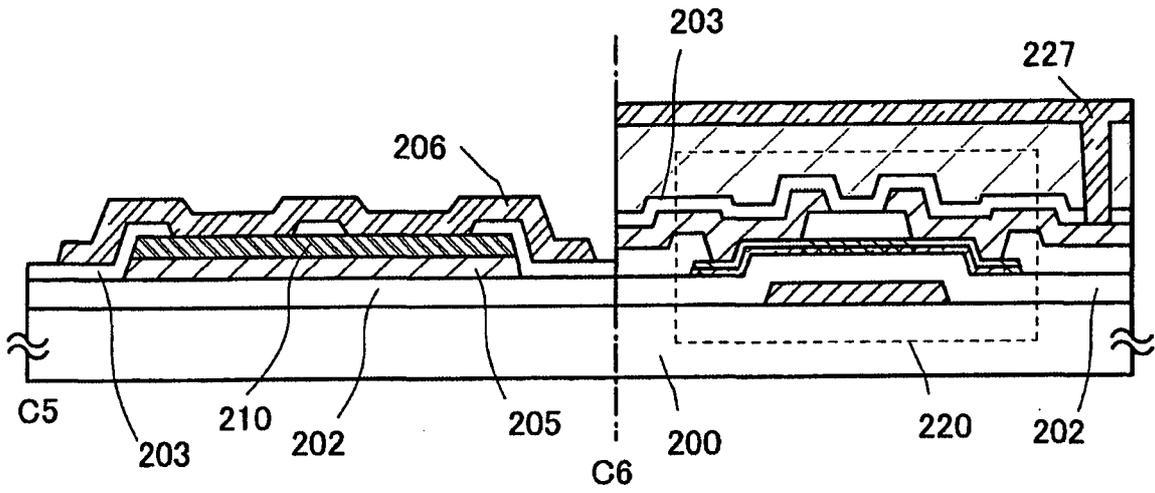


图 5A

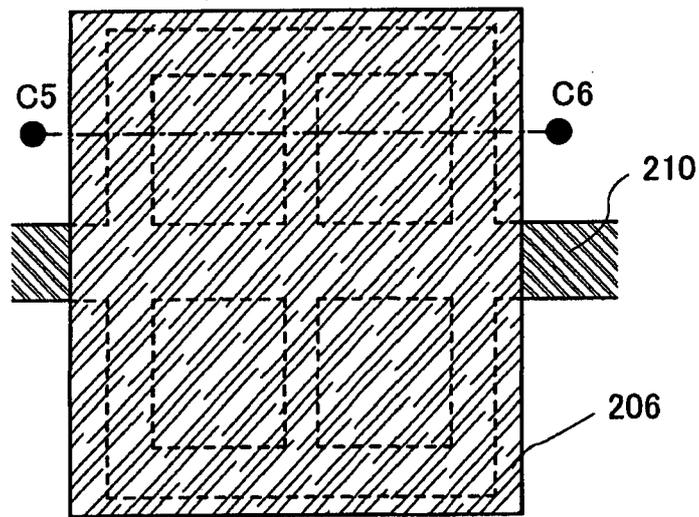


图 5B

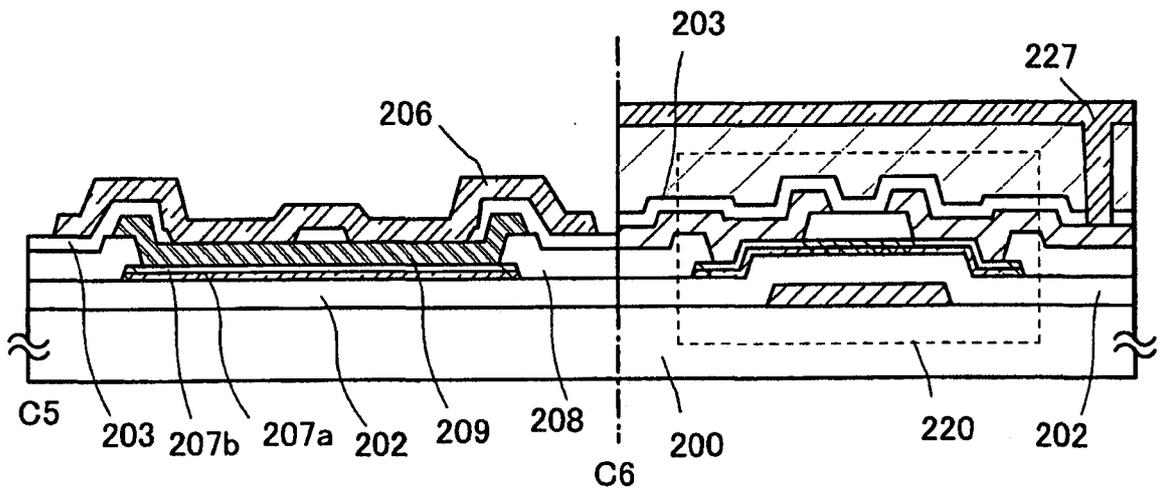


图 5C

图8A

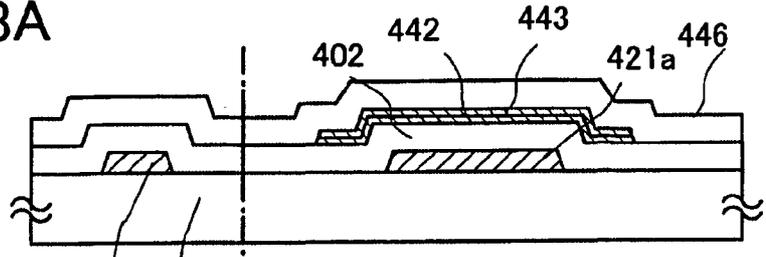


图8B

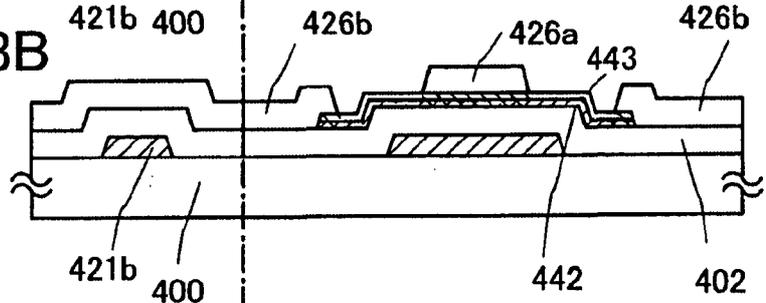


图8C

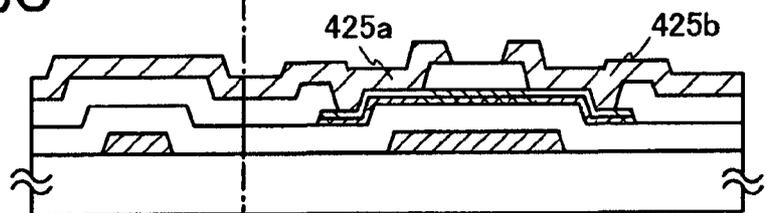


图8D

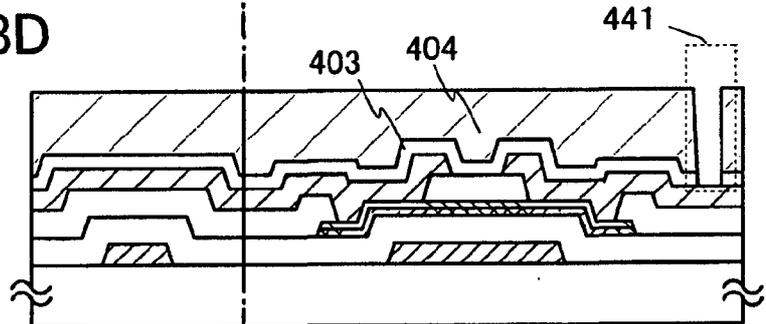
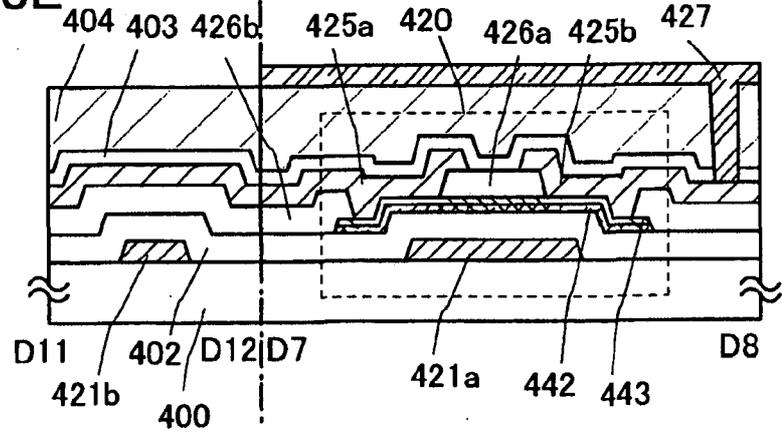


图8E



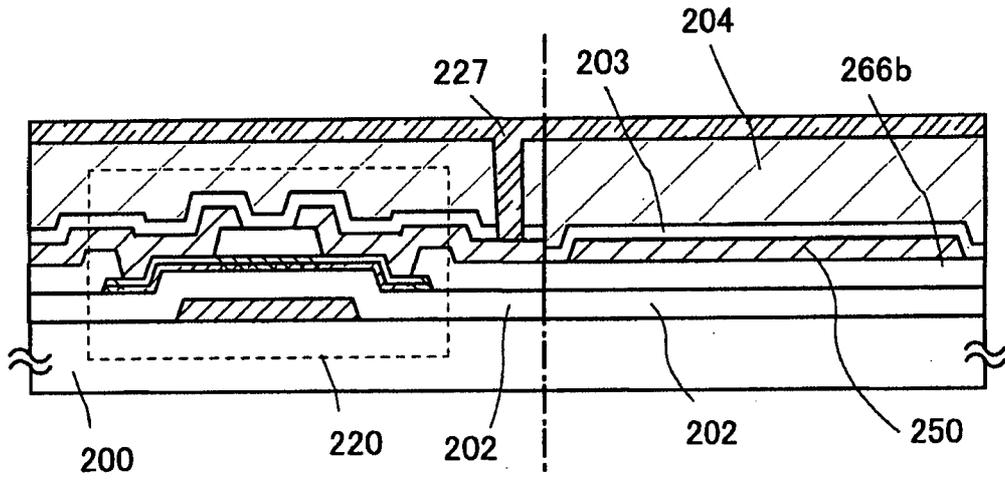


图 9A

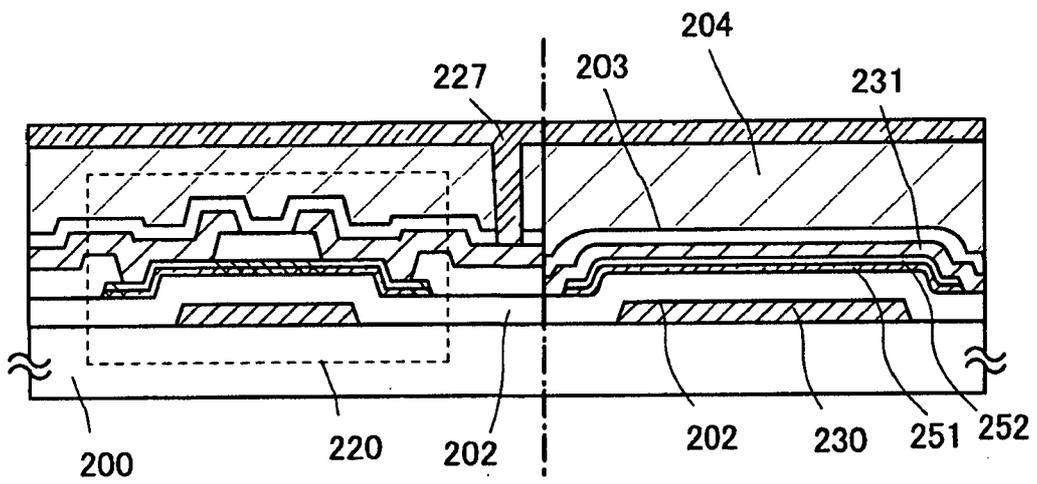


图 9B

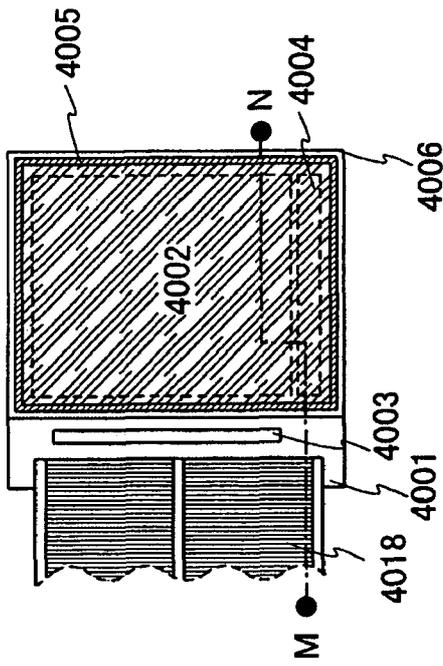


图 10A1

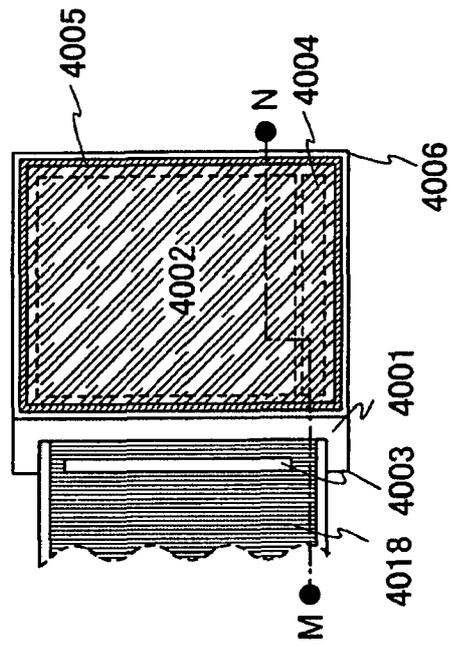


图 10A2

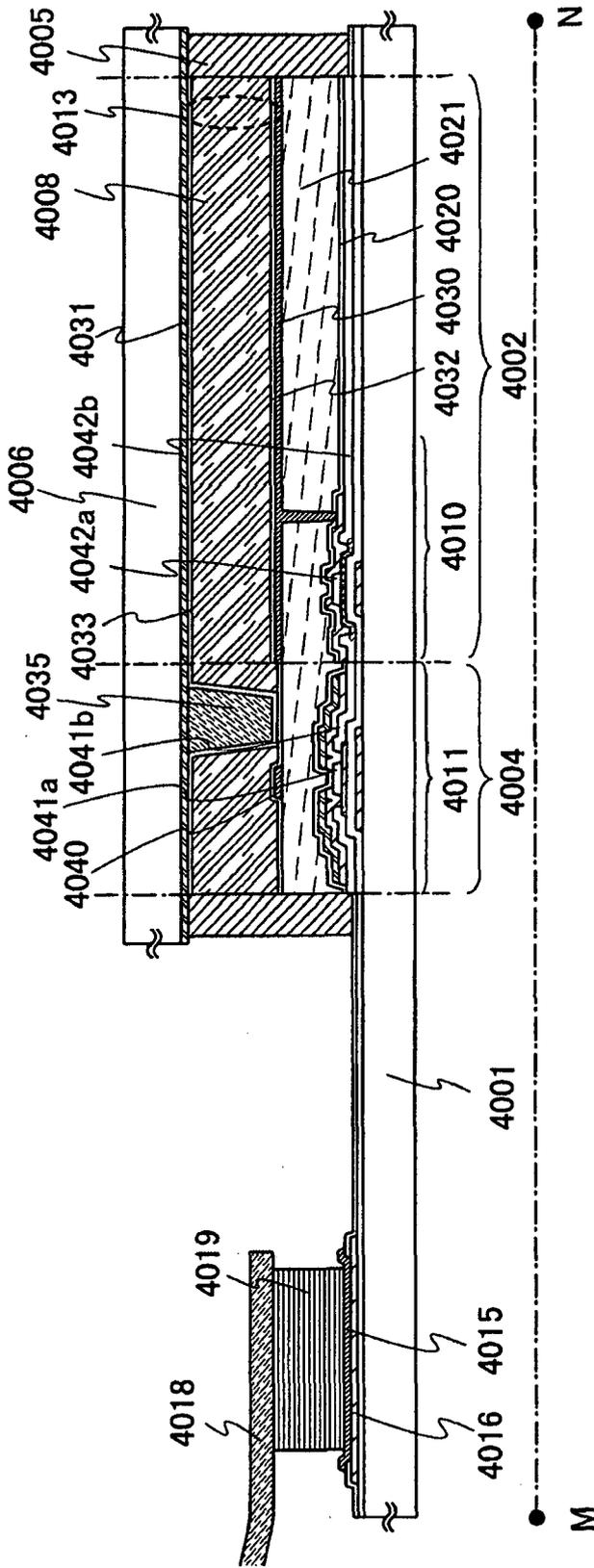


图 10B

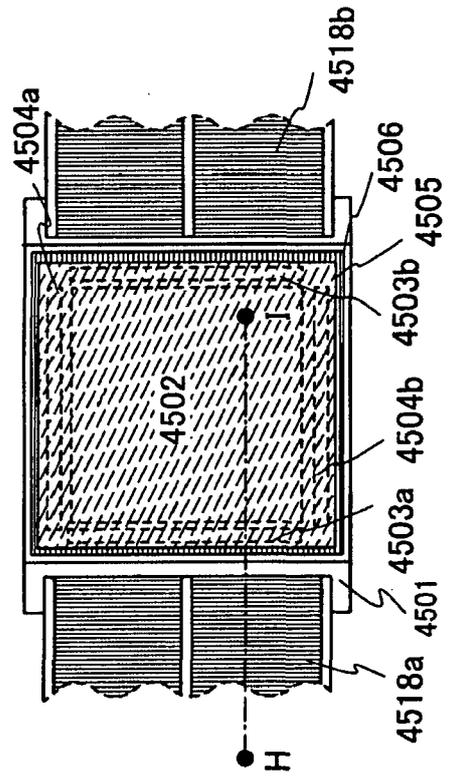


图 11A

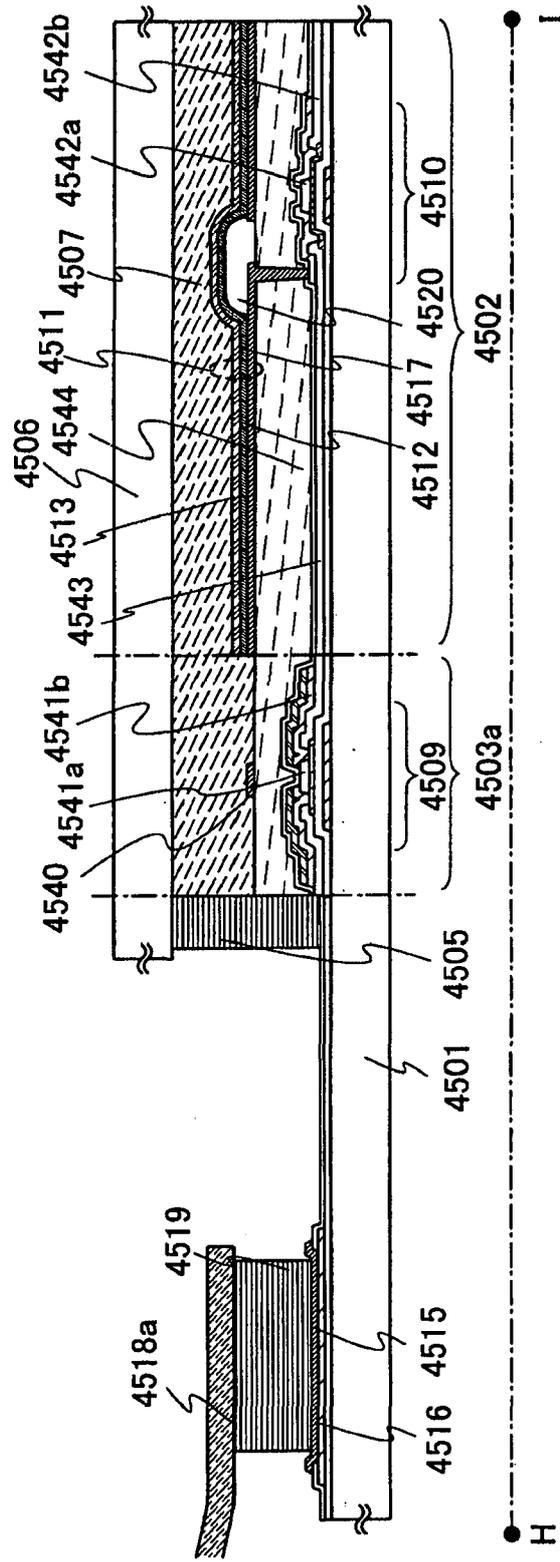


图 11B

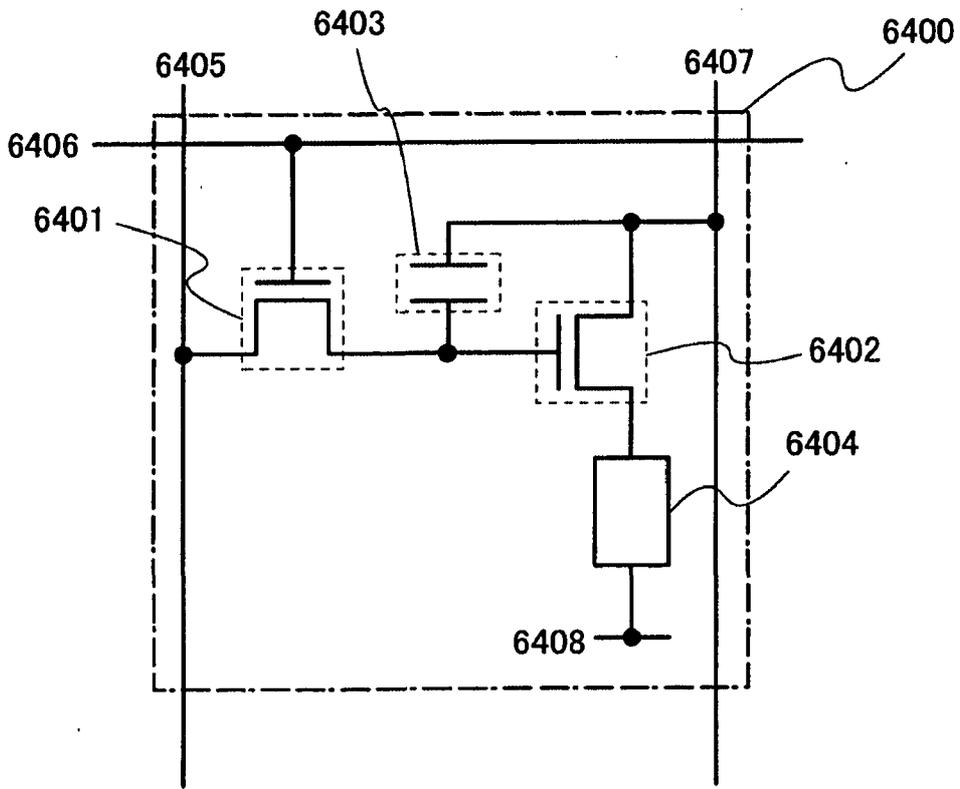


图 12

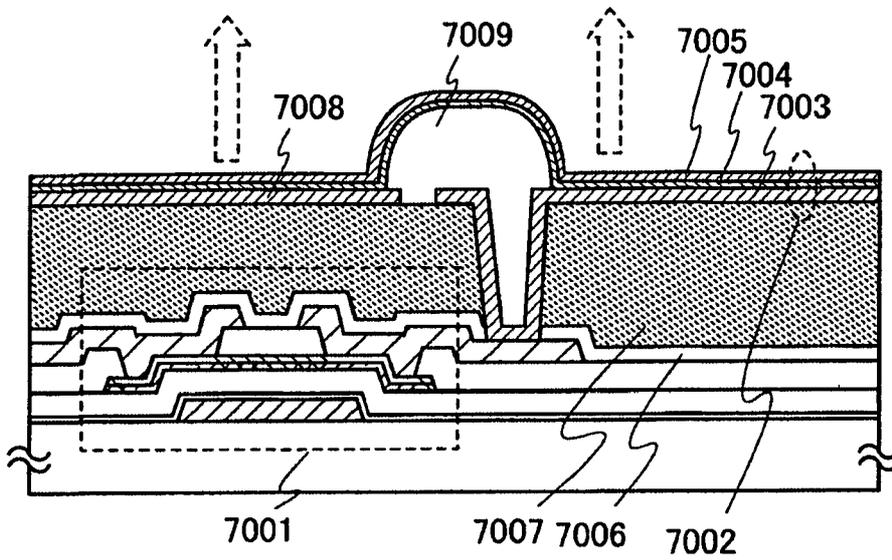


图 13A

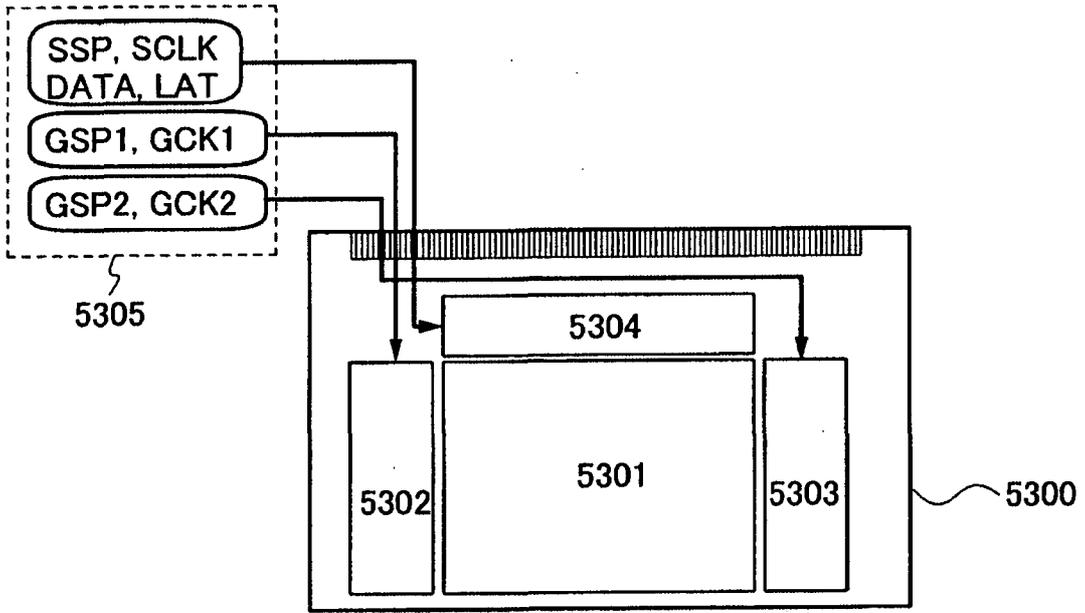


图 14A

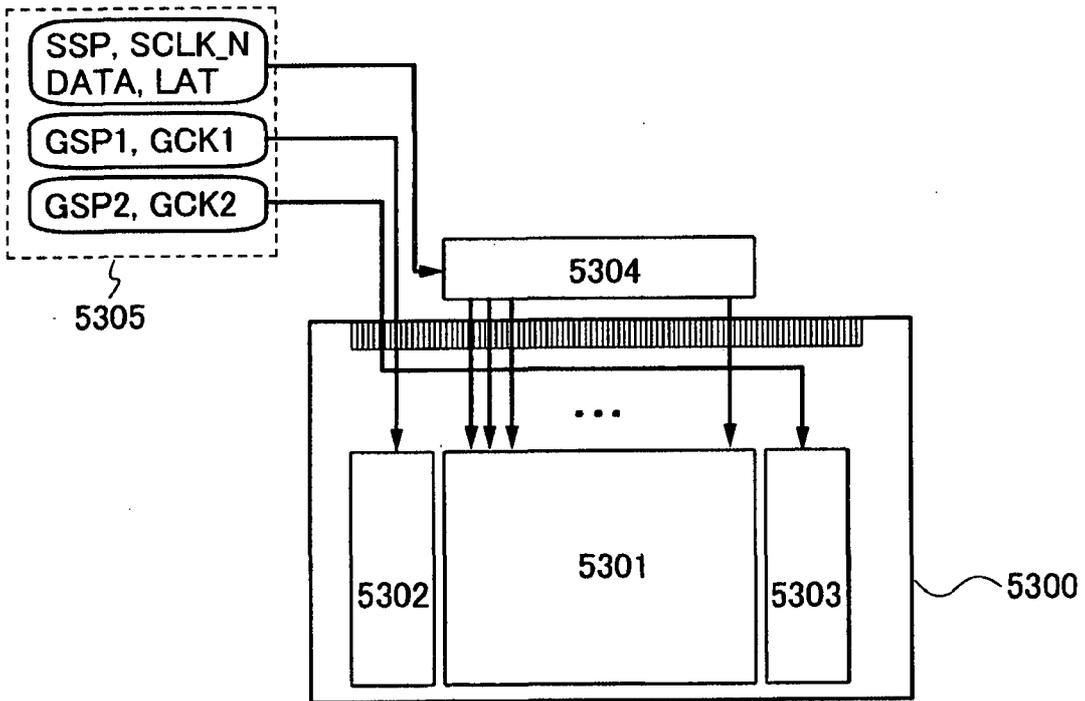


图 14B

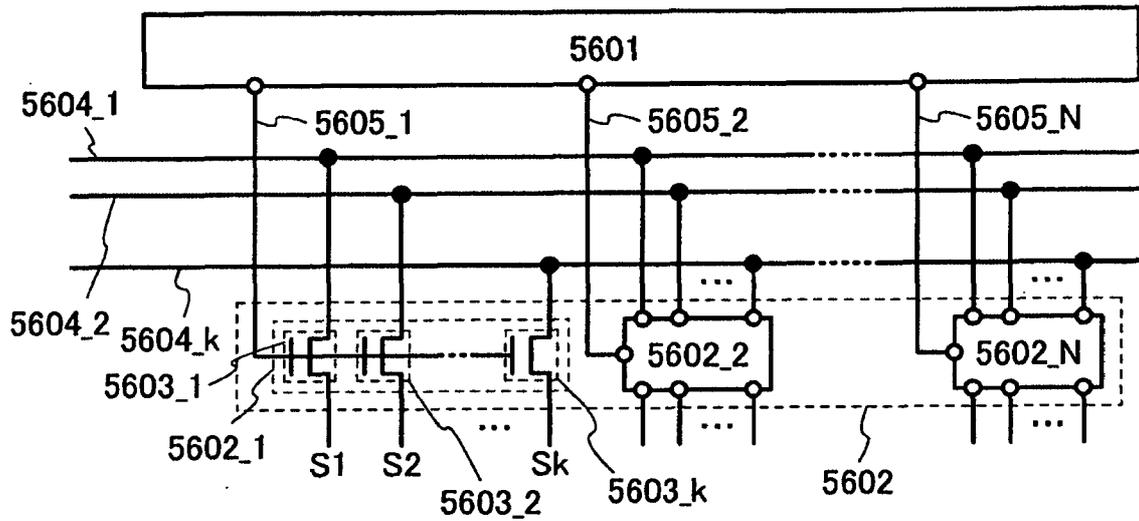


图 15A

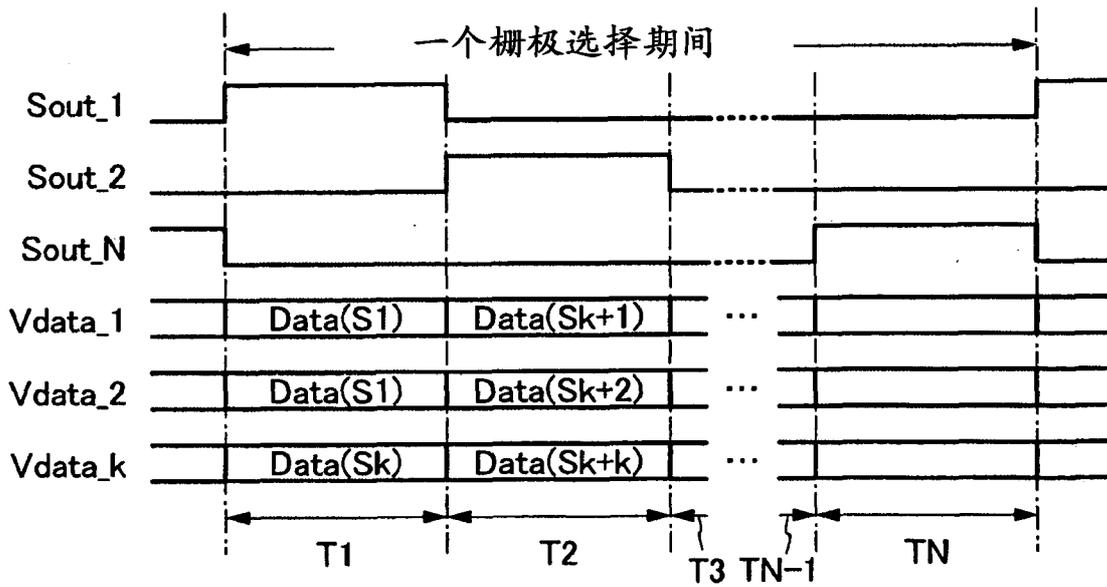


图 15B

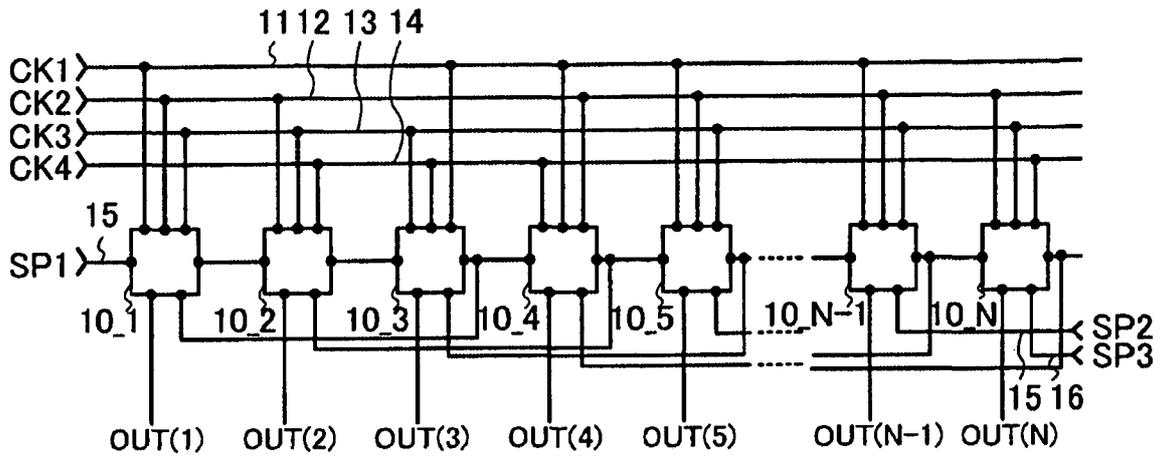


图 16A

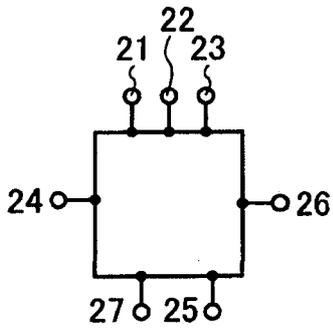


图 16B

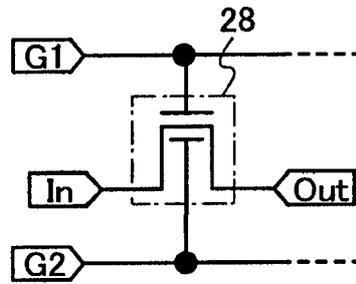


图 16C

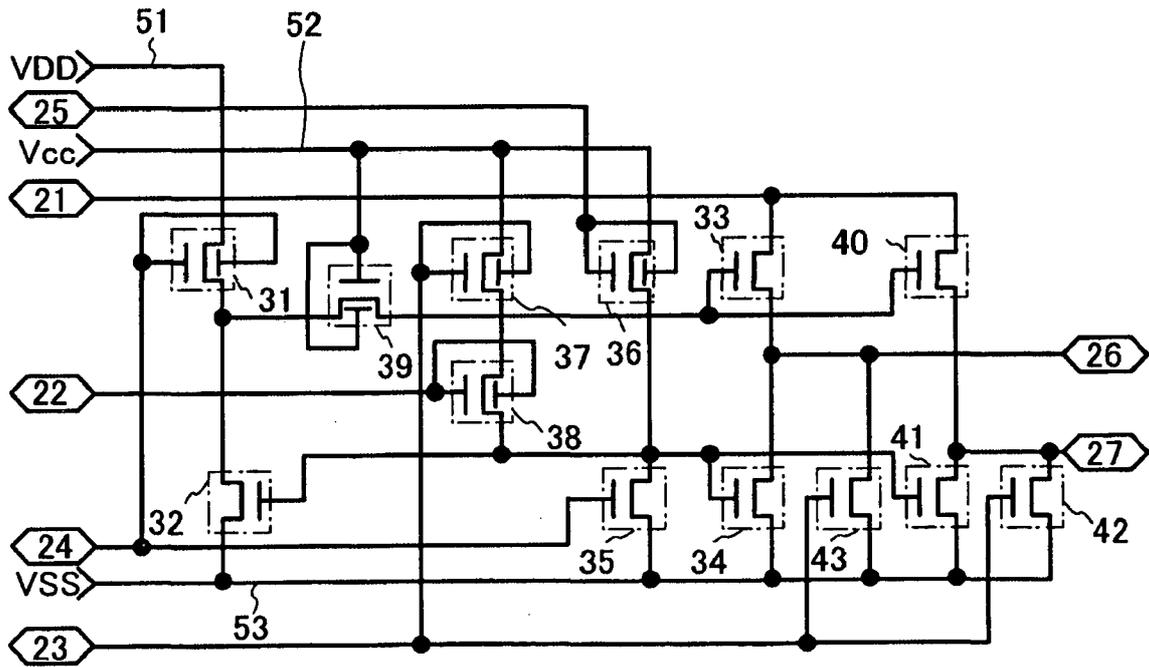


图 16D

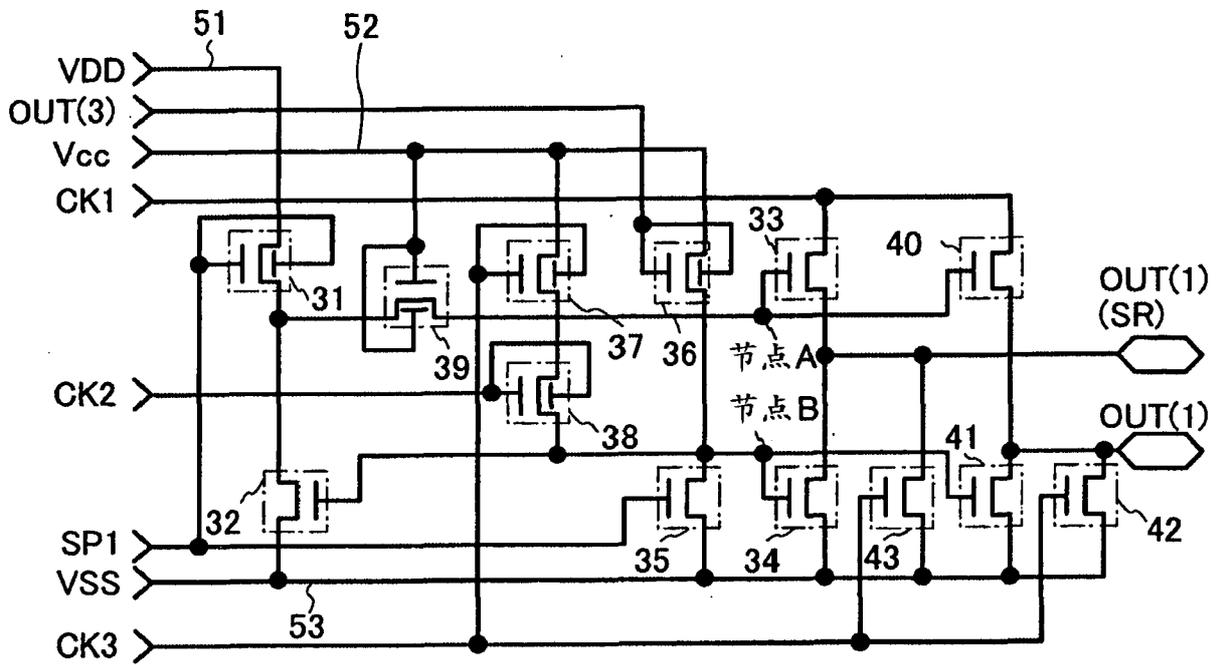


图 17A

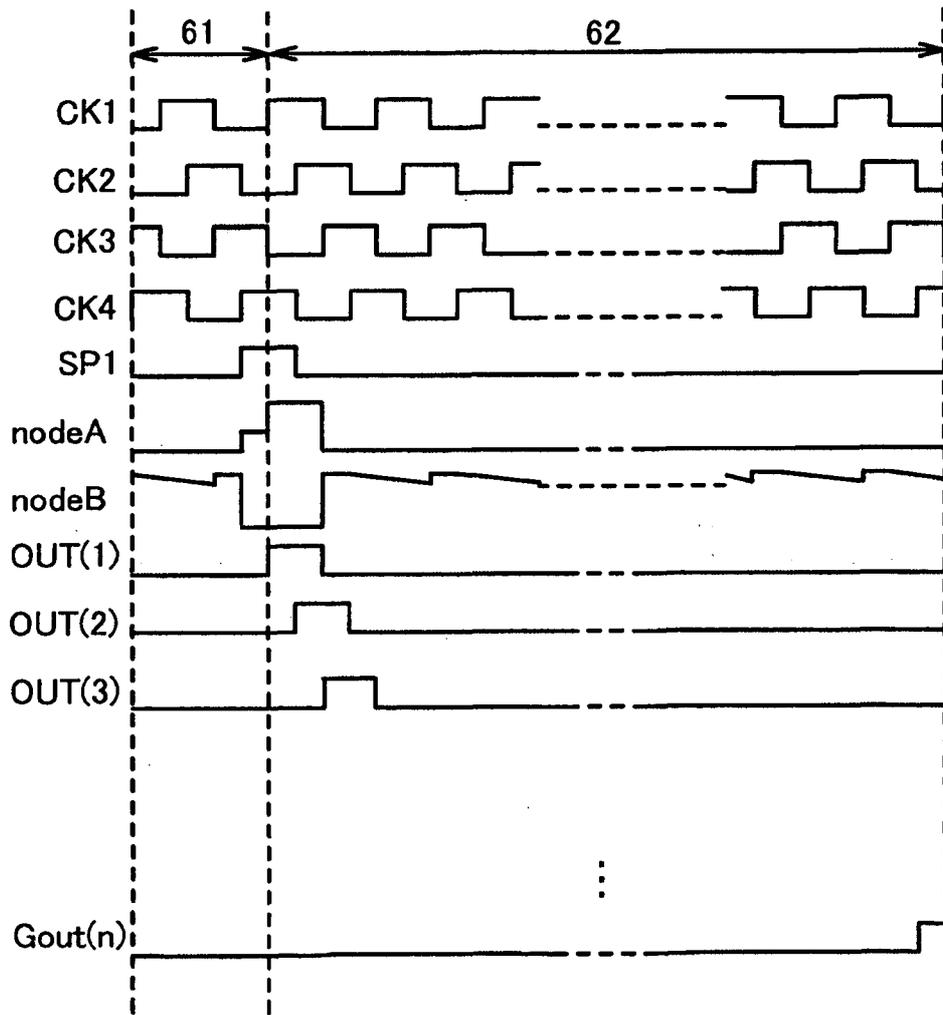


图 17B

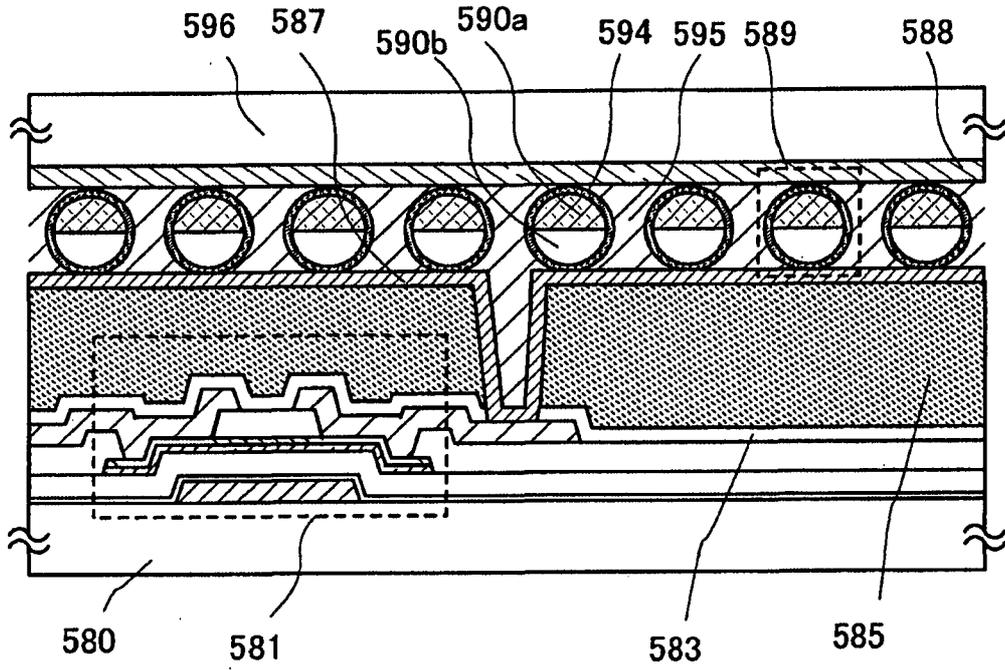


图 18

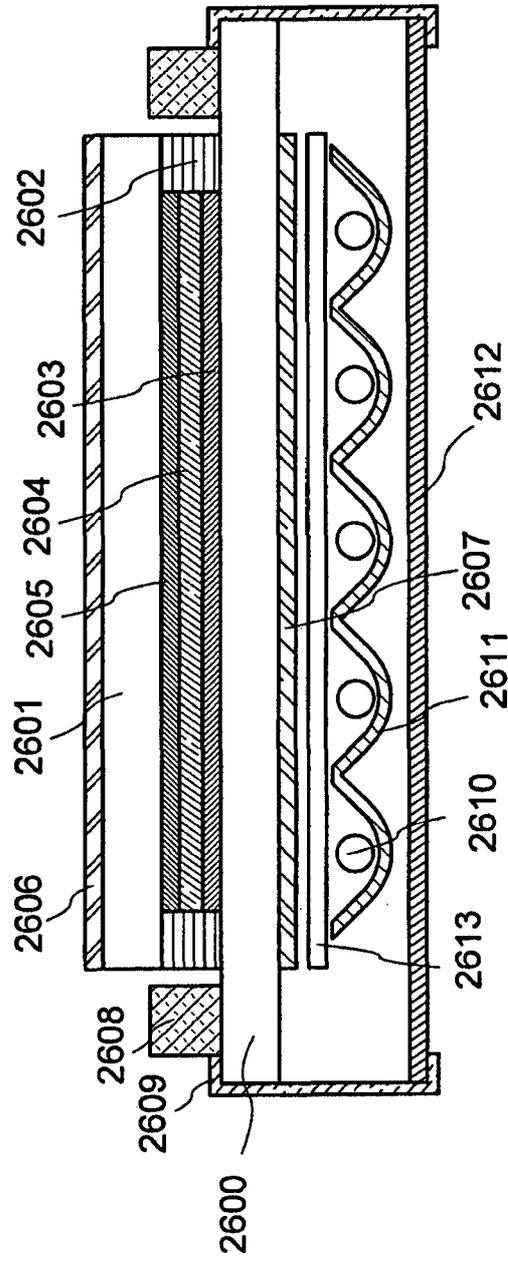


图 19

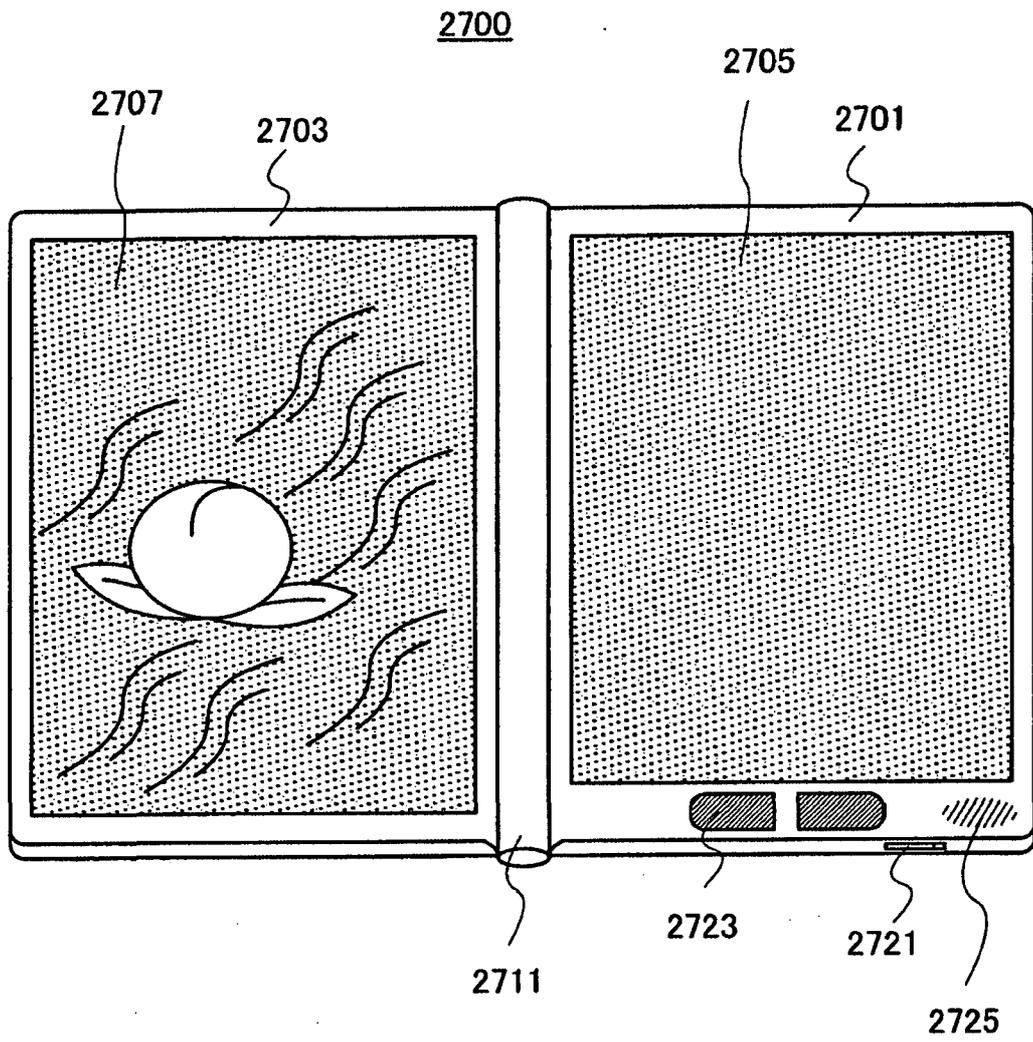


图 20

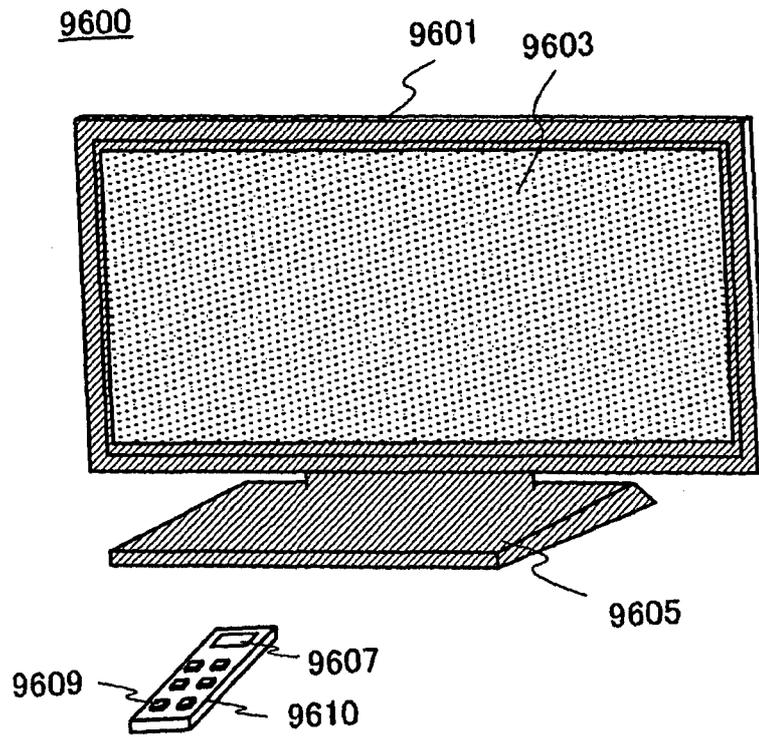


图 21A

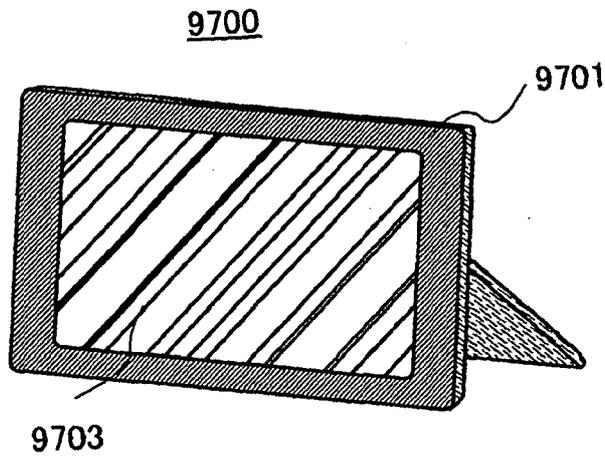


图 21B

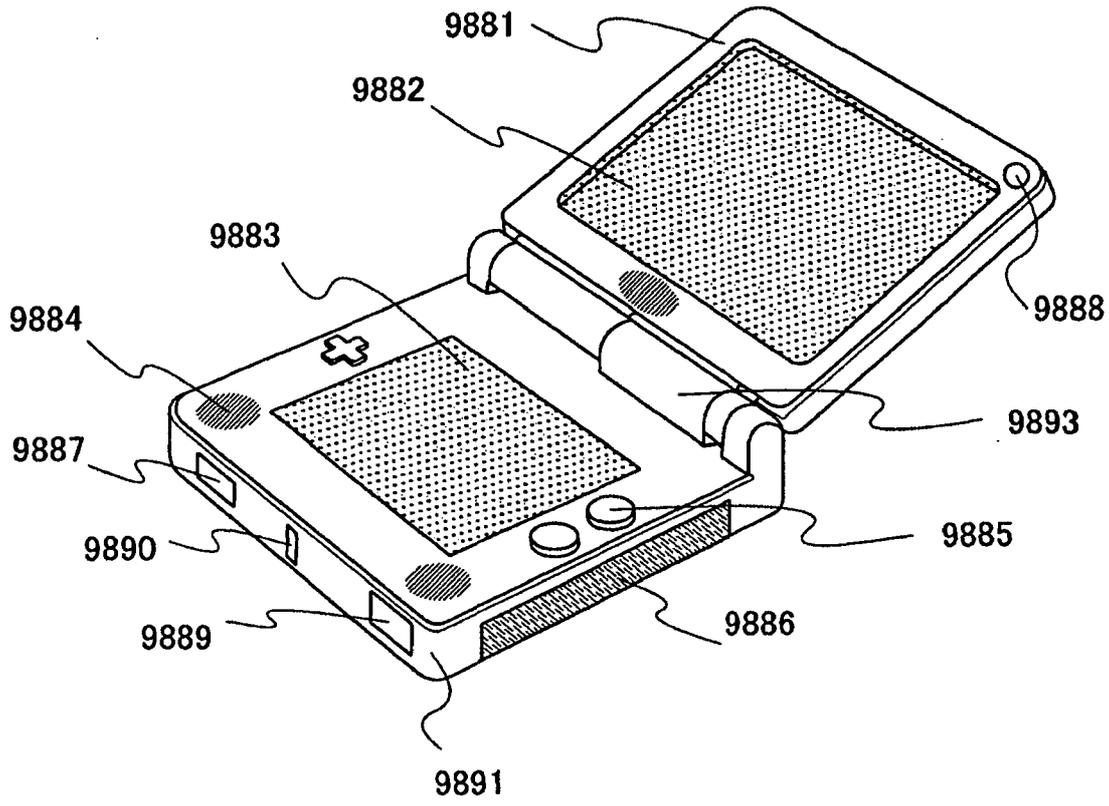


图 22A

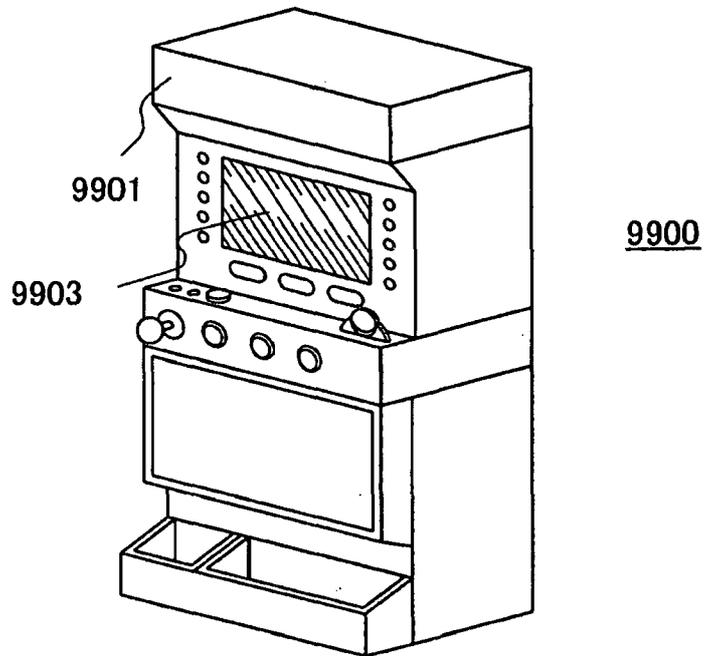


图 22B

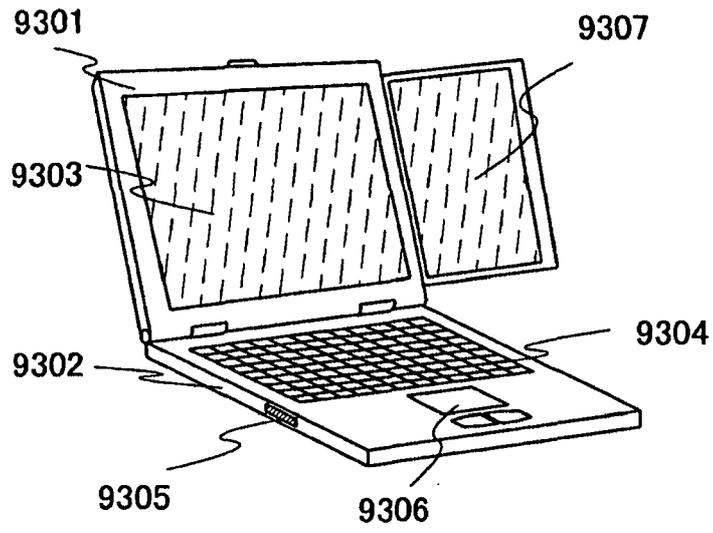


图 23A

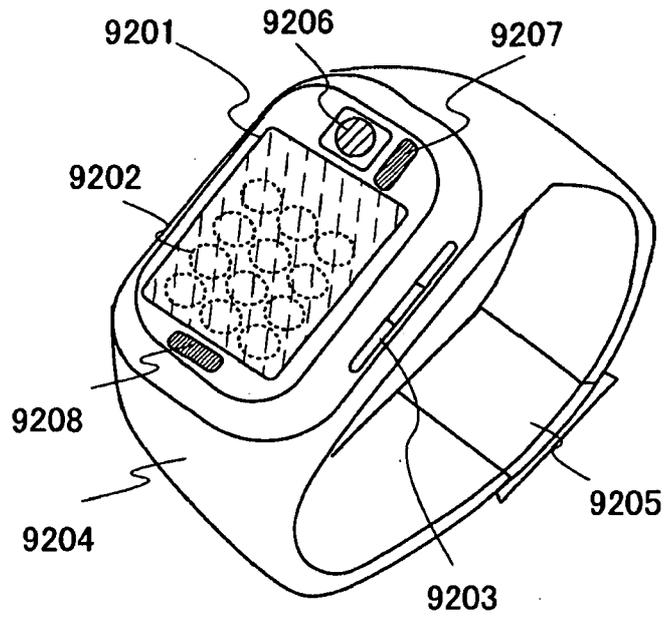


图 23B

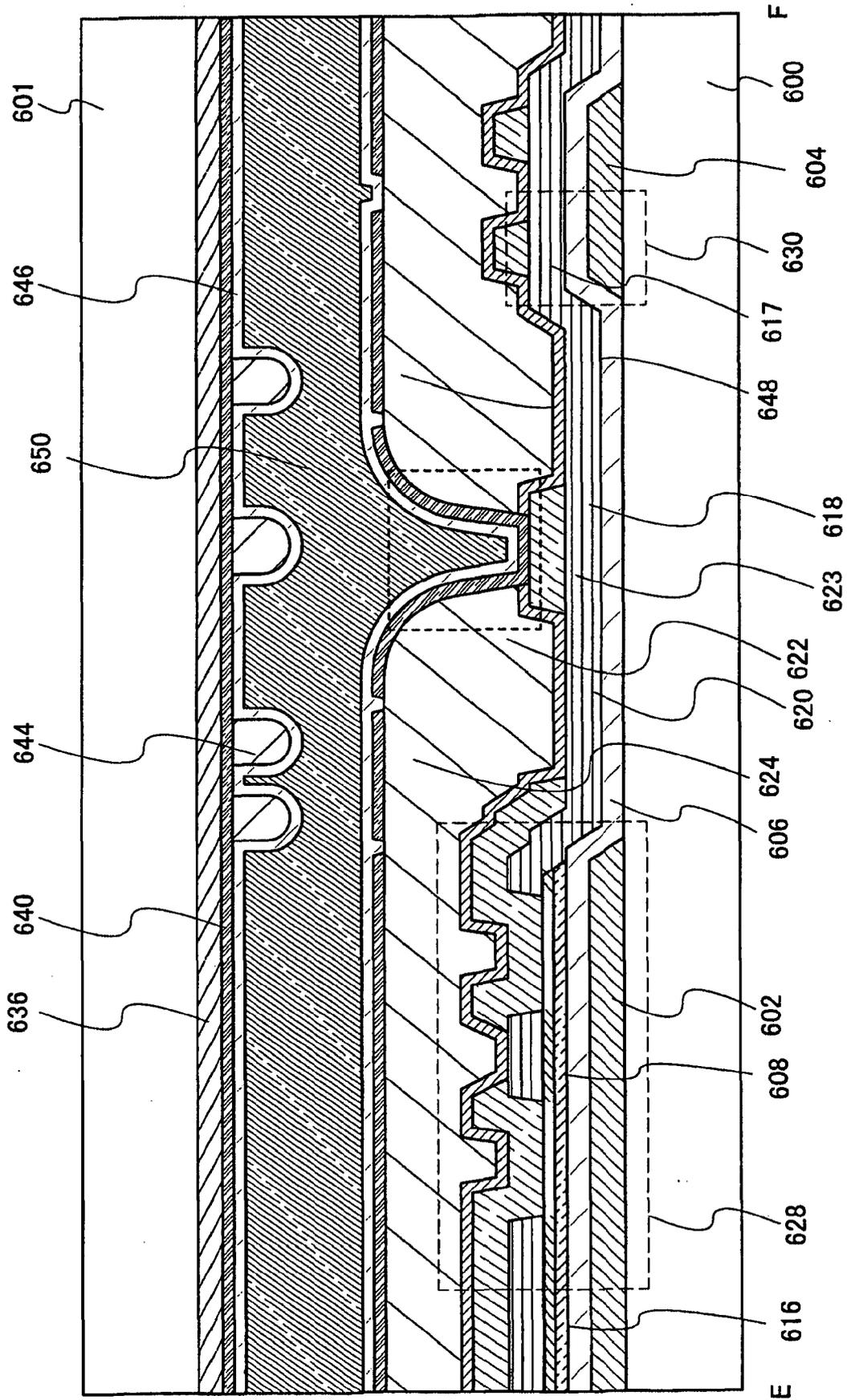


图 24

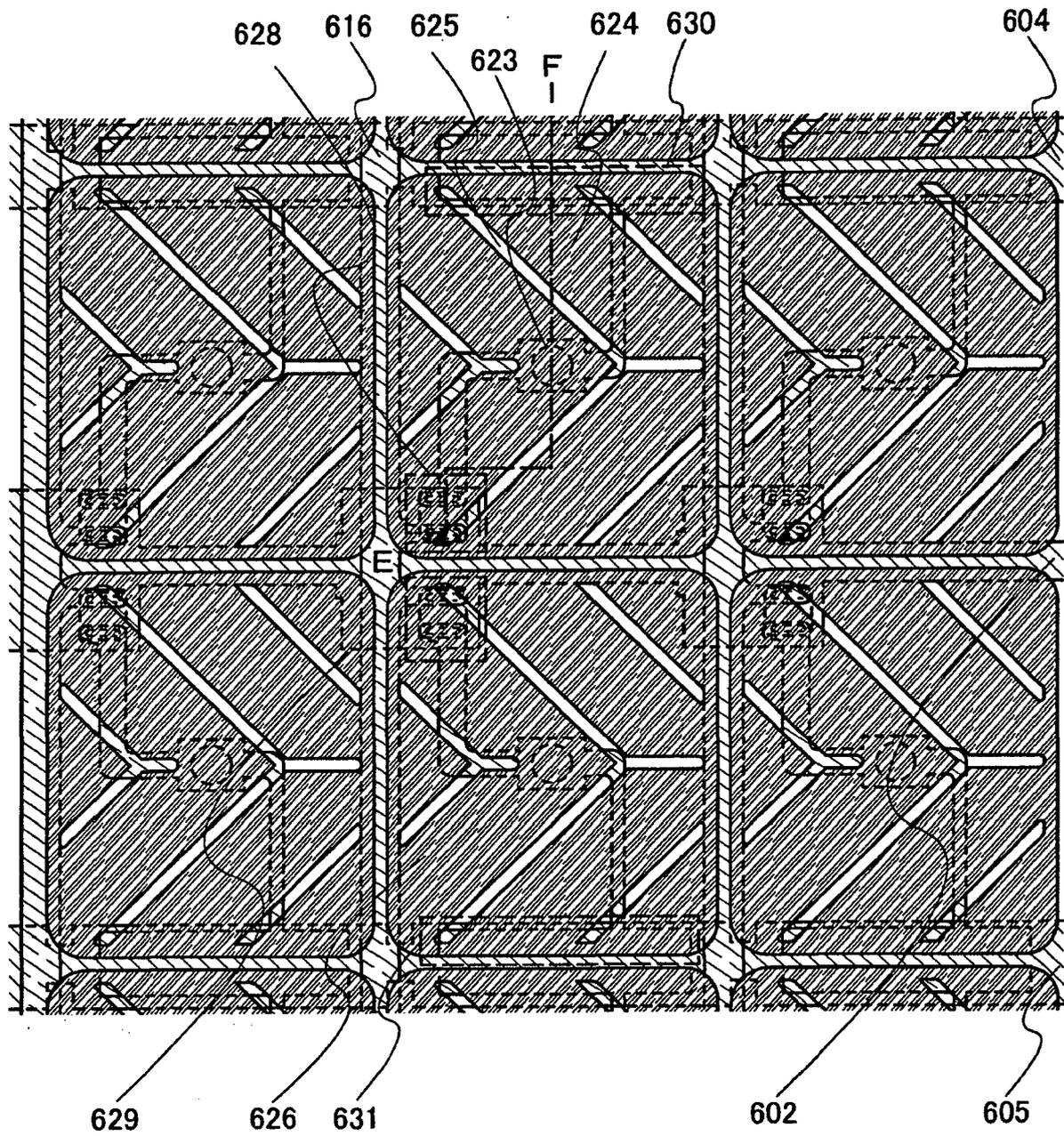


图 25

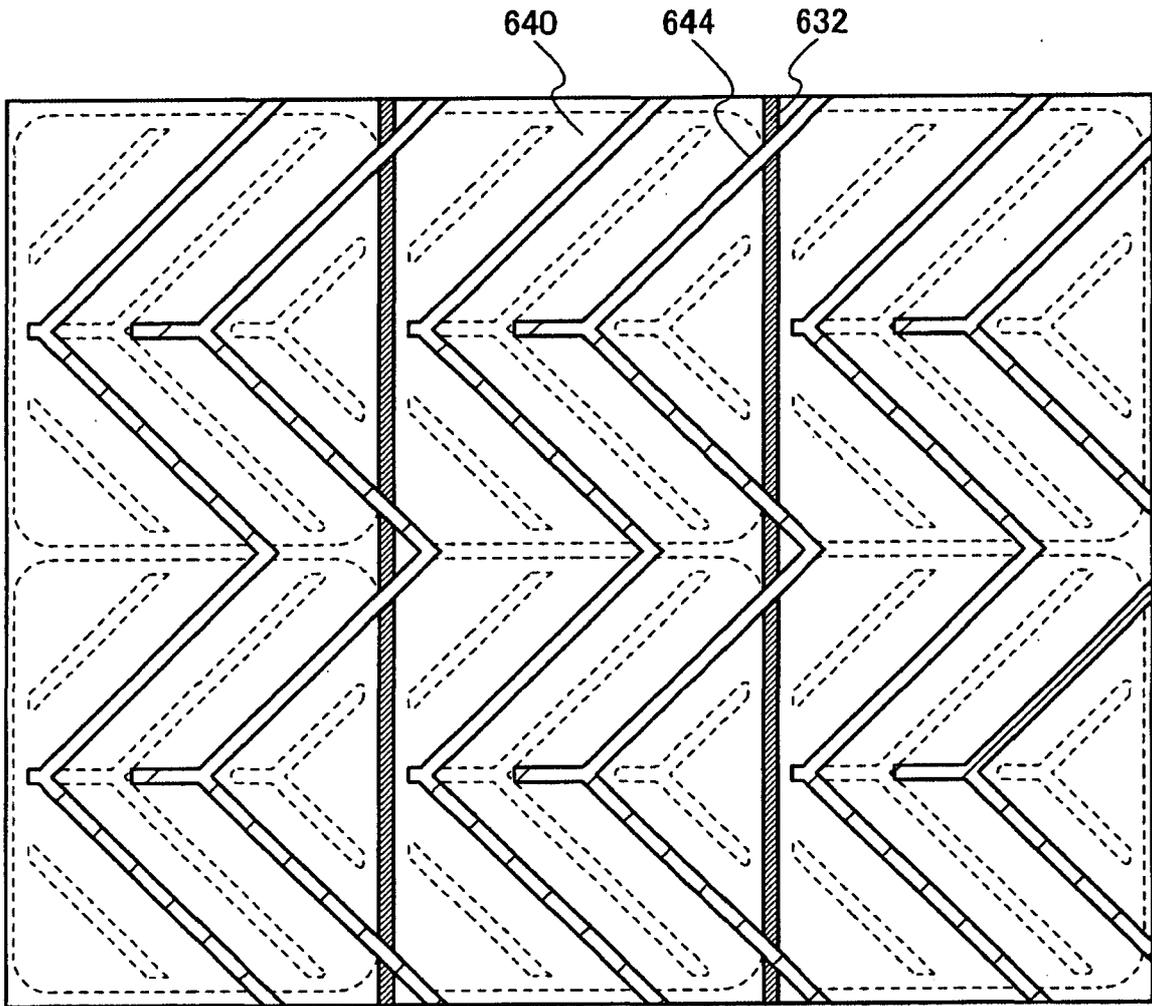


图 26

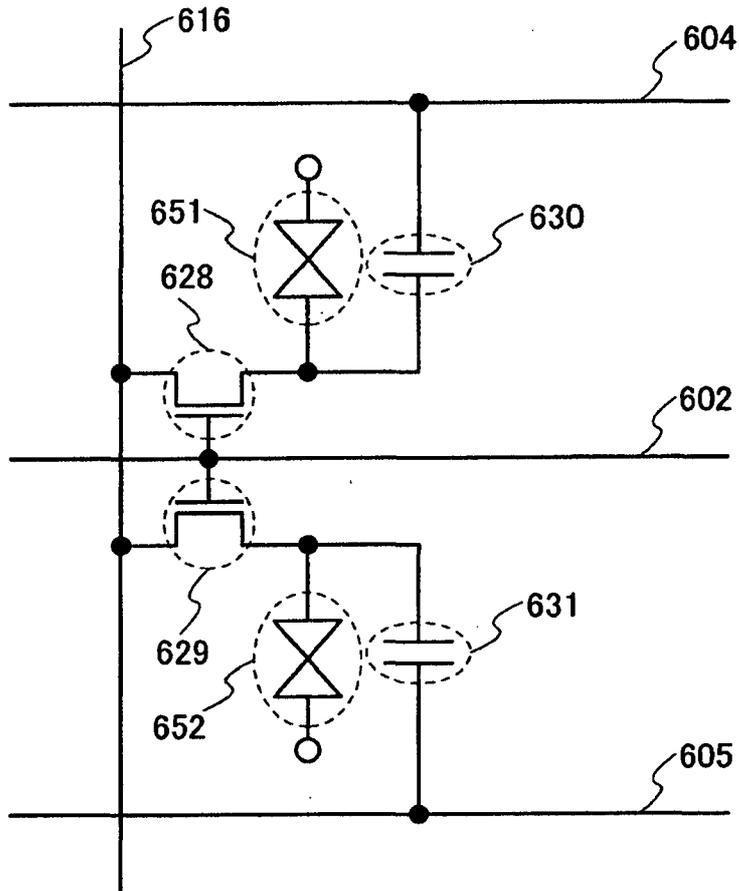


图 27

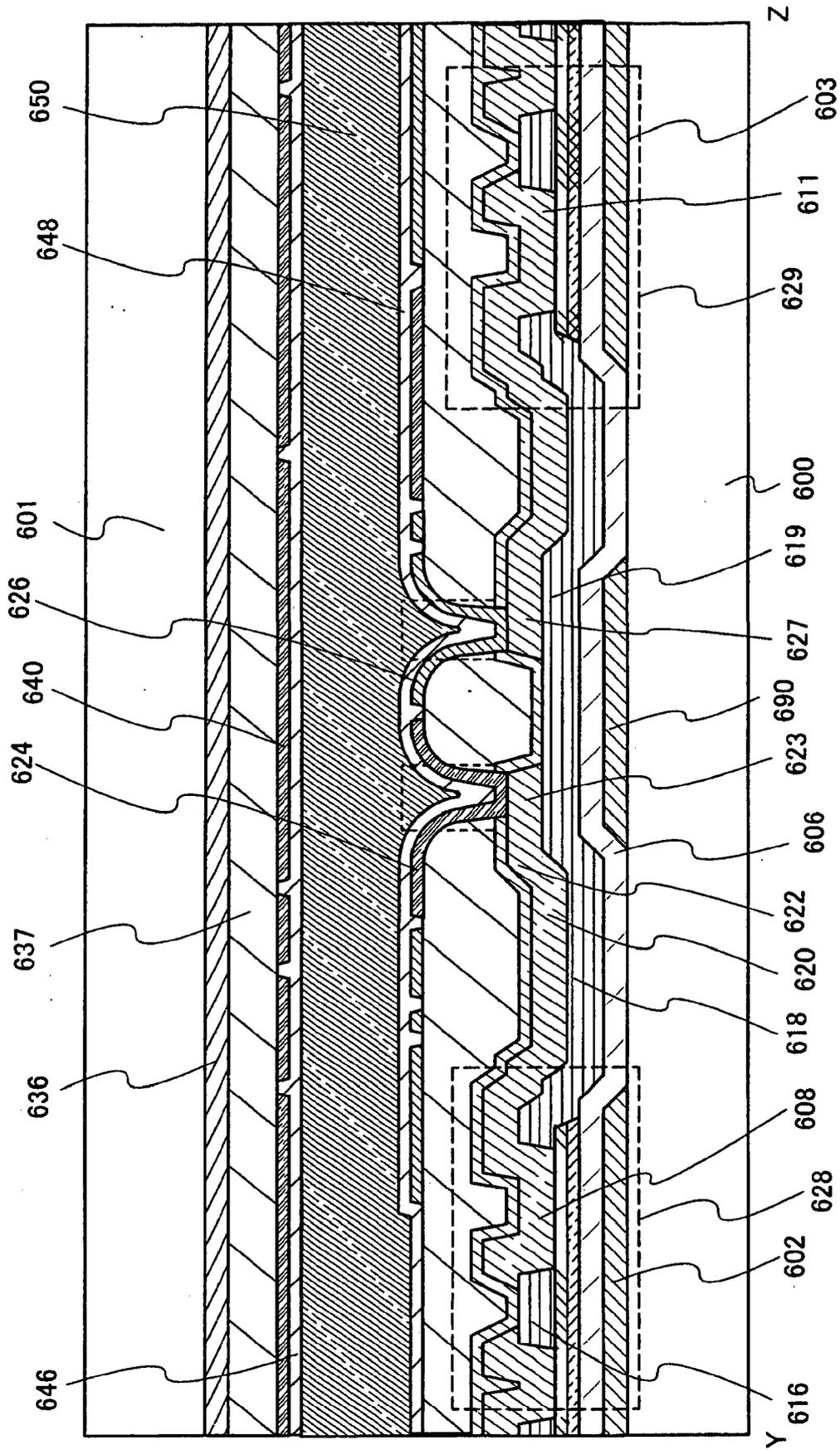


图 28

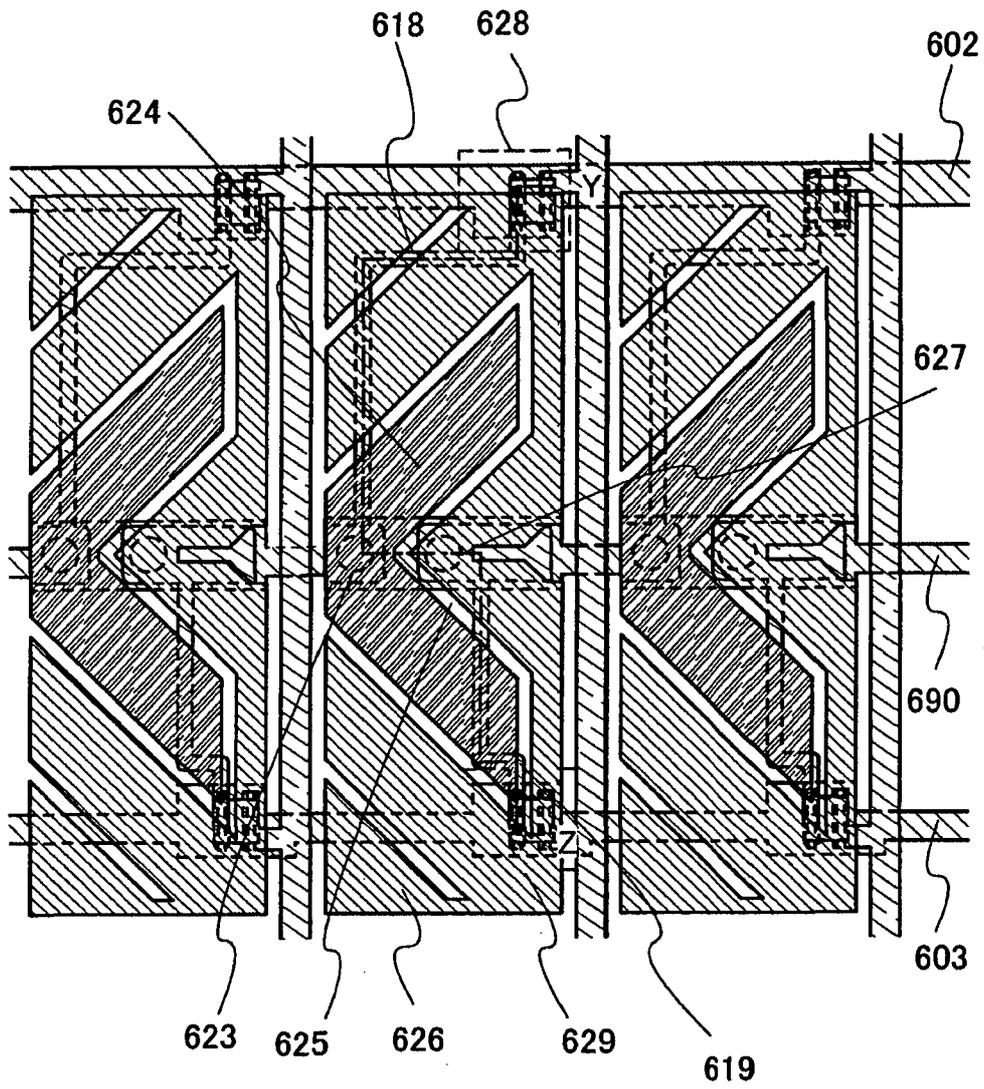


图 29

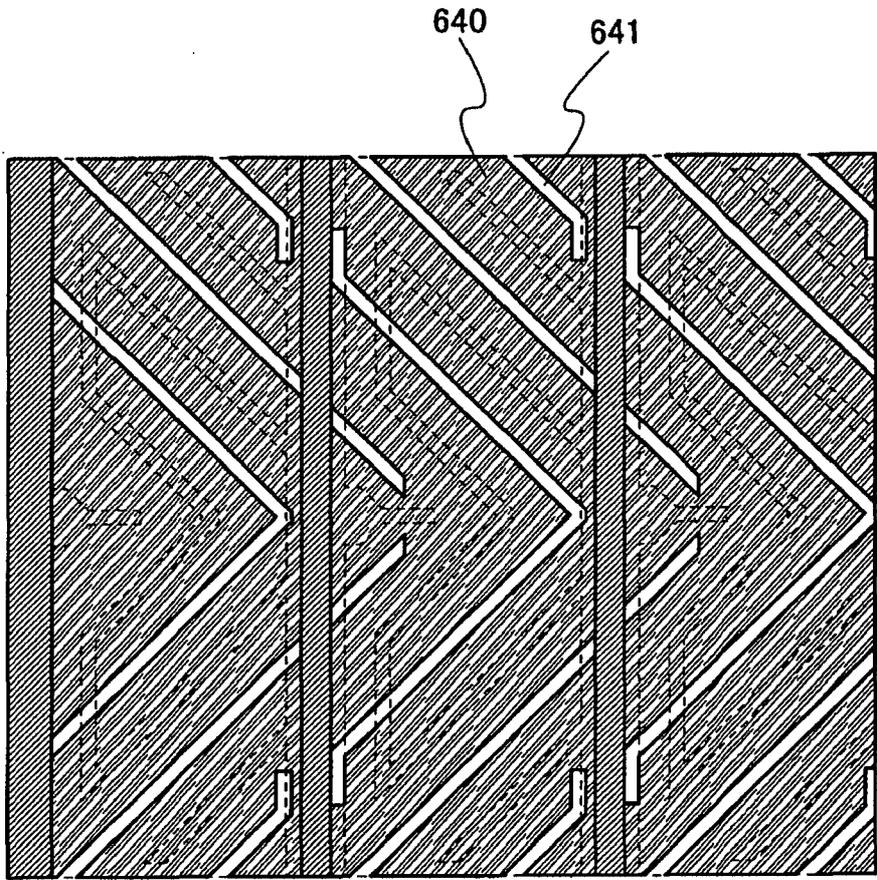


图 30

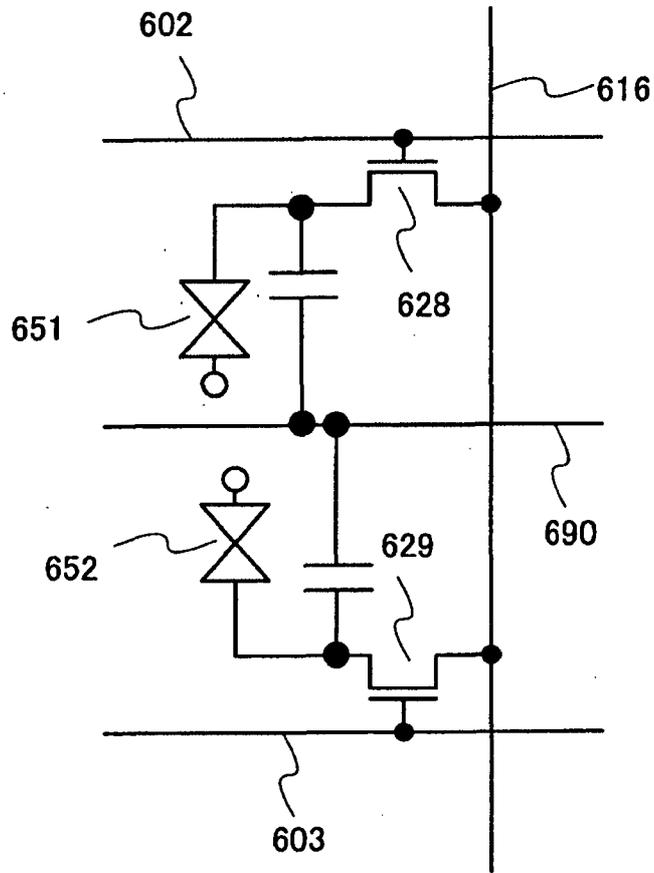


图 31

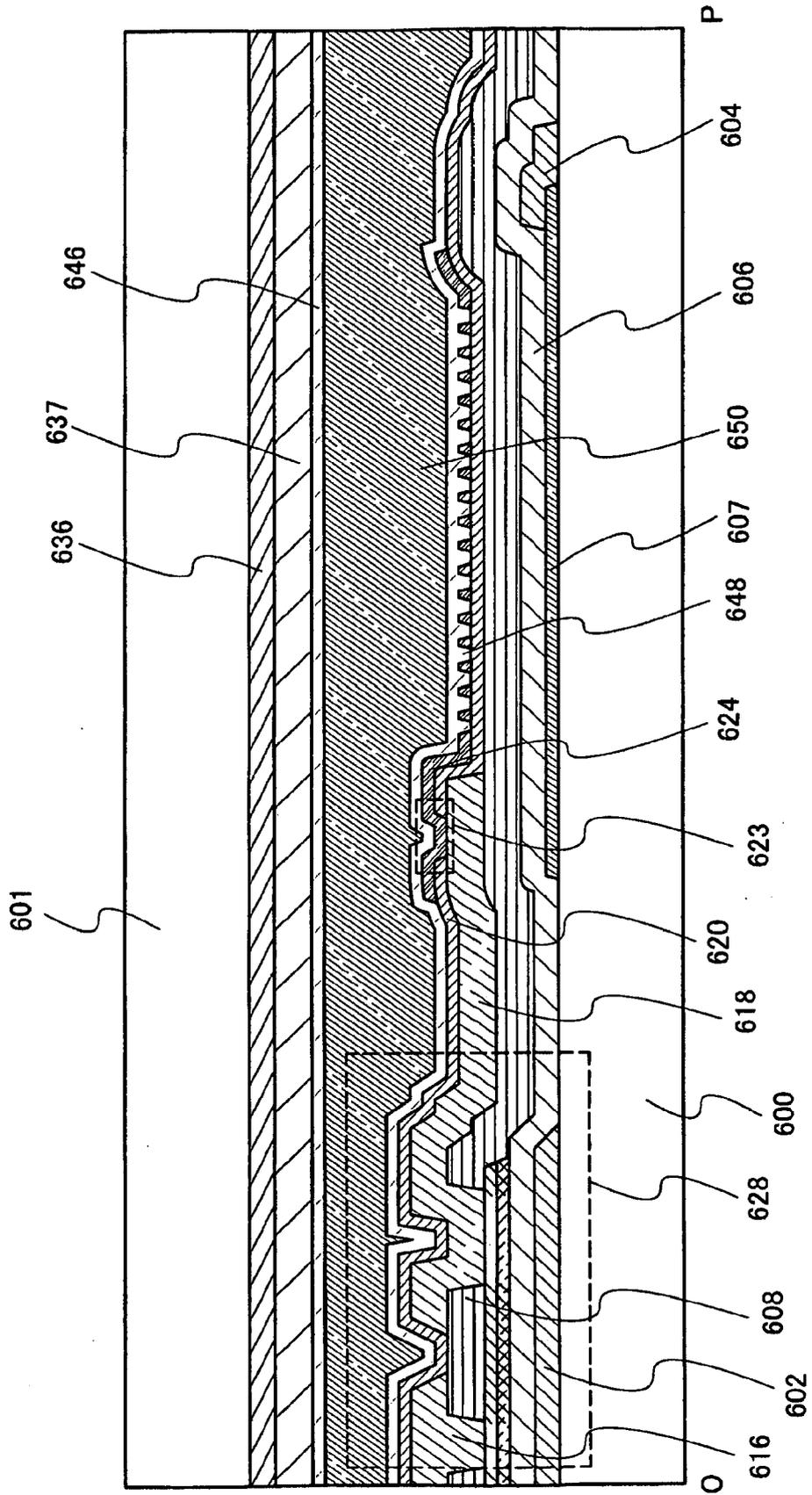


图 32

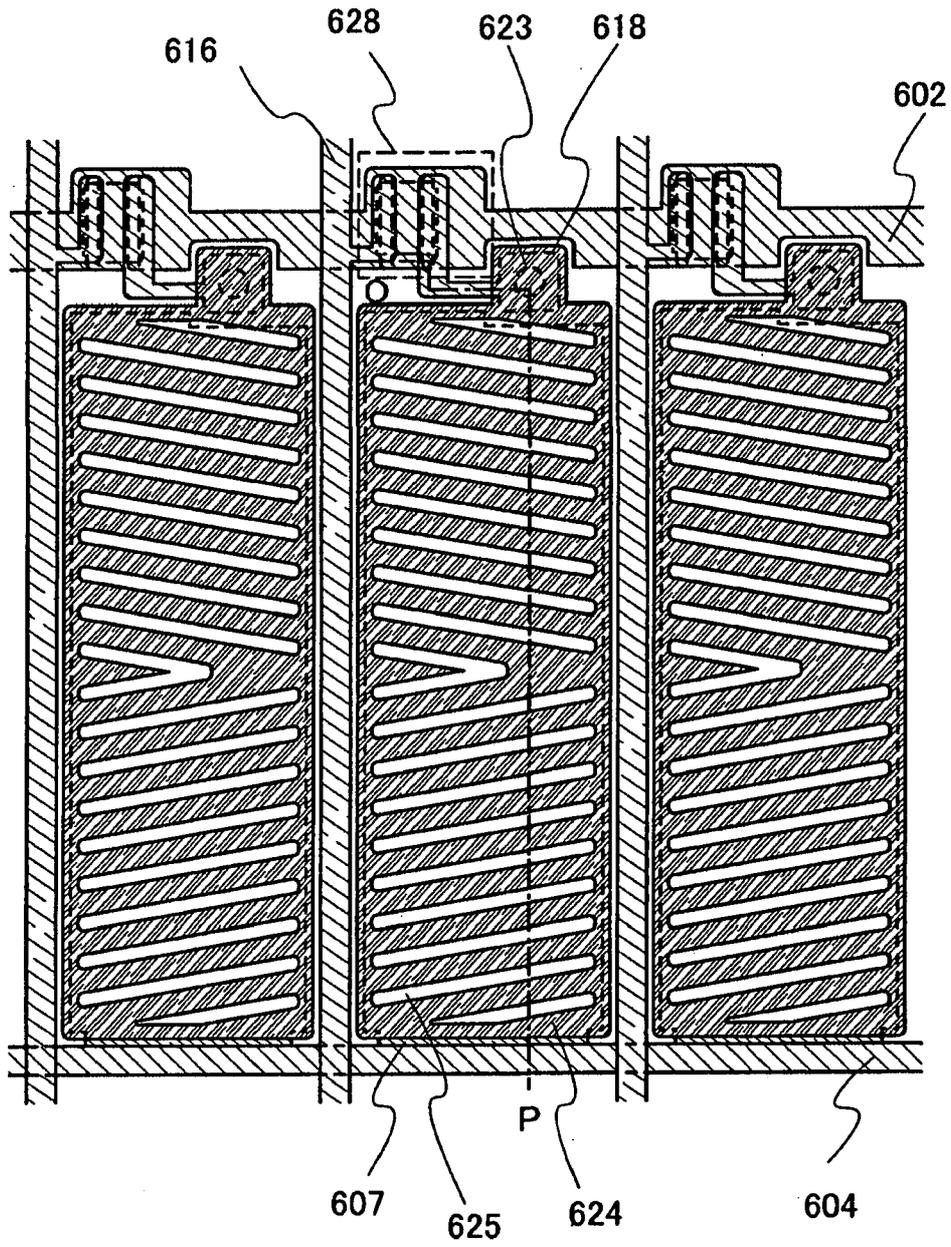


图 33

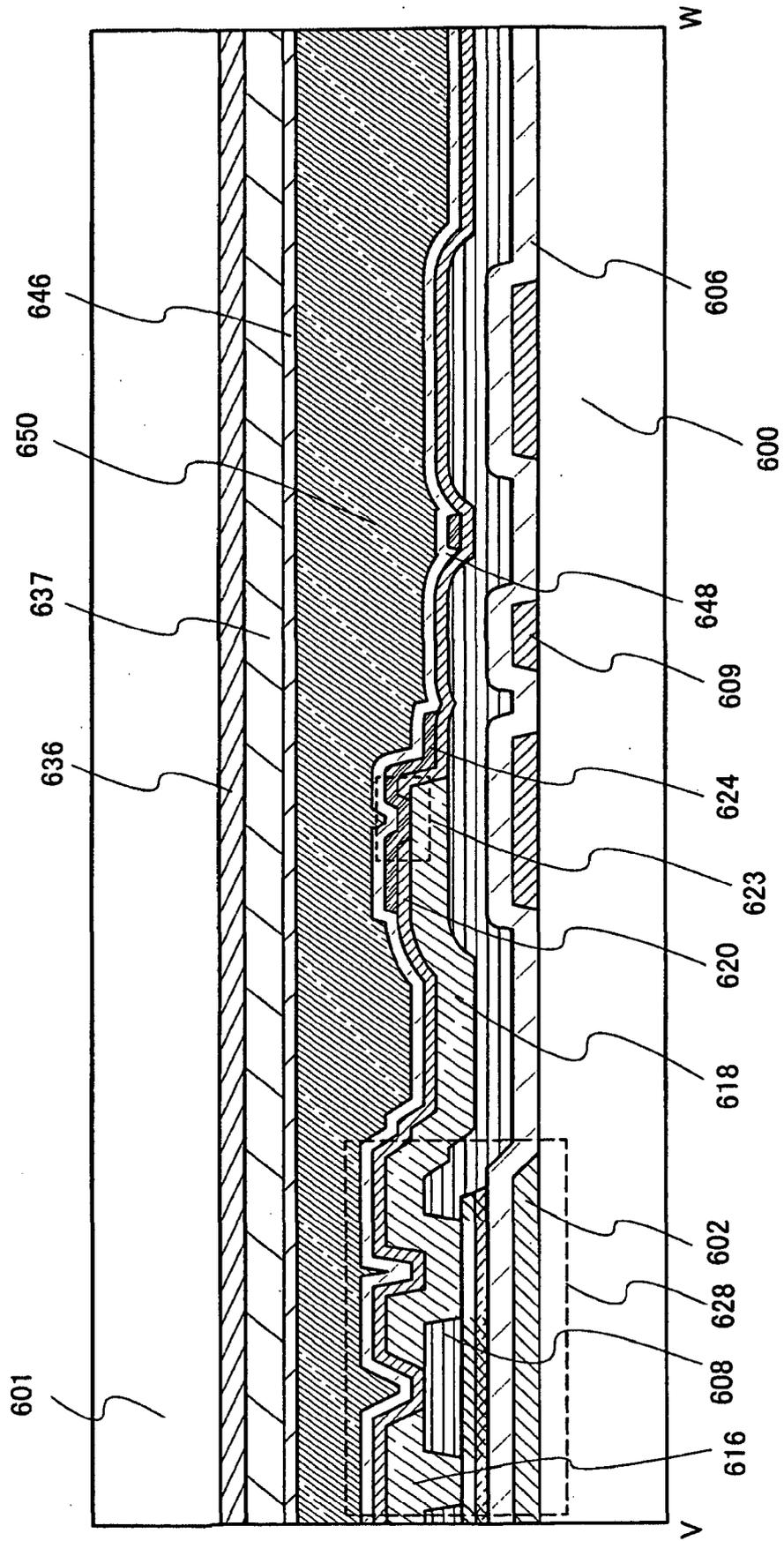


图 34

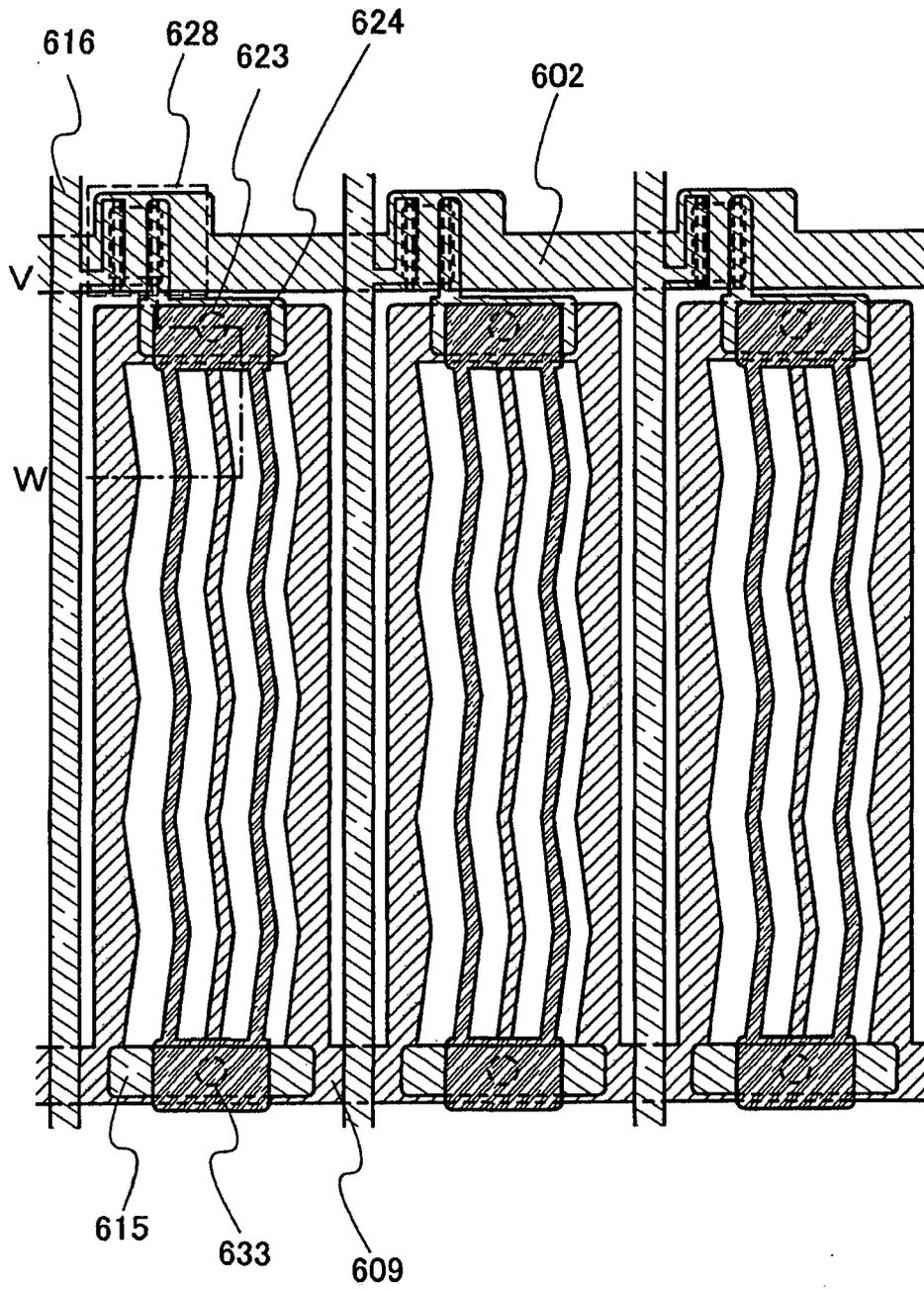


图 35

