

公告本

申請日期	91 年 8 月 20 日
案 號	91118815
類 別	H01L 21/318

A4
C4

(以上各欄由本局填註)

559951

發明專利說明書

一、發明 名稱	中 文	半導體障壁層
	英 文	A semiconductor device barrier layer
二、發明 創作人	姓 名	(1) 沙利·莫琴 Merchant, Sailesh Mansinh (2) 伊沙艾·歐爾阿得吉 Oladeji, Isaiah O. (3) 宋貞國 Koh, Seong Jin
	國 籍	(1) 美國 (2) 奈及利亞 (3) 韓國
	住、居所	(1) 美國佛羅里達州奧蘭多南約翰青年公園路九三三三號 c/o Agere Systems Inc., 9333 S. John Young Parkway, Orlando, FL 32819, USA (2) 新加坡一號胡門公園胡門街十一號 11 Hume Avenue, 05-01, Hume Park 1, Singapore 598723 (3) 美國佛羅里達州奧蘭多南約翰青年公園路九三三三號 c/o Agere Systems Inc., 9333 S. John Young Parkway, Orlando, FL 32819, USA
	代 表 人 姓 名	(1) 佛迪納德·羅梅諾 Romano, Ferdinand M.
三、申請人	姓 名 (名稱)	(1) 艾基爾系統股份有限公司 Agere Systems Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國佛羅里達州奧蘭多南約翰青年公園路九三三三號 9333 S. John Young Parkway, Orlando, FL 32819-8698, U.S.A.
	代 表 人 姓 名	(1) 佛迪納德·羅梅諾 Romano, Ferdinand M.

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權美國 2002 年 5 月 21 日 10/153,231 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明係關於半導體裝置之製造，尤其係關於使用在半導體裝置元件之金屬化以及絕緣材料之鈍化的障壁層。

發明背景

在製造半導體裝置時，薄膜係具有各種不同的功能。舉例來說，薄膜可用以形成互連結構。互連結構係在一積體電路上的結構，其係用以連接多層半導體裝置的不同層體，且包括諸如可使導電性金屬鍍覆於其中之導渠及通孔等特徵。薄膜通常係用以在一介於一絕緣材料與一導電性金屬之間的特徵中來構成障壁層。

一典型的互連結構係顯示在圖 1 中。一互連結構 11 係包括一上方金屬層 12 及下方金屬層 13，其中兩金屬層係由一介電層 14 或絕緣層所隔開。導電性金屬層 12 及 13 係包含在一介電材料 16 中隔開之金屬線 15。充填有導電性金屬之通孔 17 係將上方金屬層 12 之導電線 15 互連至下方金屬層 13 之導電線 15。通常，在一多層結構中，下方金屬層 13 係利用習知的單花紋製程來製造，而介電層 14 及上方金屬層 12 則係利用習知的雙花紋製程來製造。這些花紋製程係業界所習知的。

在花紋製程中，一特徵，諸如導渠、通孔或其組合，係蝕刻於介電材料 16 中。接著，一障壁層 18 便利用習知方法(諸如濺鍍)而鍍覆在特徵中。該障壁層 18 係構成一符合特徵之側壁及底部的薄膜。接著，一種晶層 19 便鍍覆在障壁層 18 上，且導電性金屬便經由種晶層 19 而鍍覆在特

五、發明說明 (2)

徵中。在這些鍍覆步驟完成之後，便可將該裝置加以拋光，以移除特徵以外的多餘薄膜及金屬。該障壁層 18 係可避免導電性金屬擴散至介電材料中，且該種晶層 19 則係可促進導電性金屬附著至障壁層 18。該障壁層通常係由耐火金屬及/或耐火金屬合金所製成。舉例來說，鉭(Ta)及/或氮化鉭(TaN)係可作為障壁層之元件。

然而，鉭具有多結晶性，且銅係會擴散通過鉭晶粒邊界。解決此一問題的習知方法係包括增加鉭膜之厚度，在鉭中增加氮氣，以阻絕晶粒邊界擴散路徑，或者係使用鉭/氮化鉭雙層障壁層。不幸地，這些措施會增加障壁層之阻抗，這對於電子遷移係會造成不當的影響。此一影響在該障壁層 18 係經由下方金屬層 13 及金屬線 15 而鍍覆在一通孔之底部的情況中，係更為明顯；藉此，其係會增加通過互連結構的阻抗。

此外，鉭膜係無法防止被吸附在滲透性低 k 值介電材料中的水侵蝕銅。使用低 k 值介電材料部分係因為其低阻抗，且低 k 值介電材料係包括具有介電常數小於 4.0 的介電材料。有機矽酸鹽係最被廣泛使用的低 k 值介電材料。然而，低 k 值介電材料係極具滲透性及吸水性。被捕捉在滲透性低 k 值介電材料中的水係會蒸發。水蒸氣係會跑到銅裏面，進而氧化金屬。再者，鉭對於有機矽酸鹽以及其他使用在互連結構製程中之低 k 值介電材料的附著性係相當差。

五、發明說明 (3)

發明摘要

本發明係關於一種障壁層，以及用以製造障壁層的方法，其係採用一種新穎的雙層薄膜。構成障壁層之兩薄膜係形成在一凹口或特徵中，諸如通渠、通孔、開孔等等，而構成一裝置外表結構。該障壁層係包括一第一薄膜，其係包含氮化矽(SiN)，該第一薄膜係配置在裝置特徵內部之介電材料表面上。一第二薄膜，或耐火金屬薄膜，係配置在特徵之側壁及底部，並且層疊在氮化矽薄膜上。在此所用之耐火金屬一詞，係包括耐火金屬合金。一金屬種晶層接著便鍍覆在障壁層上，且該導電性金屬接著便鍍覆在該特徵中而位在種晶層上。

本發明以下係以一互連結構的製造為例來說明，然而本發明並未侷限此於此，其亦可以應用於任何需要一障壁層來進行金屬化及/或介電材料之鈍化的裝置元件中。一互連結構大體上係包括複數個彼此層疊之介電材料層體(介電層)。這些介電層係藉由蝕刻中止層所隔開，其中該蝕刻中止層係部分地界定該特徵欲蝕刻在介電材料中之邊界。該介電材料係可包括低 k 值介電材料，在此所用之低 k 值介電材料一詞，係包括旋轉式介電材料，諸如有機矽酸鹽，其具有高達 4.0 以上之介電常數。

一凹口或特徵，諸如一通孔或通渠，係蝕刻在介電材料中，其係具有至少一個或數個側壁，該側壁係包括一個或數個外露的介電材料表面。該介電材料表面係曝露於具有一預定溫度及壓力之氮氣中達一預定的時間。該介電材

五、發明說明 (4)

料表面係會經過氮化反應，藉此在介電材料表面上形成一 Si_3N_4 薄膜。此一氮化反應係會轉變介電材料之一部分的成份，進而形成一可以整合在介電材料中並且配置在介電表面上之薄膜。

接著，耐火金屬薄膜便可鍍覆在特徵中，並符合特徵之側壁與底部的形狀，並且層疊在氮化矽薄膜上。接著，一金屬種晶層便可以鍍覆在耐火金屬薄膜上。接著，導電性金屬便鍍覆在特徵中，並且利用化學機械研磨(“CMP”)來拋光該裝置，以將裝置特徵以外的過剩金屬及薄膜加以清除。

以此方式，該 Si_3N_4 薄膜(或第一薄膜)便可以密封介電材料之表面，並且與耐火金屬薄膜相配合而構成一障壁層，以防止導電性金屬擴散至介電材料中。該 Si_3N_4 亦可以促使耐火金屬附著至低 k 值介電材料的表面。

圖式之簡單說明

圖 1 係在一具有習知障壁層之半導體裝置上的互連結構的部分截面視圖。

圖 2 係一互連結構之製造步驟的部分截面視圖，其中該互連結構係在一金屬層中採用新穎的互連結構，且一通孔及通渠係已蝕刻於金屬層上。

圖 3 係一互連結構之製造步驟的部分截面視圖，其中一 Si_3N_4 薄膜係已形成在通孔及通渠中。

圖 4 係一互連結構之製造步驟的部分截面視圖，其中

五、發明說明 (5)

一耐火金屬薄膜係已鍍覆在通孔及通渠中。

圖 5 係一互連結構之製造步驟的部分截面視圖，其中一耐火金屬薄膜及一導電性金屬係已鍍覆在該通孔及通渠中。

主要元件對照表

11	互連結構
12	上方金屬層
13	下方金屬層
14	介電層
15	金屬線
16	介電材料
17	充填金屬之通孔
18	障壁層
19	種晶層
21	互連結構
22	下方金屬層
23	上方金屬層
24	介電材料
25A	第一蝕刻中止層
25B	第二蝕刻中止層
25C	第三蝕刻中止層
26	導線
27	金屬

裝

訂

線

五、發明說明 (6)

- 28 障壁層
- 29 第一薄膜
- 30 第二薄膜
- 31 通孔
- 32 通渠
- 33 種晶層
- 34 絕緣層
- 35 裝置障壁層
- 36 側壁
- 37 外露表面
- 38 外露表面
- 39 基板

圖式之詳細說明

本發明現將參考圖 2 至圖 5 來詳細說明，其中內容係有關於互連結構之雙花紋製程。然而，本發明係提出一種新穎的障壁層，以及製造一障壁層之方法，其並未侷限於一互連結構之製造或者係一互連結構之特殊特徵(通孔或通渠)的製造。再者，本發明係可以應用於一金屬層的單一花紋結構，以及其中之介電材料的處理。此新穎的障壁層係可以使用於各種不同類型的半導體裝置元件及裝置特徵。現請參照圖 2，其中顯示一互連結構 21 之製程步驟，且該互連結構係已經完成一下方金屬層 22。下方金屬層 22 係包括一介電材料 24 鍍覆在一半導體基板 39 上。一第一蝕

五、發明說明 (7)

刻中止層 25A 係插置在裝置基板 39 及下方金屬層 22 之間。

該第一蝕刻中止層 25A 係由一般使用於互連結構製程中之介電材料所構成，此類材料係業界所習知的，其可包括碳化矽、氮化矽、二氧化矽以及/或上述材料之組合。該介電材料係可包括旋轉低 k 值介電材料，諸如有機矽酸鹽玻璃，其係具有高達 4.0 以上之介電常數。此類介電材料係包括 CORAL 以及 BLACK DIAMOND，其係由 Novellus 公司所製造及販售。然而，介電材料並非僅侷限於低 k 值介電材料。

兩介電層係以一絕緣層 34 及上方金屬層 23 的型式而鍍覆在下方金屬層 22 上。一第二蝕刻中止層 25B 係先鍍覆在下方金屬層 22 上，然後該絕緣層 34 再鍍覆於第二蝕刻中止層 25B 及下方金屬層 22 上。接著，一第三蝕刻中止層 25C 係鍍覆在絕緣層 34 上，且該上方金屬層 23 係鍍覆在第三蝕刻中止層 25C 上。

一裝置障壁層 35 接著便可形成在上方金屬層 23 上。該裝置障壁層 35 通常係一殘餘有一鍍覆在裝置上之光罩層的薄膜，其中該光罩層係用以作為佈圖及蝕刻諸如通孔或通渠之裝置特徵之用。現請參照圖 2，一通孔 31 係已蝕刻於絕緣層 34 中，且一通渠 32 亦已蝕刻於上方金屬層 23 中。業界所習知的雙花紋製程，亦可用以形成裝置特徵 31 及 32。

蝕刻中止層 25B 及 25C，以及裝置障壁層 35 係由一般

五、發明說明 (8)

使用於互連結構製程中之介電材料所構成，其中該介電材料係業界所習用的，其包括碳化矽、氮化矽、二氧化矽及/或上述材料之組合。絕緣層 34 以及上方金屬層 23 亦可以由介電材料 24 所構成。

如圖 2 所示，下方金屬層係包括一形成在介電材料 24 中之導線 26。該下方金屬層 22 係利用單花紋製程所製成，其中該製程係包括在低 k 值介電材料中蝕刻一通渠特徵 31，在通渠 31 中形成一障壁層 28，然後在障壁層 28 上鍍覆一種晶層 33，然後將一諸如銅之導電性金屬鍍覆在種晶層 33 上，以構成該導線 26。接著，便可將第二蝕刻中止層 25B 鍍覆在下方金屬層 22 上。

現請參照圖 3 至圖 5，在完成下方金屬層之後，便可分別在層體 34 及 23 中蝕刻通孔 31 及通渠 32，然後在特徵 31 及 32 中形成障壁層 28，然後再將種晶層 33 鍍覆在障壁層 28 上。接著，便可將一導電性金屬鍍覆或成長於特徵 31 及 32 中，以及形成在導線 26 及種晶層 33 上方。金屬 27、障壁層 28 以及種晶層 33 接藉便可利用化學機械研磨 (CMP) 來加以拋光，以將鍍覆在裝置上而位在特徵 31 及 32 以外之過剩的金屬及薄膜材料加以清除。

形成在下方金屬層 22 及上方金屬層 23 之特徵中的障壁層 28，係包括一第一薄膜 29，其係由氮化矽 (Si_3N_4) 沿著特徵 31 及 32 中之介電材料 24 的表面鍍覆而成。該障壁層 28 尚包括一第二薄膜 30，其係由一耐火金屬及/或耐火合金鍍覆在第一薄膜 29 上而形成。

五、發明說明 (9)

現請參照圖 2 及 3，該特徵 31 及 32 係包括側壁 36，其係分別由介電材料 24 之外露表面 37 及 38 以及蝕刻中止層 25A、25B 及 25C 所形成。通孔 31 亦包括一底部，其係由導線 26 之頂面所形成。在下方金屬層中之通渠 32 亦包括一配置在基板 39 上之底部。第一薄膜 29 係僅配置在介電表面 37 上，而第二薄膜 30 係覆蓋該包括有介電表面 37 及蝕刻中止表面 38 之側壁 36。

第一薄膜 29 係藉由將特徵 31 及 32 中之介電表面 37 曝露於具有一預定溫度及壓力的氮氣中達一預定時間而形成。介電表面 37 係會發生習稱為氮化的化學反應，進而在介電材料 24 之矽以及在控制參數下所導入之氮氣之間形成化學鍵結。

氮化係可以在一工具中來進行，其中在該工具中係可產生電漿，諸如電漿蝕刻工具或者係電漿強化鍍覆工具。舉例來說，氮化反應係可以在一微波電漿、一具有一 rf 功率偏壓之物理蒸氣鍍覆工具、或一電漿強化之化學蒸氣鍍覆 (PECVD) 工具中來進行。上述之工具皆係使用在半導體裝置的製造中，且其操作方式係習於此技者所習知的，其可以瞭解所選用之工具係可以很容易地修改，以將氮氣噴入至已產生電漿之腔室中。此類工具係包括 IRIDIA-DL 微波工具，其係由 Novellus 公司所製造。

在特徵 31 及 32 已蝕刻於介電材料 24 中之後，且在該裝置已經針對後續製造步驟而清潔之後，便可將該裝置固定在一微波反應室中之平台上。當採用 IRIDIA-DL 微波時

五、發明說明 (10)

，氮氣，不論係純氮氣(N_2)或者係氨氣(NH_3)，便以大約 500sccm 之速率來注入至 IRIDIA-DL 微波腔室。腔室之溫度係上升到 $270^{\circ}C$ 而保持約 120 秒，且其壓力係大約為 600 毫托，且微波功率係設定在大約 1700 瓦特。

當氮氣注入至微波反應室時，電漿便會產生氮氣離子及/或自由基，其係會與介電表面中構成一 Si_3N_4 薄膜中的矽相衝擊以及相互反應。第一薄膜實際上係貫穿該介電表面達 $50\text{\AA}$ 的深度，且其可以與矽反應而達到大約 $100\text{\AA}$ 的深度。通常，氮化矽薄膜 29 在介電材料 24 中之深度範圍係大約為 $15\text{\AA}$ 至 $50\text{\AA}$ 。氮氣並不會與蝕刻中止層 25A-C、裝置障壁層 35 或者係在特徵 31 及 32 中構成第一薄膜 29 之複數薄膜部分的導電性金屬發生反應。

在氮化矽薄膜形成在介電表面之後，便可將第二薄膜 30 鍍覆在特徵 31 及/或 32 中。第二薄膜 30(亦可稱之為耐火金屬薄膜)係由耐火金屬或耐火金屬合金所構成。用以形成一障壁層之金屬係包括鉭(Ta)或氮化鉭;然而，亦可採用其他耐火金屬，包括鎢、氮化鎢、鈦及/或氮化鈦。耐火金屬薄膜係利用習知的鍍覆方法來施加，諸如濺鍍法或化學蒸氣鍍覆，藉此，金屬薄膜 30 便可以符合特徵 31 及 32 之側壁 36 的形狀，並且覆蓋氮化矽薄膜 29。如圖 4 及 5 所示，耐火金屬薄膜係符合通孔 31 之形狀，並且覆蓋該導線 26。由於氮化矽薄膜 29 的形成，耐火金屬薄膜 30 之厚度便可適當地縮減，以減少在薄膜 20 與導線 26 之間的接觸阻抗。耐火金屬薄膜 30 的厚度範圍係大約為 $150\text{\AA}$ 至 $500\text{\AA}$ 。

五、發明說明 (14)

藉此，薄膜 30 的厚度便可縮減至一般厚度的一半。

接著，一種晶層 33 便可鍍覆在耐火金屬薄膜 30 上，使得導電性金屬可以附著至特徵 31 及 32 的側壁 36。銅或導電性金屬 27 接著便可鍍覆在通孔及通渠特徵 31 及 32 中，然後將該裝置加以拋光。所完成之互連結構係顯示在圖 5 中，且包括在上方金屬層 23 以及下方金屬層 22 中之導線 27 係藉由充填有金屬之通孔 31 而互連在一起。每一通渠特徵 32 及通孔 31 係由新穎的障壁層所襯裏，其中該障壁層係包括沿著特徵 31 及 32 中之介電材料 24 之表面而配置之第一薄膜或氮化矽薄膜 29，且包括鍍覆在氮化矽薄膜 29 上之耐火金屬薄膜 30。

雖然本發明之較佳實施例已經圖示及說明如上，然而上述之實施例僅係作為示例性闡述之用，而不具有任何限制性。在不違背本發明的情況下，習於此技者仍可對上述實施例進行許多變化、修改及等效取代。舉例來說，本發明並未侷限於在此所揭露之最佳實施模式，在其他的應用中，仍可以由本發明之教示中獲得同樣的功效。因此，本發明僅由後附申請專利範圍所界定之精神及範疇所限制。

四、中文發明摘要(發明之名稱：

半導體障壁層)

一種用於半導體裝置金屬化元件之障壁層，係提供一形成在一元件凹口中之氮化矽薄膜以及一形成在氮化矽薄膜上之耐火金屬薄膜。此裝置元件係包括一介電材料及一形成在介電材料中之凹口。在凹口中之介電材料表面係曝露至已控制參數的氮氣中。介電材料相鄰於凹口內部的部分係可轉換成氮化矽。

接著，耐火金屬便一致性地鍍覆在凹口側壁上。然後，一種晶層便鍍覆在耐火金屬薄膜上，且一導電性金屬係鍍覆在該凹口中。接著，該裝置便可加以拋光，以將凹口以外的過多金屬加以移除，以整平該裝置。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：

A semiconductor device barrier layer)

A barrier layer for a semiconductor device metallization component provides a silicon nitride film formed in a component recess and a refractory metal film formed over the silicon nitride film. The device component includes a dielectric material and a recess formed in the dielectric. The surface of the dielectric material within the recess is exposed to nitrogen under controlled parameters. A section of the dielectric material adjacent an interior of the recess is converted to silicon nitride.

The refractory metal is then conformed deposited along the recess sidewalls. A seed layer is then deposited over the refractory metal film, and a conductive metal is then deposited within the recess. The device is then polished to remove excess metal outside the recess and planarize the device.

訂

線

六、申請專利範圍 1

1.一種半導體裝置，包含：

(a)一氮化矽薄膜，其係配置在一形成在介電材料中之凹口的介電材料表面；以及

(b)一耐火金屬薄膜，其係疊置在該氮化矽薄膜上。

2.如申請專利範圍第 1 項之半導體裝置，其中該氮化矽薄膜係由一方法所製成，在該方法中，該介電材料係包含矽，並且曝露至一含氮材料中，以將該介電材料其相鄰於凹口之至少一部分的化學成份轉變為氮化矽。

3.如申請專利範圍第 2 項之半導體裝置，其中該介電材料係曝露於具有一預定溫度及壓力的氮氣源中達一預定的時間。

4.如申請專利範圍第 1 項之半導體裝置，其中該半導體裝置尚包括一層疊在介電材料上之蝕刻中止層，且該凹口係形成在蝕刻中止層及介電材料中，且該凹口之側壁係包括該蝕刻中止層之一表面，且該氮化矽薄膜係配置於在該凹口中之介電材料的表面上，但並未配置在該凹口中之蝕刻中止層的表面上。

5.如申請專利範圍第 1 項之半導體裝置，其中該凹口側壁係包括複數個在該凹口中隔開的介電材料表面，且該氮化矽薄膜係配置在每一介電材料的表面。

6.如申請專利範圍第 4 項之半導體裝置，其中該耐火金屬薄膜係一致性地鍍覆在該凹口中，並且位在氮化矽薄膜以及蝕刻中止層之表面上。

7.如申請專利範圍第 1 項之半導體裝置，其中該凹口

六、申請專利範圍 2

係一形成在介電材料中之通渠。

8.如申請專利範圍第 1 項之半導體裝置，其中該凹口係包括一形成在介電材料中之通孔及通渠。

9.如申請專利範圍第 1 項之半導體裝置，其中該凹口係包括一形成在介電材料中之通孔。

10.一種半導體裝置，包含：

(a)兩金屬層，係由一絕緣層所隔開；

(b)一凹口，其係形成在兩金屬層與該絕緣層中，且在該凹口中將至少一介電材料之表面外露出來；

(c)一導電性金屬，其係鍍覆且充填於該凹口；

(d)一障壁層，其係形成在該凹口，且介於介電材料與導電性金屬之間，其具有一配置在該介電材料之表面上的氮化矽薄膜，以及一介於氮化矽薄膜與導電性金屬之間的耐火金屬薄膜；以及

(e)該耐火金屬薄膜係插置於位在其中一金屬層中之凹口內的銅與絕緣層之間。

11.如申請專利範圍第 10 項之半導體裝置，其中該至少一介電材料係包含低 k 值介電材料。

12.如申請專利範圍第 10 項之半導體裝置，其尚包含兩蝕刻中止層，每一蝕刻中止層係插置在絕緣層與一各別金屬層之間，且該凹口係具有複數個藉由該蝕刻中止層之一表面而隔開的介電材料表面，且該氮化矽薄膜係配置在該介電材料表面上，但並未配置在蝕刻中止層的表面上。

13.如申請專利範圍第 10 項之半導體裝置，其中該凹

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

口係包含一形成在每一金屬層中之通渠，以及一形成在絕緣層中以互連該金屬層之通渠之通孔。

14.一種製造半導體的方法，包含以下之步驟：

(a)在一形成於一介電材料中之凹口內部形成一氮化矽薄膜；以及

(b)在形成於介電材料中之凹口內部形成一疊置於氮化矽薄膜上之耐火金屬薄膜。

15.如申請專利範圍第 14 項之方法，其中在該形成氮化矽薄膜的步驟中，係包含藉由將介電材料之表面曝露於一含氮材料中，而將該介電材料其相鄰於凹口之至少一部分的化學成份轉變為氮化矽。

16.如申請專利範圍第 15 項之方法，其中該介電材料係曝露至具有一預定溫度及壓力的含氮材料中達一預定的時間。

17.如申請專利範圍第 14 項之方法，其中轉變該介電材料之化學成份的步驟係包含提供一可將半導體裝置固定於其中之鍍覆室，並且在反應室中鄰近該半導體裝置的部位產生電漿，然後將電漿注入至反應室及電漿中。

18.如申請專利範圍第 15 項之方法，其中轉變介電材料之化學成份的步驟中，尚包含將反應室內部溫度加熱至大約 250℃ 至 270℃ 的範圍，並且將反應室內部壓力保持在大約 400 毫托至 1000 毫托的範圍，且保持該溫度及壓力達大約 120 秒。

19.如申請專利範圍第 14 項之方法，其尚包含在半導

六、申請專利範圍 4

體裝置上形成至少一鄰貼於該介電層之蝕刻中止層的步驟，且該形成凹口之步驟係包括在該蝕刻中止層與介電層中形成該凹口，藉此使該凹口之側壁係包括一蝕刻中止層的表面以及介電材料的表面。

20.如申請專利範圍第 19 項之方法，其中該形成氮化矽薄膜的步驟，係包含在該凹口中之介電材料表面面形成該氮化矽薄膜，但在該凹口中之蝕刻中止層表面上則未形成該氮化矽薄膜。

21.如申請專利範圍第 20 項之方法，其中該形成耐火金屬薄膜的步驟係包括將耐火金屬薄膜鍍覆在該氮化矽薄膜以及蝕刻中止層表面上。

裝

訂

線

圖 1

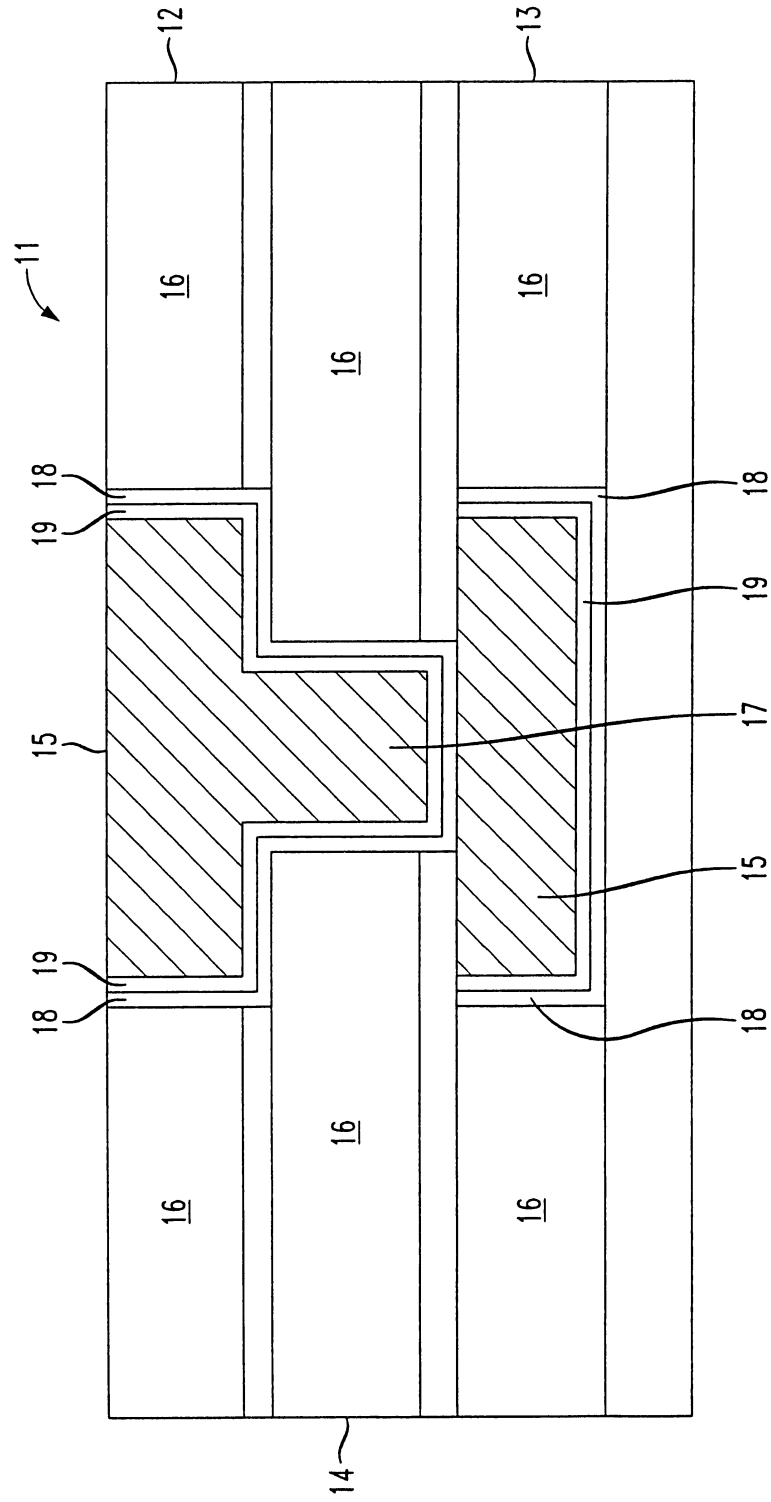


圖 2

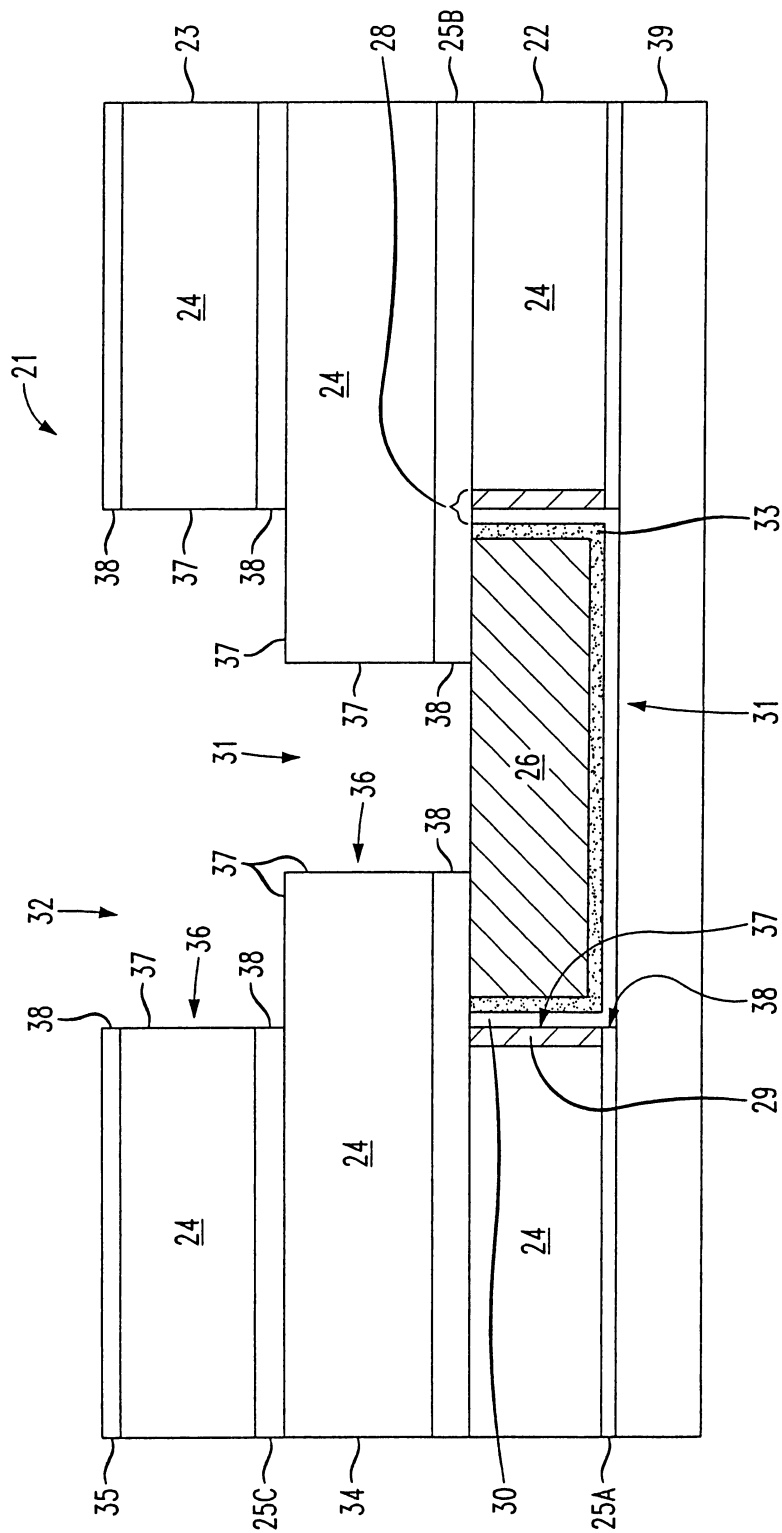


圖 3

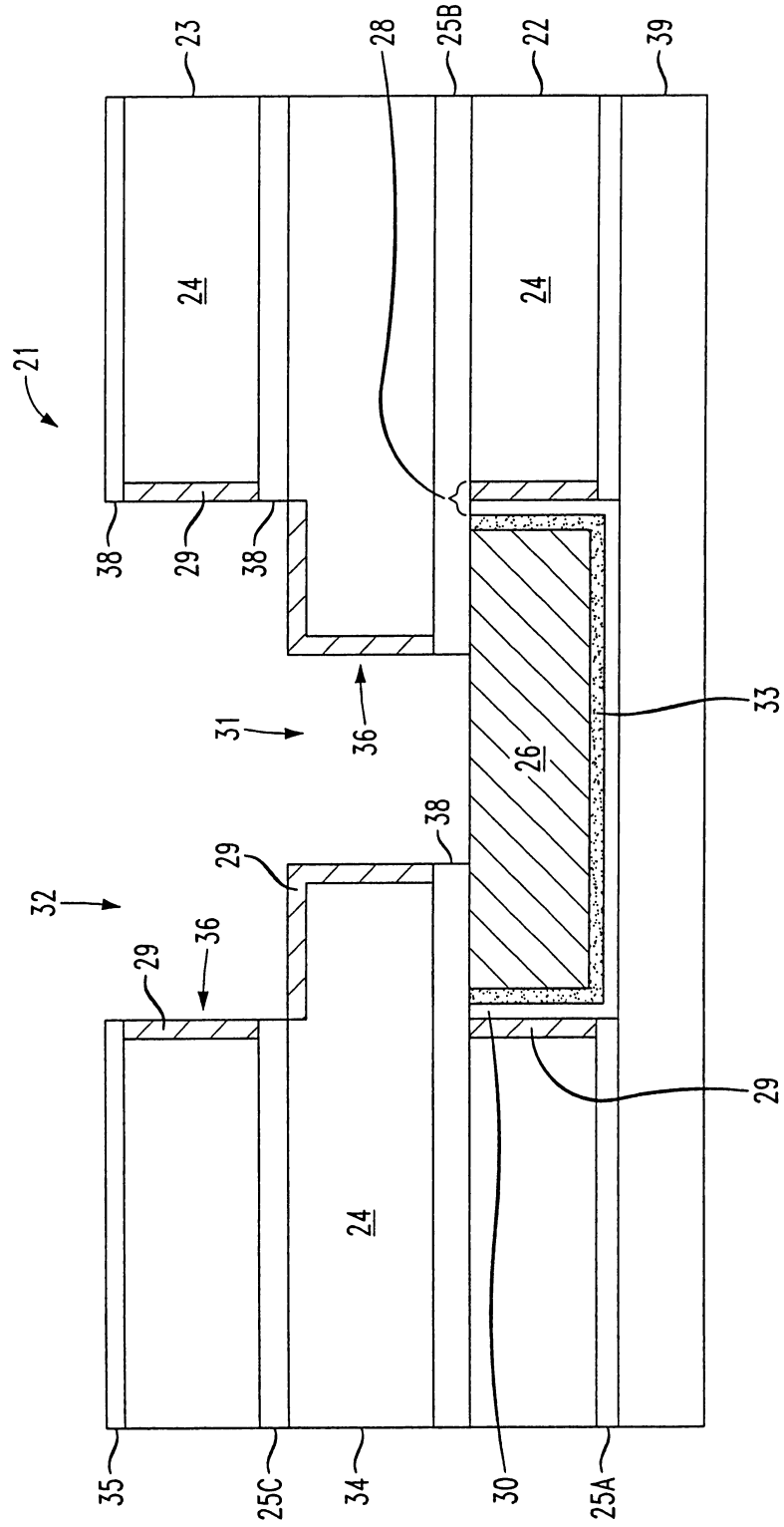


圖 4

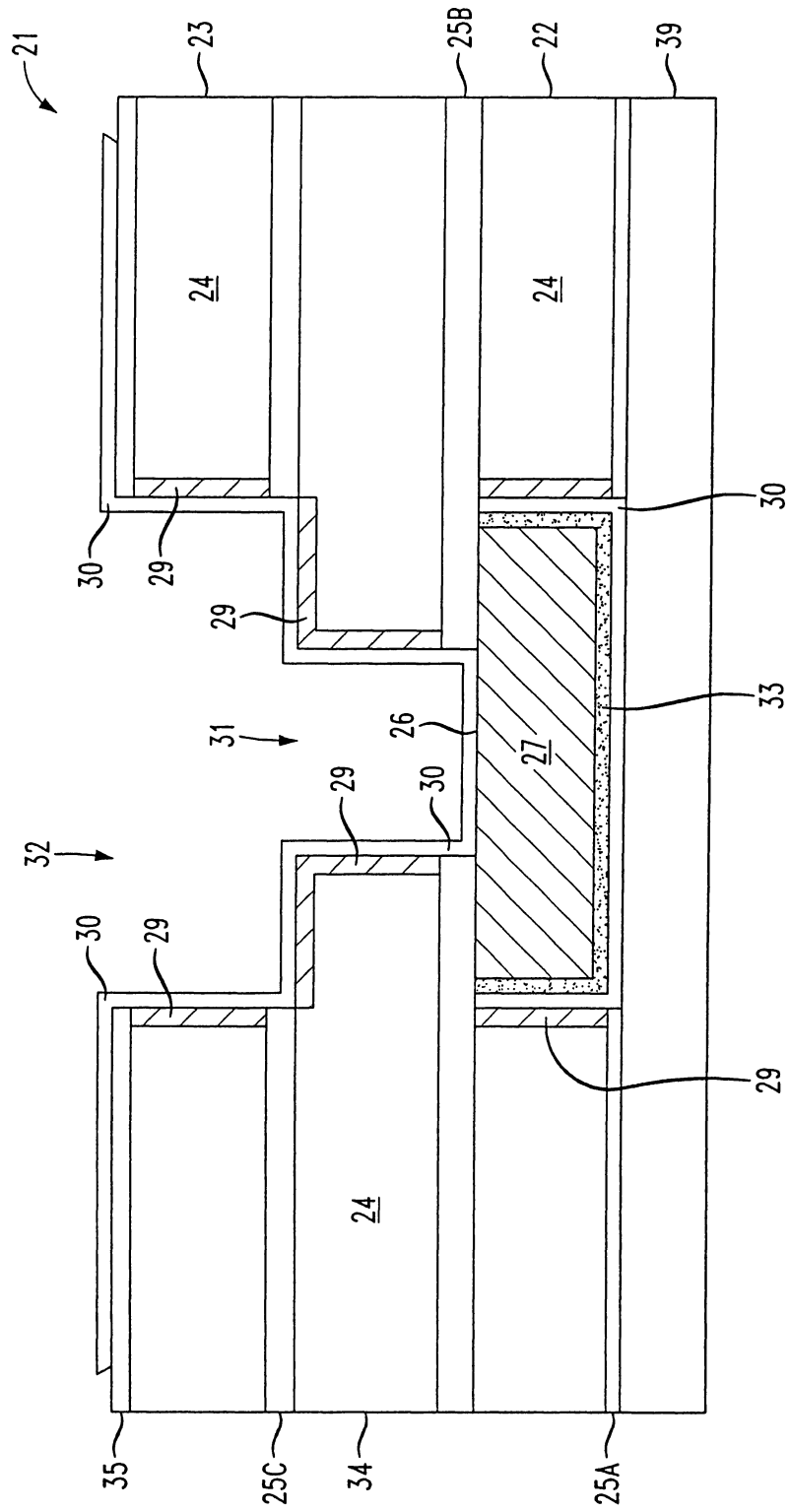


圖 5

