

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-506399

(P2014-506399A)

(43) 公表日 平成26年3月13日(2014.3.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 X	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/50 M	5 F 0 4 8
HO 1 L 29/417 (2006.01)	HO 1 L 27/08 3 2 1 C	5 F 1 4 0
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F	
HO 1 L 27/092 (2006.01)		

審査請求 有 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2013-547550 (P2013-547550)
 (86) (22) 出願日 平成23年12月20日 (2011.12.20)
 (85) 翻訳文提出日 平成25年6月28日 (2013.6.28)
 (86) 国際出願番号 PCT/US2011/066271
 (87) 国際公開番号 W02012/092038
 (87) 国際公開日 平成24年7月5日 (2012.7.5)
 (31) 優先権主張番号 12/982,083
 (32) 優先日 平成22年12月30日 (2010.12.30)
 (33) 優先権主張国 米国 (US)

(71) 出願人 593096712
 インテル コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州 サンタ クララ ミッション カ
 レッジ ブールバード 2200
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (72) 発明者 ムケルジー, ニロイ
 アメリカ合衆国 97007 オレゴン州
 ビーヴァートン サウスウエスト キャ
 ロロン ドライブ 7732

最終頁に続く

(54) 【発明の名称】 ソースおよびドレインの中の III - V 半導体中間層を使用することにより、Nチャネル・トランジスタの接触抵抗を低減する方法

(57) 【要約】

ソース内およびドレイン内において、III - V 半導体中間層を使用することによってnチャネル型トランジスタの接触抵抗を低減する方法が提示される。この点において、ソース領域とドレイン領域とを有するn型トランジスタと、前記トランジスタに隣接した第1の層間絶縁膜と、前記第1の層間絶縁膜を經由して前記ソース領域に達する溝部と、前記溝部内にある導電性のソース接触子と、III - V 半導体中間層によって前記ソース領域から離隔されていることを特徴とする前記ソース接触子とを具備するデバイスが説明される。本明細書と特許請求の範囲においてはその他の実施形態も開示される。

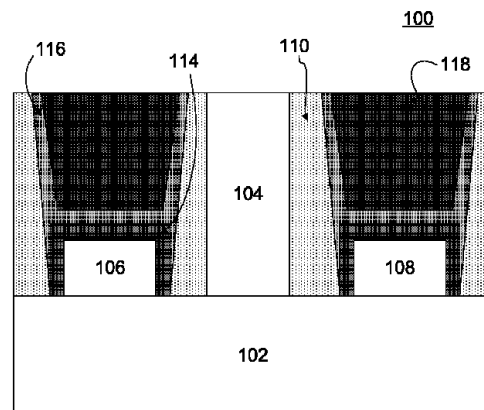


Figure 1

【特許請求の範囲】

【請求項 1】

ソース領域とドレイン領域とを有する n 型トランジスタと、
前記トランジスタに隣接した第 1 の層間絶縁膜と、
前記第 1 の層間絶縁膜を経由して前記ソース領域に達する溝部と、
前記溝部内にある導電性のソース接触子であって、III - V 半導体中間層によって前記
ソース領域から離隔されていることを特徴とする前記ソース接触子と、
を具備するデバイス。

【請求項 2】

前記トランジスタは、フィンを含むマルチゲート型トランジスタであることを特徴とする
る、請求項 1 記載のデバイス。 10

【請求項 3】

前記 III - V 半導体中間層は、前記フィンの上面と側壁面の上に位置することを特徴と
する、請求項 2 記載のデバイス。

【請求項 4】

前記 III - V 半導体中間層の厚みは、1 ナノメートルから 50 ナノメートルの間である
ことを特徴とする、請求項 1 記載のデバイス。

【請求項 5】

第 2 の層間絶縁膜と、
前記第 2 の層間絶縁膜に隣接し、複数の導電性バイアスと複数の導電性結線を有する第
1 の金属蒸着層と、 20
前記第 2 の層間絶縁膜の上にある第 3 の層間絶縁膜と、
前記第 3 の層間絶縁膜に隣接し、複数の導電性バイアスと複数の導電性結線を有する第
2 の金属蒸着層とをさらに備え、
前記第 1 の金属蒸着層の前記複数の導電性バイアスと前記複数の導電性結線の少なくと
も一部、および前記第 2 の金属蒸着層の前記複数の導電性バイアスと前記複数の導電性結
線の少なくとも一部は、導電性のソース接触子と電気的に接続されていることを特徴とす
る、請求項 1 記載のデバイス。

【請求項 6】

前記ソース領域は、基板上に盛り上がるようにして形成されたソース部分を備えること
を特徴とする、請求項 1 記載の方法。 30

【請求項 7】

前記基板上に盛り上がるようにして形成されたソース部分は、グループ IV の材料から成
ることを特徴とする、請求項 6 記載のデバイス。

【請求項 8】

前記基板上に盛り上がるようにして形成されたソース部分は、ドーピングされた複合物
質から成ることを特徴とする、請求項 6 記載のデバイス。

【請求項 9】

前記 III - V 半導体中間層は、InAs、GaSb および GaInAsSbP から成る
物質のグループの中から選択された複合物質により形成されることを特徴とする、請求項
1 記載のデバイス。 40

【請求項 10】

前記 III - V 半導体中間層は、ドーピングされた複合物質から成ることを特徴とする請
求項 1 記載のデバイス。

【請求項 11】

接触子を製造する方法であって：
トランジスタを有する基板の上に誘電層を堆積させるステップ；
エッチング処理により、前記誘電層の中にソース領域にまで達する第 1 の開口部を生成
するステップ；
前記ソース領域の上に III - V 半導体中間層を形成するステップ； 50

前記III - V半導体中間層の上に金属接触部を形成するステップであって、前記III - V半導体中間層が前記金属接触部を前記ソース領域から離隔している、ステップ；および、前記第1の開口部の空隙を全て隈なく充填するステップであって、前記第1の開口部が充填された後も、前記金属接触部は、前記III - V半導体中間層によって前記ソース領域から離隔されている、ステップ；
を備える方法。

【請求項12】

前記III - V半導体中間層の厚みは、1ナノメートルから50ナノメートルの間であることを特徴とする、請求項11記載の方法。

【請求項13】

前記III - V半導体中間層は、複数の技法から成るグループの中から選択された技法を使用して形成されることを特徴とする請求項11記載の方法であって、前記グループは：有機金属気相エピタキシ(MOVPE: Metallorganic Vapor Phase Epitaxy)、有機金属化学気相堆積(MOCVD: Metallorganic Chemical Vapor Deposition)、分子線エピタキシ(MBE: Molecular Beam Epitaxy)、有機金属分子線エピタキシ(MOMBE: Metallorganic Molecular Beam Epitaxy)、移行拡張分子線エピタキシ(MEE-MBE: Migration Enhanced Molecular Beam Epitaxy)、原子層エピタキシ(ALE: Atomic Layer Epitaxy)、原子層堆積(ALD: Atomic Layer Deposition)および物理的気相成長法(PVD: Physical Vapor Deposition)を含む、ことを特徴とする方法。

【請求項14】

前記III - V半導体中間層を形成する処理には、アニーリング処理が含まれることを特徴とする、請求項11記載の方法。

【請求項15】

前記トランジスタはマルチゲート型トランジスタであり、前記III - V半導体中間層の上面と側壁面を設けるために、前記III - V半導体中間層が前記マルチゲート型トランジスタのフィンの上面と側壁面の上に形成されることを特徴とし、

前記金属接触部は、前記III - V半導体中間層の上面と側壁面の上に形成されることを特徴とする、請求項11記載の方法。

【請求項16】

ソース領域とドレイン領域とを有するトランジスタと、
ソース接触子と、
ドレイン接触子と、を具備し、

前記ソース接触子は、第1のIII - V半導体中間層によって前記ソース領域から離隔されることにより、前記ソース領域と直接には隣接しておらず、前記ドレイン接触子は、第2のIII - V半導体中間層によって前記ドレイン領域から離隔されることにより、前記ドレイン領域と直接には隣接していないことを特徴とする、デバイス。

【請求項17】

前記トランジスタはマルチゲート型トランジスタであり、前記ソース領域は上面と側壁面とを有し、さらに、前記ドレイン領域は上面と側壁面とを有することを特徴とする、請求項16記載のデバイス。

【請求項18】

前記ソース領域は、基板の表面上に盛り上がるようにして形成されたソース部分を備え、前記ドレイン領域は、基板の表面上に盛り上がるようにして形成されたドレイン部分を備える、ことを特徴とする請求項16記載のデバイス。

【請求項19】

前記第1と第2のIII - V半導体中間層は、InAs、GaSbおよびGaInAsSbPから成る物質のグループの中から選択された複合物質により形成されることを特徴とする、請求項16記載のデバイス。

【請求項20】

前記トランジスタは、n型でグループIVの材料から成るチャンネル領域を有することを特

10

20

30

40

50

徴とする、請求項 16 記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、Nチャネル・トランジスタの接触抵抗を低減する方法に関する。

【背景技術】

【0002】

集積回路の製造において、トランジスタのような電子デバイスは、ウェーハ上に形成され多数の金属蒸着層を使用して相互に接続される。当該技術分野において周知であるように、金属蒸着層は、バイアス部と相互接続部とを含み、それらは、複数の当該電子デバイスを相互接続するための電氣的な経路として機能する。接触部は、当該バイアス部と相互接続部とを当該電子デバイスに接続する。

10

【発明の概要】

【0003】

本発明に係る電子デバイスは、ソース領域とドレイン領域とを有するn型トランジスタと、前記トランジスタに隣接した第1の層間絶縁膜と、前記第1の層間絶縁膜を經由して前記ソース領域に達する溝部と、前記溝部内にある導電性のソース接触子であって、III-V半導体中間層によって前記ソース領域から離隔されていることを特徴とする前記ソース接触子と、を具備する構成を採る。

【図面の簡単な説明】

20

【0004】

【図1】導電性の金属接触子が接触される領域からIII-V半導体中間層によって離隔されている電氣的接触子を有する電子デバイスを図示する垂直断面図。

【図2】図1において図示した電子デバイスを製造する際に使用することが可能な一つの方法を例示するフローチャート。

【図3】トランジスタ上に堆積された第1のILD層を図示する垂直断面図

【図4】第1のILD層の中に形成される溝部を図示する垂直断面図

【図5】溝部の中に堆積されるIII-V半導体中間層を図示する垂直断面図

【図6】III-V半導体中間層の上に堆積される導電層を図示する垂直断面図

【図7】充填材を図示する垂直断面図

30

【図8】追加のILD層と導電層を図示する垂直断面図

【図9】多数のゲート・トランジスタを等角図法により図示する図

【図10】第1のILD層を図示し、フィンのソース領域部分を通る面を断面とする垂直断面図

【図11】第1のILD層の中に形成される溝部を図示する垂直断面図

【図12】フィンのソース領域の上面および側壁面の上に形成されたIII-V半導体中間層であって、導電層116がその上に形成され、溝部の空隙を充填材が満たしているIII-V半導体中間層を図示する垂直断面図

【図13】充填材を欠いている実施例を図示する垂直断面図

【図14】同一の基板上にある第1のトランジスタと第2のトランジスタとを図示する垂直断面図

40

【発明を実施するための形態】

【0005】

本明細書の以下の説明においては、半導体デバイスから導電性接触子を離隔するIII-V半導体中間層を使用した半導体デバイスに対する接触子の多種多様な実施形態が検討される。本発明に係るこのような多種多様な実施の形態は、一つ以上の具体的な詳細無しに、又は他の置換均等物と共に、または追加の方法、部材もしくは構成要素と共に実施可能であることを、関連する技術分野の当業者は理解するだろう。他の具体例においては、本発明に係る様々な実施形態の具体的態様を不明確にすることを避けるために、周知の構造、部材または操作は示されたり説明されたりはしない。同様に、説明の都合上、本発明の

50

全体的な理解を手助けするために、具体的な数値、部材および構成が述べられる。しかしながら、本発明は、そのような具体的な詳細に限定されることなく実施することが可能である。さらに、図面中に図示された多種多様な実施形態は、例示的な図式表現として示されており、実際の寸法とは必ずしも一致しないことに留意されたい。

【0006】

本明細書の全体を通して、「一実施形態」または「一つの実施形態」との言及は、本発明に係る少なくとも一つの実施形態の中に含まれる実施形態と関連して説明される特定の特徴、構造、部材または特性を意味するけれども、それらの特徴、構造、部材または特性が全ての実施形態の中に存在することを示すものではない。従って、本明細書の全体を通じた様々な箇所において「一実施形態」または「一つの実施形態」との表現が現れた場合、それらは必ずしも本発明に関して同一の実施形態のことを指しているとは限らない。さらに、一つ以上の実施形態において、当該特定の特徴、構造、部材または特性は、任意の適切な方法で互いに組み合わせることが可能である。他の実施形態においては、多種多様な追加の層、及び/又は構造が含まれることが可能であり、また、他の実施形態においては、本明細書中で説明される一部の特徴は省略されることが可能である。

10

【0007】

本明細書においては、多種多様な操作が本発明を理解するのに最も役立つ方法で複数の別個の操作として順番に説明される。しかしながら、本明細書中での説明の順序は、これらの操作が必ずしも実行順序に依存した意味を持つと解釈されるべきではない。特に、これらの操作は、提示された順番で実行される必要は無い。本明細書中で説明される複数の操作は、本明細書中で説明された実施形態とは異なる順番で、逐次的に実行されても同時並列的に実行されても良い。追加的な実施形態においては、多種多様な追加の操作が実行されても良いし、本明細書中に記載された操作の一部が省略されても良い。

20

【0008】

図1は、導電性の金属接触子116が領域106および108からIII-V半導体中間層114によって離隔されている電氣的接触子を有する電子デバイス100を図示する垂直断面図である。一実施形態においては、デバイス100は、トランジスタである。当該トランジスタは、ソース領域106とドレイン領域108とを含む。当該ソース領域106とドレイン領域108に対する接触子が複数存在する。これらの接触子は、III-V半導体中間層114によってソース領域106とドレイン領域108から離隔されている導電性部材116を含んでいる。そのような構成配置は、シリコン-ゲルマニウムnチャネル・トランジスタ内における改善された電流の流れを生成する。上記のような電流改善効果は特に、III-V半導体中間層114が選択されたとき、及び/又はバンドギャップが比較的強く電子の移動度が比較的高くなるようにドーピングされたときに見られる。

30

【0009】

ソース領域106およびドレイン領域108と導電性部材116との間にIII-V半導体中間層114を使用することにより、デバイス100のサイズはより小さな寸法に縮小されることが可能であり、これは、直列抵抗を顕著に増加させずに、ショットキー・バリア高さ(Schottky Barrier Height)を低下させることにより達成可能である。III-V半導体中間層114の素材の幾つかの具体例には、InGa、GaSbおよびGaInAsSbPなどが含まれるが、これらだけに限定されるものではない。III-V半導体中間層114の素材として、他の素材を選択することも可能であり、幾つかの実施形態においては、III-V半導体中間層114の素材は、電子の移動度がより大きくなるようにドーピングされることが可能である。

40

【0010】

図面に示された具体例においては、デバイス100は、基板102を含む。この基板102は、その上に半導体デバイス類が構築され得る基礎部分としての役割を果たしても良い任意の部材によって構成されることが可能である。一実施形態においては、基板102はシリコンを含んだ基板であるが、他の具体例においては、グループIV材料のような他の材料を基板の素材として使用することも可能である。基板102は、バルク状シリコン

50

型またはシリコン・オン・インシュレータ型のサブ構造を使用して形成することも可能である。他の実装においては、基板102は、シリコンと共に合成されてもされなくてもよい代替的な材料を使用して形成されることが可能である。これら代替的な材料には、ゲルマニウム、アンチモン化インジウム、テルル化鉛、砒化インジウム、リン化インジウム、ガリウム砒素、アンチモン化ガリウムまたはその他のグループIII-V材料を含むがこれらだけに限定されるものではない。基板102は単体の部材であっても良いし、多層構造のものであっても良いし、多重構造を有していても良い。ここでは、基板102を形成する材料として僅かな具体例しか記述されないが、電子デバイスを上記の上に構築することが可能な基礎部分としての役割を果たし得る任意の材料は、本発明の技術思想と技術的範囲の中に含まれ得る。ドーピングを通じてn型チャネル領域が基板102の内部に形成されることが可能である。

10

【0011】

図面に示された具体例におけるデバイス100は、トランジスタを含んでいる。当該トランジスタは、ゲート104、ソース領域106およびドレイン領域108を含んでいる。当該トランジスタは、上記以外の幾つかの領域や構造部分を含むことも可能ではあるが、それらは説明を簡単かつ明瞭にするために省略される。図面においては、ソース部分とドレイン部分が盛り上がったトランジスタとして示されているが、当該トランジスタは平面構造とすることが可能であり、マルチゲート型トランジスタとすることが可能であり、異なる種類の材料の上に形成することも可能である。すなわち、本明細書において説明される接触子は、特定の種類のデバイス100やトランジスタに関するものだけに限定されるものではない。ソース領域106およびドレイン領域108は基板102の表面上にグループIVの材料を堆積することによって形成することが可能であり、さらにドーピングをすることが可能である。図中においては、ソース領域106およびドレイン領域108は、長方形の形状とされているが、他の形状とすることも可能である。

20

【0012】

図面に示された具体例においては、当該トランジスタの上に第1の層間絶縁(ILD)層110が存在する。ソース領域106とドレイン領域108に対する接触子は、当該第1のILD層110を通る溝部の中に形成される。説明を明瞭にするために、ゲート104に対する接触子は本明細書においては図示されていないが通常は存在することに留意されたい。図面中に示され、本明細書中で説明されるソース領域106およびドレイン領域108に対する接触子と同様に、ゲート104に対する接触子は、多種多様な実施形態において使用されることが可能である。本明細書中において説明される接触子は、ソース領域106およびドレイン領域108に対する接触子として使用されるものに限定されず、ゲート104や他の構成部分と共に使用されることが可能である。当該接触子は、当該トランジスタの操作を可能にし、多種多様なトランジスタ同士の間で電気的な通信を可能にし、さらに、デバイス100と外部のデバイスとの間で電気的な通信を可能にする。

30

【0013】

当該接触子は、図面に示された実施形態において、ソース領域106およびドレイン領域108に隣接しているIII-V半導体中間層114を含んでいる。III-V半導体中間層114と隣接する場所には、導電層116が存在する。III-V半導体中間層114は、ソース領域106およびドレイン領域108から(または接触子が接続しようとする任意の構成部分から)導電層116を離隔している。導電層116は、ソース領域106およびドレイン領域108と直接接触している状態ではないが、それでも依然として電気的な接触子として機能する。この種の接触子はさらに、デバイス100の性能を最適にするために望ましい態様で、ショットキー・バリアの高さ(Schottky Barrier Height)および接触抵抗を調整(チューニング)することを可能にすることができる。

40

【0014】

図面に示された実施形態において、第1のILD層を通る溝部の空間のうち、III-V半導体中間層114および導電層116によって占有されない残りの空間を隈なく充填するために、充填材118が存在する。充填材118は金属又は他の導電材であっても良く

50

、または他の物質であっても良い。幾つかの実施形態においては、別個の充填材 118 が存在するのではなく、むしろ、第 1 の I L D 層を通る溝部の空間のうち、III - V 半導体中間層 114 によって占有されない残りの空間を導電層 116 が隈なく充填するようにしても良い。

【0015】

図 2 は、図 1 に示されるデバイス 100 を製造するための一つの方法を図示するフローチャートである。他の実施形態においては他の方法を使用することが可能である。この例示的な方法の開始時点において、ゲート 104、ソース 106 およびドレイン 108 を含むトランジスタは、基板 102 の上に既に形成されているものとする。ステップ 202 において、当該トランジスタの上に第 1 の I L D 層 110 が堆積される。

10

【0016】

図 3 は、本発明に係る実施形態に従い、ステップ 202 において当該トランジスタ上に堆積された第 1 の I L D 層 110 を図示する垂直断面図である。第 1 の I L D 層 110 は、例えば、低 k 値の誘電体材料のように、集積回路構造のための誘電体層において適用可能な材料として知られている物質を使用して形成されることが可能である。そのような誘電体材料は、例えば、シリコン酸化物 (SiO₂) および炭素がドーピングされた酸化物 (CDO: Carbon Doped Oxide) のような酸化物、シリコン窒化物、有機ポリマー (例えば、ペルフルオロ化シクロブタンまたはポリテトラ・フルオロ・エチレン)、珪フッ化ガラス (FSG: FluoroSilicate Glass)、有機ケイ酸塩 (例えば、シルセスキ・オキサンまたはシロキサン) または有機ケイ酸塩ガラスなどを含むがこれらだけに限定されるものではない。誘電性の第 1 の I L D 層 110 は、その誘電率をさらに低減するために、間隙やその他の空隙を含んでいても良い。

20

【0017】

再び図 2 に戻ると、ステップ 204 において、第 1 の I L D 層 110 の中に開口部が形成される。図 4 は、ステップ 204 において、第 1 の I L D 層 110 の中に形成された溝部 112 を図示する垂直断面図である。ステップ 204 において溝部 112 を形成するために、一つ以上のウェット・エッチング法又はドライ・エッチング法のような任意の適切な方法を使用することが可能である。図面に示すように、溝部 112 はソース領域 106 とドレイン領域 108 のみに達している。しかしながら、図面中や明細書中には具体的に記載されないけれども、ゲート 104 に達する溝部 112 および接触子もまた形成されることが可能である。

30

【0018】

図 2 に示すとおり、ステップ 204 において溝部 112 が形成された後に、ステップ 206 において、溝部 112 の中に III - V 半導体中間層 114 が堆積されることが可能である。図 5 は、ステップ 206 において、溝部 112 の中に堆積された III - V 半導体中間層 114 を図示する垂直断面図である。幾つかの実施形態では、ステップ 206 における III - V 半導体中間層 114 の形成は、有機金属気相エピタキシ (MOVPE: Metallorganic Vapor Phase Epitaxy)、有機金属化学気相堆積 (MOCVD: Metallorganic Chemical Vapor Deposition)、分子線エピタキシ (MBE: Molecular Beam Epitaxy)、有機金属分子線エピタキシ (MOMBE: Metallorganic Molecular Beam Epitaxy)、移行拡張分子線エピタキシ (MEE-MBE: Migration Enhanced Molecular Beam Epitaxy)、原子層エピタキシ (ALE: Atomic Layer Epitaxy)、原子層堆積 (ALD: Atomic Layer Deposition) および物理的気相成長法 (PVD: Physical Vapor Deposition) によって実施されても良い。III - V 半導体中間層 114 は、エピタキシャル (単結晶)、不完全なエピタキシャル、多結晶またはアモルファスとすることが可能である。III - V 半導体中間層 114 は、ドーピングされても良いし、ドーピングされなくても良い。幾つかの実施形態では、III - V 半導体中間層 114 は、 $1 \text{ E } 16 / \text{ c m }^3$ と $1 \text{ E } 21 / \text{ c m }^3$ との間となるようにドーピングされる。

40

【0019】

幾つかの実施形態においては、III - V 半導体中間層 114 の厚みは N M O S 接触抵抗

50

を最小化するように選ばれる。これを達成するために、幾つかの実施形態においては、III-V半導体中間層114の厚みは、約1ナノメートルから50ナノメートルの間の厚みとなるようにすることが可能である。III-V半導体中間層114の厚みは、上記以外の他の厚みとすることもまた可能である。III-V半導体中間層114の形成は、ソース領域106およびドレイン領域108の上における選択的方法または溝部112内におけるブランケット方法に従って実施することが可能である。従って、使用される形成方法に応じて、溝部112の両脇から、望ましくない可能性があるIII-V半導体層114を除去するための追加の処理ステップが必要とされる可能性がある。溝部112内を充填する前又は後のいずれかの時点において、III-V半導体中間層114は、アニーリング処理またはこれと同様の処理をされることが可能である。そのようなアニーリング処理は、一時間10にわたる300°Cフラッシュ・アニールから600°Cフラッシュ・アニールの間の範囲内とすることが可能である。

【0020】

再び図2を参照すると、ステップ208において、導電層116が、III-V半導体中間層114の上に堆積される。図6は、ステップ208においてIII-V半導体中間層114の上に堆積される導電層116を図示する垂直断面図である。導電層116は、ステップ208において、化学気相堆積(CVD)、原子層堆積(ALD)、無電解メッキまたは他の適切な堆積方法のようなコンフォーマルな堆積方法によって堆積されることが可能である。導電層116が溝部112内の余った空間を充填するのに使用される実施形態(図13は、そのような実施形態を図示する垂直断面図である)のような幾つかの実施形態においては、または、溝部112が十分に大きい場合においては、ステップ208において、導電層116を堆積させるために、物理的気相成長法(PVD)のような非コンフォーマルな堆積技法が使用され得る。

【0021】

導電層116は、金属であっても良いし、幾つかの実施形態においては、金属を含む物質であっても良い。多種多様な金属が使用可能である。幾つかの実施形態においては、導電層116の材料は、トランジスタの種類に応じた適切な仕事関数に基づいて選択することが可能である(PMOSトランジスタに関しては、高い仕事関数を有する金属を材料とし、NMOSトランジスタに関しては、低い仕事関数を有する金属を材料とし、高い仕事関数とは、約5 eVを上回る仕事関数であり、低い仕事関数とは、3.2 eV以下の仕事関数を意味する)が、これは必須ではない。導電層116のために使用される物質は、アルミニウム、ニッケル、マグネシウム、銅またはその他の金属を含み得る。さらには、導電性金属の炭化物や窒化物またはその他の物質も導電層116の材料として使用することが可能である。導電層116の厚みとして、任意の適切な厚みを使用することが可能である。幾つかの実施形態においては、導電層116の厚みを100オングストロームよりも厚くすることが可能であり、幾つかの実施形態においては、導電層116の厚みを100オングストロームより大幅に厚くすることも可能である。

【0022】

幾つかの実施形態においては、ゲート104は、自身が除去され、第1のILD層110が堆積された後に、新たなゲートが形成される犠牲ゲートである。そのような実施形態においては、当該新たなゲートは同一の方法で形成され、導電層116と同時に形成される。

【0023】

再び図2を参照すると、ステップ210において、溝部112の空隙部分が充填される。図7は、充填材118を図示する垂直断面図である。この充填材118は、導電材料であっても良いし、他の任意の適切な材料であっても良いし、単一物質であっても複合物質であっても良く、任意の適切な方法により堆積されることが可能である。上述したとおり、複数の実施形態においては、導電層116が溝部112を充填しても良い。図13に示すように、そのような実施形態においては、別個の充填材118は使用されない。

【0024】

10

20

30

40

50

再び図2を参照すると、ステップ212において、追加のILD層と導電層とがさらに形成される。図8は、追加のILD層と導電層を図示する垂直断面図である。図8においては、III-V半導体中間層114、導電層116および充填材118は、第1のILD層110の上面と実質的に同一平面上にあるように平坦化される。当該平坦化の処理の後に、溝部112内のソース領域106に至る導電層116は、溝部112内のドレイン領域108に至る導電層116とは連続していない。このように、導電層116は、ソース領域106の左側にある溝部112内の第1の導電層およびドレイン領域108の右側にある溝部112内の第2の導電層となったと考えることが可能である。

【0025】

第2のILD層120は、第1のILD層110の上に堆積されている。第2のILD層120内のバイアス122と結線124とは、溝部112内の接触子によってソース領域106とドレイン領域108とに電氣的に接続される。第3のILD層126は、第3のILD層120の上に堆積されている。第3のILD層126内のバイアス122と結線124とは、溝部112内の接触子によってソース領域106とドレイン領域108とに電氣的に接続される。他の実施形態においては、追加のILD層や導電部分が存在しても良い。

10

【0026】

図9は、多数のゲート・トランジスタを等角図法により図示する図である。3ゲート型トランジスタのような他の種類のトランジスタに対してもまた、図1および図3～図8に示したものと同様である半導体上に導電体を配置したタイプの接触子を使用することが出来る。図9に図示される3ゲート型トランジスタは、フィン130を含んでいる。フィン130のいずれか一方の側には、絶縁領域138が存在する。フィン130の反対側の側面と上面とに隣接する形で、フィン130上にゲート電極132が設けられている。ゲート電極132の一方の端にはソース領域134が存在し、ゲート電極132の他方の端にはドレイン領域136が存在する。図9においては、ソース領域134とドレイン領域136に関して、フィン130の上面のみを指している矢印のみが示されているが、ソース領域134とドレイン領域136は、フィン130の上面と側面に沿って広がっていても良い。

20

【0027】

図10は、第1のILD層110を図示し、フィンのソース領域部分134を通る面を断面とする垂直断面図であり、第1のILD層110は、図3に示したように平面状トランジスタの上に第1のILD層110が形成される方法と同様の方法で形成される。図11は、第1のILD層110の中に形成される溝部112を図示する垂直断面図である。ソース領域134は、この溝部112によって露出される。

30

【0028】

図12は、フィン130のソース領域134の上面および側壁面の上に形成されたIII-V半導体中間層114であって、導電層116がその上に形成され、溝部112の空隙を充填材118が満たしているIII-V半導体中間層114を図示する垂直断面図である。これらの部材は、デバイス100に関して上述した方法と同様の方法により形成されることが可能である。デバイス100の場合と同様に、III-V半導体中間層114は、導電層116をソース領域134から離隔しており、それにもかかわらず、トンネリングを介することにより、導電体が当該ソース領域と接続されていた場合よりも低い抵抗で接触することを可能にしている。

40

【0029】

図14は、同一の基板上にある第1のトランジスタ302と第2のトランジスタ304とを図示する垂直断面図である。トランジスタ304は、接触子306を有し、接触子306は、シリコン化合物、ゲルマニウム化合物またはこれらと同様の材料から成り、そうでなければ、ソース領域106およびドレイン領域108と接触している導電部分を有している。AとAの間を結ぶ曲線状の線は、トランジスタ302とトランジスタ304とが互いにすぐ横に位置しているのではなく、離隔されている場合もあり得ることを示してい

50

る。幾つかの実施形態においては、基板102の上の一部のトランジスタ(例えば、トランジスタ302)は、接触子を含むことが可能であり、この場合、導電部分116は、III-V半導体中間層114によってソース領域106および/またはドレイン領域108から離隔されている。他方、同一基板上の他のトランジスタ(例えば、トランジスタ304)は、接触子306を含むことが可能であり、この場合、接触子306は、ソース領域106および/またはドレイン領域108と接触状態にある導電部分と共にシリコン化合物、ゲルマニウム化合物またはその他の材料により形成される。例えば、接触子を備え、導電部分116が絶縁層114によってソース領域106および/またはドレイン領域108から離隔されているトランジスタ302は、NMOSTランジスタとすることが可能であり、他方、トランジスタ304はPMOSTランジスタとすることが可能であるが、トランジスタ304の方は本発明が教示する技術的メリットを享受しない可能性がある。位置実施形態において、一つの基板の上の全てのトランジスタが同一タイプ(全てN型または全てP型)である場合には、あるタイプの接触子を設けることが可能であり、他方、一つの基板の上の全てのトランジスタが互いに正反対のタイプのものから成る場合には、別のタイプの接触子を設けることが可能である。代替的な実施形態においては、選択されたN型トランジスタは、接触子を有し、導電部分116が、III-V半導体中間層114によってソース領域106および/またはドレイン領域108から離隔されており、同時に、選択されなかった残りのトランジスタは、より従来型の接触子を有することが可能である。さらに別の実施形態においては、基板102の上の全てのトランジスタは接触子を有し、導電部分116が、III-V半導体中間層114によってソース領域106および/またはドレイン領域108から離隔されている。さらに別の実施形態においては、あるタイプである一部又は全てのトランジスタは、絶縁性の層114、導電性の層116および(該当する場合には)充填材から成る層118を有することが可能であり、これらの層は、他のタイプのトランジスタを構成する絶縁性の層114、導電性の層116および(該当する場合には)充填材から成る層118とは異なる材料から成っている。例えば、N型のトランジスタは部材の第1の組を有し、それらの部材は、絶縁性の層114、導電性の層116および(該当する場合には)充填材から成る層118を備えており、同一の基板102の上にあるP型のトランジスタは部材の第2の組を有し、それらの部材は、絶縁性の層114、導電性の層116および(該当する場合には)充填材から成る層118を備えている。

10

20

30

【0030】

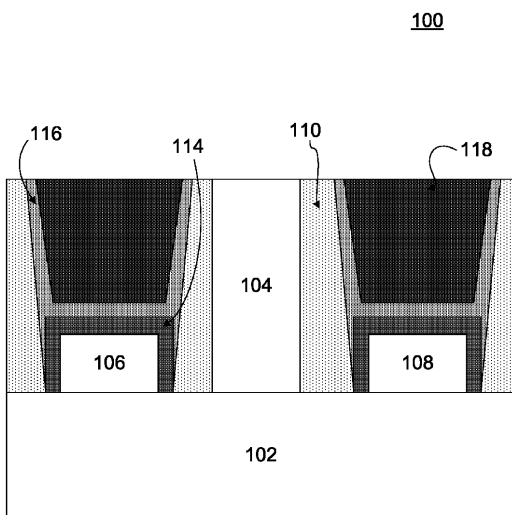
本発明の実施形態に関する以上の記述は、具体例の例示と説明のために提示された。以上の説明は全ての実施形態を網羅することを意図しておらず、本明細書中で開示された実施形態と厳密に一致するように本発明の範囲を限定するように意図するものでもない。以上の説明と以下に記述する請求項は、左の、右の、上面の、底面の、上にある、下にある、上側の、下側の、第1の、第2の、などの用語を含んでいるが、これらの用語は、説明の都合上使用しているだけであり、これらの用語により本発明の範囲を限定解釈すべきではない。例えば、相対的に垂直の位置を指す用語は、基板又は集積回路において電子デバイスが存在する側面(またはアクティブな面)がその基板の上面である状況を指して言う。すなわち、基板は実際には任意のあらゆる方向に向くことが可能であるから、標準的な地球基準座標系において基板の上面が底面よりも下になる場合もあり得るが、その場合であっても依然として用語「上面」が表す意味の範囲内に含まれる。本明細書中の記載および請求項中の記載において、用語「の上に」は、特に断わらない限り、第2の層の上にある第1の層が、第2の層と直接接することを意味しない。すなわち、第1の層と第2の層の間に第3の層やその他の構造部分が有るかも知れない。本明細書において説明された電子デバイスまたは製造結果物に係る実施形態は、製造することが可能であり、使用することが可能であり、多数の場所や方向に出荷することが可能である。関連する技術分野における当業者は、上述した教示内容を考慮することにより、本発明の様々な変形実施例を実施することが可能であることを理解するだろう。当業者には、図面に示された様々な構成要素に関して可能な様々な組み合わせや置換を想定できるだろう。従って、本発明の範囲

40

50

は、本明細書の発明の詳細な説明によっては限定されず、本明細書に添付された請求項の記載によって特定される。

【 図 1 】



【 図 2 】

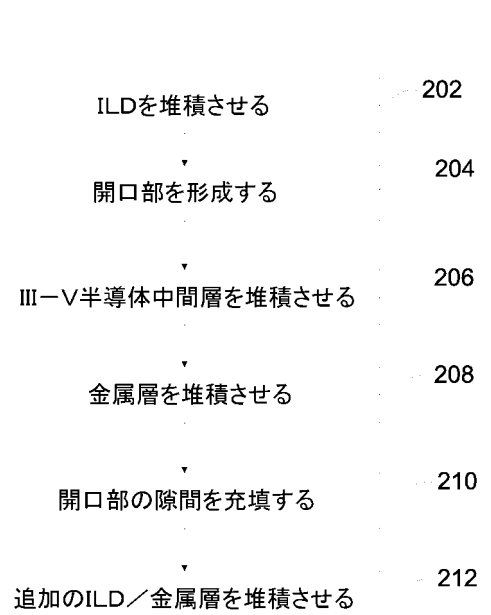


Figure 1

【 図 3 】

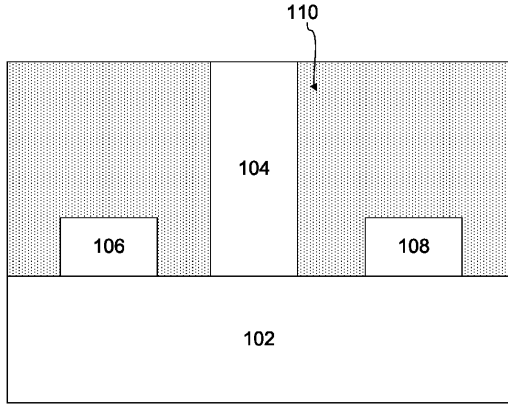


Figure 3

【 図 4 】

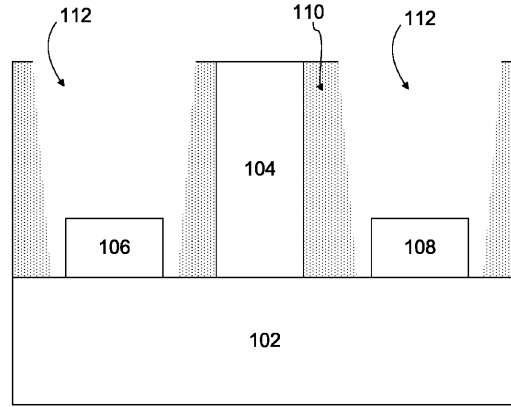


Figure 4

【 図 5 】

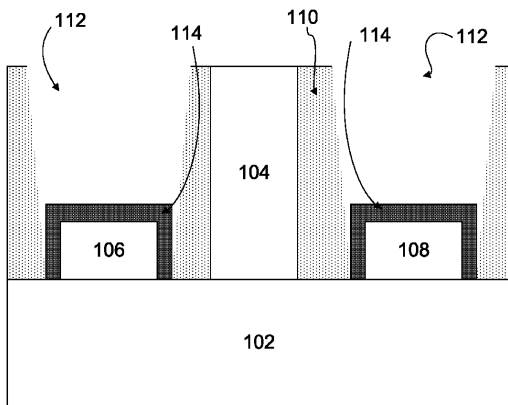


Figure 5

【 図 6 】

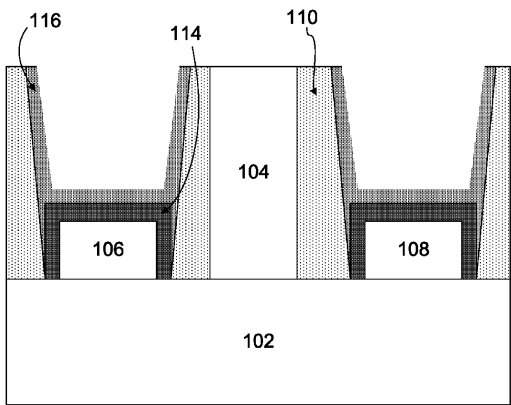


Figure 6

【 図 7 】

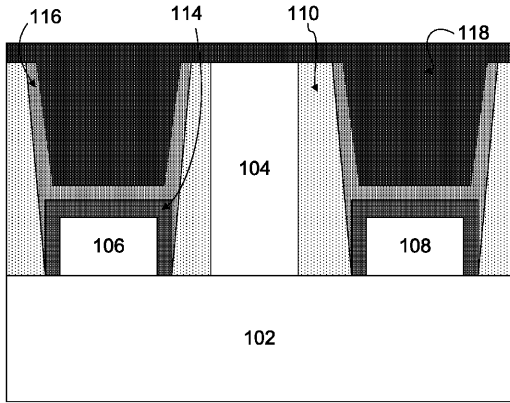


Figure 7

【 図 8 】

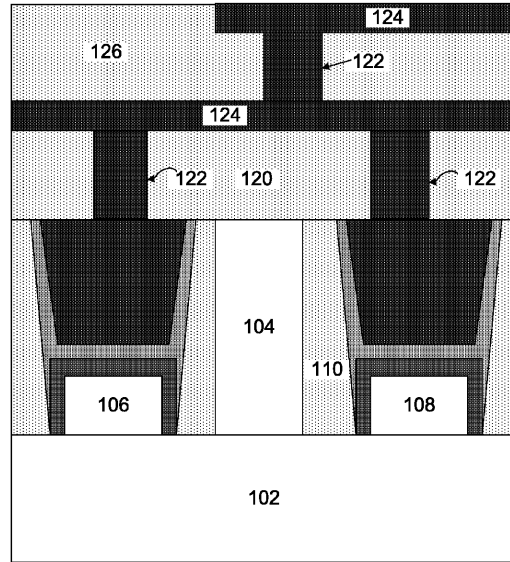
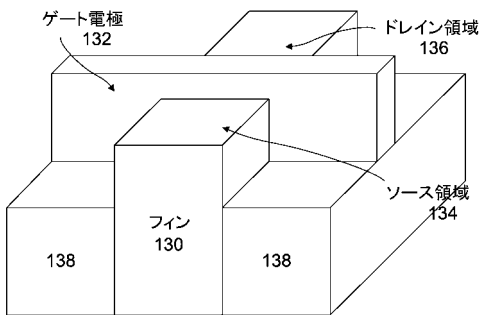


Figure 8

【 図 9 】



【 図 1 0 】

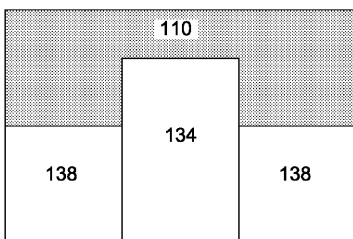


Figure 10

【 図 1 1 】

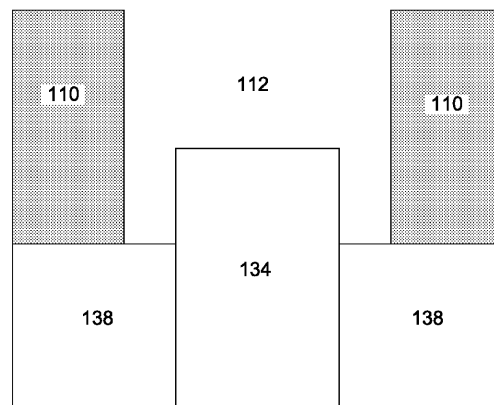


Figure 11

【 図 1 2 】

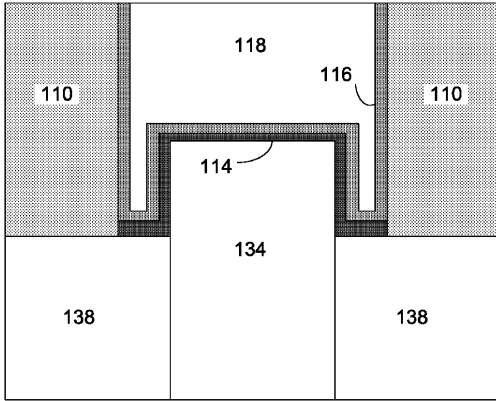


Figure 12

【 図 1 3 】

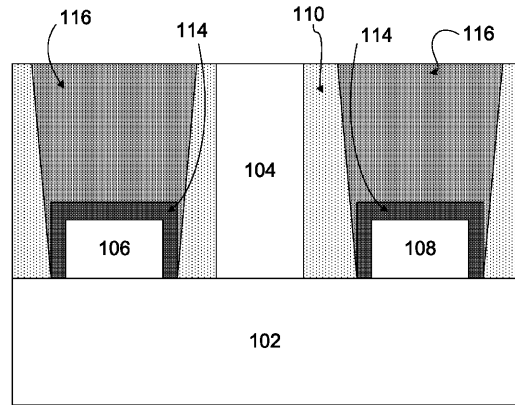


Figure 13

【 図 1 4 】

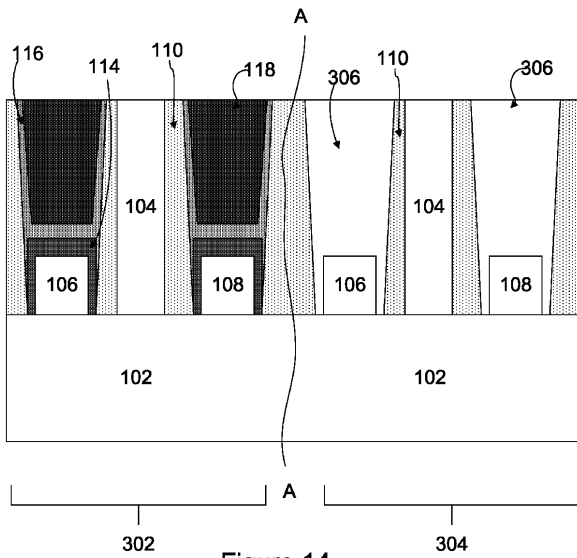


Figure 14

【 図 1 5 】

150

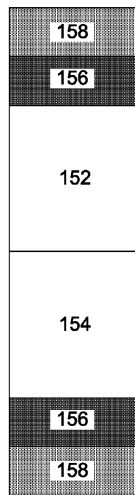




Figure 15

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2011/066271
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78(2006.01)i, H01L 21/336(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 29/78; H01L 21/336; H01L 29/267; H01L 21/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: source, drain, contact, III-V, InAs, GaSb, InGaAs, barrier		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010-0155846 A1 (MUKHERJEE, NILOY et al.) 24 June 2010 See abstract; paragraphs[0022]-[0040]; figs.4,8,9	1-20
A	US 6610576 B2 (NOWAK, EDWARD J.) 26 August 2003 See abstract; column 7, line 63 - column 10, line 45; figs.11C,12C,14C,23C	1-20
A	US 2010-0163926 A1 (HUDAIT, MANTU K. et al.) 01 July 2010 See abstract; paragraphs[0014]-[0040]; figs.4,5	1-20
A	US 2008-0124878 A1 (COOK, TED E. et al.) 29 May 2008 See abstract; paragraphs[0023]-[0045]; figs.3,5F,8D	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 AUGUST 2012 (23.08.2012)		Date of mailing of the international search report 30 AUGUST 2012 (30.08.2012)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Choi Jeongmin Telephone No. 82-42-481-8708 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2011/066271

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0155846 A1	24.06.2010	CN 102239546 A	09.11.2011
		EP 2359394 A2	24.08.2011
		JP 2012-508989 A	12.04.2012
		KR 10-2011-0084166 A	21.07.2011
		TW 201034185 A	16.09.2010
		US 8110877 B2	07.02.2012
		WO 2010-080276 A2	15.07.2010
		WO 2010-080276 A3	15.07.2010
US 6610576 B2	26.08.2003	US 2003-0111686 A1	19.06.2003
		US 2003-0141525 A1	31.07.2003
		US 2005-0110079 A1	26.05.2005
		US 6841834 B2	11.01.2005
		US 7256458 B2	14.08.2007
US 2010-0163926 A1	01.07.2010	US 2012-018781 A1	26.01.2012
US 2008-0124878 A1	29.05.2008	US 2011-215375 A1	08.09.2011
		US 7943469 B2	17.05.2011

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, T J, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, R O, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, H U, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72)発明者 デューイ, ギルバート
アメリカ合衆国 97123 オレゴン州 ヒルズボロ サウスイースト 58ス アヴェニュー
920

(72)発明者 ラドサヴリエヴィッチ, マルコ
アメリカ合衆国 97006 オレゴン州 ビーヴァートン ノースウエスト チャパラル テラ
ス 4129

(72)発明者 チャウ, ロバート エス.
アメリカ合衆国 97007 オレゴン州 ビーヴァートン サウスウエスト 171スト アヴ
ェニュー 8875

(72)発明者 メッツ, マシュー ヴィー.
アメリカ合衆国 97229 オレゴン州 ポートランド ノースウエスト アローラ プレイス
18860

Fターム(参考) 4M104 AA01 AA02 AA03 AA04 AA05 AA09 AA10 BB02 BB04 BB05
BB36 CC01 DD08 DD09 DD43 DD78 GG09 GG14 HH15
5F048 AC01 AC03 BA01 BA14 BA16 BD06 BF07 BF16
5F140 AA10 AB03 AC01 AC36 BA01 BA03 BA06 BA07 BA08 BA17
BB05 BH06 BJ04 BJ15 BJ27 BJ28 BK25 BK28 BK29 BK30
CA06 CB04 CC02 CC03 CC04 CC08 CC10 CE05