

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5942155号
(P5942155)

(45) 発行日 平成28年6月29日 (2016. 6. 29)

(24) 登録日 平成28年6月3日 (2016. 6. 3)

(51) Int. Cl.	F 1
A 6 3 F 7/02 (2006.01)	A 6 3 F 7/02 3 2 6 Z
	A 6 3 F 7/02 3 3 4
	A 6 3 F 7/02 3 2 0

請求項の数 2 (全 132 頁)

(21) 出願番号	特願2014-138916 (P2014-138916)	(73) 特許権者	000132747
(22) 出願日	平成26年7月4日 (2014. 7. 4)		株式会社ソフィア
(62) 分割の表示	特願2010-242696 (P2010-242696)		群馬県桐生市境野町7丁目201番地
	の分割	(74) 代理人	100075513
原出願日	平成22年10月28日 (2010. 10. 28)		弁理士 後藤 政喜
(65) 公開番号	特開2014-223394 (P2014-223394A)	(74) 代理人	100120260
(43) 公開日	平成26年12月4日 (2014. 12. 4)		弁理士 飯田 雅昭
審査請求日	平成26年8月1日 (2014. 8. 1)	(72) 発明者	松橋 光一
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内
		(72) 発明者	田中 雅也
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内
		審査官	森田 真彦

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技の演出を行う複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するための単位制御手段をグループ毎に設けるとともに、

前記単位制御手段の各々を制御する統括制御手段を設け、

前記統括制御手段と前記単位制御手段との間にデータ信号線とタイミング信号線を備え、前記データ信号線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記統括制御手段から前記単位制御手段にデータを順次送信可能とし、

前記統括制御手段は、

前記単位制御手段の各々に対して、異なるタイミングで演出制御情報を送信し、

前記単位制御手段は、

前記演出制御情報を受信した場合に、受信したことを示す返答信号を前記統括制御手段に送信し、

前記統括制御手段から送信される情報によって、当該単位制御手段に接続されている演出装置の出力態様を、前記統括制御手段から送信された演出制御情報に対応する出力態様に更新するタイミングを選択可能に構成され、

前記出力態様を更新するタイミングは、前記演出制御情報の送信後の、前記統括制御手段により前記単位制御手段の各々に対して同時に送信される更新指令信号を受信した場合に前記出力態様を更新する第1更新タイミングと、当該単位制御手段が前記演出制御情報

10

20

の受信に伴う返答信号を送信した場合に前記出力態様を更新する第2更新タイミングとのいずれかより選択可能であり、

遊技を統括的に制御する遊技制御手段からの指令に基づいて、遊技に係る演出を制御可能な演出制御手段を、前記単位制御手段を統括的に制御する統括制御手段として構成するようにしたことを特徴とする遊技機。

【請求項2】

遊技に関する画像を出力する画像出力装置を備え、

前記統括制御手段は、

データ送信を行う場合は、前記単位制御手段に対して所定の送信開始指令を送信した後
にデータ送信を開始するようにし、

前記画像出力装置に出力される画像を更新する画像更新タイミングと一致する定時タイミングで定期的にデータ送信を行うことを特徴とする請求項1に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

演出装置を制御する単位制御手段と、単位制御手段を制御する統括制御手段とを備える遊技機に関する。

【背景技術】

【0002】

演出制御装置及び装飾制御装置の配線が簡素で、組み立て性の良い遊技機を実現するための技術として、特許文献1に開示された技術などが知られている。

【0003】

特許文献1に開示された遊技機では、演出制御装置に接続された複数の装飾制御装置を備えており、これらの複数の装飾制御装置は、装飾制御装置同士で直列に接続され、一意なアドレスを有し、装飾制御データ（演出制御データ）が入力されると、入力された装飾制御データに含まれるアドレスと制御装置が有するアドレスとが一致する場合に、装飾制御データに基づく演出を行う構成となっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-88667号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の遊技機では、配線を十分に削減することができなかった。

本発明では、統括制御手段と単位制御手段との間の配線を削減することのできる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の代表的な一形態では、遊技の演出を行う複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するための単位制御手段をグループ毎に設けるとともに、前記単位制御手段の各々を制御する統括制御手段を設け、前記統括制御手段と前記単位制御手段との間にデータ信号線とタイミング信号線を備え、前記データ信号線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記統括制御手段から前記単位制御手段にデータを順次送信可能とし、前記統括制御手段は、前記単位制御手段の各々に対して、異なるタイミングで演出制御情報を送信し、前記単位制御手段は、前記演出制御情報を受信した場合に、受信したことを示す返答信号を前記統括制御手段に送信し、前記統括制御手段から送信される情報によって、当該単位制御手段に接続されている演出装置の出力態様を、前記統括制御手段から送信された演出制御情報に対応する出力態様に更新

10

20

30

40

50

するタイミングを選択可能に構成され、前記出力態様を更新するタイミングは、前記演出制御情報の送信後の、前記統括制御手段により前記単位制御手段の各々に対して同時に送信される更新指令信号を受信した場合に前記出力態様を更新する第1更新タイミングと、当該単位制御手段が前記演出制御情報の受信に伴う返信信号を送信した場合に前記出力態様を更新する第2更新タイミングとのいずれかより選択可能であり、遊技を統括的に制御する遊技制御手段からの指令に基づいて、遊技に係る演出を制御可能な演出制御手段を、前記単位制御手段を統括的に制御する統括制御手段として構成するようにした。

【発明の効果】

【0009】

本発明の一形態によれば、統括制御手段と単位制御手段との間の配線を削減することができる。

10

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施の形態の遊技機の説明図である。

【図2】本発明の第1の実施の形態の遊技盤の正面図である。

【図3】本発明の第1の実施の形態のセンターケースの分解斜視図である。

【図4】本発明の第1の実施の形態の可動演出装置が動作する前の状態を示す図である。

【図5】本発明の第1の実施の形態の可動演出装置が動作し、第1演出ユニット及び第2演出ユニットが動作した結果、当接部（第1当接部及び第2当接部）にて当接している状態を示す図である。

20

【図6】本発明の第1の実施の形態の第1演出部材の分解斜視図である。

【図7】本発明の第1の実施の形態の第2演出部材の分解斜視図である。

【図8】本発明の第1の実施の形態の遊技機1の配線を説明する図である。

【図9】本発明の第1の実施の形態の遊技機1の構成を示すブロック図である。

【図10】本発明の第1の実施の形態の演出制御装置の構成を示すブロック図である。

【図11】本発明の第1の実施の形態の演出制御装置に備えられた第1マスタICと遊技盤に備えられた演出装置の構成を示すブロック図である。

【図12】本発明の第1の実施の形態の演出制御装置に備えられた第2マスタICと前面枠に備えられた演出装置の構成を示すブロック図である。

【図13】本発明の第1の実施の形態の遊技盤の構成を示す図である。

30

【図14】本発明の第1の実施の形態の前面枠の構成を示す図である。

【図15】本発明の第1の実施の形態の演出制御装置と遊技盤に含まれる中継基板及び装飾制御装置の接続状態を説明する図である。

【図16】本発明の第1の実施の形態の演出制御装置と、通常版前面枠に含まれる簡易中継基板及び装飾制御装置の接続状態を説明する図である。

【図17】本発明の第1の実施の形態の装飾制御装置のブロック図である。

【図18】本発明の第1の実施の形態のI²C I/Oエクスパンダの構成を示すブロック図である。

【図19】本発明の第1の実施の形態の装飾装置を制御する装飾制御装置のI²C I/Oエクスパンダ周辺の回路図である。

40

【図20】本発明の第1の実施の形態の装飾制御装置のI²C I/Oエクスパンダ周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【図21】本発明の第1の実施の形態の装飾制御装置、中継基板及び簡易中継基板の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【図22】本発明の第1の実施の形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレスの説明図である。

【図23】本発明の第1の実施の形態のI²C I/Oエクスパンダアドレステーブルの説明図である。

【図24】本発明の第1の実施の形態のI²C I/Oエクスパンダに備えられる出力設定

50

レジスタに割り当てられたワークレジスタを説明するための図である。

【図 25】本発明の第 1 の実施の形態のマスタ IC が接続線 SDA 及び接続線 SCL を介してデータを出力するスタート条件及びストップ条件の説明図である。

【図 26】本発明の第 1 の実施の形態のマスタ IC から出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

【図 27】本発明の第 1 の実施の形態のマスタ IC が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。

【図 28】本発明の第 1 の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で送受信されるデータのフォーマットを説明する図である。

10

【図 29】本発明の第 1 の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で送受信される演出制御データに具体的な数値を適用した図である。

【図 30】本発明の第 1 の実施の形態のマスタ IC の演出制御データを送信する順序を説明する図である。

【図 31】本発明の第 1 の実施の形態のマスタ IC が I²C I/O エクスパンダを初期化する場合に、マスタ IC から I²C I/O エクスパンダに送信される初期化指示データのフォーマットを説明する図である。

【図 32】本発明の第 1 の実施の形態の第 1 マスタ IC の異常判定テーブルを説明する図である。

20

【図 33】本発明の第 1 の実施の形態の第 2 マスタ IC の異常判定テーブルを説明する図である。

【図 34】本発明の第 1 の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時に CPU とマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）との間で送受信される情報を説明する図である。

【図 35】本発明の第 1 の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際に CPU とマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）との間で送受信される情報を説明する図である。

【図 36】本発明の第 1 の実施の形態の演出制御装置からマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）に演出制御データを送信する段階を説明する図である。

30

【図 37】本発明の第 1 の実施の形態の演出制御装置による処理の手順を示すフローチャートである。

【図 38】本発明の第 1 の実施の形態の第 1 マスタ IC 側のスレーブ初期化開始処理及び第 2 マスタ IC 側のスレーブ初期化開始処理の手順を示すフローチャートである。

【図 39】本発明の第 1 の実施の形態の演出制御定期処理の手順を示すフローチャートである。

【図 40】本発明の第 1 の実施の形態の第 1 マスタ IC 側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【図 41】本発明の第 1 の実施の形態の第 2 マスタ IC 側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

40

【図 42】本発明の第 1 の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図 43】本発明の第 1 の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【図 44】本発明の第 1 の実施の形態のデータの送信再開処理の継続を判断するための送信処理継続判定表の一例を示す図である。

【図 45】本発明の第 1 の実施の形態のマスタ IC によるデータ送信処理の手順を示すフローチャートである。

【図 46】本発明の第 1 の実施の形態のスタートコンディション出力処理の手順を示すフローチャートである。

50

【図４７】本発明の第１の実施の形態のＳＣＬ解放監視処理の手順を示すフローチャートである。

【図４８】本発明の第１の実施の形態のＳＤＡ解放監視処理の手順を示すフローチャートである。

【図４９】本発明の第１の実施の形態のスレーブ側のＩ^２ＣＩ／Ｏエキスパンダへのデータ送信処理の手順を示すフローチャートである。

【図５０】本発明の第１の実施の形態のストップコンディション出力処理の手順を示すフローチャートである。

【図５１】本発明の第１の実施の形態のスレーブ側のＩ^２ＣＩ／Ｏエキスパンダにおける処理の手順を示すフローチャートである。

10

【図５２】本発明の第１の実施の形態のスレーブ側のＩ^２ＣＩ／Ｏエキスパンダにおけるアドレス認識処理などの手順を示すフローチャートである。

【図５３】本発明の第１の実施の形態のスレーブ側のＩ^２ＣＩ／Ｏエキスパンダにおけるデータの読み出し処理の手順を示すフローチャートである。

【図５４】本発明の第１の実施の形態のＶＤＰ割込み時に演出制御装置のＣＰＵからの指示によって、第１マスタＩＣ及び第２マスタＩＣによる処理が並列して実行される状態を示すタイミングチャートである。

【図５５】本発明の第１の実施の形態における装飾制御装置のＩ^２ＣＩ／Ｏエキスパンダと、装飾装置との接続例を示す図であり、８セット分のＬＥＤを２つのＩ^２ＣＩ／Ｏエキスパンダによって制御する構成を示す図である。

20

【図５６Ａ】本発明の第１の実施の形態における装飾制御装置がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【図５６Ｂ】本発明の第１の実施の形態における装飾制御装置がデータを受信し、発光装置を制御するタイミングを示す図である。

【図５７】本発明の第１の実施の形態において、接続線ＳＤＡの占有を開始したＩ^２ＣＩ／Ｏエキスパンダ６１５が接続線ＳＣＬの立下りを待機している状態が発生し、一定時間経過後に、接続線ＳＤＡを占有したＩ^２ＣＩ／Ｏエキスパンダが自己をリセットして、バスを解放することを試みる手順を説明する図である。

【図５８】本発明の第１の実施の形態において、接続線ＳＤＡが何らかの原因により占有されている状態が発生し、接続線ＳＤＡの占有を検出したＩ^２ＣＩ／Ｏエキスパンダが自己をリセットして、バスを解放することを試みる手順を説明する図である。

30

【図５９】本発明の第１の実施の形態においてスレーブ側のＩ^２ＣＩ／Ｏエキスパンダによってバスが占有された場合に、マスタＩＣからの指令によってスレーブ側のＩ^２ＣＩ／Ｏエキスパンダがバスを解放する手順を説明する図である。

【図６０】本発明の第１の実施の形態において、マスタＩＣからの誤った指令により、スレーブ側のＩ^２ＣＩ／Ｏエキスパンダで読み出しモードが発生してバスが占有された場合に、マスタＩＣからの指令によってスレーブ側のＩ^２ＣＩ／Ｏエキスパンダがバスを解放する手順を説明する図である。

【図６１】本発明の第２の実施の形態のＩ^２ＣＩ／Ｏエキスパンダの構成を示すブロック図である。

40

【図６２】本発明の第２の実施の形態のモードレジスタ１及びモードレジスタ２の一例を示す図である。

【図６３】本発明の第２の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図６４】本発明の第２の実施の形態の初期化段階番号と出力用バッファに設定される出力バッファ設定値との対応を示す図である。

【図６５】本発明の第２の実施の形態の各スレーブに送信するデータの構造を説明する図であり、個別アドレスを指定してパラメータを設定する場合を示す図である。

【図６６】本発明の第２の実施の形態の各スレーブに送信するデータの構造を説明する図

50

であり、オールコールアドレスを指定してパラメータを設定する場合を示す図である。

【図 6 7】本発明の第 2 の実施の形態においてマスタ I C とスレーブとの間でデータを送受信するタイミングを説明する図である。

【図 6 8】本発明の第 3 の実施の形態の演出制御装置の構成を示すブロック図である。

【図 6 9】本発明の第 3 の実施の形態の第 1 マスタ I C 側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【図 7 0】本発明の第 3 の実施の形態において、スレーブ側の I²C I/O エクスパンダによってバスが占有された場合にバスを解放する手順を説明する図である。

【図 7 1】本発明の第 4 の実施の形態における装飾制御装置及び装飾装置の接続例を示す図であり、5 セット分の L E D を 1 つの装飾制御装置によって制御する構成を示す図である。

10

【図 7 2】本発明の第 4 の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際に C P U とマスタ I C （第 1 マスタ I C 又は第 2 マスタ I C）との間で送受信される情報を説明する図である。

【図 7 3】本発明の第 4 の実施の形態の演出制御定期処理の手順を示すフローチャートである。

【図 7 4】本発明の第 4 の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【図 7 5】本発明の第 4 の実施の形態の各スレーブに送信するデータの構造を説明する図である。

20

【図 7 6】本発明の第 4 の実施の形態においてマスタ I C とスレーブとの間でデータを送受信するタイミングを説明する図である。

【図 7 7】本発明の第 4 の実施の形態において装飾制御装置がデータを受信したときに、マスタ I C へ A C K を出力した時点で、受信したデータを L E D の発光状態に反映させる場合について説明する図である。

【図 7 8】本発明の第 5 の実施の形態の演出制御定期処理の前半の手順を示すフローチャートである。

【図 7 9】本発明の第 5 の実施の形態の演出制御定期処理の後半の手順を示すフローチャートである。

【図 8 0】本発明の第 5 の実施形態の演出制御データを送信するタイミングを説明するタイミングチャートである。

30

【図 8 1】本発明の第 6 の実施形態の演出制御装置における処理を説明するフローチャートであり、（a）は演出制御装置のメイン処理、（b）は V D P 割込発生時の処理、（c）は送信周期割込発生時の処理である。

【図 8 2】本発明の第 6 の実施形態の演出制御データを送信するタイミングを説明するタイミングチャートである。

【発明を実施するための形態】

【0 0 1 1】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0 0 1 2】

40

（第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態の遊技機 1 の説明図である。

【0 0 1 3】

遊技機 1 の前面枠（遊技枠）3 は、本体枠（外枠）2 にヒンジ 4 を介して、遊技機 1 の前面に開閉回動可能に組み付けられる。前面枠 3 の表側には、遊技盤 1 0（図 2 参照）が収装される。また、前面枠 3 には、遊技盤 1 0 の前面を覆うカバーガラス（透明部材）を備えたガラス枠 1 8 が取り付けられている。

【0 0 1 4】

ガラス枠 1 8 のカバーガラスの周囲には、装飾光が発光される装飾部材 9 a、9 b が備えられている。装飾部材 9 a、9 b の内部にはランプや L E D 等からなる装飾装置が備え

50

られている。装飾装置を所定の発光態様によって発光させることによって、装飾部材 9 a、9 b が所定の発光態様によって発光する。

【0015】

ガラス枠 18 の左右には、音響（例えば、効果音）を発するスピーカ 30 が備えられている。また、ガラス枠 18 の上方には照明ユニット 11 が備えられている。

【0016】

照明ユニット 11 には、第 1 可動式照明 13 及び第 2 可動式照明 14 が左右に配置されている。第 1 可動式照明 13 及び第 2 可動式照明 14 には、LED などの照明部材の他に、照明駆動第 1 モータ（MOT）13 a 及び照明駆動第 2 モータ（MOT）14 a が備えられており、演出内容に応じて動作するように制御される。

10

【0017】

照明ユニット 11 の右下方には、遊技機 1 において異常が発生したことを報知するための異常報知 LED 29 が備えられている。

【0018】

前面枠 3 の下部の開閉パネル 20 には図示しない打球発射装置に遊技球を供給する上皿が、固定パネル 22 には下皿 23 及び打球発射装置の操作部 24 等が備えられる。下皿 23 には、下皿 23 に貯まった遊技球を排出するための下皿球抜き機構 16 が備えられる。前面枠 3 下部右側には、ガラス枠 18 を施錠するための鍵 25 が備えられている。

【0019】

また、遊技者が操作部 24 を回動操作することによって、打球発射装置は、上皿 21 から供給される遊技球を発射する。

20

【0020】

また、上皿 21 の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン 17 が備えられている。遊技者が演出ボタン 17 を操作することによって、遊技盤 10 に設けられた表示装置 53（図 2 参照）における特図変動表示ゲームの演出内容を選択して、表示装置 53 における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【0021】

特図変動表示ゲームは、発射された遊技球が遊技盤 10 に備わる始動口 36（図 2 参照）に入賞した場合に開始される。特図変動表示ゲームでは、表示装置 53 において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

30

【0022】

上皿 21 の右上部には、遊技者が遊技球を借りの場合に操作する球貸ボタン 26、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 27 が設けられている。さらに、これらの球貸ボタン 26 と排出ボタン 27 との間には、プリペイドカードの残高を表示する残高表示部 28 が設けられる。

【0023】

図 2 は、本発明の第 1 の実施の形態の遊技盤 10 の正面図である。

40

【0024】

図 1 に示す遊技機 1 は、内部の遊技領域 10 a 内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠 18 のカバーガラスの奥側には、遊技領域 10 a を構成する遊技盤 10 が設置されている。

【0025】

遊技盤 10 は、各種部材の取付ベースとなる平板状の遊技盤本体 10 b（木製又は合成樹脂製）を備え、該遊技盤本体 10 b の前面にガイドレール 32 で囲まれた遊技領域 10 a を有している。また、遊技盤本体 10 b の前面であってガイドレール 32 の外側には、前面構成部材 33 が取り付けられている。そして、このガイドレール 32 で囲まれた遊技領域 10 a 内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行う。

50

【0026】

遊技領域10aの略中央には、特図変動表示ゲームの表示領域となる窓部52を形成するセンターケース51が取り付けられている。センターケース51に形成された窓部52の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置53が配される。表示装置53は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部53aがセンターケース51の窓部52を介して遊技盤10の前面側から視認可能となるように配されている。なお、表示装置53は、液晶ディスプレイを備えるものに限らず、EL、CRT等のディスプレイを備えるものであってもよい。

【0027】

10

また、センターケース51の上部には、大当たりの可能性（信頼度）を報知する信頼度報知装置15が備えられる。信頼度報知装置15には、複数色のLED（例えば、赤、青、緑の3色のLED）が備えられており、信頼度に応じた色及び態様で発光するように制御される。

【0028】

さらに、センターケース51の左部には、遊技球が流下可能な球導入路（ワープ流路）50が設けられ、遊技領域10aに向けて入口50aが開放した状態で開設されている。球導入路50は、センターケース51の内部に連通しており、入口50aから流入した遊技球は、センターケース51の裏側を通過して、ユニット側ステージ部49b上に排出される。さらに、ユニット側ステージ部49b上で転動した遊技球が当該ユニット側ステージ部49bの下方に配置されたベース側ステージ部49a上に流下できるように構成されている。

20

【0029】

センターケース51の周縁部には、複数の装飾具47が配置される。センターケース51の左下部には、装飾ランプ48が配置される、センターケース51の上部には、複数の装飾ピース46を上下動可能な状態で配置される。装飾具47、装飾ランプ48及び装飾ピース46は、後述する演出制御装置550からの命令に従って演出動作を行う。センターケース51の構成については、図3を参照しながらさらに詳細に説明する。

【0030】

また、遊技領域10aのうちセンターケース51の下方には、遊技球を受入可能（入賞可能）な特図変動表示ゲームを始動させるための始動口36が配置される。さらに、センターケース51の側方（左側方）には、普図変動表示ゲームを始動させるための普図始動ゲート34が配置される。

30

【0031】

さらに、遊技領域10aには、センターケース51の左下方及び右下方に、発光によって各種装飾表示を行うサイドランプ45が配置される。また、サイドランプ45には、一般入賞口44が備えられている。

【0032】

さらに、始動口36の下方には大入賞口42が配置され、該大入賞口42の下方であって遊技領域10aの下縁部には、入賞せずに流下した遊技球を回収するアウト口43が開設される。大入賞口42は、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉42aを備える。特図変動表示ゲームの結果によって開閉扉42aを閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する。

40

【0033】

また、センターケース51、始動口36やサイドランプ45等の取付部分を除いた遊技領域10a内には、この他、遊技領域10aには、打球方向変換部材としての風車（図示略）、及び多数の障害釘（図示略）などが配設されている。そして、センターケース51と、該センターケース51を挟んで普図始動ゲート34とは反対側に位置する前面構成部材33との間に縦長な円弧状の遊技球通路57が形成されている。

50

【0034】

さらに、遊技盤10には、特図変動表示ゲーム及び普図変動表示ゲームを実行する普図・特図表示器35が備えられている。普図・特図表示器35には、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図・特図表示器35は、遊技状態を表す遊技状態表示LED（図示略）と併せて、セグメントLEDとして設けられている。

【0035】

普図始動ゲート34内には、該普図始動ゲート34を通過した遊技球を検出するためのゲートSW34a（図9参照）が設けられている。そして、遊技領域10a内に打ち込まれた遊技球が普図始動ゲート34内を通過すると、普図変動表示ゲームが開始される。

10

【0036】

また、普図変動表示ゲームを開始できない状態で、普図始動ゲート34を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が1加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶数として一つ記憶される。

【0037】

普図変動表示ゲームを開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームに当選して始動口36が開状態に変換されている状態のことをいう。

【0038】

20

なお、普図変動表示ゲームは、表示装置53の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることによって行うようにする。

【0039】

普図変動表示ゲームの停止表示が特別の結果態様となった場合には、普図変動表示ゲームに当選したものとして、始動口36の開閉部材36aが所定時間（例えば、0.5秒間）開放される。これにより、始動口36に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。始動口36の開閉部材36aは、通常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームに当選した場合）には、ソレノイド（普電SOL36b、図9参照）によって、逆「ハ」の字状に開いて始動口36に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられる。

30

【0040】

また、本発明の第1の実施の形態の遊技機1は、特図変動表示ゲームの結果態様に基づいて、遊技状態として、表示装置53における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第2動作状態）を発生可能となっている。時短動作状態（第2動作状態）は、通常動作状態（第1動作状態）と比較して始動口36の開閉部材36aが開放状態となりやすい状態である。

【0041】

40

時短動作状態においては、普図変動表示ゲームの実行時間が通常動作状態における実行時間よりも短くなるように制御され（例えば、10秒が1秒）、単位時間当りの始動口36の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームに当選したことによって始動口36が開放される場合に、開放時間が通常動作状態の開放時間よりも長くなるように制御される（例えば、0.3秒が1.8秒）。また、時短動作状態においては、普図変動表示ゲームの1回の当選結果に対して、始動口36が1回ではなく、複数回（例えば、2回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当選結果となる確率が通常動作状態よりも高くなるように制御される。すなわち、通常動作状態よりも始動口36の開放回数が増加され、始動口36に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。

50

【0042】

また、始動口36の内部には、始動口36を通過した遊技球を検出するための、始動口SW36d（図9参照）が備えられる。始動口SW36dによって遊技球を検出すると、補助遊技としての特図変動表示ゲームを開始する始動権利が発生する。このとき、特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば4）の範囲内で特図始動記憶として記憶される。

【0043】

特図変動表示ゲームを直ちに開始できない状態、例えば、既に特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、始動口36に遊技球が入賞すると、特図始動記憶数が上限数未満（例えば、4個未満）ならば、特図始動記憶数が1加算され、始動口36に遊技球が入賞したタイミングで抽出された乱数が特図始動記憶として一つ記憶される。そして、特図変動表示ゲームが開始可能な状態となると、特図始動記憶に基づき特図変動表示ゲームが開始される。

【0044】

補助遊技としての特図変動表示ゲームは、遊技盤10に設けられた普図・特図表示器35で実行され、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置53にて特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）が変動表示される。そして、特図変動表示ゲームの結果として、普図・特図表示器35の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置53の表示態様も特別結果態様（例えば、「7, 7, 7」等のゾロ目数字の何れか）となる。なお、普図・特図表示器35ではなく、表示装置53のみで特図変動表示ゲームを実行するように構成してもよい。

【0045】

また、本発明の第1の実施の形態の遊技機1は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第2確率状態）を発生可能となっている。この確変状態（第2確率状態）は、特図変動表示ゲームでの当たり結果となる確率が、通常確率状態（第1確率状態）に比べて高い状態である。なお、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【0046】

図3は、本発明の第1の実施の形態のセンターケース51の分解斜視図である。

【0047】

センターケース51は、遊技盤本体10b（遊技盤10）の表面側に前面構成部として配置される枠装飾部65と、遊技盤本体10bの裏面側に裏面構成部として配置される枠体基部60とを前後に重合して構成されている。枠装飾部65は、遊技盤本体10bの表面に止着される環状の装飾ベース66を備える。装飾ベース66の裏面側には、装飾ベース66と略同じ大きさで円形状に形成された装飾パネルユニット67を備え、枠装飾部65は、装飾ベース66と装飾パネルユニット67とを前後に重合して構成されている。

【0048】

装飾ベース66の下部には、上面に遊技球を前後方向及び左右方向に転動可能なベース側ステージ部49aが配置され、該ベース側ステージ部49aと遊技球通路57との間には装飾ランプ48が配置されている（図2参照）。そして、ベース側ステージ部49aを挟んで装飾ランプ48とは反対側には、遊技球が流下可能な球導入路（ワープ流路）50が設けられ、球導入路50の入口50aを装飾ベース66の外方へ向けて開放した状態で開設し、球導入路50の出口50bを後述する装飾パネルユニット67の裏側へ連通している。

【0049】

装飾パネルユニット67は、略円形状の透明樹脂板で形成されたカバーパネル部69を備え、該カバーパネル部69の前面側の周縁に複数の装飾具47を配置している。装飾パ

ネルユニット 67 と装飾ベース 66 とを重合すると、装飾具 47 が装飾ベース 66 の内周縁に沿って配置されるように設定されている（図 2 参照）。また、カバーパネル部 69 の上部には、信頼度報知装置 15 が配置されている。

【0050】

また、カバーパネル部 69 の裏面側の下部には、上面に遊技球を前後方向及び左右方向に転動可能なユニット側ステージ部 49b が配置される。ユニット側ステージ部 49b は、装飾ベース 66 のベース側ステージ部 49a よりも上方に配置される。

【0051】

さらに、カバーパネル部 69 のうち球導入路 50 の出口 50b に重合する箇所には球流入口 68 を開設し、該球流入口 68 を介して球導入路 50 とユニット側ステージ部 49b とを連通している。したがって、遊技領域 10a を流下する遊技球が球導入路 50 に流入すると、球導入路 50 がこの遊技球をユニット側ステージ部 49b 上に導入できるように構成されている。

10

【0052】

枠体基部 60 は、遊技盤 10 の裏面側に止着される額縁状の基部ケース 61 を前側が開放した状態で備え、該基部ケース 61 の内側（言い換えるとセンターケース 51 の内部）に、開口部 62a が前面側に設けられた凹室 62 を形成している。

【0053】

また、基部ケース 61 のうち凹室 62 の後方には矩形状の窓部 52 を前後方向へ貫通して開設し、基部ケース 61 の後方から表示装置 53 を装着して、表示装置 53 の表示部 53a を窓部 52 及び凹室 62 を通してセンターケース 51 の前方へ臨ませている。

20

【0054】

さらに、窓部 52 の上縁部の前側には、役物駆動ソレノイド（図示せず）によって上下動可能な複数の装飾ピース 46 が配置され、窓部 52 の左右両側の周縁には、表示部 53a の前方へ移動して演出動作を行う可動演出装置 58 が備えられる。

【0055】

そして、枠体基部 60 の前方に枠装飾部 65 を重合すると、凹室 62 の開口部 62a 及び窓部 52 をカバーパネル部 69 で前方から被覆し、表示装置 53 の表示部 53a を枠装飾部 65 の内側（カバーパネル部 69 が露出した箇所）からセンターケース 51 の前方へ臨ませるように構成されている。

30

【0056】

図 4 及び図 5 は、本発明の第 1 の実施の形態の可動演出装置 58 の構成を説明する図である。

【0057】

可動演出装置 58 は、第 1 演出ユニット 63 と第 2 演出ユニット 64 とを互いに離間した位置に備えて構成され、第 1 演出ユニット 63 及び第 2 演出ユニット 64 が連動して演出動作が実行される。

【0058】

図 4 は、可動演出装置 58 が動作する前の状態を示す図であり、図 5 は、可動演出装置 58 が動作し、第 1 演出ユニット 63 及び第 2 演出ユニット 64 が動作した結果、当接部（第 1 当接部 121 及び第 2 当接部 122）にて当接している状態を示す図である。

40

【0059】

第 1 演出ユニット 63 は、センターケース 51 の左側、すなわち、基部ケース 61 の窓部 52 の周縁の左側に配置される。また、第 2 演出ユニット 64 は、センターケース 51 の右側に配置される。センターケース 51 の前方から見て第 1 演出ユニット 63 と第 2 演出ユニット 64 との間に凹室 62 及び窓部 52 を臨ませるように配置される。

【0060】

第 1 演出ユニット 63 は、表示部 53a の前方へ移動可能な第 1 演出部材 70 と、該第 1 演出部材 70 の駆動力を発生する第 1 演出駆動源としての役物駆動第 1 モータ（MOT）71 と、役物駆動第 1 MOT 71 から発生した駆動力（回動力）を第 1 演出部材 70 へ

50

伝達する第1演出伝達機構（第1主腕部材73及び第1副腕部材74）とを備える。

【0061】

また、役物駆動第1MOT71の出力軸（第1出力軸）71aがセンターケース51の前後方向に延在し、第1出力軸71aには第1駆動ギア76を共回り可能に軸着している。

【0062】

第1主腕部材73は、第1駆動ギア76と噛合される第1主腕ギア77が形成され、当該第1駆動ギア76の上方に軸着される。第1副腕部材74は、第1駆動ギア76と噛合される第1副腕ギア78が形成され、当該第1駆動ギア76の下方に軸着される。第1主腕部材73及び第1副腕部材74は、基部ケース61と軸着された端部の反対側の端部が互いに異なる位置で第1演出部材70に軸着し、第1演出部材70を支持している。

10

【0063】

第1演出ユニット63は、役物駆動第1MOT71を駆動して第1駆動ギア76をセンターケース51の正面から見て時計方向へ回動すると、役物駆動第1MOT71の駆動力（回動力）を第1駆動ギア76及び第1主腕ギア77を介して第1主腕部材73へ伝達し、この駆動力により第1主腕部材73がセンターケース51の正面から見て反時計方向へ回動する。また、役物駆動第1MOT71の駆動力を第1駆動ギア76及び第1副腕ギア78を介して第1副腕部材74へ伝達し、この駆動力により第1副腕部材74が第1主腕部材73と同じ反時計方向へ回動する。この結果、第1演出部材70が第1主腕部材73及び第1副腕部材74に支持された状態で上昇する。

20

【0064】

そして、役物駆動第1MOT71の駆動力により第1主腕部材73及び第1副腕部材74を上方へ延出して縦向き姿勢に設定すると、図4に示すように、第1演出部材70を表示部53aの前方から外れて位置させた第1演出停止状態となり、第1演出部材70が窓部52の側方に位置して、枠装飾部65の後方及び遊技盤本体10bの後方に隠れる（図2参照）。

【0065】

一方、第1演出停止状態から役物駆動第1MOT71を駆動して第1駆動ギア76をセンターケース51の正面から見て反時計方向へ回動すると、役物駆動第1MOT71の駆動力（回動力）を第1駆動ギア76及び第1主腕ギア77を介して第1主腕部材73へ伝達し、この駆動力により第1主腕部材73がセンターケース51の正面から見て時計方向へ回動する。

30

【0066】

また、役物駆動第1MOT71の駆動力を第1駆動ギア76及び第1副腕ギア78を介して第1副腕部材74へ伝達し、この駆動力により第1副腕部材74が第1主腕部材73と同じ時計方向へ回動する。この結果、第1演出部材70が第1主腕部材73及び第1副腕部材74に支持された状態で下降する。

【0067】

そして、役物駆動第1MOT71の駆動力により第1主腕部材73及び第1副腕部材74を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第1演出部材70を表示部53aの前方へ位置させた第1演出実行状態となり、第1演出部材70が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

40

【0068】

第2演出ユニット64は、表示部53aの前方へ移動可能な第2演出部材80と、該第2演出部材80の駆動力を発生する第2演出駆動源としての役物駆動第2モータ（MOT）81と、役物駆動第2MOT81から発生した駆動力（回動力）を第2演出部材80へ伝達する第2演出伝達機構（第2主腕部材83及び第2副腕部材84）とを備える。

【0069】

また、役物駆動第2MOT81を出力軸（第2出力軸）81aがセンターケース51の

50

前後方向に延在し、第2出力軸81aには第2駆動ギア86を共回り可能に軸着している。

【0070】

第2主腕部材83は、第2駆動ギア86と噛合される第2主腕ギア87が形成され、当該第2駆動ギア86よりも第1演出ユニット63寄りの位置に軸着される。第2副腕部材84は、第2駆動ギア86と噛合される第2副腕ギア88が形成され、当該第2駆動ギア86の下方に軸着される。第2主腕部材83及び第2副腕部材84は、基部ケース61と軸着された端部の反対側の端部が互いに異なる位置で第2演出部材80に軸着し、第2演出部材80を支持している。

【0071】

10

第2演出ユニット64は、役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て時計方向へ回動すると、役物駆動第2MOT81の駆動力（回動力）を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て反時計方向へ回動する。また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83と同じ反時計方向へ回動する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で下降する。

【0072】

20

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を回動して第2演出部材80を下死点へ到達させ、引き続き第2主腕部材83及び第2副腕部材84を回動して斜め下方へ延出して縦向き姿勢に設定し、第2演出部材80を下死点から僅かに上昇させると、図4に示すように、第2演出部材80を表示部53aの前方から外れて位置させた第2演出停止状態となり、第2演出部材80が枠装飾部65の後方及び遊技盤本体10bの後方に隠れる（図2参照）。

【0073】

一方、第2演出停止状態から役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て反時計方向へ回動すると、役物駆動第2MOT81の駆動力（回動力）を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て時計方向

30

【0074】

また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83と同じ時計方向へ回動する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で上昇する。

【0075】

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第2演出部材80を表示部53aの前方へ位置させた第2演出実行状態となり、第2演出部材80が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

40

【0076】

図6は、本発明の第1の実施の形態の第1演出部材70の分解斜視図である。

【0077】

第1演出部材70は、センターケース51の正面から見て略半円形状の部材であり、第1演出ユニット63側に円弧面を配置した姿勢に設定されている。

【0078】

第1演出部材70には、基部となる第1演出ベース100が備えられる。第1演出ベース100は、透明な樹脂によって形成される。第1演出ベース100の上部には、第1主

50

腕部材 73 を第 1 演出ベース 100 の前方から軸着する第 1 主腕軸着部 101 を形成し、第 1 演出ベース 100 の下部には、第 1 副腕部材 74 を第 1 演出ベース 100 の後方から軸着する第 1 副腕軸着部 102 を形成している。

【0079】

第 1 演出ベース 100 の前面には、光を拡散しながら透過可能な第 1 光拡散シート 103 が重合される。さらに、第 1 光拡散シート 103 の前面に透明な第 1 保護パネル 104 を重合することによって、第 1 光拡散シート 103 が第 1 演出部材 70 から脱落することを阻止している。

【0080】

また、第 1 演出ベース 100 の後部を前方へ窪ませて第 1 基板収納空間部 105 を形成し、該第 1 基板収納空間部 105 に LED などの発光装置（装飾装置 620、図 17 参照）が実装された第 1 発光基板 106 を収納する。さらに、この状態で第 1 基板収納空間部 105 を第 1 ベース蓋部 107 で閉塞し、第 1 発光基板 106 が第 1 演出部材 70 から脱落することを阻止している。

【0081】

そして、第 1 発光基板 106 の発光装置から光を発生すると、この光が第 1 演出ベース 100、第 1 光拡散シート 103、第 1 保護パネル 104 を透過してセンターケース 51 の前方へ照射されるように構成されている。

【0082】

さらに、第 1 当接部 121 の第 1 基板収納空間部 105 側には、後部が開放された第 1 演出磁石ホルダ 124 を窪ませて形成されている。第 1 演出磁石ホルダ 124 には、ボタン形状の永久磁石からなる第 1 磁石 125 を磁極が第 2 演出部材 80 側へ向いた姿勢で、第 1 磁石 125 が第 1 当接部 121（第 1 演出磁石ホルダ 124）から脱落しないように収納されている。

【0083】

第 1 発光基板 106 には、装飾装置 620 の発光を制御するための I²C I/O エクスパンダ 615（図 17 参照）が搭載され、演出制御装置 550 から出力された制御信号（電気信号）など送信するためのデータ線（データ信号線）及びクロック線（信号線）が接続される。さらに、装飾装置 620 を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル 108 としてまとめられて接続されている。

【0084】

図 7 は、本発明の第 1 の実施の形態の第 2 演出部材 80 の分解斜視図である。

【0085】

第 2 演出部材 80 は、センターケース 51 の正面から見て上部に切欠部分がある略平行四辺形状となっている。第 2 演出停止状態においては第 2 演出部材 80 の上下両側面を第 2 演出ユニット 64 側から第 1 演出ユニット 63 側へ向けて下り傾斜させ（図 4 参照）、第 2 演出実行状態においては当該第 2 演出部材 80 の左右両側面を第 2 演出ユニット 64 側から第 1 演出ユニット 63 側へ向けて下り傾斜させる姿勢に設定されている（図 5 参照）。

【0086】

第 2 演出部材 80 には、基部となる第 2 演出ベース 110 が備えられる。第 2 演出ベース 110 は、透明な樹脂によって形成される。第 2 演出ベース 110 の上部には、第 2 主腕部材 83 を第 2 演出ベース 110 の前方から軸着する第 2 主腕軸着部 111 を形成し、第 2 演出ベース 110 の下部には、第 2 副腕部材 84 を第 2 演出ベース 110 の後方から軸着する第 2 副腕軸着部 112 を形成している。

【0087】

さらに、第 2 演出ベース 110 の前面には、光を拡散しながら透過可能な第 2 光拡散シート 113 を重合される。第 2 光拡散シート 113 の前面に透明な第 2 保護パネル 114 を重合することによって、第 2 光拡散シート 113 が第 2 演出部材 80 から脱落すること

10

20

30

40

50

を阻止している。

【0088】

また、第2演出ベース110の後部を前方へ窪ませて第2基板収納空間部115を形成し、該第2基板収納空間部115にLEDなどの発光装置（装飾装置620）が実装された第2発光基板116を収納し、この状態で第2基板収納空間部115を第2ベース蓋部117で閉塞して、第2発光基板116が第2演出部材80から脱落することを阻止している。

【0089】

そして、第2発光基板116の発光装置から光を発生すると、この光が第2演出ベース110、第2光拡散シート113、第2保護パネル114を透過してセンターケース51

10

【0090】

さらに、第2当接部122の第2基板収納空間部115側には、後部が開放された第2演出磁石ホルダ128を窪ませて形成されている。第2演出磁石ホルダ128には、ボタン形状の永久磁石からなる第2磁石129が、第1当接部121及び第2当接部122を挟んで第1磁石125とは対称となる位置に収納されている。

【0091】

第2発光基板116には、第1発光基板106と同様に、装飾装置620の発光を制御するためのI²C I/Oエクスパンダ615（図17参照）が搭載され、演出制御装置550から出力された制御信号などを送信するためのデータ線及びクロック線（信号線）が

20

【0092】

可動演出装置58は、第1演出部材70に第1当接部121を備えるとともに、第2演出部材80に第2当接部122を備える。そして、第1演出ユニット63を第1演出実行状態へ変換するとともに、第2演出ユニット64を第2演出実行状態へ変換すると、第1当接部121と第2当接部122とが当接し、第1演出部材70と第2演出部材80とで1つの装飾体を形成する。このとき、第1磁石125と第2磁石129との間で吸引力を発生するように第1磁石125及び第2磁石129が配置されている。さらに、この形成

30

【0093】

図8は、本発明の第1の実施の形態の遊技機1の配線を説明する図である。

【0094】

図8では、遊技盤本体10bにセンターケース51が取り付けられ、表示装置53がセンターケース51に取り付けられる前の状態を示している。また、表示装置53の背面には、演出制御装置550が取り付けられている。演出制御装置550には、接続端子90が備えられており、接続端子90を介して制御対象の演出装置に対し、制御信号の送信や電力の供給を行う。具体的には、後述する中継基板600にケーブル91を介して接続する。

40

【0095】

また、遊技盤本体10bの背面下部には、遊技制御装置500や各種制御基板を含む制御ユニット700が配置される。制御ユニット700に搭載される制御基板には、演出制御装置550から送信された制御信号を、装飾制御装置610（図11参照）に中継する中継基板600が含まれる。装飾制御装置610は、詳細については後述するが、遊技を演出するための発光装置（例えば、LED）や可動物（例えば、モータ）などの演出装置の制御を行う。また、中継基板600は、装飾制御装置610と同様に、発光装置や可動物を接続可能である。

【0096】

中継基板600には、演出制御装置550にケーブル91を介して接続される上流コネ

50

クタ601が備えられる。ケーブル91の一方のコネクタ91aは、前述のように、演出制御装置550の接続端子90に接続される。ケーブル91の他方のコネクタ91bは、中継基板600の上流コネクタ601に接続される。さらに、遊技機1に備えられた各演出装置の制御を行う装飾制御装置610に接続するためのコネクタ602a～602eを備える。

【0097】

さらに、中継基板600には、接続されたケーブルの接続状態を示す空き端子モニタ603が備えられている。空き端子モニタ603の詳細については、図15にて説明する。

【0098】

また、図示は略するが、遊技制御装置500を構成するユニットが、中継基板600のコネクタ装着面を覆うようにして設けられている。そのため、遊技制御装置500は、中継基板600の各コネクタに必要なケーブルを装着した後に取り付けられる配置構成となっている。

【0099】

前面枠3には、当該前面枠3に配置されたスピーカ30及び装飾部材9a、9bなどを制御するための信号を送信するケーブル3bが接続されている。このケーブル3bのコネクタは、演出制御装置550の接続端子92に接続される。

【0100】

遊技盤本体10bには、サイドランプ45を取り付けるための開口部45bが形成されている。サイドランプ45には、電力及び信号を送信するケーブル45aが接続され、開口部45bから遊技盤10の裏面側へ導入される。遊技盤10の裏面側へ導入されたケーブル45aは、中継基板600に接続され、例えば、コネクタ602dに接続される。

【0101】

また、遊技盤10の下部には、図2に示したように、始動口36及び大入賞口42が配置される。始動口36が配置されている遊技盤10の裏側には、普図変動表示ゲームに当選した場合に開放される開閉部材36aを開閉するための普電ソレノイド(SOL)36bが配置される。また、特図変動表示ゲームに当選した場合に、大入賞口42を開閉するための大入賞口SOL42bも遊技盤10の裏側に配置されている。普電SOL36b及び大入賞口SOL42bには、制御信号の入力を受け付けるためのケーブル(図示略)が接続され、このケーブルは遊技制御装置500に接続されている。また、ケーブル42cは、大入賞口42の内部に備えられる演出用のLEDを点灯させるための電力及び信号を伝達するケーブルとして中継基板600に接続され、例えば、コネクタ602fに接続される。

【0102】

前述のように、遊技盤10の中央部には、センターケース51が取り付けられている。センターケース51の内部には、第1演出部材70及び第2演出部材80によって構成される可動演出装置58が備えられる。図8では、第1演出部材70及び第2演出部材80が当接面(121, 122)で当接している状態となっている。

【0103】

また、可動演出装置58の第1演出ユニット63及び第2演出ユニット64には、前述のように、第1演出部材70及び第2演出部材80を稼動させるためのモータ(役物駆動第1モータ71、役物駆動第2モータ81)が備えられている。そして、これらのモータを制御するための信号及びモータを駆動させるための電力を供給するためのケーブル652が可動演出装置58に接続されている。また、可動演出装置58には、これらのモータの動作状態を検知するためのモータ位置検出センサ(図示せず)が備えられており、センシング結果を受信するためのケーブル651が接続されている。ケーブル652及びケーブル651は、センターケース51の開口部51bから遊技盤10の裏面側に延びており、中継基板600に接続される。例えば、ケーブル652はコネクタ602cに接続され、ケーブル651はコネクタ602eに接続される。

【0104】

さらに、演出制御装置 550 から出力された制御信号を、センターケース 51 の内部に配置された LED などの演出装置を制御するための装飾制御装置 610 (図 11 参照) へ伝達するケーブル 653 が接続される。ケーブル 653 は、センターケース 51 に設けられた開口部 51a から遊技盤 10 の裏面側の中継基板 600 に接続され、例えば、コネクタ 602a に接続される。

【0105】

図 9 は、本発明の第 1 の実施の形態の遊技機 1 の構成を示すブロック図である。

【0106】

遊技機 1 は、遊技を統括的に制御する遊技制御装置 500、各種演出を行うために表示装置 53 及びスピーカ 30 等を制御する演出制御装置 550、遊技球を払い出すために図 10

【0107】

まず、遊技制御装置 500 の構成について説明する。なお、演出制御装置 550 については、図 10 にて説明する。

【0108】

遊技制御装置 500 は、遊技用マイコン 501、入力 I/F (Interface) 505、出力 I/F (Interface) 506、及び外部通信端子 507 を備える。

【0109】

遊技用マイコン 501 は、CPU 502、ROM (Read Only Memory) 503 及び RAM (Random Access Memory) 504 を備える。 20

【0110】

CPU 502 は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM 503 は、遊技制御のための不変の情報 (プログラム、データ等) を記憶している。RAM 504 は、遊技制御時にワークエリアとして利用される。

【0111】

外部通信端子 507 は、遊技制御装置 500 の設定情報等を検査する検査装置等の外部機器に遊技制御装置 500 を接続する。

【0112】

CPU 502 は、入力 I/F 505 を介して各種入力装置 (始動口 SW 36d、一般入賞口 SW 44a ~ 44n、ゲート SW 34a、カウント SW 42d、ガラス枠開放 SW 18a、前面枠開放 SW 3a、球切れ SW 54、振動センサ 55、及び磁気センサ 56) からの検出信号を受けて、大当たり抽選等、種々の処理を行う。 30

【0113】

始動口 SW 36d は、始動口 36 に遊技球が入賞したことを検出するスイッチである。一般入賞口 SW 44a ~ 44n は、一般入賞口 44 に遊技球が入賞したことを検出するスイッチである。

【0114】

ゲート SW 34a は、普図始動ゲート 34 を遊技球が通過したことを検出するスイッチである。カウント SW 42d は、大入賞口 42 に遊技球が入賞したことを検出するスイッチである。 40

【0115】

ガラス枠開放 SW 18a は、ガラス枠 18 が開放されたことを検出するスイッチである。前面枠開放 SW 3a は、前面枠 3 が開放されたことを検出するスイッチである。

【0116】

球切れ SW 54 は、遊技機 1 の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【0117】

振動センサ 55 は、遊技機 1 に与えられた振動を検出するセンサであり、遊技機 1 を振動させるなどの不正行為を検出する。磁気センサ 56 は、始動口 36 の第 2 始動入賞口、一般入賞口 44、大入賞口 42、及び普図始動ゲート 34 付近に設けられ、磁力を検出す 50

るセンサである。磁気センサ 56 は、各入賞口付近に磁石を近づけて、遊技領域 10a に発射された遊技球を各入賞口に導く不正を検出する。

【0118】

また、CPU 502 は、出力 I/F 506 を介して、普図・特図表示器 35、普電 SOL 36b、大入賞口 SOL 42b、払出制御装置 580、及び演出制御装置 550 に指令信号を送信して、遊技を統括的に制御する。

【0119】

普図・特図表示器 35 には、前述のように、特図変動表示ゲーム及び普図変動表示ゲームが実行される。さらに、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図変動表示ゲームが当りとなるか否かを示す乱数を含む普図始動記憶、及び特図変動表示ゲームが当りとなるか否かを示す乱数を含む特図始動記憶が記憶されている。

10

【0120】

普電 SOL 36b は、普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材 36a を開放することによって、始動口 36 に遊技球が入賞しやすい状態にする。

【0121】

大入賞口 SOL 42b は、特図変動表示ゲームの結果が特別の結果態様となって、特別遊技状態（大当たり状態）となった場合に、大入賞口 42 の開閉扉 42a を開放して、遊技球が入賞しやすい状態に変換する。

20

【0122】

遊技制御装置 500 は、外部情報端子 508 から図示しない情報収集端末装置を介して、遊技機データを図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機 1 の遊技データを収集管理する計算機である。

【0123】

払出制御装置 580 は、遊技球が一般入賞口 44 又は大入賞口 42 に入賞した場合に、入賞した入賞口に対応する数の遊技球の払出指令を遊技制御装置 500 から受信する。また、球貸ボタン 26 が操作された場合にも所定数の遊技球の払い出しを行う払出指令を遊技制御装置 500 から受信する。払出制御装置 580 は、受信した払出指令に基づいて、図示しない払出モータを制御し、払出指令に指定された数の遊技球を払い出す。

30

【0124】

遊技制御装置 500 は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力 I/F 506 を介して、演出制御装置 550 へ送信する。

【0125】

図 10 は、本発明の第 1 の実施の形態の演出制御装置 550 の構成を示すブロック図である。

【0126】

演出制御装置 550 は、遊技制御装置 500 から入力される遊技データに基づいて、演出内容を決定し、表示装置 53 を制御するとともに、遊技盤 10 及び前面枠 3 に備えられた各種演出装置を制御する。演出装置には、LED などの発光装置やモータ又はソレノイドなどの可動物が含まれる。

40

【0127】

演出制御装置 550 は、CPU 551、制御 ROM 552、RAM 553、画像 ROM 554、音 ROM 555、VDP 556、音 LSI 557、入力 I/F 558b、出力 I/F 558a、電源投入検出回路 559、第 1 マスタ IC 570a、第 2 マスタ IC 570b、NOR ゲート回路 561 及び監視タイマ回路 562 を備える。さらに、演出制御装置 550 は、遊技盤 10 に接続される接続端子 90 と、前面枠 3 に接続される接続端子 92 を備える。なお、第 1 マスタ IC 570a 及び第 2 マスタ IC 570b に共通の機能については、単に「マスタ IC」として説明する。

50

【0128】

CPU551は、遊技制御装置500から送信された指令信号が通信割込としての割込信号（INT）として入力され、入力された指令信号に基づいて、各種演出を制御する。また、CPU551には、第1マスタIC570a及び第2マスタIC570bからマスタ割込としての割込信号（INT）が入力されるとともに、VDP556からも画像更新割込としての割込信号（INT）が入力される。

【0129】

さらに、CPU551は、監視タイマ回路562からもタイムアウト割込としての割込信号（INT）が入力される。監視タイマ回路562は、複数種類の監視タイマが内蔵されており、CPU551によって設定された監視タイマ値がタイムアップすると、CPU551に割込信号を出力する。CPU551は、割込信号の入力を受け付けると、実行中の処理を中断し、入力された割込信号に対応する処理を実行する。

10

【0130】

制御ROM552には、演出制御のための不変の情報（プログラム、データ等）が格納されている。RAM553は、演出制御時にワークエリアとして利用される。

【0131】

画像ROM554は、VDP556に接続され、表示装置53に表示される画像データを格納する。VDP556は、表示装置53への画像出力を制御するプロセッサである。

【0132】

また、VDP556は、表示装置53に表示される画像を更新する周期（33ms周期）と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をCPU551に割込信号として入力する。

20

【0133】

音ROM555は、音LSI557に接続され、前面枠3に備えられたスピーカ30から出力される音データを格納する。音LSI557は、スピーカ30からの音声出力を制御する回路である。

【0134】

入力I/F558bは、フィルタ565a及び565bを介して外部から入力された情報を受け付けるインタフェースである。具体的には、前面枠3に備えられた演出ボタン17が操作されたことを示す信号の入力を受け付けたり、遊技盤10に備えられたモータ位置検出センサによって検出された各モータの位置情報などの入力を受け付けたりする。

30

【0135】

電源投入検出回路559は、演出制御装置550に電源が投入された場合に、第1マスタIC570a及び第2マスタIC570bのレジスタをデフォルト状態（すべて0）に初期化するリセット信号を発生させ、NORゲート回路561に出力する。

【0136】

また、CPU551は、所定の条件が成立した場合に、バス563を介してリセット信号を出力I/F558aに出力する。そして、出力I/F558aは、入力されたりセット信号をNORゲート回路561に出力し、さらに、NORゲート回路561から、第1マスタIC570a及び第2マスタIC570bに当該リセット信号を出力する。所定の条件とは、例えば、すべての装飾制御装置610において、エラーフラグが「ON」になった場合などである（図32及び図33参照）。

40

【0137】

また、出力I/F558aは、ドライバ564a及びドライバ564bを介して、遊技盤10や前面枠3に備えられた演出装置（モータ又はソレノイドなどの可動物で駆動する演出装置）へ制御信号を出力する。

【0138】

なお、電源投入検出回路559からNORゲート回路561に入力されるリセット信号と、CPU551から出力I/F558aを介してNORゲート回路561に入力される

50

リセット信号は、いずれの場合にもLOWレベルの状態のときにリセットを指令する信号として機能する。そのため、電源投入検出回路559及びCPU551の少なくとも一方からNORゲート回路561にリセット信号が出力されていれば、NORゲート回路561を介してリセット信号が第1マスタIC570a及び第2マスタIC570bに入力される。

【0139】

図11は、本発明の第1の実施の形態の演出制御装置550に備えられた第1マスタIC570aと遊技盤10に備えられた演出装置の構成を示すブロック図である。

【0140】

遊技盤10は、第1マスタIC570aに接続される中継基板600、当該中継基板600に接続される装飾装置基板625及び補助遊技装置ユニット12を備える。

10

【0141】

中継基板600は、第1マスタIC570aから送信された電気信号を、遊技盤10に備えられた装飾制御装置610に送信（中継）する。また、中継基板600には、装飾制御装置610と同様に、演出装置を制御する機能を有し、当該中継基板600に直接接続された装飾装置基板625を制御する。

【0142】

装飾装置620は、装飾制御装置610に備えられるI²C I/Oエクスパンダ615（図17参照）によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばLEDなどである。装飾装置基板625は、サイドランプ45（図8参照）に設けられる基板であり、サイドランプ45の発光装置（LED）が搭載されている。このサイドランプ45の発光装置は、中継基板600に備えられるI²C I/Oエクスパンダ615によって、直接制御される。

20

【0143】

補助遊技装置ユニット12には、LEDなどの発光装置である装飾装置620、可動物である役物駆動第1モータ（MOT）71及び役物駆動第2MOT81が含まれている。補助遊技装置ユニット12内の装飾装置620は、当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御される。本発明の第1の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって制御されるように構成されているが、装飾装置620と同様に当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御されるように構成してもよい。

30

【0144】

役物駆動第1MOT71及び役物駆動第2MOT81は、電流が流れると回転動作することによって演出動作を行う駆動装置である。役物駆動第1MOT71及び役物駆動第2MOT81は、演出制御装置550のドライバ564により中継基板600を経由して直接制御されるので、I²C I/Oエクスパンダ615を介在させる処理は行われない。

【0145】

本発明の第1の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、可動演出装置58に含まれ、具体的には、役物駆動第1MOT71は第1演出ユニット63、役物駆動第2MOT81は第2演出ユニット64に含まれている。

40

【0146】

演出制御装置550は、役物駆動第1MOT71及び役物駆動第2MOT81を制御することによって、第1演出ユニット63及び第2演出ユニット64が連動した演出動作を実行させる。

【0147】

第1マスタIC570aは、制御対象となる装飾装置620を制御する装飾制御装置610に個別に割り当てられたアドレスを指定して、指定した個別アドレスの装飾制御装置610に装飾装置620の制御内容を出力する。なお、装飾制御装置610の個別アドレスは、正確には、装飾制御装置610に含まれるI²C I/Oエクスパンダ615（図17参照）の個別アドレスである。

50

【0148】

第1マスタIC570aは、接続線SDA、接続線SCL、接続線GND、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseの7種類の接続線を介して、中継基板（装飾制御装置）600に接続される。これらの接続線は、第1マスタIC570aと中継基板600とを接続するケーブル91（図8参照）により構成される。

【0149】

接続線SDAは、演出制御装置550と装飾制御装置610との間でデータ信号を授受するための接続線であり、本発明の第1の実施の形態におけるデータ線として機能する。接続線SCLは、接続線SDAでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本発明の第1の実施の形態におけるタイミング信号線として機能する。接続線GNDは、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseで供給される電源のグランドである。

10

【0150】

接続線Vccは、中継基板600及び装飾制御装置610にロジック用の電源を供給するための接続線である。接続線Vledは、LED（装飾装置620）を発光させるための電源を供給するための接続線である。接続線Vmsは、補助遊技装置ユニット12に含まれるモータやソレノイド（具体的には、役物駆動第1MOT71、役物駆動第2MOT81）に電源を供給するための接続線である。接続線Vseは、各種センサ（演出装置に含まれるモータの状態を検出する状態検出センサであって、具体的には、モータ位置検出センサ560aが相当する）に電源を供給するための接続線である。

20

【0151】

中継基板600と補助遊技装置ユニット12との間は、演出制御装置550と中継基板600との間を接続する7種類の接続線が接続される。本発明の第1の実施の形態では、モータ位置検出センサ560a、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって直接制御されるため、前述した7種類の接続線のうち、接続線Vms及び接続線Vse以外の5種類の接続線が、補助遊技装置ユニット12の最上流に配置された装飾制御装置610に接続される。具体的には、中継基板600と装飾制御装置610との間は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL及び接続線GNDが接続される。

【0152】

30

なお、図8に示した配線（ケーブル）と各接続線を対応させると、演出制御装置550から中継基板600に引き渡される各種接続線（接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線Vms、接続線Vse、及び接続線GND）は、ケーブル91に含まれている。

【0153】

また、これらの各種接続線は、中継基板600からさらに分岐して別の基板に引き渡され、中継基板600から分岐する接続線Vcc、接続線Vled、接続線SDA、及び接続線SCLはケーブル653に、接続線Vmsはケーブル652に、接続線Vseはケーブル651に含まれている。また、中継基板600から分岐する接続線GNDが、ケーブル651～653の全てに含まれている。

40

【0154】

第1マスタIC570aと装飾制御装置610とは、接続線SDA及び接続線SCLによって2ライン双方向通信を行う。第1マスタIC570aは、CPU551からの指令に基づいて、装飾制御装置610との間に接続された接続線SDA及び接続線SCLの各信号レベルを制御する（第1の）信号レベル制御手段として機能する。

【0155】

第1マスタIC570aは、中継基板600及び装飾制御装置610にデータを送信する場合には、まず、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることにより、装飾制御装置610へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置610に対してスタ

50

ートコンディションを発行（出力）する）。

【0156】

この後、第1マスタIC570aは、接続線SCLの信号レベルをLOWに変更し、接続線SCLの信号レベルがLOWである間に接続線SDAの信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線SCLの信号レベルをLOWからHIGHに変化させる。接続線SCLの信号レベルがHIGHに変化すると、装飾制御装置610は接続線SDAの信号レベルを取得し、送信データの最初のビットとして認識する。次いで、第1マスタIC570aは、接続線SCLの信号レベルをHIGHからLOWに戻す。

【0157】

この手順を1回実行すると、第1マスタIC570aから装飾制御装置610へ1ビットのデータが送信され、最終的にはこの手順が8回繰り返されることで、送信データの8ビットすべてが第1マスタIC570aから装飾制御装置610へ送信される（1バイト分のデータが送信される）。

【0158】

そして、第1マスタIC570aは、最後の8ビット目のデータ送信が終了すると、接続線SCLの信号レベルをHIGHからLOWに戻した際に、接続線SDAを解放して装飾制御装置610からの返答信号を受信することを待機する受信待機状態にする。

【0159】

受信待機状態になると、装飾制御装置610は、接続線SDAを介して1ビットの返答信号（後述するACK又はNACK）を第1マスタIC570aに返す。次いで、第1マスタIC570aは、接続線SCLの信号レベルをLOWからHIGHに変化させて返答信号のレベルを取り込み、所定時間後に接続線SCLの信号レベルをHIGHからLOWに変化させると、装飾制御装置610は接続線SDAを解放する。

【0160】

第1マスタIC570aは、このような1バイト分のデータ送信（下り方向データの送信）と1ビット分の返答信号の受信（上り方向データの受信）とを交互に繰り返し、装飾制御装置610へ出力すべきデータがすべて出力されるまで継続する。第1マスタIC570aは、出力すべきデータの出力が終了した場合には、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変更させることにより、装飾制御装置610へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置610に対してストップコンディションを発行する）。

【0161】

入力用バッファ571は、装飾制御装置610から接続線SDAを介して入力されたデータが一時的に記憶される記憶装置である。

【0162】

具体的には、第1マスタIC570aが入力モードに設定された場合において、装飾制御装置610から第1マスタIC570aに送信されたデータが、フィルタ575aによりノイズが除去されて入力用バッファ571に一時的に記憶される。

【0163】

出力用バッファ572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0164】

リセットレジスタ（REG）573は、バス563に接続され、演出制御装置550のCPU551からの指令を受け付けてリセット信号をコントローラ574に出力する。コントローラ574は、第1マスタIC570aを統括的に制御し、各種処理を実行する。

【0165】

フィルタ575aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576aは、接続線SDAからデータを出力する場合に、トランジスタ578aが動作可能な電圧をトランジスタ578aに印加する。

10

20

30

40

50

【0166】

接続線 SDA は、プルアップ抵抗 R によって所定の電圧が印加され（図 21 参照）、フィルタ 575a 及びトランジスタ 578a に接続されている。

【0167】

トランジスタ 578a は、電力消費を抑えるために電界効果トランジスタ（FET）が用いられている。トランジスタ 578a のゲートはドライバ 576a に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 SDA に接続され、ソースは接地されている。

【0168】

トランジスタ 578a のゲートに印加される電圧がトランジスタ 578a を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線 SDA に印加された電圧は降下せず、その結果、接続線 SDA は HIGH レベルとなる。一方、トランジスタ 578a のゲートに印加される電圧がトランジスタ 578a を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 SDA の電圧が低下し、その結果、接続線 SDA は LOW レベルとなる。

【0169】

なお、トランジスタ 578a は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線 SDA には、通常の I²C バス使用で用いられる電流値よりもはるかに大きい 10 ミリアンペア程度の電流を流すことが可能であり、演出制御装置 550 と装飾制御装置 610 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0170】

ドライバ 576a は、データを接続線 SDA から出力する場合に、トランジスタ 578a にドレインとソースとの間に電流を流すためにトランジスタ 578a のゲートにトランジスタ 578a が動作可能な値の電圧を印加する。そして、ドライバ 576a は、接続線 SDA の電圧を、HIGH レベル又は LOW レベルに設定することによって、データを接続線 SDA から出力する。

【0171】

また、フィルタ 575b は、接続線 SCL から入力されたデータのノイズを除去する。ドライバ 576b は、接続線 SCL からデータを出力する場合に、トランジスタ 578b が動作可能な電圧をトランジスタ 578b に印加する。

【0172】

接続線 SCL は、プルアップ抵抗 R によって所定の電圧が印加され（図 21 参照）、フィルタ 575b 及びトランジスタ 578b に接続されている。

【0173】

トランジスタ 578b は、電力消費を抑えるために電界効果トランジスタ（FET）が用いられている。トランジスタ 578b のゲートはドライバ 576b に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 SCL に接続され、ソースは接地されている。

【0174】

トランジスタ 578b のゲートに印加される電圧がトランジスタ 578b を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線 SCL に印加された電圧は降下せず、その結果、接続線 SCL は HIGH レベルとなる。一方、トランジスタ 578b のゲートに印加される電圧がトランジスタ 578b を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 SCL の電圧が低下し、その結果、接続線 SCL は LOW レベルとなる。

【0175】

なお、トランジスタ 578b は、10 ミリアンペア程度の電流をドレインからソースへ

10

20

30

40

50

流しても破損しない仕様のもを用いている。そのため、接続線 S C L には、通常の I²C バス使用で用いられる電流値よりもはるかに大きい 10 ミリアンペア程度の電流を流すことが可能であり、演出制御装置 550 と装飾制御装置 610 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0176】

ドライバ 576b は、クロック信号を接続線 S C L から出力する場合に、トランジスタ 578b にドレインとソースとの間に電流を流すためにトランジスタ 578b のゲートにトランジスタ 578b が動作可能な値の電圧を印加する。そして、ドライバ 576b は、接続線 S C L の電圧を、H I G H レベルと L O W レベルとに繰り返し変化させることによって、クロック信号を接続線 S C L から出力する。

10

【0177】

電源投入リセット回路 577 は、第 1 マスタ I C 570a に電源が投入されて、電源投入リセット回路 577 内の電圧が所定値に達した場合に、入力用バッファ 571 及び出力用バッファ 572 などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ 574 に出力する。なお、電源投入リセット回路 577 については、第 1 マスタ I C 570a の外部に設け、後述する第 2 マスタ I C 570b の共通としてもよい。

【0178】

コマンドレジスタ (R E G) 581 は、演出制御装置 550 の C P U 551 からコマンドを受け付けるためのレジスタである。本発明の第 1 の実施の形態では、コマンドレジスタ 581 には、S T A、S T O、S I、及び M O D E の各ビットが予め割り当てられており、C P U 551 によって、各ビット個別に“0”又は“1”が設定可能となっている。

20

【0179】

S T A は、第 1 マスタ I C 570a が制御対象の装飾制御装置 610 に対し、スタート条件 (スタートコンディション) の出力を指示するためのビットである。S T A に“1”が設定されると、第 1 マスタ I C 570a は、制御対象の装飾制御装置 610 に対し、スタートコンディションを発行 (出力) し、スタート条件を成立させる。

【0180】

S T O は、第 1 マスタ I C 570a が制御対象の装飾制御装置 610 に対し、ストップ条件 (ストップコンディション) の出力を指示するためのビットである。S T O に“1”が設定されると、第 1 マスタ I C 570a は、制御対象の装飾制御装置 610 に対し、ストップコンディションを発行 (出力) し、ストップ条件を成立させる。

30

【0181】

S I は、第 1 マスタ I C 570a から、演出制御装置 550 において割込みを発生させるときに設定されるビットである。第 1 マスタ I C 570a から C P U 551 に割込みを発生させるときには、コントローラ 574 によって S I に“1”が設定され、割込信号 (I N T) が C P U 551 に入力される。その後、S I に“1”が設定されている間は、第 1 マスタ I C 570a は処理を中断しているが、C P U 551 によって S I に“0”が設定されると、第 1 マスタ I C 570a は、割込を中断して処理を再開する。

【0182】

M O D E は、データを送信するモードを指定するビットであり、“1”が設定されている場合には「バッファモード」、「0」が設定されている場合には「バイトモード」が指定される。バッファモードは、連続する複数バイトのデータを 1 度にまとめて送信するモードであり、最大 68 バイトのデータの送信が可能である。また、バイトモードは、1 回の送信で 1 バイトのデータだけが送信可能なモードであり、バイト単位でのデータの送受信に利用される。

40

【0183】

ステータスレジスタ (R E G) 582 は、第 1 マスタ I C 570a のステータスを示す情報が格納される。下位 2 ビットには常に“0”が設定され、上位 5 ビットにステータスコードが設定される。

【0184】

50

自身アドレス設定レジスタ（REG）583は、第1マスタIC570aがスレーブ（装飾制御装置）として機能する場合に設定されるレジスタである。市販されているマスタICは、通常、マスタとしての機能とスレーブとしての機能を備えており、用途に応じて使用される。自身アドレス設定REG583には、第1マスタIC570aがスレーブとして機能する場合に、自身を特定するためのアドレスが設定される。

【0185】

図12は、本発明の第1の実施の形態の演出制御装置550に備えられた第2マスタIC570bと前面枠3に備えられた演出装置の構成を示すブロック図である。

【0186】

前面枠3には、第2マスタIC570bに接続される簡易中継基板1600、当該簡易中継基板1600に接続される装飾制御装置610、スピーカ30、モータ位置検出センサ560b、照明駆動第1MOT13a及び照明駆動第2MOT14aなどが含まれる。

【0187】

簡易中継基板1600は、第2マスタIC570bから送信された電気信号を、前面枠3に備えられた装飾制御装置610に送信（中継）する。なお、簡易中継基板1600は、中継基板600とは異なり、I²C I/Oエクスパンダ615を備えていないので、簡易中継基板1600に備えた電子部品には、演出装置を制御するための演算処理を実行する機能を有していない。したがって、簡易中継基板1600に直接接続された照明駆動第1MOT13a及び照明駆動第2MOT14aを、自己の判断によって制御することができないため、簡易中継基板1600は、第2マスタIC570bから受信した電気信号を入力して、照明駆動第1MOT13a及び照明駆動第2MOT14aへ中継する役目を果たしている。

【0188】

照明駆動第1MOT13a及び照明駆動第2MOT14aは、演出制御装置550から送信された信号に基づいて内部に備えられた発光部材を駆動させ、各種演出を実行する。

【0189】

また、演出制御装置550は、演出ボタン17から当該演出ボタン17が操作されたことを示す信号が簡易中継基板1600を介して入力される。さらに、モータ位置検出センサ560bによって検出された照明駆動第1MOT13a及び照明駆動第2MOT14aの位置情報が、簡易中継基板1600を介して入力される。

【0190】

さらに、簡易中継基板1600は、演出制御装置550の音LSI557からの信号を受信し、スピーカ30から出力する。

【0191】

なお、第2マスタIC570bの構成は、第1マスタIC570aと同じ構成であるため、第2マスタIC570bの各構成には同じ符号を割り当てて説明を省略する。また、第2マスタIC570bは、第1マスタIC570aと同様に、CPU551からの指令に基づいて、装飾制御装置610との間に接続された接続線SDA及び接続線SCLの各信号レベルを制御する（第2の）信号レベル制御手段として機能する。

【0192】

なお、演出制御装置550と中継基板600との接続方法、及び中継基板600と中継基板600以外の装飾制御装置610との接続方法については、図13～図16にて詳細を後述する。また、中継基板600及び装飾制御装置610の構成などについては、図17～図21にて詳細を後述する。

【0193】

装飾制御装置610は、主として、遊技盤10及び前面枠3に取り付けられている。前面枠3に取り付けられた装飾制御装置610が制御する装飾装置（LED）620は、装飾部材9a、9b、照明ユニット11、及び異常報知LED29を照射するものである。一方、遊技盤10に取り付けられる装飾制御装置610は、センターケース51、表示装置53、及び演出制御装置550を一体化して構成される補助遊技装置ユニット12に含

10

20

30

40

50

まれている。

【0194】

図13では、遊技盤10に備えられる中継基板600及び補助遊技装置ユニット12に含まれる装飾制御装置610の構成及び接続形態について説明する。図14では、前面枠3に備えられる簡易中継基板1600及び装飾制御装置610の構成及び接続形態について説明する。

【0195】

図13は、本発明の第1の実施の形態の遊技盤10の構成を示す図である。

【0196】

補助遊技装置ユニット12を構成するセンターケース51は、前述したように、枠装飾部65と枠体基部60とを組み合わせることで構成される。

【0197】

枠装飾部65には、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610などが複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠装飾部65が一体構成される。

【0198】

また、枠体基部60にも、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610が複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠体基部60が一体構成される。

【0199】

ゆえに、枠装飾部65や枠体基部60は、本実施形態における一体型演出ユニットを構成している。これに対し、サイドランプ45などは、一体型演出ユニットに含まれない単体の演出装置であるので、分離型演出装置を構成することになる。

【0200】

なお、補助遊技装置ユニット12に含まれる演出装置のすべてが補助遊技装置ユニット12内部の装飾制御装置610によって制御される必要はない。例えば、本発明の第1の実施の形態では、センターケース51内に配置される可動物は、中継基板600を介して、演出制御装置550により直接制御される。

【0201】

装飾制御装置610には、前述のように、装飾装置620を制御するためのI²C I/Oエキスパンダ615が搭載され、I²C I/Oエキスパンダ615には、個々のI²C I/Oエキスパンダ615を識別するための個別アドレスが割り当てられている。本発明の第1の実施の形態では、前述のように、I²C I/Oエキスパンダ615の個別アドレスが、装飾制御装置610の個別アドレスとして利用される。

【0202】

演出制御装置550は、I²C I/Oエキスパンダ615の個別アドレスを指定して制御信号を送信することによって、装飾装置620を個別に制御して演出動作を実行することが可能となる。各装飾制御装置610には、原則的に、それぞれ異なる個別アドレス（図中に「ad＝」で示す）が割り当てられる。

【0203】

また、装飾制御装置610は、接続形態によって、分岐型（分岐基板）、連結型（連結基板）及び終端型（終端基板）の三種類に分類される。分岐型、連結型及び終端型いずれの装飾制御装置610にも装飾装置620を接続可能であり、接続された装飾装置620を制御することが可能である。

【0204】

分岐型の装飾制御装置610は、下流側に複数の装飾制御装置610が直接接続され、

10

20

30

40

50

これらの複数の装飾制御装置 610 に受信した制御信号を送信する。連結型の装飾制御装置 610 は、下流側に一つの装飾制御装置 610 が接続され、接続された装飾制御装置 610 に受信した制御信号を送信する。終端型の装飾制御装置 610 は、下流側に装飾制御装置 610 が接続されず、装飾装置 620 の制御のみを行う。分岐型、連結型、終端型の装飾制御装置 610 の詳細に関しては、図 17 を用いて後述する。

【0205】

なお、上流側とは、演出制御装置 550 から途中の装飾制御装置 610 を経て末端の装飾制御装置 610 まで電気信号を送信する構成において、この電気信号を送信する側のことである。反対に、下流側とは、この電気信号を受信する側のことである。

【0206】

すなわち、演出制御装置 550 から末端の装飾制御装置 610 への信号ケーブルを順に辿った場合に、より演出制御装置 550 に近い側へ接続されている装飾制御装置 610 が上流側となり、より末端の装飾制御装置 610 に近い側へ接続されている装飾制御装置 610 が下流側となる。例えば、装飾制御装置 610 A、610 C は、装飾制御装置 610 H の上流側に配置されており、装飾制御装置 610 I、610 J は、装飾制御装置 610 H の下流側に配置されていることになる。

【0207】

ここで、本発明の第 1 の実施の形態では、前述のように、可動演出装置 58 を構成する第 1 演出部材 70 及び第 2 演出部材 80 の可動部に装飾制御装置 610 が配置されている。言い換えれば、図 6 において、第 1 演出部材 70 の可動部（第 1 演出ベース 100）に装飾制御装置 610（第 1 発光基板 106）が配置され、図 7 において、第 2 演出部材 80 の可動部（第 2 演出ベース 110）に装飾制御装置 610（第 2 発光基板 116）が配置されている。

【0208】

このとき、従来のシフトレジスタのように、各装飾制御装置 610 をデイジーチェーンで配線すると、デイジーチェーンの末端となる何れか一方の装飾制御装置 610 だけは、入力用のケーブルのみを接続するだけで済む。しかし、デイジーチェーンの途中に接続される構成となる他方の装飾制御装置 610 には、入力用のケーブルと出力用のケーブルを接続する必要がある。可動部に複数のケーブルが接続されると、可動部とともに装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）自体が可動する構造となってケーブルも移動するため、配線の引き回しが困難になってしまうおそれがある。さらに、ケーブルの移動により、ケーブルを構成する接続線が断線する可能性が生じ、演出に影響を与えるおそれがある。

【0209】

本発明の第 1 の実施の形態では、第 1 演出部材 70 及び第 2 演出部材 80 に配置された装飾制御装置 610 を終端型とし、これらの装飾制御装置 610 の上流に分岐型の装飾制御装置 610 を配置している。そのため、終端型の装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）には、第 1 演出部材 70 及び第 2 演出部材 80 の外部に備えた他の装飾制御装置 610 へ信号を伝達するケーブルが接続されない構造となる。このように装飾制御装置 610 を配置すれば、可動部に配置された装飾制御装置 610 には入力ケーブルのみを接続すればよいことになる。したがって、デイジーチェーンで配線する場合と比較して、配線の引き回しが容易になり、断線する可能性を少なくすることができる。

【0210】

装飾制御装置 610 は、受信した制御信号の宛先アドレスが自宛でない場合、下流側にさらに装飾制御装置 610 が接続されていれば受信した制御信号を送信する。また、送信先がなければ受信した制御信号を破棄する。

【0211】

装飾制御装置 610 は、16 個のポートに対応する LED を制御することが可能であり、装飾制御装置 610 に搭載された LED と、当該装飾制御装置 610 に接続された外部

10

20

30

40

50

の装飾装置基板 625 に搭載された LED との合計数が 16 以下であれば、両方の LED を制御することが可能である。すなわち、一体型の装飾制御装置 610 (I²C I/O エクスパンダ 615 と装飾装置 620 がともに配置される主動型基板に相当) では、装飾装置基板 625 (I²C I/O エクスパンダ 615 が配置されず、装飾装置 620 が配置される従動型基板に相当) をさらに接続することによって、内部に備えられた装飾装置 620 と外部に接続した装飾装置 620 の両方を制御することが可能である。

【0212】

こうすることによって、離れて配置された装飾装置 620 を 1 つの装飾制御装置 610 で制御することが可能となり、装飾制御装置 610 の数を最小限にすることができる。

【0213】

中継基板 600 は、上流側では演出制御装置 550 に搭載された第 1 マスタ IC 570 a に接続し、第 1 マスタ IC 570 a から送信された制御信号を受信する。また、下流側では補助遊技装置ユニット 12 に含まれる装飾制御装置 610 A (正確には一体型演出ユニットである枠体基部 60 に含まれる装飾制御装置 610 A) に接続する。さらに、中継基板 600 は、遊技盤 10 に備えられた分離型演出装置である装飾装置基板 625 (サイドランプ 45 (図 8 参照) に設けられた基板) に接続し、当該中継基板 600 に備えられた I²C I/O エクスパンダ 615 によって、当該装飾装置基板 625 に搭載された装飾装置 620 を制御する。

【0214】

補助遊技装置ユニット 12 には、装飾制御装置 610 A ~ 610 J が含まれる。装飾制御装置 610 A は、分岐型の装飾制御装置であり、装飾制御装置 610 B 及び装飾制御装置 610 C に第 1 マスタ IC 570 a から受信した制御信号を送信する。また、装飾制御装置 610 B には、装飾装置基板 625 B が接続されており、装飾装置基板 625 B に配置された LED などの演出装置 (装飾装置 620) が装飾制御装置 610 B によって制御される。

【0215】

装飾制御装置 610 C は、分岐型の装飾制御装置 610 であり、下流側の装飾制御装置 610 D 及び装飾制御装置 610 H に受信した制御信号を送信する。装飾制御装置 610 D は、分岐型の装飾制御装置 610 E が接続され、さらに、装飾装置基板 625 D に含まれる装飾装置 620 D を制御する。

【0216】

装飾制御装置 610 E には、第 1 演出部材 70 を制御する装飾制御装置 610 F と、第 2 演出部材 80 を制御する装飾制御装置 610 G とが接続される。第 1 演出部材 70 及び第 2 演出部材 80 は、連動して演出動作が実行される。装飾制御装置 610 F は、第 1 演出部材 70 に含まれる第 1 発光基板 106 に配置され (図 6)、また、装飾制御装置 610 G は、第 2 演出部材 80 に含まれる第 2 発光基板 116 に配置されている (図 7)。

【0217】

なお、第 1 発光基板 106 自体が装飾制御装置 610 F として機能し、第 2 発光基板 116 自体が装飾制御装置 610 G として機能していてもよい。

【0218】

本発明の第 1 の実施の形態では、装飾制御装置 610 F は第 1 演出部材 70 に含まれる LED などを制御し、装飾制御装置 610 G は第 2 演出部材 80 に含まれる LED などを制御する。なお、第 1 演出部材 70 及び第 2 演出部材 80 をそれぞれ表示部 53 a の前方に移動させるための駆動力を出力するための役物駆動第 1 MOT 71 及び役物駆動第 2 MOT 81 は、中継基板 600 によって制御される。

【0219】

演出制御装置 550 は、変動表示ゲーム実行時など、所定の条件を満たすと、第 1 演出ユニット 63 (第 1 演出部材 70) 及び第 2 演出ユニット 64 (第 2 演出部材 80) を制御して演出動作を実行する。具体的には、第 1 演出ユニット 63 に含まれる役物駆動第 1 MOT 71 及び第 2 演出ユニット 64 に含まれる役物駆動第 2 MOT 81 を制御するため

10

20

30

40

50

に、中継基板 600 の個別アドレス（「0000」）を指定して、これらのモータを動作させるための制御信号を送信する。さらに、第 1 演出部材 70 に含まれる LED などの発光装置を制御する制御信号を、第 1 演出部材 70 を制御する装飾制御装置 610 F の個別アドレス（「0110」）を指定して送信する。同様に、第 2 演出部材 80 に含まれる LED などの発光装置を制御する制御信号を、第 2 演出部材 80 を制御する装飾制御装置 610 G の個別アドレス（「0111」）を指定して送信する。その後、ストップコンディションを発行する。

【0220】

装飾制御装置 610 H は、連結型の装飾制御装置 610 であり、さらに、連結型の装飾制御装置 610 I 及び終端型の装飾制御装置 610 J が接続される。終端型の装飾制御装置 610 J は、装飾装置基板 625 J に含まれる装飾装置 620 J を制御する。

10

【0221】

本発明の第 1 の実施の形態では、装飾制御装置 610 H 及び装飾制御装置 610 I は、信頼度報知装置 15 に含まれる演出装置（LED）を制御する。所定の条件を満たした場合には、演出制御装置 550 の第 1 マスタ IC 570 a から所定の態様を示すようにするための制御信号が送信され、指定された態様で演出を行う。

【0222】

図 14 は、本発明の第 1 の実施の形態の前面枠 3 の構成を示す図である。

【0223】

本発明の第 1 の実施の形態の遊技機 1 には複数の仕様が有り、通常版遊技機 1 と廉価版遊技機 1 とがある。通常版遊技機 1 は、標準仕様の装飾部材を備えている前面枠 3（以下、通常版前面枠 3 とする）を備えている。廉価版遊技機 1 は、標準仕様の装飾部材よりも廉価なコストで構成された装飾部材を備えている前面枠 3（以下、廉価版前面枠 3' とする）を備えている。図 14 の上側には、通常版前面枠 3 の構成を示し、下側には、廉価版前面枠 3' の構成を示しており、遊技機 1 では、何れか一方の仕様の前面枠 3 のみが取り付けられて演出制御装置 550 と接続されるので、第 2 マスタ IC 570 b には、通常版前面枠 3 か廉価版前面枠 3' の何れか一方のみが接続される。

20

【0224】

通常版前面枠 3 と廉価版前面枠 3' とは、装飾部材 9 a、9 b に含まれる装飾装置 620 の数が相違し、さらに、装飾装置 620 を制御する装飾制御装置 610 の数も相違する。具体的には、通常版前面枠 3 の装飾部材 9 a、9 b は 7 つの装飾制御装置 610 によって制御され、廉価版前面枠 3' の装飾部材 9 a'、9 b' は 5 つの装飾制御装置 610 によって制御される。装飾部材 9 a、9 b は、装飾部材 9 a'、9 b' よりも多くの LED によって照射するので、通常版前面枠 3 のほうが廉価版前面枠 3' よりも明るくなり、実行可能な演出のバリエーションを増やすことも可能である。このため、通常版前面枠 3 が取り付けられた場合の装飾装置 620 の制御と、廉価版前面枠 3' が取り付けられた場合の装飾装置 620 の制御が相違する。

30

【0225】

このため、通常版前面枠 3 に取り付けられる装飾制御装置 610 の個別アドレスと廉価版前面枠 3' に取り付けられる装飾制御装置 610 の個別アドレスに同じアドレスを割り当てた場合には、演出制御装置 550 から装飾制御装置 610 へ送信する演出制御データを、通常版前面枠 3 の場合と廉価版前面枠 3' の場合とで異ならせる必要があるので、遊技機 1 に取り付けられる前面枠 3 に応じて通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 をそれぞれ用意しなければならない。したがって、製造メーカーが遊技機 1 を出荷する場合には、通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 とを用意しなければならない、製造コストが上昇してしまう。

40

【0226】

そこで、本発明の第 1 の実施の形態では、通常版前面枠 3 と廉価版前面枠 3' とで制御が異なる装飾制御装置 610 の個別アドレスには、異なるアドレスを割り当て、演出制御装置 550 から装飾制御装置 610 へ送信する演出制御データが、通常版前面枠 3 の場合

50

と廉価版前面枠 3' の場合とで共通となるように構成することで、一つの演出制御装置 550 で通常版用の制御と廉価版用の制御とを実行できるように構成した。こうすることによって、通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 とをそれぞれ用意する必要がなくなり、製造コストを抑えることができる。なお、本発明の第 1 の実施の形態では、遊技盤 10 の構成については、通常版であっても廉価版であっても同じ構成となっている。

【0227】

以下、通常版前面枠 3 及び廉価版前面枠 3' の構成について具体的に説明する。

【0228】

通常版前面枠 3 には、第 2 マスタ IC 570b に接続される簡易中継基板 1600 を備える。簡易中継基板 1600 には、分岐型の装飾制御装置 610K 及び照明駆動モータ (13a、14a) が接続される。

10

【0229】

装飾制御装置 610K は、照明ユニット 11 内に配置され、装飾装置基板 625K に備えられた装飾装置 620 を制御する。具体的には、照明ユニット 11 に含まれる LED や異常報知 LED 29 などが制御される。

【0230】

また、装飾制御装置 610K は、分岐型の装飾制御装置であり、装飾制御装置 610L 及び装飾制御装置 610P に受信した制御信号を送信する。装飾制御装置 610L ~ 610N は、通常版前面枠 3 の左側部分の装飾部材 9a を制御する。また、装飾制御装置 610P ~ 610R は、通常版前面枠 3 の右側部分の装飾部材 9b を制御する。

20

【0231】

通常版前面枠 3 の左側部分の装飾部材 9a は、連結型の装飾制御装置 610L、610M 及び終端型の装飾制御装置 610N を含む。装飾制御装置 610L は、演出制御装置 550 の第 2 マスタ IC 570b から送信された制御信号を、装飾制御装置 610K から受信し、装飾制御装置 610M 及び 610N に送信する。

【0232】

通常版前面枠 3 の右側部分の装飾部材 9b は、前述のように、連結型の装飾制御装置 610P、610Q 及び終端型の装飾制御装置 610R を含む。装飾制御装置 610P は、演出制御装置 550 の第 2 マスタ IC 570b から送信された制御信号を、装飾制御装置 610K から受信し、装飾制御装置 610Q 及び 610R に送信する。

30

【0233】

また、装飾部材 9a 及び装飾部材 9b に含まれる装飾制御装置 610L ~ 610R にも、それぞれ異なる個別アドレスが割り当てられており、第 2 マスタ IC 570b から送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。具体的には、照明ユニット 11 に含まれる装飾制御装置 610K の個別アドレスには「0000」、装飾部材 9a に含まれる装飾制御装置 610L、610M 及び 610N の個別アドレスには「0001」「0010」及び「0011」、装飾部材 9b に含まれる装飾制御装置 610P、610Q 及び 610R の個別アドレスには「0100」「0101」及び「0110」が割り当てられている。

40

【0234】

一方、廉価版前面枠 3' は、通常版前面枠 3 と同様に、第 2 マスタ IC 570b に接続される簡易中継基板 1600 と、ほぼ同様の機能を有する基板 (以下、廉価版の簡易中継基板 1600' とする) を備える。ただし、廉価版前面枠 3' では、簡易中継基板 1600' に分岐型の装飾制御装置 610S のみが接続されており、照明駆動モータ (13a、14a) を備えずにコストダウンが図られている。

【0235】

装飾制御装置 610S は、照明ユニット 11 内に配置されており、装飾装置基板 625S に備えられた装飾装置 620 を制御する。具体的には、照明ユニット 11 に含まれる LED や異常報知 LED 29 などが制御され、通常版前面枠 3 と同様である。また、装飾制

50

御装置 610S は、通常版前面枠 3 の照明ユニット 11 を制御する装飾制御装置 610K と同一の基板であり、同じ個別アドレス（「0000」）が割り当てられている。そのため、通常版前面枠 3 の装飾制御装置 610K と、廉価版前面枠 3' の装飾制御装置 610S では、同じ制御が実行される。

【0236】

また、装飾制御装置 610S は、分岐型の装飾制御装置であり、装飾制御装置 610T 及び装飾制御装置 610V に受信した制御信号を送信する。装飾制御装置 610T 及び 610U は、通常版前面枠 3 の左側部分の装飾部材 9a' を制御する。また、装飾制御装置 610V 及び 610W は、通常版前面枠 3 の右側部分の装飾部材 9b' を制御する。

【0237】

また、廉価版前面枠 3' では、左側の装飾部材 9a' を制御する装飾制御装置 610T 及び 610U、及び右側の装飾部材 9b' を制御する装飾制御装置 610V 及び 610W が取り付けられている。装飾制御装置 610T は、通常版前面枠 3 の装飾制御装置 610L と同一の基板であり、同じ個別アドレス（「0001」）が割り当てられている。同様に、装飾制御装置 610V は、通常版前面枠 3 の装飾制御装置 610P と同一の基板であり、同じ個別アドレス（「0001」）が割り当てられている。そのため、通常版前面枠 3 の装飾制御装置 610L と、廉価版前面枠 3' の装飾制御装置 610T では、同じ制御が実行され、通常版前面枠 3 の装飾制御装置 610P と、廉価版前面枠 3' の装飾制御装置 610V では、同じ制御が実行される。

【0238】

装飾制御装置 610U 及び 610W には、同じ個別アドレス（「0111」）が割り当てられている。したがって、廉価版前面枠 3' では、左右の装飾部材で装飾制御装置 610U 及び 610W で同じ制御が実行され、すなわち、制御対象の LED による照射が同じタイミングで実行される。また、装飾制御装置 610U 及び 610W には、通常版前面枠 3 の装飾制御装置 610 に割り当てられていない個別アドレスが割り当てられている。

【0239】

そして、通常版前面枠 3 と廉価版前面枠 3' の何れに使用される場合であっても、演出制御装置 550 からは、装飾部材 9a、9b、9a'、9b' に含まれる装飾制御装置 610 の I²C I/O エクスパンダ 615 に割り当てられたすべての個別アドレスに対して演出制御データが送信される。

【0240】

以上のように、廉価版前面枠 3' には、備えられている装飾制御装置のうち、装飾制御装置 610M、610N、610Q 及び 610R（第 1 の仕様依存型グループ単位制御手段）に相当するものが存在せず、代わりに、装飾制御装置 610U 及び 610W（第 2 の仕様依存型グループ単位制御手段）が取り付けられている。通常版前面枠 3 には、装飾制御装置 610M、610N、610Q 及び 610R（第 1 の仕様依存型グループ単位制御手段）が取り付けられているのに対し、廉価版前面枠 3' には、より少ない数の装飾制御装置 610U 及び 610W（第 2 の仕様依存型グループ単位制御手段）が取り付けられている。

【0241】

また、装飾制御装置 610K と装飾制御装置 610S、装飾制御装置 610L と装飾制御装置 610T、装飾制御装置 610V と装飾制御装置 610P は、互いに、通常版前面枠 3 と廉価版前面枠 3' とに共通利用可能な基板として構成されている。

【0242】

したがって、本発明の第 1 の実施の形態の演出制御装置 550 は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置 550 の製造コストを削減することができる。

【0243】

なお、以降の説明では、特に断らない限り、本発明の第 1 の実施の形態の遊技機 1 では通常版前面枠が取り付けられているものとする。

【0244】

なお、廉価版前面枠3'では、個別アドレスが「0010」、「0011」、「0101」及び「0110」となるI²C I/Oエクスパンダ615は使用されず、通常版前面枠3では、個別アドレスが「0111」となるI²C I/Oエクスパンダ615は使用されない。そのため、いずれの前面枠3であっても、異常判定テーブル3300（図33参照）において、接続されないI²C I/Oエクスパンダ615が存在することになる。しかしながら、後述するように、異常判定テーブル3300に登録されている少なくとも1つのI²C I/Oエクスパンダ615と、第2マスタIC570bとの間で正常にデータ送信が行われていれば、正常に動作していると判定されるため、これが原因で処理が中断することはない。

10

【0245】

図15は、本発明の第1の実施の形態の演出制御装置550と遊技盤10に含まれる中継基板600及び装飾制御装置610の接続状態を説明する図である。

【0246】

図15では、演出制御装置550、中継基板600、装飾制御装置610A、610B及び610Cの接続について説明する。また、説明の都合上、装飾制御装置610として、1個の中継基板600と、装飾制御装置610Cよりも下流に接続されている各装飾制御装置（610D～610J）については記載を省略する。なお、各装飾制御装置610間の接続はそれぞれ同じである。

20

【0247】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線M11～M14、接続線M21～M24、接続線M31～M34、接続線SL1、接続線SL2、接続線SE1～3、接続線Vms、及び接続線Vseによって中継基板600と接続される。

【0248】

接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線Vms、及び接続線Vseについては、図11にて説明した通りである。

【0249】

接続線M11～M14は、第1演出ユニット63に含まれる役物駆動第1MOT71の第1～4相を制御するための信号が送信される。接続線M21～M24は、第2演出ユニット64に含まれる役物駆動第2MOT81の第1～4相を制御するための信号が送信される。役物駆動第1MOT71、役物駆動第2MOT81は4相駆動のステッピングモータを用いている。

30

【0250】

接続線M31～M34は、モータを制御するための接続線であるが、本発明の第1の実施の形態では、中継基板600に対応するモータが接続されないため、接続状態を表示する空き端子モニタ603が接続される。空き端子モニタ603は、接続線M31～M34に対応した、4個のLEDによって構成されており、各接続線が断線しているか否かを確認することができる。したがって、一部又は全部の接続線が断線している場合には、空き端子モニタ603の一部が点灯しないことになるので、ケーブルの品質を悪いと判断することができる。

40

【0251】

特に、本発明の第1の実施の形態の遊技機1のように、第1マスタIC570aと中継基板600とを接続するケーブル91には、電源を供給するための接続線GND、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseが含まれている（図11若しくは図15参照）。これらの電力を供給する線は、安定した動作を実現するために、十分な電流量が確保できる断面積の大きい（太い）ケーブルが本来であれば用いられる。

【0252】

しかしながら、ケーブル91の様なフラット形状のケーブルを用いる場合には、コネクタを接続する関係から、各ケーブルの断面積の大きさを同一（共通化）する必要がある。

50

そこで、断面積の大きいケーブルを代わりに、複数の接続線を用いて電源供給を行うことが考えられ、例えば、接続線GNDとして6本のケーブルを使用し、接続線Vmsとして3本のケーブルを使用するといった構成を実現することができる。

【0253】

このとき、電力を供給する接続線の一部が断線していても、すべての接続線が断線していなければ、見た目上は問題なく動作していることになるので、LEDを点灯させたり、モータを駆動させたりすることが可能であるが、十分な電流量が確保できていない状態であるため、ケーブル上で異常な発熱が発生したりするおそれがある。このような場合に、空き端子モニタ603に電力を供給する線を接続することによって、一見正常に動作していても、一部の接続線が断線しているような品質の劣るケーブルを発見することができ、10
障害が発生する前に交換したり必要なメンテナンスを行ったりすることが可能となる。

【0254】

また、中継基板600は、役物駆動モータ（役物駆動第1MOT71、役物駆動第2MOT81）を駆動するために、接続線Vmsから供給された電力を各モータに供給する。なお、装飾ピース46を上下動させるための役物駆動ソレノイドに供給される電力についても接続線Vmsから供給される。

【0255】

また、中継基板600には、役物駆動モータの回転位置を検出するためのモータ位置検出センサ560aが接続される。接続線SE1～3は、モータ位置検出センサ560による検出結果を受信するための接続線であり、中継基板600は、モータ位置検出センサ560aによって検出された役物駆動モータの回転位置を、接続線SE1～3を介して演出20
制御装置550に送信する。

【0256】

接続線SL1及び接続線SL2は、役物駆動ソレノイドを制御するための接続線である。接続線SL1及び接続線SL2も、役物駆動ソレノイドを使用しないときは、前述の接続線M31～M34と同様に、接続状態を表示する空き端子モニタ603が接続される。

【0257】

中継基板600を含む装飾制御装置610は、接続線Vcc、接続線Vled、接続線SDA、接続線SC L、及び接続線GND（以下、この5種類の接続線を束ねたものを一つのハーネスという）を介して互いに接続される。30

【0258】

また、装飾制御装置610Aにはハーネスを介して装飾制御装置610B及び装飾制御装置610Cが接続され、装飾制御装置610Cにはハーネスを介して図示しない装飾制御装置610Dが接続される。

【0259】

各装飾制御装置610は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置610で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0260】

図16は、本発明の第1の実施の形態の演出制御装置550と、通常版前面枠3に含まれる簡易中継基板1600及び装飾制御装置610の接続状態を説明する図である。40

【0261】

図16では、演出制御装置550、簡易中継基板1600、装飾制御装置610K、610L及び610Pの接続について説明する。また、説明の都合上、装飾制御装置610として、装飾制御装置610L及び装飾制御装置610Pよりも下流に接続されている各装飾制御装置については記載を省略する。

【0262】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SC L、接続線GND、接続線M11～M14、接続線M21～M24、接続線M31～M34、接続線SL1、接続線SL2、接続線SE1～3、接続線Vms、及び接続線Vseに50

加え、演出ボタン１７からのボタン信号を受信する接続線及び音信号をスピーカ３０に送信する接続線によって簡易中継基板１６００と接続される。

【０２６３】

接続線Ｖｃｃ、接続線Ｖｌｅｄ、接続線ＳＤＡ、接続線ＳＣＬ、接続線ＧＮＤ、接続線Ｖｍｓ、及び接続線Ｖｓｅについては、図１５にて説明したように、演出制御装置５５０と遊技盤１０とを接続する場合と同様に、下流側に配置されている各装飾制御装置６１０に各種信号を送受信する。

【０２６４】

接続線Ｍ１１～Ｍ１４は、照明ユニット１１に含まれる第１可動式照明１３の照明駆動第１ＭＯＴ１３ａを制御するための信号が送信される。接続線Ｍ２１～Ｍ２４は、照明ユ

10

【０２６５】

ニット１１に含まれる第２可動式照明１４の照明駆動第２ＭＯＴ１４ａを制御するための信号が送信される。

接続線Ｍ３１～Ｍ３４は、モータを制御するための接続線であるが、本発明の第１の実施の形態では、対応するモータが簡易中継基板１６００に接続されないため、中継基板６００と同様に、接続状態を表示する空き端子モニタ６０３が接続される。

【０２６６】

さらに、照明駆動モータ（照明駆動第１ＭＯＴ１３ａ、照明駆動第２ＭＯＴ１４ａ）を駆動するために、接続線Ｖｍｓから供給された電力を各モータに供給する。

【０２６７】

20

また、簡易中継基板１６００には、照明駆動モータの回転位置を検出するためのモータ位置検出センサ５６０ｂが接続される。簡易中継基板１６００は、モータ位置検出センサ５６０ｂによって検出された照明駆動モータの回転位置を、接続線ＳＥ１～３を介して演出制御装置５５０に送信する。

【０２６８】

ここで、装飾制御装置６１０に設けられたＩ^２ＣＩ／Ｏエクスパンダ６１５（図１８で後述）が装飾装置６２０を制御する方法について説明する。

【０２６９】

演出制御装置５５０は、遊技制御装置５００から入力された遊技データに基づいて、演出装置（装飾装置６２０）の出力態様を決定する。そして、演出制御装置５５０は、決定された出力態様となるように、制御対象となる装飾制御装置６１０の個別アドレス（Ｉ^２ＣＩ／Ｏエクスパンダ６１５の個別アドレス）を含む演出制御データ（演出制御情報）を中継基板６００に出力する。このとき、演出制御データは、中継基板６００から接続線ＳＤＡを介してすべての制御対象の装飾制御装置６１０に出力される。

30

【０２７０】

なお、本発明の第１の実施の形態では装飾制御装置６１０によって制御される演出装置は主としてＬＥＤ等の発光装置であるため、ＬＥＤの発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、ＬＥＤの点灯／点滅／消灯が指示され、さらに、ＬＥＤの点滅周期や点灯輝度も指示される。

【０２７１】

40

各装飾制御装置６１０には、前述のようにあらかじめ一意な個別アドレスが設定されており、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するかどうかを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置６１０のＩ^２ＣＩ／Ｏエクスパンダ６１５は、演出制御データを取り込んで、対応する装飾装置６２０の出力態様を制御するとともに、８ビット目のデータが入力された直後に返答信号をマスタＩＣ（第１マスタＩＣ５７０ａ、第２マスタＩＣ５７０ｂ）に出力する。

【０２７２】

以上のように、マスタＩＣは、当該マスタＩＣに接続されるすべての装飾制御装置６１

50

0に演出制御データを送信し、当該演出制御データに含まれる個別アドレスに対応する装飾制御装置610において、要求した出力態様となるように演出装置を制御することができる。

【0273】

なお、各装飾制御装置610には、個別アドレス以外にも、装飾制御装置610のI²C I/Oエクスパンダ615を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべてのI²C I/Oエクスパンダ615に対して共通に設けられたアドレスであり、個別アドレスとして使用することはできない。また、このリセットアドレスの値を変更することもできないように構成されている（詳細は後述する）。

【0274】

演出制御装置550は、装飾制御装置610（正確には、装飾制御装置610のI²C I/Oエクスパンダ615）を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板600又は簡易中継基板1600に出力する。このとき、初期化指示データ演出制御データは、中継基板600又は簡易中継基板1600を介して、演出制御装置550に接続されるすべての装飾制御装置610に対して接続線SDAから出力される。

【0275】

各装飾制御装置610には、リセット用の共通アドレスがあらかじめ設定されているので、入力されたデータに含まれるアドレスと、リセット用の共通アドレスとが一致するかどうかを判定する。一致すると判定された場合には、装飾制御装置610のI²C I/Oエクスパンダ615は、返答信号をマスタICに出力するとともに、入力データを初期化指示データとして取り込み、I²C I/Oエクスパンダ615自身を初期化する。

【0276】

なお、I²C I/Oエクスパンダ615が初期化されると、当該初期化されたI²C I/Oエクスパンダ615によって制御される演出装置はオフ状態となる。

【0277】

このように、装飾制御装置610は、演出制御装置550からの指令に基づく制御を行うので、演出制御装置550と装飾制御装置610との関係は、演出制御装置550の第1マスタIC570a及び第2マスタIC570bがマスタであり、各装飾制御装置610のI²C I/Oエクスパンダ615がスレーブとなる。

【0278】

図15及び図16では、中継基板600以外の装飾制御装置610の制御対象は、LEDなどの発光装置である装飾装置620となっているが、モータやソレノイドなどの可動物を制御することも可能である。この場合には、演出装置がモータやソレノイドなどの駆動源となることから、これらの駆動源の動作態様が演出装置の出力態様に相当する。演出制御データには、駆動源の作動／停止指示が含まれ、さらに動作速度を指定することも可能である。

【0279】

なお、遊技機1の構成として、通常版前面枠3の代わりに廉価版前面枠3'を設けた場合でも、廉価版前面枠3'に含まれる各種基板の接続状態は、図16とほぼ同等の構成となる。

【0280】

ただし、廉価版前面枠3'には、照明駆動モータ（照明駆動第1MOT13a、照明駆動第2MOT14a）が設けられていないため、廉価版の簡易中継基板1600'には、照明駆動モータが接続されるコネクタが存在せず、接続線M11～M14、及び接続線M21～M24も使用されない。そのため、廉価版の簡易中継基板1600'では、接続線M11～M14、及び接続線M21～M24にも、空き端子モニタ603が接続される。

【0281】

また、廉価版前面枠3'には、モータ位置検出センサ560bが設けられていないため、廉価版の簡易中継基板1600'では、接続線SE1～3をグラウンドに接続して、一定

10

20

30

40

50

のレベルの信号が、常時、演出制御装置 550 に入力されるように構成している。

【0282】

図 17 は、本発明の第 1 の実施の形態の装飾制御装置 610 のブロック図である。

【0283】

本発明の第 1 の実施の形態の装飾制御装置 610 は、前述のように、接続形態に基づいて、分岐型、連結型、及び終端型の 3 種類に分類される。図 17 には、分岐型の装飾制御装置 610 X に終端型の装飾制御装置 610 Y が接続されている例を示している。さらに、装飾制御装置 610 Y には、装飾装置基板 625 が接続されている。

【0284】

分岐型の装飾制御装置とは、 $I^2C I/O$ エクスパンダ 615 と、 $I^2C I/O$ エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）と、上流コネクタから受け入れた信号を、複数の装飾制御装置 610 に伝達するコネクタ（下流コネクタ）を備えたものである。例えば、図中の装飾制御装置 610 X のように、内部に $I^2C I/O$ エクスパンダ 615 及び LED（装飾装置 620）を備え、さらに、一つの上流コネクタ 611 と二つの下流コネクタ 612 A、612 B を備える。

【0285】

接続線 SDA 及び接続線 SCL は、装飾制御装置 610 内で二つに分岐し、一方は、そのまま次の装飾制御装置 610 Y に出力するための下流コネクタ 612 B に接続される。他方は、さらに分岐し、一方は $I^2C I/O$ エクスパンダ 615 に接続され、他方は別の下流コネクタ 612 A に接続される。

【0286】

また、装飾制御装置 610 X の $I^2C I/O$ エクスパンダ 615 の出力側には、制御対象となる装飾装置 620 が接続される。 $I^2C I/O$ エクスパンダ 615 の出力側は、図 20 で説明するポート 0～15 によって構成される。さらに、装飾制御装置 610 のすべてのポートが、図 19 で後述する電流制限抵抗 $R_0 \sim R_{15}$ を介して、内部の LED に接続されている。なお、この電流制限抵抗 $R_0 \sim R_{15}$ も、装飾制御装置 610 に備えられている。

【0287】

前述したように、 $I^2C I/O$ エクスパンダ 615 は、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該 $I^2C I/O$ エクスパンダ 615 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 $I^2C I/O$ エクスパンダ 615 に接続されている装飾装置 620 を制御する。

【0288】

なお、下流コネクタを 1 個しか備えないために、上流コネクタから受け入れた信号が、1 つの装飾制御装置 610 にのみ伝達可能となっている装飾制御装置は、連結型の装飾制御装置となる。例えば、前述した装飾制御装置 610 X にて、下流コネクタ 612 B のみが備えられ、下流コネクタ 612 A が存在しないようなものが該当する。

【0289】

また、終端型の装飾制御装置とは、 $I^2C I/O$ エクスパンダ 615 と、 $I^2C I/O$ エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）を有するが、上流コネクタから受け入れた信号を、他の装飾制御装置 610 に伝達しないものである。例えば、図中の装飾制御装置 610 Y は、 $I^2C I/O$ エクスパンダ 615 及び LED（装飾装置 620）を備え、装飾制御装置 610 Y の外部に接続される装飾装置基板 625 に備わる LED に電流を流すための接続線、装飾装置基板 625 の LED に電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 610 と装飾装置基板 625 とが接続される。

【0290】

装飾装置基板 625 は、 $I^2C I/O$ エクスパンダ 615 を備えておらず、LED などの発光装置のみを備えた基板である。この場合、装飾装置基板 625 に備えた LED に接

10

20

30

40

50

続される電流制限抵抗を、装飾装置基板 6 2 5 に設けることになるが、 I^2CI/O エクスパンダ 6 1 5 が備えられた装飾制御装置 6 1 0 に設けてもよい。

【0 2 9 1】

なお、装飾装置基板 6 2 5 に設けた LED の数に対応して、装飾制御装置 6 1 0 から装飾装置基板 6 2 5 へ渡されることになる、これらの LED に電流を流すための接続線の数が決定される。例えば、装飾装置基板 6 2 5 に二つの LED を備えた場合には、 I^2CI/O エクスパンダ 6 1 5 のポートと対応する LED とを接続するための 2 本の制御線と、Vled から供給された電力を供給する電源線 1 本とが、少なくとも必要となる。

【0 2 9 2】

そして、装飾制御装置 6 1 0 Y に設けられた I^2CI/O エクスパンダ 6 1 5 も、演出制御装置 5 5 0 から入力された演出制御データに含まれるアドレスと、当該 I^2CI/O エクスパンダ 6 1 5 に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 I^2CI/O エクスパンダ 6 1 5 に接続されている装飾装置 6 2 0 を制御する。この場合、中央の装飾制御装置 6 1 0 に設けられた装飾装置 6 2 0 と、装飾装置基板 6 2 5 に設けられた装飾装置 6 2 0 の両方が、 I^2CI/O エクスパンダ 6 1 5 によって制御される。

【0 2 9 3】

このように、装飾装置基板 6 2 5 を設けて、装飾制御装置 6 1 0 から一部の装飾装置 (LED) を分離させることで、離れた箇所に配置された LED であっても、共通の I^2CI/O エクスパンダ 6 1 5 により制御することができる。

【0 2 9 4】

なお、装飾制御装置 6 1 0 は、前述したように、LED などの発光装置の代わりに、ソレノイドやモータなどの可動物を制御することが可能であり、具体的には、図 2 0 にて後述する。

【0 2 9 5】

図 1 8 は、本発明の第 1 の実施の形態の I^2CI/O エクスパンダ 6 1 5 の構成を示すブロック図である。

【0 2 9 6】

I^2CI/O エクスパンダ 6 1 5 は、接続線 SDA に接続されるトランジスタ 6 3 0、接続線 SDA に接続されるフィルタ 6 3 1、接続線 SDA に接続されるドライバ 6 3 2、接続線 SCL に接続されるフィルタ 6 3 3、バスコントローラ 6 3 4、出力設定レジスタ 6 3 5、出力コントローラ 6 3 6、 I^2CI/O エクスパンダ 6 1 5 の出力側の各ポート 0 ~ 1 5 に接続されるドライバ 6 3 7、各ポート 0 ~ 1 5 に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P、及びリセット信号発生回路 6 3 9 を備える。さらに、本発明の第 1 の実施の形態では、他の I^2CI/O エクスパンダ 6 1 5 によって接続線 SDA が占有されているか否かを判断するためのバス監視 WDT (ウォッチドッグタイマ) 6 4 0、及び I^2CI/O エクスパンダ 6 1 5 自身が接続線 SDA を占有しているか否かを判断するための自己占有 WDT 6 4 1 を備えている。

【0 2 9 7】

フィルタ 6 3 1 は、接続線 SDA に接続され、接続線 SDA から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。ドライバ 6 3 2 は、返答信号を接続線 SDA から出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【0 2 9 8】

ドライバ 6 3 2 は、接続線 SDA からデータ (返答信号) を出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【0 2 9 9】

トランジスタ 6 3 0 は、電力消費を抑えるために電界効果トランジスタ (FET) が用いられており、トランジスタ 6 3 0 のゲートはドライバ 6 3 2 に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 SDA に接続され、ソースは接地さ

10

20

30

40

50

れている。

【0300】

トランジスタ630のゲートに印加される電圧がトランジスタ630を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ630のゲートに印加される電圧がトランジスタ630を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下する。なお、トランジスタ630は、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。

【0301】

ドライバ632は、データ（返答信号）を接続線SDAから出力する場合に、トランジスタ630にドレインとソースとの間に電流を流すためにトランジスタ630のゲートにトランジスタ630が動作可能な値の電圧を印加する。そして、ドライバ632は、接続線SDAの電圧をHIGHからLOWへ繰り返し変化させることによって、データを接続線SDAから出力する。

10

【0302】

フィルタ633は、接続線SCLに接続され、接続線SCLから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ634に出力する。

【0303】

また、I²C I/Oエクスパンダ615には、当該I²C I/Oエクスパンダ615に備わるアドレス設定用端子A0～A3によって固有のアドレスが設定されており、バスコントローラ634に入力されている。さらに、I²C I/Oエクスパンダ615をリセットするためのアドレスも、あらかじめ設定されている。

20

【0304】

バスコントローラ634は、接続線SDAから入力されたデータのアドレスがI²C I/Oエクスパンダ615に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【0305】

また、バスコントローラ634は、接続線SDAから入力されたデータのアドレスがI²C I/Oエクスパンダ615に設定されたりセット用のアドレスと一致するか否かを判定し、一致している場合に当該データを初期化指示データとして取り込み、当該I²C I/Oエクスパンダ615を初期化する。

30

【0306】

また、バスコントローラ634は、接続線SCLの信号レベルのLOWからHIGHへの変化回数が8回に達し、8ビット目のデータを取り込んだ後、接続線SCLの信号レベルがHIGHからLOWへ変化すると、返答信号を接続線SDAから第1マスタIC570aに出力する。さらに、接続線SCLの信号レベルがLOWからHIGHへ変化することが確認され、再度接続線SCLの信号レベルがHIGHからLOWへ変化すると、接続線SDAを開放する。つまり、接続線SCLの信号レベルのLOWからHIGHへの変化回数が9回になるタイミングで返答信号を出力する。

【0307】

40

出力設定レジスタ635には、当該I²C I/Oエクスパンダ615の動作モードやポート0～15の出力状態が設定される。バスコントローラ634が接続線SDAから初期化指示データを取り込んで、当該I²C I/Oエクスパンダ615が初期化された場合には、出力設定レジスタ635は、すべてのポート0～15に電流が流れないように初期状態に設定される。

【0308】

出力コントローラ636は、出力設定レジスタ635に設定されたデータに基づいて、ポートドライバ637を介して、各ポート0～15に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ634が接続線SDAから演出制御データを取り込むと、演出制御データに指定されてい

50

る内容に更新される。

【0309】

すなわち、第1マスタIC570aから受信した演出制御データに基づいて、出力設定レジスタ635に設定し、ストップコンディションを受信した時点で、各ポート0～15の出力状態を更新して演出装置に反映させる。したがって、シフトレジスタのように、LAT信号を受信する必要もなく、すなわち、LAT信号を受信するための配線を必要とすることなく、演出制御を行うことができる。特に、ポート出力状態を、複数のI²C I/Oエクスパンダ615で同時に更新する必要がある場合に有効であり、異なるI²C I/Oエクスパンダ615に制御される演出装置であっても、同時に演出動作を実行するように制御できるため、より演出効果を高めることが可能となる。

10

【0310】

なお、ストップコンディションを受信した時点で各ポート0～15の出力状態を更新して演出装置に反映させるのではなく、返答信号出力時に演出装置に反映させることも可能である。同時に演出動作を実行することが要求される演出装置が1つのI²C I/Oエクスパンダ615で制御される場合には、返答信号出力時に演出装置に反映させるようにしてもよい。こうすることによって、マスタICがストップコンディションを出力する必要がなく、また、連続して演出制御情報を送信することが可能となるため、演出制御を高速に行うことが可能となる。

【0311】

ドライバ637は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ638A～638Pが動作可能な電圧を当該トランジスタに印加する。

20

【0312】

トランジスタ638A～638Pのゲートはドライバ637に接続され、ドレインは図19及び図20に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【0313】

トランジスタ638A～638Pのゲートに印加される電圧がトランジスタ638A～638Pを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、638A～638Pのゲートに印加される電圧がトランジスタ638を動作させる所定値以上であれば、図19に示す電源Vled、又は図20に示す電源Vmotや電源Vsolからゲートに印加されている所定の電圧が、トランジスタ638のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

30

【0314】

また、装飾制御装置610のI²C I/Oエクスパンダ615は、I²C I/Oエクスパンダ615のポート端子に接続されたすべての演出装置(LEDなどの装飾装置620)を同時に制御することが可能であるので、I²C I/Oエクスパンダ615のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

【0315】

そして、各装飾制御装置610に備わるI²C I/Oエクスパンダ615同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。すなわち、各装飾制御装置610に備わるI²C I/Oエクスパンダ615は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

40

【0316】

したがって、各装飾制御装置610を統括する演出制御装置550は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【0317】

リセット信号発生回路639には、I²C I/Oエクスパンダ615に電源を供給する接続線Vccに接続されるVcc端子、及び外部からのリセット信号を受け付けるRES

50

E T 端子が接続されている。

【0318】

リセット信号発生回路639は、 $I^2C I/O$ エクスパンダ615に電源が投入され、電圧が所定値まで立ち上がると、リセット信号を発生させ、発生させたリセット信号をバスコントローラ634、出力設定レジスタ635、及び出力コントローラ636に入力することによって初期化する。

【0319】

したがって、ハーネス（図15）を抜くと接続線Vccが一時的に断線し、ハーネスを再度差し込むと電源供給が復帰して、リセット信号発生回路639がリセット信号を出力することになる。つまり、遊技機の修理や点検作業を行うときに、ハーネスの抜き差しを行うことで、 $I^2C I/O$ エクスパンダ615をリセットすることが可能な構成となっている。

10

【0320】

なお、外部からLOWレベルのリセット信号が入力された場合には、リセット信号発生回路639はリセット信号を出力するので、演出制御装置550のCPU551から、NORゲート回路561を経由して、RESET端子からリセット信号を入力するようにしてもよい。RESET端子を使用しない場合には、図19及び図20に示すようにRESET端子はHIGHにプルアップされていてもよい。

【0321】

バス監視WDT640は、他の $I^2C I/O$ エクスパンダ615が接続線SDAを占有していることを検出するために用いられる。バス監視WDT640は、フィルタ631とバスコントローラ634との間に接続され、接続線SDAの信号レベルを取り込んで、連続してLOWレベルとなっている時間を計測する。さらに、バス監視WDT640は、リセット信号発生回路639に接続されており、接続線SDAが占有されてから所定の時間が経過すると、自身のリセット信号発生回路639を作動させて、当該 $I^2C I/O$ エクスパンダ615を初期化する。

20

【0322】

なお、接続線SDAは、他の $I^2C I/O$ エクスパンダ615にも接続されているので、接続線SDAが接続された全ての $I^2C I/O$ エクスパンダ615において、接続線SDAの占有状態が検出されることになる。そして、これらの $I^2C I/O$ エクスパンダ615の内部に備えられたリセット信号発生回路639が作動することにより、接続線SDAが接続されているすべての $I^2C I/O$ エクスパンダ615が初期化される。

30

【0323】

自己占有WDT641は、自身（ $I^2C I/O$ エクスパンダ615）による接続線SDAの占有を検出するために使用される。バスコントローラ634は、ドライバ632を作動して接続線SDAをロウレベルに駆動させている間は、自己占有WDT641を作動させ、接続線SDAをロウレベルに駆動させていない間は、自己占有WDT641を停止させる。そして、自己占有WDT641が一定時間連続して作動すると、自己占有WDT641は、リセット信号発生回路639にリセット信号を発生させて当該 $I^2C I/O$ エクスパンダ615を初期化する。

40

【0324】

これにより、バスコントローラ634自身が接続線SDAをロウレベルに駆動させている期間（当該 $I^2C I/O$ エクスパンダ615が接続線SDAを占有している期間）を、監視することが可能となる。自己占有WDT641は、マスタICから受信したデータに対する返答信号（ACK, NACK）を送信するために接続線SDAを占有するタイミングで時間の計測を開始し、所定の時間が経過すると、リセット信号発生回路639にリセット信号を発生させる。この構成により、自己占有WDT641によって接続線SDAの占有が検出された場合には、自身の $I^2C I/O$ エクスパンダ615のみがリセットされる。

【0325】

50

図19は、本発明の第1の実施の形態の装飾装置620を制御する装飾制御装置610のI²C I/Oエクスパンダ615周辺の回路図である。

【0326】

I²C I/Oエクスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、Vcc端子、A0～A3端子、及びGND端子を備え、出力端子として、PORT0～PORT15を備える。

【0327】

RESET端子には、プルアップ抵抗Rを介してI²C I/Oエクスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0328】

SCL端子は接続線SCLに接続され、SDA端子は接続線SDAに接続される。

【0329】

Vcc端子には、I²C I/Oエクスパンダ615に供給される電源が接続される。さらに、Vcc端子には、電源ノイズを除去するコンデンサCPが接続される。

【0330】

A0端子～A3端子は、I²C I/Oエクスパンダ615に個別アドレスを設定するための端子である。なお、I²C I/Oエクスパンダ615の個別アドレスは、通常、4ビットで表現され、この端子にI²C I/Oエクスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0331】

したがって、図19に示すI²C I/Oエクスパンダ615の個別アドレスは「0100」となる。GND端子は、電圧をグランドするための端子である。

【0332】

PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介してLED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0333】

すべてのポートにLEDを1個ずつ設ける場合は、1個のI²C I/Oエクスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続されたすべてのLEDを1種類のLEDということにすれば、1個のI²C I/Oエクスパンダ615によって、最大で16種類のLEDを制御できることになる。

【0334】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P（図18参照）のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0335】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

【0336】

なお、ハーネス（図15）をコネクタから抜いている間は、接続線Vledが断線しているので各LED0～LED15に電流が供給されず、消灯した状態となる。ハーネスを抜くだけで接続線Vledからの電源供給を中断できる構成なので、遊技機の修理や点検作業を安全に行うことができるようになっている。

10

20

30

40

50

【0337】

なお、 I^2CI/O エキスパンダ615のPORT0端子～PORT15端子には、LEDの代わりに、モータやソレノイドを接続して、このモータやソレノイドを遊技に用いる演出装置として構成することも可能である。以下、図20を参照しながら I^2CI/O エキスパンダ615を用いてモータやソレノイドを制御する場合について説明する。

【0338】

図20は、本発明の第1の実施の形態の装飾制御装置610の I^2CI/O エキスパンダ615周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【0339】

ここで使用されるモータはステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回転する。本発明の第1の実施の形態では、モータの各相の信号端子がPORT0端子～PORT3端子に接続される。

10

【0340】

モータに接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続されるモータに電流が流れ、役物駆動用のモータが駆動する。

【0341】

20

なお、各PORT0端子～PORT3端子とモータとを接続する接続線は分岐し、分岐した一方の接続線は、モータに供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0342】

また、PORT端子15は、使用されるソレノイドに接続される。ソレノイドに接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続されるソレノイドに電流が流れ、ソレノイドによって駆動される図示しない演出装置が駆動する。

【0343】

30

なお、図20では、 I^2CI/O エキスパンダ615にモータ及びソレノイドの双方が接続されているが、一つの I^2CI/O エキスパンダ615に対して、モータ及びソレノイドの一方だけを接続した構成でもよい。

【0344】

例えば、ステッピングモータだけを制御するグループとしての I^2CI/O エキスパンダ615を専用に設けたり、ソレノイドだけを制御するグループとしての I^2CI/O エキスパンダ615を専用に設けたりするようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

【0345】

40

図21は、本発明の第1の実施の形態の装飾制御装置610、中継基板600及び簡易中継基板1600の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【0346】

本図においては、装飾制御装置610、中継基板600及び簡易中継基板1600のうち、分岐型の装飾制御装置610（例えば、装飾制御装置610Aなど）について説明を行うこととし、最後に、連結型の装飾制御装置610、終端型の装飾制御装置610、中継基板600、簡易中継基板1600との相違点の説明を行うことにする。

【0347】

なお、本図においては、前述した分岐型の装飾制御装置610Xに備えられる部品と、

50

同一の付番を付けて説明を行う。

【0348】

分岐型の装飾制御装置610は、上流コネクタ611、下流コネクタ612（612A、612B）、及びI²C I/Oエクスパンダ615を備える。

【0349】

上流コネクタ611は、当該装飾制御装置610よりも上流の装飾制御装置610に接続されるコネクタである。下流コネクタ612A及び612Bは、当該装飾制御装置610よりも下流側の装飾制御装置610に接続される。

【0350】

二つの下流コネクタ612A、612Bに接続線SDAを接続するために、上流コネクタ611から延びる内部接続線SDA2111は分岐2101で第1接続線SDA2121と第2接続線SDA2131とに分岐する。第1接続線SDA2121は下流コネクタ612Aに接続され、第2接続線SDA2131は下流コネクタ612Bに接続される。

【0351】

同じく、上流コネクタ611から延びる内部接続線SCL2112は分岐2102で第1接続線SCL2122と第2接続線SCL2132とに分岐する。第1接続線SCL2122は下流コネクタ612Aに接続され、第2接続線SCL2132は下流コネクタ612Bに接続される。

【0352】

さらに、接続線SDAをI²C I/Oエクスパンダ615に接続するために、第2接続線SDA2131は分岐2103で分岐し、分岐した第2接続線SDA2131はI²C I/Oエクスパンダ615の図19及び図20に示すSDA端子に接続される。また、接続線SCLをI²C I/Oエクスパンダ615に接続するために、第2接続線SCL2132は分岐2104で分岐し、分岐した第2接続線SCL2132はI²C I/Oエクスパンダ615の図19及び図20に示すSCL端子に接続される。以下、I²C I/Oエクスパンダ615、分岐2103からI²C I/Oエクスパンダ615に接続される接続線SDA、及び分岐2104からI²C I/Oエクスパンダ615に接続される接続線SCLを含む構成をI²C I/Oエクスパンダ部2181とする。

【0353】

なお、I²C I/Oエクスパンダ615には、I²C I/Oエクスパンダ615の電源電圧となる電圧Vccが供給されている。また、図21では図示されていないが、I²C I/Oエクスパンダ615からは、装飾制御装置610に設けられたLED（装飾装置620）を駆動する各ポート0～15の信号線（図19参照）が出力されている。

【0354】

さらに、当該装飾制御装置610のI²C I/Oエクスパンダ615が上流の装飾制御装置610に接続線SDAを介して出力する信号、及び上流の装飾制御装置610から、当該装飾制御装置610のI²C I/Oエクスパンダ615に接続線SDAを介して入力される信号のノイズを除去するために、内部接続線SDA2111にはツェナダイオードZD2141が接続されている。

【0355】

具体的には、内部接続線SDA2111は分岐2105で分岐し、分岐した内部接続線SDA2111はツェナダイオードZD2141のカソード側に接続され、ツェナダイオードZD2141のアノード側は接地されている。

【0356】

このため、内部接続線SDA2111に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD2141によって逃がされる。

【0357】

また、上流の装飾制御装置610から、当該装飾制御装置610のI²C I/Oエクスパンダ615へ接続線SCLを介して入力される信号のノイズを除去するために、内部接続線SCL2112にはツェナダイオードZD2142が接続されている。

10

20

30

40

50

【0358】

具体的には、内部接続線 SCL2112 は分岐 2106 で分岐し、分岐した内部接続線 SCL2112 はツェナダイオード ZD2142 のカソード側に接続され、ツェナダイオード ZD2142 のアノード側は接地されている。

【0359】

このため、内部接続線 SCL2112 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード ZD2142 によって逃がされる。

【0360】

また、当該装飾制御装置 610 の I²CI/O エクスパンダ 615 が、下流コネクタ 612A に接続された装飾制御装置 610 に接続線 SDA を介して出力する信号、及び下流コネクタ 612A に接続された装飾制御装置 610 から装飾制御装置 610 の I²CI/O エクスパンダ 615 へ接続線 SDA を介して入力される信号のノイズを除去するために、第 1 接続線 SDA2121 にはツェナダイオード ZD2143 が接続されている。

10

【0361】

具体的には、第 1 接続線 SDA2121 は分岐 2107 で分岐し、分岐した第 1 接続線 SDA2121 はツェナダイオード ZD2143 のカソード側に接続され、ツェナダイオード ZD2143 のアノード側は接地されている。

【0362】

このため、第 1 接続線 SDA2121 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード ZD2143 によって逃がされる。

20

【0363】

また、第 1 接続線 SDA2121 に接続されるツェナダイオード ZD2143 と同じく、第 2 接続線 SDA2131 にもツェナダイオード ZD2145 が接続される。

【0364】

また、装飾制御装置 610 の I²CI/O エクスパンダ 615 から下流コネクタ 612A に接続された装飾制御装置 610 へ接続線 SCL を介して入力される信号のノイズを除去するために、第 1 接続線 SCL2122 にはツェナダイオード ZD2144 が接続されている。

【0365】

具体的には、第 1 接続線 SCL2122 は分岐 2108 で分岐し、分岐した第 1 接続線 SCL2122 はツェナダイオード ZD2144 のカソード側に接続され、ツェナダイオード ZD2144 のアノード側は接地されている。

30

【0366】

このため、第 1 接続線 SCL2122 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード ZD2144 によって逃がされる。

【0367】

また、第 1 接続線 SCL2122 に接続されるツェナダイオード ZD2144 と同じく、第 2 接続線 SCL2132 にもツェナダイオード ZD2146 が接続される。

【0368】

さらに、当該装飾制御装置 610 の I²CI/O エクスパンダ 615 に電源電圧を供給する接続線 Vcc に接続される上流コネクタ 601 の Vcc 端子から延びる内部接続線 Vcc2171 と、上流コネクタ 601 の GND 端子から延び、接地されている内部接続線 GND2172 とは、平滑コンデンサ C2161 及びバイパスコンデンサ CP2162 を介して接続されている。

40

【0369】

平滑コンデンサ C2161 は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサ CP2162 は、電源の電圧のノイズを除去するためのコンデンサである。

【0370】

このため、装飾制御装置 610 の I²CI/O エクスパンダ 615 に供給される電源電

50

圧は、平滑コンデンサC 2 1 6 1により電圧が平滑化され、バイパスコンデンサC P 2 1 6 2によりノイズが除去されて、I²C I/Oエクスパンダ6 1 5に供給される。

【0 3 7 1】

同じく、下流コネクタ6 1 2 A、6 1 2 BのV c c端子から延びる内部接続線V c c 2 1 7 3と、GND端子から延びる内部接続線GND 2 1 7 4とは、平滑コンデンサC 2 1 6 1及びバイパスコンデンサC P 2 1 6 2を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置6 1 0に接続される接続線V c cに印加される。

【0 3 7 2】

以上、分岐型の装飾制御装置6 1 0について説明を行ったが、次に、連結型の装飾制御装置6 1 0について説明する。

10

【0 3 7 3】

なお、下流コネクタ6 1 2 Aに加え、接続線S D Aに接続されるツェナダイオードZ D 2 1 4 3、及び接続線S C Lに接続されるツェナダイオードZ D 2 1 4 4、内部接続線V c c 2 1 7 3、内部接続線GND 2 1 7 4、平滑コンデンサC 2 1 6 1及びバイパスコンデンサC P 2 1 6 2を備える構成を第1の下流コネクタ部2 1 8 2とする。

【0 3 7 4】

また、下流コネクタ6 1 2 Bに加え、接続線S D Aに接続されるツェナダイオードZ D 2 1 4 5、及び接続線S C Lに接続されるツェナダイオードZ D 2 1 4 6、内部接続線V c c 2 1 7 3、内部接続線GND 2 1 7 4、平滑コンデンサC 2 1 6 1及びバイパスコンデンサC P 2 1 6 2を備える構成を第2の下流コネクタ部2 1 8 3とする。

20

【0 3 7 5】

装飾制御装置6 1 0が連結型の場合には、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ6 1 2 Aは存在するが下流コネクタ6 1 2 Bが存在しない。

【0 3 7 6】

そのため、内部接続線S D A 2 1 1 1及び内部接続線S C L 2 1 1 2は、分岐2 1 0 3、2 1 0 4では分岐しない構成となり、第2接続線S D A 2 1 3 1及び第2接続線S C L 2 1 3 2は存在しない点が、分岐型の装飾制御装置6 1 0とは異なる構成となる。

【0 3 7 7】

また、連結型の装飾制御装置6 1 0は、第2の下流コネクタ部2 1 8 3を構成する電子部品が存在しない点も、分岐型の装飾制御装置6 1 0と異なる構成となる。他の構成は分岐型の装飾制御装置6 1 0と同様の構成となる。

30

【0 3 7 8】

次に、終端型の装飾制御装置6 1 0について説明する。

【0 3 7 9】

装飾制御装置6 1 0が終端型の場合には、基板内に下流コネクタを備えない構成となるので、下流コネクタ6 1 2 A、6 1 2 Bがともに存在しない。

【0 3 8 0】

そのため、内部接続線S D A 2 1 1 1及び内部接続線S C L 2 1 1 2は、分岐2 1 0 1、2 1 0 2、2 1 0 3、2 1 0 4で分岐することなく、I²C I/Oエクスパンダ6 1 5へ接続される点が、分岐型の装飾制御装置6 1 0とは異なる構成となる。

40

【0 3 8 1】

また、終端型の装飾制御装置6 1 0は、第1の下流コネクタ部2 1 8 2及び第2の下流コネクタ部2 1 8 3を構成する電子部品が存在しない点も、分岐型の装飾制御装置6 1 0と異なる構成となる。他の構成は分岐型の装飾制御装置6 1 0と同様の構成となる。

【0 3 8 2】

次に、中継基板6 0 0について説明する。

【0 3 8 3】

中継基板6 0 0は、連結型の装飾制御装置6 1 0と同様に、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ6 1 2 Aは存在するが下流コネクタ6 1 2

50

Bが存在しない。

【0384】

そのため、内部接続線SDA2111及び内部接続線SC L2112は、分岐2103、2104では分岐しない構成となり、第2接続線SDA2131及び第2接続線SC L2132が存在しないので、連結型の装飾制御装置610と同様の構成となる。

【0385】

ただし、中継基板600は、接続線SDA及び接続線SC Lの電圧をプルアップするためのプルアップ抵抗を備えている点で、連結型の装飾制御装置610と異なる。

【0386】

具体的には、図21に示すように、中継基板600では、第1マスタIC570aに接続される上流側の接続線SDA、及び装飾制御装置610に接続される下流側の接続線SDAの電圧をプルアップするためのプルアップ抵抗R2151が、第1接続線SDA2121に接続される。同じく、第1マスタIC570aに接続される上流側の接続線SC L、及び装飾制御装置610に接続される下流側の接続線SC Lの電圧をプルアップするためのプルアップ抵抗R2152が、第1接続線SC L2122に接続される。

10

【0387】

より詳しく説明すると、第1接続線SDA2121は分岐2109で分岐し、分岐した第1接続線SDA2121はプルアップ抵抗R2151に接続される。同じく第1接続線SC L2122は分岐2110で分岐し、分岐した第1接続線SC L2122はプルアップ抵抗R2152に接続される。以下、接続線SDAの電圧をプルアップするためのプルアップ抵抗R2151、及び接続線SC Lの電圧をプルアップするためのプルアップ抵抗R2152をあわせてプルアップ抵抗部2180とする。

20

【0388】

次に、簡易中継基板1600について説明する。

【0389】

簡易中継基板1600は、分岐型の装飾制御装置610と同様に、基板内に複数の下流コネクタ（下流コネクタ612A、612B）を備える。ただし、簡易中継基板1600は、I²C I/Oエクスパンダ部2181に相当する回路を備えておらず、代わりに、中継基板600に備えている前述のプルアップ抵抗部2180に相当する回路が設けられている点が、分岐型の装飾制御装置610と異なる構成である。他の構成は分岐型の装飾制御装置610と同様の構成となる。

30

【0390】

なお、前述のプルアップ抵抗部2180の構成は、本実施形態では、中継基板600と簡易中継基板1600だけに設けられており、装飾制御装置610や演出制御装置550には設けていない構成となっているが、接続線SDA及び接続線SC Lのレベルが正しく生成できるのであれば、装飾制御装置610や演出制御装置550に設けられていてもよい。すなわち、プルアップ抵抗R2151及び2152は、接続線SDA及び接続線SC Lを駆動するトランジスタのドレインの端子に電圧Vccを供給可能な箇所に備えられていけばよい。

【0391】

例えば、プルアップ抵抗R2151及び2152が第1マスタIC570aに備えられていけば、中継基板600、簡易中継基板1600若しくは装飾制御装置610内にプルアップ抵抗部2180が備えられている必要はない。

40

【0392】

図22は、本発明の第1の実施の形態の演出制御装置550から装飾制御装置610に出力されるデータに含まれるスレーブアドレス2200の説明図である。

【0393】

スレーブアドレス2200は、上位3ビットからなる固定アドレス部2201及び下位5ビットからなる可変アドレス部2202によって構成される。

【0394】

50

固定アドレス部2201は、「110」の値があらかじめ設定され、I²C I/Oエクスパンダ615によって変更することができない。

【0395】

可変アドレス部2202は、I²C I/Oエクスパンダ615によって設定可能である。可変アドレス部2202は、制御対象となるI²C I/Oエクスパンダ615のA0～A3の端子に設定されているパターンに対応した4ビットのI²C I/Oエクスパンダアドレス2203と、当該データが読み出し要求（「1」）であるのか書き込み要求（「0」）であるのかを示す1ビットのR/W識別データ2204とによって構成される。

【0396】

演出制御装置550から装飾制御装置610に出力される演出制御データは、書き込み要求であるので、R/W識別データ2204には、通常「0」が登録される。

10

【0397】

図23は、本発明の第1の実施の形態のI²C I/Oエクスパンダアドレステーブル2300の説明図である。

【0398】

I²C I/Oエクスパンダアドレステーブル2300は、第1マスタIC570aによって管理されるテーブルである。I²C I/Oエクスパンダアドレステーブル2300は、スレーブアドレス2301とI²C I/Oエクスパンダアドレス2302との対応関係を示している。

【0399】

20

スレーブアドレス2301には、演出制御装置550により送受信の対象として指定される装飾制御装置610のスレーブアドレスが格納されている。スレーブアドレスは、図20で前述したように、上位3ビットからなる固定アドレス部と、4ビットのI²C I/Oエクスパンダアドレスと、1ビットのR/W識別データとを組み合わせる構成される。

【0400】

I²C I/Oエクスパンダアドレス2302には、図19や図20で前述したように、各スレーブアドレスに対応する4ビットのI²C I/Oエクスパンダアドレスが登録される。

【0401】

ただし、I²C I/Oエクスパンダアドレスのうち、アドレス「1000」及びアドレス「1011」（図23の網掛けされたエントリ）は、各I²C I/Oエクスパンダ615を相互に識別するための固有のアドレスとしては使用できない。

30

【0402】

アドレス「1000」は、すべての装飾制御装置610に対して共通の指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。アドレス「1011」は、ソフトウェアによって、第1マスタIC570aに接続されているすべての装飾制御装置610を無条件にリセットする場合に用いられる共通アドレスである。

【0403】

以上のように、装飾制御装置610のI²C I/Oエクスパンダ615に設定可能なアドレスは14個であるため、演出制御装置550は、14個のI²C I/Oエクスパンダ615を制御することができる。また、各装飾制御装置610には、PORT0～PORT15が備えられているので、16個（言い換えれば16種類）のLEDを制御することが可能である。よって、演出制御装置550は、224個（言い換えれば224種類）のLEDを制御することが可能である。

40

【0404】

図24は、本発明の第1の実施の形態のI²C I/Oエクスパンダ615に備えられる出力設定レジスタ635に割り当てられたワークレジスタを説明するための図である。

【0405】

I²C I/Oエクスパンダ615の出力設定レジスタ635には、ワークレジスタ（デ

50

バイスレジスタ)と、コントロールレジスタ(制御レジスタ)とが割り当てられている。

【0406】

ワークレジスタは、 $I^2C I/O$ エクスパンダ615に対してあらかじめ定義されている設定を行うための情報や、 $I^2C I/O$ エクスパンダ615に接続されている演出装置(装飾装置620、例えば、LED)の出力態様を特定するための情報を記憶するものである。

【0407】

また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶する。なお、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、記憶領域毎に異なるレジスタ番号が付与されている。

10

【0408】

レジスタ番号「00h」及びレジスタ番号「01h」は、 $I^2C I/O$ エクスパンダ615の初期設定を行うためのモードレジスタに対応する。レジスタ番号「00h」の記憶領域にはレジスタ名「MODE1」が付与されている。また、レジスタ番号「01h」の記憶領域にはレジスタ名「MODE2」が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、 $I^2C I/O$ エクスパンダ615の初期設定が行われる。

【0409】

なお、「MODE2」のレジスタのビット3(OCH)は、 $I^2C I/O$ エクスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。本発明の第1の実施の形態では、図18にて説明したように、「0」が設定されており、ストップコンディションを受信した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定されている。また、第4の実施の形態では、「MODE2」のレジスタのビット3(OCH)の値に「1」を設定し、返答信号(ACK)を出力した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定される実施形態について説明する。

20

【0410】

レジスタ番号「02h」～「11h」(レジスタ名「PWM0」～「PWM15」)には、装飾装置620に含まれるLEDなどの制御対象のパラメータが設定される。レジスタ番号「02h」～「11h」の記憶領域のいずれかに値が書き込まれると、 $I^2C I/O$ エクスパンダ615に接続される発光装置(装飾装置620)を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図19に示すポート0に接続されたLED0の輝度が調整される。

30

【0411】

なお、 $I^2C I/O$ エクスパンダ615は、前述のように、モータやソレノイドといった可動物を制御することも可能である。 $I^2C I/O$ エクスパンダ615にソレノイドが接続される場合には、ソレノイドが接続されるポートに対応するレジスタ番号には、ソレノイドを通电させて作動させるか、通电せずに未作動の状態にするかを示す値が書き込まれる。また、 $I^2C I/O$ エクスパンダ615にモータが接続される場合には、モータが接続されるポートに対応するレジスタ番号には、モータの目標回転位置を示す値が書き込まれる。

40

【0412】

レジスタ番号「12h」(レジスタ名「GRPPWM」)及びレジスタ番号「13h」(レジスタ名「GRPFREQ」)には、制御対象全体の動作パターンなどを指定するパラメータが設定される。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED(16個のLED)全体の点滅パターンが設定される。具体的には、レジスタ番号「12h」には、LED全体のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」には、LED全体の点滅周

50

期が設定される。

【0413】

レジスタ番号「14h」（レジスタ名「LEDOUT0」）～「17h」（レジスタ名「LEDOUT3」）には、各ポートで制御されるLEDの出力状態が設定される。各レジスタには、それぞれ4つずつLEDの出力状態を設定することが可能となっている。

【0414】

レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。同様に、レジスタ番号「15h」の記憶領域にはLED4～LED7の出力状態、レジスタ番号「16h」の記憶領域にはLED8～LED11の出力状態、レジスタ番号「17h」の記憶領域にはLED12～LED15の出力状態が設定される。

10

【0415】

レジスタ番号「18h」～「1Ah」（レジスタ名「SUBADR1」～「SUBADR3」）にはサブアドレスが設定される。レジスタ番号「18h」～「1Ah」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第1サブアドレス～第3サブアドレスが設定される。

【0416】

レジスタ番号「1Bh」（レジスタ名「ALLCALLADR」）にはすべての装飾制御装置610に対する指令を出力するためのオールコールアドレスが設定される。オールコールアドレスは、例えば、電源投入時などにすべての装飾制御装置610で初期化処理を実行する場合などに使用される。

20

【0417】

図25は、本発明の第1の実施の形態のマスタICが接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

【0418】

接続線SCLは、データの非送信時には信号レベルがHIGHになっている。マスタICは、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGHに変化させ、装飾制御装置610が接続線SDAのデータを取り込むためのストロブ信号として作用させる。

【0419】

30

接続線SDAは、データの非送信時には信号レベルがHIGHになっており、接続線SCLのクロック信号に合わせて接続線SDAからデータが出力される。

【0420】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【0421】

装飾制御装置610のI²C I/Oエクスパンダ615は、接続線SDA及び接続線SCLからスタート条件となる信号が入力されると、データの出力が開始されることを認識する。

40

【0422】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変化させることで、データの出力が終了することを示すストップ条件となる信号を出力する。

【0423】

装飾制御装置610のI²C I/Oエクスパンダ615は、ストップ条件となる信号が入力されると、データの出力が終了することを認識する。本発明の第1の実施の形態では、前述のように、装飾制御装置610がストップ条件となる信号を受信すると、当該装飾制御装置610が制御する演出装置（装飾装置620）の制御を開始する。

【0424】

50

図26は、本発明の第1の実施の形態のマスタICから出力されたデータが入力された装飾制御装置610が返答信号を出力するタイミングチャートである。

【0425】

装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数を計数し、接続線SCLのクロック信号に合わせて接続線SDAから入力されるデータを取り込む。

【0426】

そして、装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数が9回に達する直前に、返答信号をマスタICに接続線SDAを介して出力する。換言すると、装飾制御装置610は、接続線SDAから8ビット目のデータを取り込んだ後に、接続線SCLの信号レベルがHIGHからLOWに変化する契機に、当該接続線SDAを介して返答信号を出力する。

10

【0427】

なお、図26に示すように、データの受信に成功したことを示す返答信号（ACKの返答信号）はLOWレベルによって示され、データの受信に失敗したことを示す返答信号（NACKの返答信号、図ではACK出力なしに相当）はHIGHレベルによって示される。

【0428】

また、マスタICは、スタート条件が成立してから接続線SCLの信号レベルが8回変化すると、接続線SDAを解放することによって、装飾制御装置610から返答信号の入力を待機する。そして、マスタICは、接続線SDAを解放したまま、接続線SCLの信号レベルを変化させて、装飾制御装置610からの返答信号を取り込む。

20

【0429】

図27は、本発明の第1の実施の形態のマスタICが演出制御データを出力する場合の接続線SDA及び接続線SCLの信号レベルのタイミングチャートである。

【0430】

まず、マスタICは、データの出力を開始する場合には、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることによって、スタート条件を示す信号を出力し、データの出力を開始することを装飾制御装置610に通知する。

30

【0431】

次に、マスタICは、合計7ビットからなる制御対象となる装飾制御装置610のスレーブアドレスを出力する。さらに、マスタICは、読み出し要求である書き込み要求であるかを示す情報を8ビット目に出力する。

【0432】

そして、マスタICは、接続線SCLの信号レベルが9回目にHIGHになるときに、装飾制御装置610から返答信号が入力されるので、ACKの返答信号であれば接続線SDAの信号レベルがLOWに変化し、NACKの返答信号であれば接続線SDAの信号レベルがHIGHに変化する。

【0433】

次に、マスタICは、アドレスデータの出力後、8の倍数となるビット数でデータを出力する。さらに、データの8ビット目を出力した後、ACKの返答信号が入力されるのを待ってデータの9ビット目を出力する。以降、8の倍数番目に相当するビットのデータを出力すると、ACKの返答信号が入力されるのを確認してから、（8の倍数+1）番目のビットを出力し、全データが出力されるまで繰り返す。

40

【0434】

なお、マスタICは、データの8の倍数番目となるビットを出力した後、所定時間経過してもACKの返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線SDAを介して、再度アドレスデータを出力し、ACKの返答信号を確認しながら、もう一度、データを1ビット目から出力す

50

る。

【0435】

また、マスタICは、データの最後のビットのデータを出力した後、ACKの返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【0436】

なお、図27では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計24ビット（スレーブアドレス8ビット、データ16ビット）のデータを出力しているが、送信するデータのサイズに応じて、24ビット以上であってもよいし、24ビット以下であってもよい。

【0437】

図28は、本発明の第1の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパンダ615との間で送受信されるデータのフォーマットを説明する図である。

【0438】

最初に出力される8ビットのデータ2801には、データ送信の対象となる装飾制御装置610のアドレス「A0～A6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す1ビットのR/W識別データとが含まれる。アドレス「A0～A6」のうち、「A4～A6」は値「110」となる固定アドレス部であり、「A0～A3」はI²C I/Oエクスパンダ615のA0～A3の端子に設定されている個別アドレスに相当する（図19参照）。なお、データ2801は、図27における「ADDRESS」及び「R/W」に対応するデータである。

【0439】

次に出力される8ビットのデータ2802には、I²C I/Oエクスパンダ615の出力設定レジスタ635（図18参照）に割り当てられているコントロールレジスタへの設定データが含まれる。データ2802は、図27において1番目に送信される「DATA」に対応するデータである。

【0440】

ここで、コントロールレジスタについて説明する。コントロールレジスタは8ビットからなり、上位3ビット「AI0～AI2」が出力設定レジスタ635のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位5ビット「D0～D4」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

【0441】

自動書込パラメータは、マスタICによって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「000」、「100」、「101」、「110」、「111」の何れかの値を設定することができる。

【0442】

自動書込パラメータに「000」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセスし、開始位置以外の領域はアクセスしない。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域のみがアクセスされ、他の記憶領域にはアクセスされない。すなわち、特定のレジスタアドレスの記憶領域の値のみを変更する場合に使用される。複数のレジスタアドレスの記憶領域の値を連続して変更する場合には、以下に示すように、オートインクリメントを許可することによって、アドレスの指定を省略することができる。

【0443】

自動書込パラメータに「100」の値を設定すると、オートインクリメントが許可され

10

20

30

40

50

、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1 B h」となる記憶領域をアクセスした後は、レジスタ番号が「0 0 h」となる記憶領域をアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」→「1 6 h」→・・・→「1 B h」→「0 0 h」→「0 1 h」→・・・となる領域（すなわち、すべての領域）を、繰り返しアクセスする。

【0 4 4 4】

自動書込パラメータに「1 0 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「1 1 h」となる記憶領域をアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域をアクセスし、以降、レジスタ番号が「0 2 h」～「1 1 h」となる区間の記録領域（LEDの輝度調整に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域をアクセスした後は、レジスタ番号が「1 5 h」→「1 6 h」→・・・→「1 B h」→「0 0 h」→「0 1 h」→・・・となる領域を、順にアクセスする。そして、レジスタ番号が「1 1 h」となる記憶領域をアクセスした後は、レジスタ番号が「0 2 h」→「0 3 h」→・・・→「1 1 h」→「0 2 h」→「0 3 h」→・・・となる領域を、繰り返しアクセスする。

【0 4 4 5】

自動書込パラメータに「1 1 0」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「1 3 h」となる記憶領域をアクセスした後は、レジスタ番号が「1 2 h」となる記憶領域をアクセスし、以降、レジスタ番号が「1 2 h」～「1 3 h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域をアクセスした後は、レジスタ番号が「1 5 h」→「1 6 h」→・・・→「1 B h」→「0 0 h」→「0 1 h」→・・・となる領域を、順にアクセスする。そして、レジスタ番号が「1 3 h」となる記憶領域をアクセスした後は、レジスタ番号が「1 2 h」→「1 3 h」→「1 2 h」→「1 3 h」→・・・となる領域を、繰り返しアクセスする。

【0 4 4 6】

自動書込パラメータに「1 1 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「1 3 h」となる記憶領域をアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域をアクセスし、以降、レジスタ番号が「0 2 h」～「1 3 h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域をアクセスした後は、レジスタ番号が「1 5 h」→「1 6 h」→・・・→「1 B h」→「0 0 h」→「0 1 h」→・・・となる領域を、順にアクセスする。そして、レジスタ番号が「1 3 h」となる記憶領域をアクセスした後は、レジスタ番号が「0 2 h」→「0 3 h」→・・・→「1 3 h」→「0 2 h」→「0 3 h」→・・・となる領域を、繰り返しアクセスする。

【0 4 4 7】

ここで、図 28 の説明に戻ると、コントロールレジスタの設定データ 2 8 0 2 に続いて、ワークレジスタの設定データ 2 8 0 3 が出力される。設定データ 2 8 0 3 は、図 2 7 において 2 番目以降に送信される「DATA」に対応するデータである。

【0448】

自動書込パラメータを「000」とした場合には、設定データ2803は、レジスタアドレスが指定する1箇所の記憶領域を更新するための8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ2803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0449】

図29は、本発明の第1の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパンダ615との間で送受信される演出制御データに具体的な数値を適用した図である。図29では、オートインクリメントを禁止して、ワークレジスタの特定の記憶領域を1箇所だけを更新する演出制御データを示しており、具体的には、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を更新する場合について説明する。

10

【0450】

まず、最初に出力される8ビットのデータ2901には、送信先の装飾制御装置610のI²C I/Oエクスパンダ615のスレーブアドレスを示す「1101100」が割り当てられている。

【0451】

次に出力される8ビットのデータ2902には、自動書込パラメータ、及びLEDの出力データを設定するために割り当てられているI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定される値が含まれる。

20

【0452】

ここでは、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を設定するので、レジスタアドレスにはLEDOUT0（アドレス＝10100）を指定することにする。

【0453】

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0454】

次に、出力される8ビットのデータ2903には、送信先の装飾制御装置610によって制御される装飾装置620の発光態様を設定するデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態（点灯、消灯、点滅など）が指定され、指定された状態でLEDが発光する。

30

【0455】

このようにして、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子のLEDの発光状態が制御されるが、I²C I/Oエクスパンダ615の他のPORT端子（PORT4～PORT15）も、コントロールレジスタデータ2902の値を指定して、出力データ2903を設定することで個別に制御可能である。PORT端子に、モータやソレノイドが接続されていても、同様に制御される。

40

【0456】

図30は、本発明の第1の実施の形態のマスタICの演出制御データを送信する順序を説明する図である。図30では、オートインクリメントを許可して、ワークレジスタのすべての記憶領域を更新する場合に、演出制御データに含まれる各データを送信する順序を規定している。

【0457】

まず、マスタICは、制御対象となる装飾制御装置610の個別アドレスを特定可能な8ビットのデータ（図28のデータ2801と同一フォーマットのデータ）を送信する。

【0458】

50

次に、マスタICは、制御対象のI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定されるデータ（図28のデータ2802と同一フォーマットのデータ）を送信する。図30においては、オートインクリメントを許可してワークレジスタのすべての記憶領域を更新するため、自動書込パラメータには「100」が指定され、書き込み又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「00h」が指定される。

【0459】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置610のI²C I/Oエクスパンダ615においては、レジスタ番号「00h」の記憶領域（モードレジスタ1）が最初に更新されることになる。

10

【0460】

次に、マスタICは、コントロールレジスタ設定値の送信後、モードレジスタ1に書き込む値（合計8ビット）を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信するとモードレジスタ1の値を更新し、レジスタ番号をインクリメントして次の「01h」の記憶領域（モードレジスタ2）を更新するための準備をする。

【0461】

さらに、マスタICは、モードレジスタ2に書き込む値（合計8ビット）を送信し、以降、レジスタ番号が「02h」～「1Bh」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「00h」～「1Bh」のすべてのレジスタの値が更新される。

20

【0462】

なお、I²C I/Oエクスパンダ615は、ワークレジスタの最終となる「1Bh」の記憶領域を更新すると、レジスタ番号を「00h」に変更して、モードレジスタ1の更新を待つ状態となる。

【0463】

図31は、本発明の第1の実施の形態のマスタICがI²C I/Oエクスパンダ615を初期化する場合に、マスタICからI²C I/Oエクスパンダ615に送信される初期化指示データのフォーマットを説明する図である。

30

【0464】

演出制御装置550のCPU551がマスタICに対して装飾制御装置610の初期化を行うように指示すると、マスタICは、配下に接続されているすべての装飾制御装置610に初期化指示データを送信する。

【0465】

最初に出力される8ビットのデータ3101には、図29に示す固定アドレス「110」と、共通アドレスであるリセットアドレス「1011」（図23参照）とが含まれる。なお、このデータ3101は、図27における「ADDRESS」に対応するものであり、「R/W」のビットには、書き込みを示す「0」が設定される。

【0466】

40

次に出力される8ビットのデータ3102には、第1所定値「10100101」が設定され、次に出力される8ビットのデータ3103には、第2所定値「01011010」が設定される。なお、データ3102は、図27において1番目に送信される「DATA」に対応し、データ3103は、図27において2番目に送信される「DATA」に対応する。

【0467】

マスタICに接続されるすべてのI²C I/Oエクスパンダ615は、リセットアドレス、第1所定値、及び第2所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【0468】

50

リセットアドレスの出力後に、さらに第1所定値及び第2所定値の両方を出力するようにした理由は、マスタICがリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響によってI²C I/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込むことによって、誤ったタイミングで初期化が実行されることを防止するためである。

【0469】

また、リセットアドレスは、個別アドレスとは異なって、すべて（換言すれば複数）のI²C I/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、すべて（複数）のI²C I/Oエクスパンダ615を選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

10

【0470】

なお、図31では、第1所定値と第2所定値とを異なる値としたが、同じ値であってもよい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0471】

図32は、本発明の第1の実施の形態の第1マスタIC570aの異常判定テーブル3200を説明する図である。

【0472】

異常判定テーブル3200は、演出制御装置550のRAM553に格納される。異常判定テーブル3200は、演出制御装置550の第1マスタIC570aと、当該第1マスタIC570aに接続されるI²C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3200は、接続状態に応じて、各I²C I/Oエクスパンダ615に対応した情報が格納される。

20

【0473】

異常判定テーブル3200は、I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205を含む。

【0474】

I/Oエクスパンダアドレス3201には、第1マスタIC570aに接続されるI²C I/Oエクスパンダ615のA0～A3の端子に設定されているアドレス（図19参照）に対応している。

30

【0475】

スレーブアドレス3202には、図23に示したI²C I/Oエクスパンダアドレステーブル2300に登録されているスレーブアドレスが登録される。

【0476】

エラーカウンタ3203は、第1マスタIC570aからI²C I/Oエクスパンダ615に演出制御データを送信し、当該I²C I/Oエクスパンダ615からACKを2回連続して受信できなかった場合にインクリメントされる。

【0477】

比較値3204には、I²C I/Oエクスパンダ615に障害が発生しているか否かを判定するために、エラーカウンタ3203の値と比較するための値が登録される。なお、比較値3204の値は、制御対象の演出装置の種類に応じて設定してもよい。

40

【0478】

エラーフラグ3205には、当該エントリのI²C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【0479】

I²C I/Oエクスパンダ615に障害が発生しているか否かを判定する方法について具体的に説明すると、エラーカウンタ3203の値が、比較値3204に設定された所定値に達した場合、エラーフラグ3205に「ON」が設定され、当該エントリに対応する

50

I²C I/Oエクスパンダ615に障害が発生したことが登録される。

【0480】

本発明の第1の実施の形態では、後述するように、演出制御データの出力処理（図37参照）は、VDP割込（約33.3ms周期）に同期して実行されるようにしている。

【0481】

前述したように、第1マスタIC570aからI²C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ3003がインクリメントされる。

【0482】

したがって、異常が発生している場合には、データ出力処理の実行周期が33.3msで、比較値3004が「300」であるので、33.3ms×300=10sでI²C I/Oエクスパンダ615に関する異常が発生したことを検出する。

【0483】

図33は、本発明の第1の実施の形態の第2マスタIC570bの異常判定テーブル3300を説明する図である。

【0484】

第2マスタIC570bの異常判定テーブル3300は、第1マスタIC570aの異常判定テーブル3200と同様に、演出制御装置550のRAM553に格納される。異常判定テーブル3300は、演出制御装置550の第2マスタIC570bと、当該第2マスタIC570bに接続されるI²C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3300は、接続状態に応じて、各I²C I/Oエクスパンダ615に対応した情報が格納される。また、異常判定テーブル3300の構成は、第1マスタIC570aの異常判定テーブル3200と同じ構成である。

【0485】

本発明の第1の実施の形態では、第1マスタIC570aと第2マスタIC570bの両方に接続される装飾制御装置610が存在しないため、制御対象の各装飾制御装置610のI/OエクスパンダアドレスがマスタICごとに設定される。したがって、図32及び図33には、同じ値のI/Oエクスパンダアドレスが設定されている。なお、I/Oエクスパンダアドレスには一つのアドレスのみ設定可能であるため、一つの装飾制御装置610を複数のマスタICが制御する場合には共通のアドレスを設定する必要がある。

【0486】

本発明の第1の実施の形態のマスタICには、デバイスの動作を構成し、シリアルデータを送受信するために使用される複数のレジスタが備えられている。図11及び図12に示したコマンドレジスタ（REG）581は、このようなレジスタの一つであり、接続された装飾制御装置610にスタートコンディションやストップコンディションを出力することなどを指示する。

【0487】

演出制御装置550は、マスタICを介して装飾制御装置（スレーブ）610に演出指示を送信し、各種演出処理を実行する。図34には各スレーブを初期化する手順、図35には各スレーブに演出制御データを送信する手順の概要を示す。

【0488】

図34は、本発明の第1の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。

【0489】

演出制御装置550のCPU551は、スレーブ初期化開始処理が開始されると、コマンドREG581のスタートコンディション（STA）及びストップコンディション（STO）の実行を指示するビットに“1”を設定する（3401）。

【0490】

マスタICは、コマンドREG581に設定された情報（STO、STA）に従って、

10

20

30

40

50

制御対象の各装飾制御装置（スレーブ）610に対し、まず先にストップコンディションを出力し、次いでスタートコンディションを出力する（3411）。ストップコンディションを出力することによってデータの送信が完了した旨を各スレーブに通知し、その後、スタートコンディションを出力することによって、各スレーブにおいてコマンドの入力を受け付ける準備を完了させる。

【0491】

マスタICは、スタートコンディションを出力すると、CPU551に割込信号（INT）を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（1）を開始する（3402）。送信指示データの送信再開処理（1）では、出力用バッファ572にリセット用アドレスを設定する。リセット用アドレスは、各スレーブをリセットするためにあらかじめ定められている固定アドレスである。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。

10

【0492】

マスタICは、出力用バッファ572に設定されたリセット用アドレスに対し、所定のデータ（リセット指令）を出力する（3412）。リセット指令は、図31にて説明した第1所定値（データ3102）及び第2所定値（データ3103）に対応する。

【0493】

マスタICは、リセット用アドレスを出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（2）を開始する（3403）。送信指示データの送信再開処理（2）では、出力用バッファ572にリセット指令の前半の値を設定する。リセット指令の前半の値は、図31にて説明した第1所定値（データ3102）に対応する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の前半の値を出力する（3413）。

20

【0494】

その後、マスタICは、リセット指令の前半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（3）を開始し（3404）、出力用バッファ572にリセット指令の後半の値を設定する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の後半の値を出力する（3414）。リセット指令の後半の値は、図31にて説明した第2所定値（データ3103）に対応する。

30

【0495】

さらに、マスタICは、リセット指令の後半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（4）を開始し（3405）、コマンドREG581のSTAに“0”、STOに“1”が設定し、マスタICにストップコンディションの出力を指示する。

【0496】

マスタICは、コマンドREG581に設定された情報に従って、各スレーブにストップコンディションを出力する（3415）。

40

【0497】

以上の処理によって、各スレーブが初期化される。なお、初期化に失敗した場合には（3406）、ステップ3402から処理を再開する。

【0498】

図35は、本発明の第1の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。

【0499】

演出制御装置550のCPU551は、演出制御を行う場合に、まず、コマンドREG581のスタートコンディション（STA）及びストップコンディション（STO）の実

50

行を指示するビットに“ 1 ”を設定する（3501）。

【0500】

マスタICは、コマンドREG581のSTA及びSTOに設定された値（“ 1 ”）に基づいて、各スレーブにストップコンディションを出力し、その後、スタートコンディションを出力する（3511）。

【0501】

そして、マスタICは、スタートコンディションを各スレーブに出力すると、各スレーブで演出制御データを受信する準備が整うため、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、出力用バッファ572に制御対象のスレーブのアドレス及び制御内容を示す演出制御データを設定する（3502）。このとき、コマンドREG581のSTA及びSTOには“ 0 ”を設定する。

10

【0502】

マスタICは、出力用バッファ572に設定されたアドレス及び演出制御データを各スレーブに出力する（3512）。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

【0503】

そして、マスタICは、アドレス及び演出制御データを各スレーブに出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、コマンドREG581のSTAに“ 1 ”、STOに“ 0 ”を設定する（3503）。その後、マスタICは、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する（3513）。

20

【0504】

続いて、CPU551及びマスタICは、別のアドレスを指定して同様の処理を行う（3504、3514、3505、3515）。CPU551によって最後のn個めのスレーブに対する演出制御データの出力が完了し（3506）、さらに、マスタICが演出制御データに対応するスレーブに出力すると（3516）、全データの出力が完了したため、ストップコンディションを出力する。具体的には、マスタICが最終のスレーブに演出制御データを出力完了したときに、割込信号を入力してCPU551に割込みを発生させ、割込みが発生したCPU551は、コマンドREG581のSTAに“ 0 ”、STOに“ 1 ”を設定し（3507）、その後、マスタICがストップコンディションを出力する（3517）。

30

【0505】

なお、本発明の第1の実施の形態では、ストップコンディションを出力することによって、演出装置の演出態様を更新するように構成しているが、後述する第4の実施の形態では、返答信号（ACK）送信時に演出装置の演出態様を更新するように構成している例について説明する。

【0506】

図36は、本発明の第1の実施の形態の演出制御装置550からマスタIC（第1マスタIC570a又は第2マスタIC570b）に演出制御データを送信する段階を説明する図である。

40

【0507】

演出制御装置550のCPU551は、後述するスレーブ出力データ編集処理が実行されると、RAM553に出力データ準備領域を確保し、出力データ準備領域に各スレーブに対する演出制御データを格納する。

【0508】

また、出力データ準備領域は、スレーブ毎にさらに領域が分割され、各スレーブに対応するアドレス及び演出内容に対応する演出制御データが格納される。具体的には、アドレスは図30に示した送信順序1のデータに対応し、演出制御データは図30に示した送信順序2から30までのデータに対応する。

【0509】

50

さらに、CPU 551は、未送信の演出制御データが上書きされないように、出力データ退避領域をさらにRAM 553に確保し、スレーブ出力データ退避処理によって出力データ準備領域に記憶されたデータを出力データ退避領域に退避させる。その後、退避されたデータは所定のタイミングでマスタICの出力用バッファ572に設定される。

【0510】

なお、出力データ準備領域及び出力データ退避領域はマスタICごとにRAM 553に確保され、本発明の第1の実施の形態では、第1マスタIC 570a及び第2マスタIC 570bに対応した領域がそれぞれ確保される。

【0511】

図37は、本発明の第1の実施の形態の演出制御装置550による処理の手順を示すフローチャートである。本処理は、演出制御装置550のCPU 551によって実行される処理である。

10

【0512】

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ3701～3706の処理を実行する。そして、VDP 556から画像更新周期と同期する同期信号（例えば、33.3ms周期の同期信号）が割込信号としてCPU 551に入力されるたびにステップ3707の演出制御定期処理を繰り返し実行する。

【0513】

まず、演出制御装置550は、演出制御装置550のRAM 553の初期化などを含む初期化処理を実行する（3701）。このとき、後述する第1マスタIC 570aに関する初期化段階番号と、第2マスタIC 570bに関する初期化段階番号とを、ともに“0”に設定しておく。

20

【0514】

そして、演出制御装置550は、出力I/F 558aとNORゲート回路561を介してリセットパルスを第1マスタIC 570a及び第2マスタIC 570bに入力し、第1マスタIC 570a及び第2マスタIC 570bをハード的に初期化する（3702）。

【0515】

続いて、演出制御装置550は、第1マスタIC 570aに接続されたすべての装飾制御装置610のI²C I/Oエクスパンダ615を初期化するために、第1マスタIC 570aから初期化指示データを出力する第1マスタIC 570a側スレーブ初期化開始処理を実行する（3703）。同様に、第2マスタIC 570bに接続されたすべての装飾制御装置610のI²C I/Oエクスパンダ615を初期化するために、第2マスタIC 570bから初期化指示データを出力する第2マスタIC 570b側スレーブ初期化開始処理を実行する（3704）。スレーブ初期化開始処理の詳細については、図38にて説明する。

30

【0516】

さらに、演出制御装置550は、第1マスタIC 570に関する初期化段階番号と、第2マスタIC 570bに関する初期化段階番号とが、ともに“0”になるまで待機する（3705）。初期化段階番号とは、第1マスタIC 570a及び第2マスタIC 570bの各々に関して初期化処理の進捗を示す番号であり、電源投入直後に演出制御装置550が起動した直後では“0”となっているが、初期化処理が開始されると、段階を追って“1”から“4”まで1つつインクリメントされ、初期化処理が完了すると、再度、“0”に戻されるものである。なお、図42にて説明する初期化指示データの送信再開処理において、設定されている初期化段階番号の値に対応する処理が順次実行される。

40

【0517】

すべてのマスタ及びスレーブの初期化が完了すると、演出制御装置550は、VDP 556から画像更新周期と同期する同期信号（VDP割込）の受け入れ、及びタイマ割り込みの受け入れを許可する（3706）。

【0518】

その後、演出制御装置550は、VDP割込が発生するたびに実行される演出制御定期

50

処理が実行される（３７０７）。演出制御定期処理については、図３９にて詳細を後述する。

【０５１９】

図３８は、本発明の第１の実施の形態の第１マスタＩＣ５７０ａ側のスレーブ初期化開始処理及び第２マスタＩＣ５７０ｂ側のスレーブ初期化開始処理の手順を示すフローチャートである。

【０５２０】

第１マスタＩＣ５７０ａ側のスレーブ初期化開始処理は、図３７のステップ３７０３及び演出制御定期処理（図３９）のステップ３９２３の処理で実行される。また、第２マスタＩＣ５７０ｂ側のスレーブ初期化開始処理は、同じくステップ３７０４及びステップ３
9 2 7の処理で実行される。

10

【０５２１】

第１マスタＩＣ５７０ａ側の初期化開始処理では、まず、演出制御装置５５０のＣＰＵ５５１は、マスタ割込み及びタイムアウト割込みを禁止する（３８０１）。そして、初期化対象のマスタに第１マスタＩＣ５７０ａを選択する（３８０２）。

【０５２２】

また、第２マスタＩＣ５７０ｂ側のスレーブ初期化開始処理では、第１マスタＩＣ５７０
a側スレーブ初期化開始処理と同様に、ＣＰＵ５５１は、マスタ割込み及びタイムアウト割込みを禁止する（３８１１）。そして、初期化対象のマスタに第２マスタＩＣ５７０
bを選択する（３８１２）。

20

【０５２３】

以降の処理では、第１マスタＩＣ５７０ａ側スレーブ初期化開始処理及び第２マスタ
ＩＣ５７０ｂ側スレーブ初期化開始処理について、選択されたマスタに対して共通の処理が
実行される。

【０５２４】

ＣＰＵ５５１は、選択されたマスタの初期化段階番号に“１”を設定する（３８０３）。さらに、選択したマスタに関する監視タイマを設定し（３８０４）、タイムアウトの監視を開始する（３８０５）。

【０５２５】

ＣＰＵ５５１は、選択されたマスタのコマンドＲＥＧ５８１に対し、ＳＴＡに“１”、
ＳＴＯに“１”、ＳＩに“０”、及びＭＯＤＥに“０”を設定する（３８０６）。

30

【０５２６】

ＳＴＡは、前述したように、スタートコンディションの出力を指示するためのビットであり、ＳＴＯは、ストップコンディションの出力を指示するためのビットである。各ビットに“１”が設定されると、マスタＩＣによって対応する信号が出力される。ステップ
3 8 0 6の処理では、スタートコンディション及びストップコンディションの両方の信号が
出力される。

【０５２７】

ＳＩは、前述のマスタ割込みの発生を報知するためのビットであり、“１”が設定されている場合にはマスタＩＣからＣＰＵ５５１に割込みの発生が要求された状態となり、このビットが“０”に変更されるまで、割込みを発生させたマスタＩＣは、処理を待機する状態となる。そして、ＣＰＵ５５１によって、このビットに“０”を設定すると、Ｃ
P U 5 5 1に発生している割込みが解除され、処理を待機していたマスタＩＣは、次に行われるべき処理を再開する。ステップ３８０６の処理では、“０”が設定されているため、割込みの発生が解除されて、処理を待機していたマスタＩＣが動作を再開する。

40

【０５２８】

ＭＯＤＥは、データを送信するモードを指定するためのビットであり、“１”が設定されている場合には「バッファモード」、「０」が設定されている場合には「バイトモード」が指定される。ステップ３８０６の処理では、“０”が設定されているため、バイトモードでデータがやり取りされる。

50

【0529】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し（3807）、呼び出し元に復帰する。

【0530】

図39は、本発明の第1の実施の形態の演出制御定期処理の手順を示すフローチャートである。

【0531】

演出制御定期処理は、図37のステップ3707で実行される処理であり、VDP割込が発生するたびに、各マスタから各スレーブ（I²C I/Oエクスパンダ615）に送信する演出制御データを編集し、当該演出制御データを送信するための処理である。

10

【0532】

演出制御装置550のCPU551は、まず、表示装置53に画像を表示するために、VDP556に画像を表示させる指令となるデータを出力する（3901）。さらに、スピーカ30から遊技状態に応じた音を出力させるために、音制御データを音LSI557に出力する。音LSI557は、入力された音制御データに基づいてスピーカ30から音を出力させる（3902）。

【0533】

さらに、CPU551は、図36にて説明したように、RAM553上に格納された演出制御データを上書きされないように退避するスレーブ出力データ退避処理を実行する（3903）。退避領域に退避された出力データは、前述したように、所定のタイミングでマスタICに設定される。

20

【0534】

続いて、CPU551は、マスタ割込み及びタイムアウト割込みを禁止する（3904）。次に、第1マスタIC570aに対応する更新段階番号を“0”に設定する（3905）。さらに、第1マスタIC570aの監視タイマを設定し（3906）、タイムアウトの監視処理を開始する（3907）。更新段階番号とは、演出制御データによって演出装置の演出態様が更新された段階を示す番号であり、マスタIC毎に設定される。更新段階番号は、演出制御装置550のRAM553に記憶される。

【0535】

さらに、CPU551は、第1マスタIC570aのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する（3908）。ステップ3908の処理では、MODEに“1”が設定されるため、バッファモードでデータが送受信される。

30

【0536】

また、第2マスタIC570bについても同様に、CPU551は、第2マスタIC570bの更新段階番号を“0”に設定する（3909）。さらに、監視タイマを設定し（3910）、タイムアウトの監視処理を開始する（3911）。さらに、第2マスタIC570bのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する（3912）。

【0537】

CPU551は、各マスタの先頭のスレーブ（装飾制御装置610）を選択する（3913）。各マスタICには、演出制御データを送信するスレーブの順序があらかじめ設定されている。ステップ3910の処理で当該順序の先頭のスレーブを設定し、後述する演出制御データの送信再開処理において、第1マスタIC570aに接続される各スレーブに演出制御データを順次送信する。そして、選択された各スレーブへの出力データを準備する（3914）。

40

【0538】

さらに、CPU551は、全マスタICのリトライカウンタを0に設定する（3915）。リトライカウンタとは、各マスタに演出制御データを送信する場合において、送信失敗時にインクリメントされるカウンタである。リトライカウンタが所定の数値よりも大き

50

くなった場合には何らかの障害が発生したものと判断することができる。その後、マスタ割込み及びタイムアウト割込みを許可する（3916）。

【0539】

続いて、CPU551は、VDP556に次に出力されるデータを編集し（3917）、さらに、音LSI557に出力されるスピーカ関連データを編集する（3918）。

【0540】

さらに、演出制御装置550は、発光体を制御する装飾制御装置610に送信するための演出制御データを編集するスレーブ出力データ編集処理を実行する（3919）。スレーブ出力データ編集処理では、図36で説明したように、各スレーブの演出制御データを生成し、RAM553上に確保された出力データ準備領域に格納する。

10

【0541】

次に、演出制御装置550は、図32に示した異常判定テーブル3200を参照し、第1マスタIC570aに接続された発光制御スレーブに関するエラー判定処理を実行する（3920）。

【0542】

エラー判定処理では、演出制御装置550が、異常判定テーブル3200の発光制御スレーブに対応するエントリのエラーフラグ3205がすべて「ON」となっているか否か、つまりすべての発光制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ3205が「OFF」となっている発光制御スレーブが少なくとも1つ以上あるか否かを判定する。このエラー判定処理によって、すべての発光制御スレーブでエラーが発生していると判定された場合には、第1マスタIC570a及び第1マスタIC570aに接続されたすべての発光制御スレーブのリセットする条件が成立したものとされる。

20

【0543】

演出制御装置550は、ステップ3920のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する（3921）。前述のように、ステップ3920のエラー判定処理の時点ですべての発光制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

【0544】

演出制御装置550は、リセット条件が成立したと判定された場合には（3921の結果が「Y」）、第1マスタIC570aを初期化し（3922）、第1マスタIC570aに接続されるすべてのI²C I/Oエクスパンダ615（装飾制御装置610）に対して同時に初期化指示データを出力する第1マスタIC側スレーブ初期化開始処理を実行する（3923）。

30

【0545】

このように、リセット条件が成立したと判定された場合には、ステップ3717の処理で、第1マスタIC570aに接続されるすべてのI²C I/Oエクスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI²C I/Oエクスパンダ615を同時に選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I²C I/Oエクスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、CPU551がバス563を介してリセットREG573に初期化指示情報を書き込むことにより、第1マスタIC570aをソフト的にリセットする。

40

【0546】

なお、ステップ3921の処理でリセット条件成立とみなされた場合は、第1マスタIC570aにおいて異常が発生している可能性があるので、ステップ3722の処理で第1マスタIC570aも初期化するようにしている。

【0547】

第1マスタIC570aは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御

50

装置にてデータ送信に関する異常が発生している場合には、第1マスタIC570a自身に異常が発生していることも考えられる。

【0548】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551（演算処理手段）により第1マスタIC570aが初期化される。これにより、第1マスタIC570aで異常が発生している場合であっても確実に第1マスタIC570aを制御可能にすることができる。

【0549】

さらに、演出制御装置550は、第2マスタIC570bについても同様に、エラー判定処理を実行し（3924）、リセット条件が成立しているか否かを判定する（3925）。そして、リセット条件が成立している場合には、第2マスタIC570bをリセットし（3926）、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC側スレーブ初期化開始処理を実行する（3927）。その後、図37に示した処理に復帰し、VDP556から同期信号がCPU551に輸入されるまで待機する。

【0550】

このように、図37から図39に示した処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550の第1マスタIC570a及び第2マスタIC570bから装飾制御装置610のI²C I/Oエクスパンダ615に演出制御データを送信する。そして、I²C I/Oエクスパンダ615は、受信した演出制御データに基づいて装飾装置620を制御するため、表示装置53における演出と装飾装置620における演出とが調和し、遊技者に違和感を与えないので、興味を高めることができる。

【0551】

また、表示装置53の画像を更新する周期と同期して第1マスタIC570a及び第2マスタIC570bから送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエクスパンダ615によってワークレジスタ（図24参照）の値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0552】

また、表示装置53の画像を更新する周期と同期して、ステップ3920及びステップ3924でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。表示装置53の画像を更新する周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【0553】

図40は、本発明の第1の実施の形態の第1マスタIC570a側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0554】

送信中断割込みは、いわゆるマスタ割込みであり、中断時の状態に応じて処理が実行される。また、タイムアウト割込みは、監視タイマ回路562に設定した監視タイマがタイムアップした場合に発生する割り込みであり、第1マスタIC570aによる送信処理が所定時間内に完了していないことを監視するためのものである。タイムアウト割込み発生時には第1マスタIC570aを初期化する。

【0555】

CPU551は、まず、第1マスタIC570aからのマスタ割込みが発生した場合には、監視タイマ回路562の監視タイマの更新を停止して、第1マスタIC570aに関するタイムアウトの監視を終了する（4001）。さらに、第1マスタIC570aのステータスコードが「復旧」に該当するか否かを確認する（4002）。ステータスコードはマスタICの状態を示す値であり、ステータスレジスタ（REG）582に設定されて

いる。ステップ4002の処理では、図44にて後述する送信処理継続判定表4400を参照して、設定されているステータスコードが“70h”又は“78h”の場合には、「復旧」に該当するものとして判定される。ステータスコードが「復旧」に該当する場合には、接続線SDA又は接続線SCLが第1マスタIC570a又は第1マスタIC570aに接続されるスレーブ(I²C I/Oエクスパンダ615)によって占有され、解除できない状態になっている。

【0556】

CPU551は、第1マスタIC570aのステータスコードが「復旧」に該当するかどうかを判定する(4003)。そして、該当しない場合には(4003の結果が「N」)、第1マスタIC570aの初期化段階番号及び更新段階番号を取得する(4004)。

10

【0557】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”であるかどうかを判定する(4005)。初期化段階番号が“0”の場合とは、初期化処理が実行中でない状態であることを示している。すなわち、初期化段階番号が“0”以外の場合には初期化処理が実行中であることを示している。

【0558】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4005の結果が「N」)、前述のように、初期化処理中であるため、初期化指示データの送信再開処理を実行する(4006)。初期化指示データの送信再開処理の詳細については、図42にて後述する。

20

【0559】

一方、CPU551は、初期化対象のマスタICの初期化段階番号が“0”の場合には(4005の結果が「Y」)、初期化処理を既に終えており、演出制御データを送信している途中であるため、演出制御データの送信再開処理を実行する(4007)。演出制御データの送信再開処理の詳細については、図43にて後述する。

【0560】

また、CPU551は、ステップ4003の分岐にて、第1マスタIC570aのステータスコードが「復旧」に該当すると判定した場合には(4003の結果が「Y」)、第1マスタIC570aをソフトリセットし(4011)、次いで、第1マスタIC570aに接続された装飾制御装置610を初期化するために、第1マスタ側スレーブ初期化開始処理を実行する(4011)。第1マスタ側スレーブ初期化開始処理は、図38で前述した処理と同一の処理である。

30

【0561】

図41は、本発明の第1の実施の形態の第2マスタIC570b側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0562】

第2マスタIC570b側の送信中断割込み発生時及びタイムアウト割込み発生時の処理は、図40に示した第1マスタIC570aの場合の処理と同様であり、第1マスタIC570aを第2マスタIC570bに置き換えればよいとため、説明を省略する。

【0563】

図42は、本発明の第1の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

40

【0564】

CPU551は、まず、ステータスコードに基づいて初期化指示データの送信処理を継続するか否かを判断し(4201)、判断結果に応じて処理を分岐する(4202)。前述したように、ステータスコードは、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。ステップ4201の処理では、設定されているステータスコードと現在の初期化段階番号との組合せから、図44にて後述する送信処理継続判定表4400を参照して、初期化指示データの送信処理を継続するか否かを判定する。初期化段階番号とステータスコードとの関係については、図44にて詳細を説明する

50

。

【0565】

初期化段階番号は、マスタICの初期化を行っているときに、その処理段階に応じて“1”～“4”の何れかの値が設定されるものであり、マスタICの初期化が完了すると“0”に設定されるものである。ただし、マスタICの初期化が完了して、初期化段階番号が“0”になると、当該初期化指示データの送信再開処理が呼び出されない（図40の呼び出し元の処理にてステップS4005の分岐により、演出制御データの送信再開処理が実行される）ので、ここでは、初期化段階番号が“1”～“4”となっていることを前提に説明を行う。

【0566】

10

CPU551は、初期化段階番号とステータスコードとの組合せによる判定結果が「継続」でない場合には（4202の結果が「N」）、正常な状態ではない（例えば、データ送信に失敗した状態になる）ので、初期化の開始を示す値“1”を初期化段階番号に設定する（4203）。さらに、監視タイマを設定し、タイムアウトの監視を開始する（4204）。

【0567】

最後に、CPU551は、ストップコンディション及びスタートコンディションを出力するように、処理対象のマスタICのコマンドREG581のSTAに“1”、STOに“1”、SIに“0”、MODEに“0”を設定し（4205）、呼び出し元の処理に復帰する。

20

【0568】

一方、CPU551は、初期化段階番号とステータスコードとの組合せによる判定結果が「継続」となっている場合には（4202の結果が「Y」）、初期化処理が正常に実行されているため、初期化段階番号に基づいて処理を分岐する（4206）。

【0569】

CPU551は、初期化段階番号が“1”の場合には、処理対象のマスタICの出力用バッファ572にリセット用アドレスを設定する（4207）。

【0570】

初期化段階番号に“1”が設定されている場合は、マスタICからスタートコンディションが出力されたことを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”が設定されることになる。したがって、初期化段階番号に“1”が設定されており、かつ、ステータスコードに“08h”又は“10h”が設定されている場合に、ステップ4207以降の処理が実行される。

30

【0571】

CPU551は、初期化段階番号をインクリメントし（4208）、監視タイマを設定し、タイムアウトの監視を開始する（4209）。最後に、処理を継続するために、処理対象のマスタICのコマンドREG581のSTA、STO、SI及びMODEにそれぞれ“0”を設定し（4210）、呼び出し元の処理に復帰する。

【0572】

40

また、初期化段階番号が“2”の場合には、CPU551は、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の前半の値を設定する（4211）。

【0573】

初期化段階番号に“2”が設定されている場合は、マスタICの出力用バッファ572にリセット用アドレスが設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、スレーブのアドレス（ここでは、リセット用アドレス）が送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“18h”が設定されることになる。ただし、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“20h”が設定される。したがって、初期化段階番号に“2”が設定さ

50

れており、かつ、ステータスコードに“18h”が設定されている場合に、ステップ4211以降の処理が実行される。

【0574】

CPU551は、出力用バッファ572に値が設定されると、初期化段階番号が“1”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0575】

CPU551は、初期化段階番号が“3”の場合には、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の後半の値を設定する(4212)。

【0576】

初期化段階番号に“3”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の前半の値が設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、出力用バッファ572に設定されたデータが送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“28h”が設定されることになる。ただし、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“30h”が設定される。したがって、初期化段階番号に“3”が設定されており、かつ、ステータスコードに“28h”が設定されている場合に、ステップ4212以降の処理が実行される。

【0577】

CPU551は、出力用バッファ572に値が設定されると、初期化段階番号が“1”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0578】

初期化段階番号に“4”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の後半の値が設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、初期化段階番号が“3”の場合と同様に、ステータスコードに“28h”又は“30h”が設定されており、ステータスコードに“28h”の場合に、ステップ4212以降の処理が実行される。

【0579】

初期化段階番号が“4”の場合には、初期化処理に必要な処理が終了したため、CPU551は、処理対象のマスタICに接続されたすべての装飾制御装置610のエラーフラグをオフに設定し(4213)、さらに、エラーカウンタを0に設定して初期化する(4214)。そして、初期化段階番号を初期化処理中でないことを示す“0”に設定する。最後に、初期化処理を完了させ、処理対象のマスタICから、当該マスタICに接続されたすべての装飾制御装置610にストップコンディションを出力するために、処理対象のマスタICのコマンドREG581のSTOに“1”、STA、SI及びMODEにそれぞれ“0”を設定し(4216)、呼び出し元の処理に復帰する。

【0580】

図43は、本発明の第1の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【0581】

CPU551は、まず、ステータスコードに基づいて実行する処理を判断し(4301)、処理が「再送」か否かを判定する(4302)。ステップ4301の処理では、ステータスコードに設定された値と更新段階番号との組合せに基づいて、送信処理継続判定表4400(図44)を参照して実行する処理を判断する。

【0582】

更新段階番号は、第1マスタIC570a及び第2マスタIC570bの各々に関して、演出制御データを送信するタイミングを制御するための番号である。具体的には、演出制御定期処理(図37のステップ3707、図39)が実行されると、更新段階番号が“0”に設定される。また、後述するように、出力用バッファ572に演出制御データを設定すると、更新段階番号は“1”に設定される。

【0583】

ステータスコードは、前述のように、マスタICの状態を示す値であり、ステータスレジスタ(REG) 582に設定されている。更新段階番号とステータスコードとの関係については、図44にて詳細を説明する。

【0584】

CPU551は、ステータスコードに基づいて処理が「再送」でないと判定された場合には(4302の結果が「N」)、さらに、更新段階番号の値が“0”であるか否かを判定する(4303)。このとき、図44を参照すると、「再送」でない処理には「継続」又は「復旧」が含まれるが、送信中断割込み発生時に処理が「復旧」の場合には、図40及び図41に示すように、演出制御データの送信再開処理を実行することなく初期化処理が実行される。したがって、処理が「再送」でない場合には、必ず処理は「継続」となっている。

10

【0585】

そして、CPU551は、更新段階番号の値が“0”の場合には(4303の結果が「Y」)、RAM553上に準備されていたデータを出力用バッファ572に設定する(4304)。この場合(更新段階番号の値が“0”、かつ、処理が「継続」)、ステータスコードは“08h”又は“10h”となっており、スタートコンディション出力後の状態に対応する。

【0586】

さらに、CPU551は、更新段階番号の値を“1”に設定し(4305)、監視タイマを設定し、タイムアウトの監視を開始する(4306)。最後に、処理対象のマスタICのコマンドREG581のSTA、STO及びSIをそれぞれ“0”に設定し、出力用バッファ572に設定されたデータをバッファモードで送信するために、MODEを“1”に設定し(4307)、呼び出し元の処理に復帰する。

20

【0587】

一方、CPU551は、更新段階番号の値が“1”の場合には(4303の結果が「N」)、選択されたスレーブ(装飾制御装置610)に対応するエラーフラグを“オフ”に設定し(4308)、さらに、エラーカウンタを初期化する(4309)。なお、更新段階番号の値が“1”の場合、正常に処理が行われていれば、ステータスコードには正常にデータの送信が完了したことを示す“28h”が設定されている。

30

【0588】

その後、CPU551は、すべてのスレーブに対して送信再開処理が完了したか否かを判定する(4310)。そして、すべてのスレーブに対して処理が完了した場合には(4310の結果が「Y」)、ストップコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTO及びMODEに“1”、STA及びSIに“0”を設定し(4311)、呼び出し元の処理に復帰する。

【0589】

CPU551は、すべてのスレーブに対して処理が完了していない場合には(4310の結果が「N」)、リトライカウンタを0に設定し(4312)、次の処理対象のスレーブを選択する(4313)。そして、選択されたスレーブへの出力データを準備し(4314)、更新段階番号を“0”に設定し(4315)、監視タイマを設定し、タイムアウトの監視を開始する(4316)。

40

【0590】

最後に、CPU551は、スタートコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTA及びMODEに“1”、STO及びSIに“0”を設定し(4317)、呼び出し元の処理に復帰する。

【0591】

CPU551は、ステータスコードに基づいて処理が再送と判定された場合には(4302の結果が「Y」)、リトライカウンタの値をインクリメントする(4318)。そして、リトライカウンタの値が、指定された値に到達したか否かを判定する(4319)。

50

このとき指定された値は、図 3 2 又は図 3 3 に示した異常判定テーブル 3 2 0 0 又は異常判定テーブル 3 3 0 0 に設定されており、現在選択されているスレーブに対応する比較値 3 2 0 4 に対応する。

【0 5 9 2】

C P U 5 5 1 は、リトライカウンタの値が指定値に到達していない場合には（4 3 2 2 の結果が「N」）、現在選択中にスレーブを再度選択し（4 3 2 0）、選択スレーブに出力するデータを準備し（4 3 1 4）、ステップ 4 3 1 5 以降の処理を実行する。

【0 5 9 3】

一方、C P U 5 5 1 は、リトライカウンタの値が指定値に到達した場合には（4 3 2 2 の結果が「Y」）、選択されているスレーブのエラーフラグ 3 2 0 5 に“O N”を設定し、ステップ 4 3 1 0 以降の処理を実行する。

10

【0 5 9 4】

図 4 4 は、本発明の第 1 の実施の形態のデータの送信再開処理の継続を判断するための送信処理継続判定表 4 4 0 0 の一例を示す図である。

【0 5 9 5】

送信処理継続判定表 4 4 0 0 には、前述のように、データ送信再開処理の継続を判断するための情報が格納される。データ送信再開処理には、初期化指示データの送信再開処理（図 4 2）と、演出制御データの送信再開処理（図 4 3）とが含まれ、送信処理継続判定表 4 4 0 0 には各場合について処理の継続判断が登録されている。

【0 5 9 6】

20

送信処理継続判定表 4 4 0 0 には、ステータスコード 4 4 0 1、初期化指示データ送信再開処理の継続判断 4 4 0 2、演出制御データ送信再開処理の継続判断 4 4 0 3、及び状態 4 4 0 4 が含まれる。

【0 5 9 7】

ステータスコード 4 4 0 1 は、前述のように、マスタ I C の状態を示す値である。

【0 5 9 8】

状態 4 4 0 4 は、ステータスコード 4 4 0 1 に対応するマスタ I C の状態である。例えば、ステータスコードが“0 8 H”の場合には、スタートコンディションの送信が完了した状態を示す。また、ステータスコードが“1 0 H”の場合には、スタートコンディションの再送信、すなわち、リスタートコンディションの送信が完了したことを示している。

30

【0 5 9 9】

また、本発明の第 1 の実施の形態では、接続線 S D A 又は接続線 S C L が何らかの理由で占有され、さらに、解除できなかった場合には、ステータスコード 4 4 0 1 に“7 0 H”又は“7 8 H”が設定される。

【0 6 0 0】

続いて、ステータスコードに対応する初期化指示データ送信再開処理の継続判断 4 4 0 2 及び演出制御データ送信再開処理の継続判断 4 4 0 3 について説明する。

【0 6 0 1】

初期化指示データ送信再開処理では、初期化段階番号に対応する段階ごとに処理が実行されており、初期化指示データ送信再開処理の継続判断 4 4 0 2 は、初期化段階番号ごとに定義されている。具体的には、図に示すように、初期化段階番号の値とステータスコードの値との組合せに対応して、「継続」、「再開」又は「復旧」が定義されている。

40

【0 6 0 2】

継続判断 4 4 0 2 の値が「継続」の場合には、初期化指示データ送信再開処理が正常に処理されていることを示している。具体的には、初期化段階番号が 1 の場合にスタートコンディションの出力が成功した場合や、初期化段階番号が 2 の場合にアドレスの送信が成功した場合に継続判断 4 4 0 2 の値が「継続」になる。すなわち、初期化指示データ送信再開処理で実行された処理と、ステータスレジスタ（R E G）5 8 2 に設定されたステータスコードとが整合している場合に継続判断 4 4 0 2 の値が「継続」になる。

【0 6 0 3】

50

一方、継続判断4402の値が「再開」の場合には、初期化指示データ送信再開処理が正常に処理されていないことを示しており、初期化指示データ送信再開処理を再度開始する必要があることを示している。すなわち、初期化指示データ送信再開処理で実行された処理と、ステータスレジスタ（REG）582に設定されたステータスコードとが整合しない場合に継続判断4402の値が「再開」になり、例えば、データの送信に失敗した場合にこの状態となる。

【0604】

さらに、継続判断4402の値が「復旧」の場合には、接続線SDA又は接続線SCLが占有され、解除できないことを示している。この場合には、送信中断割込発生時に対応するマスタIC及び当該マスタICに接続されたスレーブを初期化する必要がある。

10

【0605】

演出制御データ送信再開処理では、更新段階番号の設定値に基づいて処理が実行されており、演出制御データ送信再開処理の継続判断4403は、更新段階番号の設定値ごとに定義されている。具体的には、図に示すように、更新段階番号の値とステータスコードの値との組合せに対応して、「継続」、「再送」又は「復旧」が定義されている。

【0606】

更新段階番号は、スタートコンディションが出力された後、最初にデータが送信されたタイミングで“1”に設定され、1つのスレーブに対するデータの出力準備が完了すると“0”に設定される。すなわち、初期設定が終了すると更新段階番号が“1”に設定され、その後、継続してデータが送信される。継続判断4403の値が「継続」となるのは、スタートコンディション送信後（更新段階番号が“0”）にステータスコードが「08H」又は「10H」に設定されていた場合と、データ送信後（更新段階番号が“1”）にデータ送信の成功を示すステータスコード「28H」が設定されている場合である。

20

【0607】

一方、接続線SDA又は接続線SCLが何らかの理由で占有状態になっており、解除できない場合には、データを送受信することができないため、マスタIC及びマスタICに接続されたスレーブを初期化することによって占有状態を解除するように復旧させる。具体的には、ステータスコード4401が「70H」又は「78H」の場合である。

【0608】

その他の場合、すなわち、データの送受信が可能な状態でステータスコードと更新段階番号の設定値とが整合していない場合には、「再送」が設定されており、演出制御データを再送する処理が実行される。

30

【0609】

図45は、本発明の第1の実施の形態のマスタICによるデータ送信処理の手順を示すフローチャートである。本処理は、第1マスタIC570a及び第2マスタIC570bの共通処理であり、CPU551によって、コマンドレジスタ581（図11及び図12参照）のSIのビットに“0”が設定されると、割込み処理の発生によって待機していたマスタICが当該処理を開始する。

【0610】

まず、マスタICのコントローラ574は、スタートコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTAに“1”が設定されているか否かを判定する（4501）。

40

【0611】

コントローラ574は、スタートコンディションの出力が要求されている場合には（4501の結果が「Y」）、スタートコンディション出力処理を実行する（4502）。スタートコンディション出力処理は、接続線SCL及び接続線SDAの信号レベルに応じてスタートコンディションを出力するために必要な処理を実行する。スタートコンディション出力処理の詳細については、図46にて後述する。

【0612】

コントローラ574は、スタートコンディション出力処理の実行が完了すると、STC

50

Dの値をステータスコードに設定する（4503）。STCDは、設定されるステータスコードを代入するための変数であり、スタートコンディション出力処理や、後述のスレーブへのデータ送信処理、ストップコンディション出力処理で所定の値が設定される。ステータスコードに値を設定すると、コマンドREG581のSIに“1”を設定することによって送信中断割込みを発生させる。

【0613】

次に、コントローラ574は、スタートコンディションの出力が要求されていない場合には（4501の結果が「N」）、ストップコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTOに“1”が設定されているか否かを判定する（4504）。 10

【0614】

コントローラ574は、ストップコンディションの出力が要求されていない場合には（4504の結果が「N」）、スレーブへのデータ送信処理を実行する（4505）。そして、スレーブへのデータ送信処理で設定されたSTCDの値をステータスコードに設定する（4503）。その後、コマンドREG581のSIに“1”を設定することによって送信中断割込みを発生させる。

【0615】

コントローラ574は、ストップコンディションの出力が要求されている場合には（4504の結果が「Y」）、ストップコンディション出力処理を実行する（4506）。ストップコンディション出力処理は、接続線SCL及び接続線SDAの信号レベルに応じてストップコンディションを実行するために必要な処理を実行する。ストップコンディション出力処理の詳細については、図50にて後述する。その後、スレーブへのデータ送信処理で設定されたSTCDの値をステータスコードに設定し（4507）、本処理を終了する（送信中断割込みは発生しない）。 20

【0616】

図46は、本発明の第1の実施の形態のスタートコンディション出力処理の手順を示すフローチャートである。

【0617】

スタートコンディションは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変更させることによって出力される。スタートコンディション出力処理では、処理開始時の各接続線の信号レベルに応じた処理を実行する。 30

【0618】

コントローラ574は、スタートコンディション出力処理を開始すると、まず、ステータスコードの変数（STCD）に“08H”を設定する。“08H”は、スタートコンディションの出力が完了したことを示す。

【0619】

コントローラ574は、ストップコンディションの出力が要求されているか、すなわち、コマンドREG581のSTOの値に“1”が設定されているか否かを判定する（4602）。 40

【0620】

コントローラ574は、ストップコンディションの出力が要求され、かつ、接続線SCLの信号レベル及び接続線SDAの信号レベルがともにHIGHの場合には、接続線SCLの信号レベルをLOWに設定する（4603）。さらに、接続線SDAの信号レベルをLOWに設定し（4604）、SCL解放監視処理を実行する（4605）。SCL解放監視処理の詳細については、図47にて後述する。

【0621】

コントローラ574は、トランジスタ578a（図11又は図12）をオフすることで、接続線SDAを解放する（4606）。このとき、接続線SDAに接続されている他のIC（I/Oエキスパンダ615等）の全てが接続線SDAを解放していれば、接続線S 50

D Aの信号レベルがH I G Hに変更される。

【0622】

コントローラ574は、接続線S D Aの信号レベルがH I G Hであるか否かを判定する(4607)。接続線S D Aの信号レベルがH I G Hであれば(4607の結果が「Y」)、接続線S D Aを解放できたため、この時点では、接続線S C Lの信号レベル及び接続線S D Aの信号レベルがともにH I G Hに設定されている。

【0623】

そして、コントローラ574は、トランジスタ578a(図11又は図12)をオンに設定することで接続線S D Aの信号レベルをL O Wに設定する(4608)。このように処理することによって、接続線S C Lの信号レベルをH I G Hに維持した状態で、接続線S D Aの信号レベルをH I G HからL O Wに変更されるため、スタートコンディションが成立する。

【0624】

コントローラ574は、続いて、トランジスタ578bをオンに設定することで接続線S C Lの信号レベルをL O Wに設定する(4609)。さらに、F B Fの値をオンに設定する(4610)。F B Fは、スタートコンディションが成立した直後であることを示すフラグであり、例えば、スタートコンディション成立後にデータを送信する場合に、F B Fがオンであれば、最初に送信されたデータであるからスレーブのアドレスと判断する。そして、アドレス受信後にF B Fをオフに設定することによって、受信したデータが演出制御データであることを各スレーブが認識することができる。

【0625】

一方、コントローラ574は、接続線S D Aの信号レベルがH I G Hでない場合には(4607の結果が「N」)、所定の時間が経過するまで、接続線S D Aの信号レベルがH I G Hになったか否かを判定する(4611)。所定の時間が経過すると(4611の結果が「Y」)、接続線S D Aが占有状態であると判定して、ステップ4612以降の接続線S D Aを解放する処理を実行する。具体的には、ドライバ576aによってトランジスタ578aに動作可能な電圧を印加しないことによってトランジスタ578aをオンにさせずに(接続線S D Aを解放した状態で)、接続線S C Lの信号レベルを少なくとも9回変化させる。

【0626】

コントローラ574は、まず、接続線S C Lに信号を入力した回数を示す変数L Pの値に0を設定する(4612)。さらに、トランジスタ578aをオンさせることで、接続線S C Lの信号レベルをL O Wに設定する(4613)。このとき、接続線S C Lの信号レベルはH I G HからL O Wに変化している。さらに、L Pに1を加算することによって(4614)、接続線S C Lの信号レベルの変更回数をカウントする。

【0627】

続いて、コントローラ574は、図47にて後述するS C L解放監視処理を実行する(4615)。そして、L Pの値が9になったか否か、すなわち、接続線S C Lの信号レベルの変更回数が9回に到達したか否かを判定する(4616)。L Pの値が9に到達していない場合には(4616の結果が「N」)、ステップ4613から4615までの処理を再度実行する。

【0628】

ステップ4612から4616までの処理によって、読み出しモード(詳細は後述)となったI²C I/Oエクスパンダ615は、接続線S C Lの信号レベルの変化に合わせて接続線S D Aにデータを出力するが、接続線S C Lの信号レベルの変化が少なくとも9回行われる途中において、マスタI Cからのアクノリッジ(A C K)信号を確認するタイミングが発生する。このとき、接続線S D Aは解放されているので信号レベルがH I G Hとなり、読み出しモードとなったI²C I/Oエクスパンダ615は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線S D Aを解放することになる。

。

10

20

30

40

50

【0629】

このようにして、読み出しモードとなったI²C I/Oエクスパンダ615から強制的に接続線SDAを解放させるので、接続線SDAの信号レベルはHIGHに維持される。

【0630】

コントローラ574は、接続線SCLの信号レベルの変更回数が9回に到達した場合には(4616の結果が「Y」)、ストップコンディションの出力が要求されているか否かを判定する(4617)。

【0631】

コントローラ574は、ストップコンディションの出力が要求されている場合には(4617の結果が「Y」)、接続線SCLの信号レベルをLOWに設定する(4618)。さらに、トランジスタ578aをオンに設定することで接続線SDAの信号レベルをLOWに設定する(4619)。その後、SCL解放監視処理を実行し(4620)、続いて、SCL解放監視処理を実行する(4621)。その後、ステップ4608から4610までの処理を実行し、呼び出し元の処理に復帰する。

10

【0632】

また、コントローラ574は、ステップ4602の分岐の時点において、ストップコンディションの出力が要求され、かつ、接続線SCLの信号レベルがLOW、接続線SDAの信号レベルがHIGHの場合には、ステップ4604以降の処理を実行する。さらに、ステップ4602の分岐の時点において、ストップコンディションの出力が要求され、かつ、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWの場合には、ステップ4606以降の処理を実行する。

20

【0633】

コントローラ574は、ステップ4602の分岐の時点において、ストップコンディションの出力が要求され、かつ、接続線SCLの信号レベル及び接続線SDAの信号レベルがともにLOWの場合には、トランジスタ578aをオフに設定することで、接続線SDAを解放する(4622)。さらに、接続線SDAの信号レベルがHIGHであるか否かを判定する(4623)。

【0634】

コントローラ574は、接続線SDAの信号レベルがHIGHでない場合には(4623の結果が「N」)、所定の時間が経過するまで、接続線SDAの信号レベルがHIGHになったか否かを判定する(4625)。所定の時間が経過すると(4625の結果が「Y」)、接続線SDAが占有状態であると判定して、SCL解放監視処理を実行し(4626)、ステップ4612以降の接続線SDAを解放する処理を実行する。

30

【0635】

一方、コントローラ574は、接続線SDAの信号レベルがHIGHであれば(4623の結果が「Y」)、さらに、ストップコンディションが要求されているか否かを判定する(4624)。ストップコンディションが要求されている場合には(4624の結果が「Y」)、ステップ4604以降の処理を実行する。

【0636】

コントローラ574は、ストップコンディションが要求されていない場合には(4624の結果が「N」)、SCL解放監視処理を実行し(4627)、スタートコンディションの再出力(リスタートコンディション)が完了したことを示す「10H」をSTCDに設定する(4628)。その後、ステップ4608以降の処理を実行する。

40

【0637】

また、コントローラ574は、接続線SCLの信号レベルの変更回数が9回に到達し(4616の結果が「Y」)、さらに、ストップコンディションの出力が要求されていない場合には(4617の結果が「N」)、接続線SDAの信号レベルがHIGHであるか否かを判定する(4629)。

【0638】

コントローラ574は、接続線SDAの信号レベルがHIGHでない場合には(462

50

9の結果が「N」)、所定の時間が経過するまで、接続線S D Aの信号レベルがH I G Hになったか否かを判定する(4 6 3 0)。そして、所定の時間が経過すると(4 6 3 0の結果が「Y」)、接続線S D Aが占有状態であると判定して、ステータスコードに“7 0 H”を設定し(4 6 3 1)、送信中断割り込みを発生させる。

【0 6 3 9】

コントローラ5 7 4は、ステップ4 6 0 2の分岐の時点において、ストップコンディションの出力が要求されず、かつ、接続線S C Lの信号レベルがH I G H、かつ、接続線S D Aの信号レベルがL O Wの場合には、接続線S D Aの信号レベルをL O Wに設定し(4 6 3 2)、ステップ4 6 2 2以降の処理を実行する。

【0 6 4 0】

コントローラ5 7 4は、ステップ4 6 0 2の分岐の時点において、ストップコンディションの出力が要求されず、かつ、接続線S C Lの信号レベル及び接続線S D Aの信号レベルがともにL O Wの場合には、ステップ4 6 2 2以降の処理を実行する。

【0 6 4 1】

コントローラ5 7 4は、ステップ4 6 0 2の分岐の時点において、ストップコンディションの出力が要求されず、かつ、接続線S C Lの信号レベルがL O W、かつ、接続線S D Aの信号レベルがH I G Hの場合には、ステップ4 6 2 7以降の処理を実行する。

【0 6 4 2】

コントローラ5 7 4は、ステップ4 6 0 2の分岐の時点において、ストップコンディションの出力が要求されず、かつ、接続線S C Lの信号レベル及び接続線S D Aの信号レベルがともにH I G Hの場合には、ステップ4 6 0 8以降の処理を実行する。

【0 6 4 3】

図4 7は、本発明の第1の実施の形態のS C L解放監視処理の手順を示すフローチャートである。

【0 6 4 4】

コントローラ5 7 4は、S C L解放監視処理が開始されると、トランジスタ5 7 8 b (図1 1又は図1 2)をオフすることで、接続線S C Lを解放する(4 7 0 1)。このとき、接続線S C Lに接続されている他のI C (I/Oエキスパンダ6 1 5等)の全てが接続線S C Lを解放していれば、接続線S C Lの信号レベルがH I G Hに変更される。続いて、接続線S C Lの信号レベルがH I G Hに変更され、接続線S C Lが解放されたか否かを判定する(4 7 0 2)。

【0 6 4 5】

コントローラ5 7 4は、接続線S C Lの信号レベルがH I G Hになっている場合には(4 7 0 2の結果が「Y」)、処理が成功したため、呼び出し元の処理に復帰する。一方、接続線S C Lの信号レベルがH I G Hになっていない場合には(4 7 0 2の結果が「N」)、所定の時間が経過するまで、接続線S C Lの信号レベルがH I G Hになったか否かを判定する(4 7 0 3)。

【0 6 4 6】

コントローラ5 7 4は、所定の時間が経過しても接続線S C Lの信号レベルがH I G Hにならない場合には(4 7 0 3の結果が「Y」)、接続線S C Lを解放できないことを示す「7 8 H」をステータスコードに設定し(4 7 0 4)、送信中断割り込みを発生させる。

【0 6 4 7】

図4 8は、本発明の第1の実施の形態のS D A解放監視処理の手順を示すフローチャートである。

【0 6 4 8】

コントローラ5 7 4は、S D A解放監視処理が開始されると、トランジスタ5 7 8 a (図1 1又は図1 2)をオフすることで、接続線S D Aを解放する(4 8 0 1)。このとき、接続線S D Aに接続されている他のI C (I/Oエキスパンダ6 1 5等)の全てが接続線S D Aを解放していれば、接続線S D Aの信号レベルがH I G Hに変更される。

【0 6 4 9】

そして、コントローラ 574 は、接続線 SDA の信号レベルが HIGH であるか否かを判定する (4802)。接続線 SDA の信号レベルが HIGH であれば (4802 の結果が「Y」)、接続線 SDA を解放できたため、呼び出し元の処理に復帰する。

【0650】

一方、コントローラ 574 は、接続線 SDA の信号レベルが HIGH になっていない場合には (4802 の結果が「N」)、所定の時間が経過するまで、接続線 SDA の信号レベルが HIGH になったか否かを判定する (4802)。

【0651】

コントローラ 574 は、所定の時間が経過しても接続線 SDA の信号レベルが HIGH にならない場合には (4803 の結果が「Y」)、接続線 SCL を解放する SCL 解放監視処理 (図 47) を実行し、接続線 SCL を解放する (4804)。その後、接続線 SDA を解放できないことを示す「70H」をステータスコードに設定し (4805)、送信中断割込みを発生させる。

【0652】

図 49 は、本発明の第 1 の実施の形態のスレーブ側の I²C I/O エクスパンダ 615 へのデータ送信処理の手順を示すフローチャートである。

【0653】

コントローラ 574 は、まず、データの送信回数を格納する変数 CTR を 0 に初期化する (4901)。続いて、トランジスタ 578b (図 11 又は図 12) をオンに設定することで接続線 SCL の信号レベルを LOW に設定する (4902)。そして、SDA 解放監視処理を実行することによって (4903)、接続線 SDA の信号レベルが HIGH に変更されるように設定する。このとき、接続線 SDA に接続されている他の IC (I/O エクスパンダ 615 等) の全てが接続線 SDA を解放している。

【0654】

コントローラ 574 は、変数 CTR の値が 8 か否か、すなわち、データの送信回数が 8 回に到達したか否かを判定する (4904)。データの送信回数が 8 回に到達していない場合には (4904 の結果が「N」)、接続線 SDA を介してスレーブにデータを出力し、CTR に 1 を加算する (4905)。続いて、SCL 解放監視処理を実行し (4906)、ステップ 4902 以降の処理を実行することによってさらにデータを出力する。

【0655】

一方、コントローラ 574 は、データの送信回数が 8 回に到達すると (4904 の結果が「Y」)、スレーブ側の I²C I/O エクスパンダ 615 から接続線 SDA を介して返答信号が出力される (4907)。

【0656】

コントローラ 574 は、出力された返答信号を接続線 SDA から取り込み (4908)、SCL 解放監視処理を実行する (4909)。さらに、ステップ 4908 の処理で取り込まれた返答信号の内容が“ACK”であるか否かを判定する (4910)。

【0657】

コントローラ 574 は、スレーブからの返答信号の内容が“ACK”の場合には (4910 の結果が「Y」)、トランジスタ 578b をオンに設定することで接続線 SCL の信号レベルを LOW に設定し (4911)、スレーブによって接続線 SDA を解放させる (4912)。さらに、現在のデータ送信モードがバッファモードであるか否かを判定する (4913)。

【0658】

コントローラ 574 は、現在のデータ送信モードがバッファモードの場合には (4913 の結果が「Y」)、最終バイトの送信が完了したか否かを判定する (4914)。最終バイトの送信が完了しておらず、さらにデータを送信する場合には (4914 の結果が「N」)、FBF の値にオフを設定し、データの送信回数を示す変数 CTR に 0 を設定する (4915)。FBF は、前述のように、スタートコンディションが成立した直後であることを示すフラグであり、最初のデータ送信後にオフに設定することによって、スレーブ

10

20

30

40

50

のアドレスの送信が終了していることを示すフラグとして扱うことができる。

【0659】

その後、コントローラ574は、接続線SDAの信号レベルがHIGHであるか否かを判定する(4916)。接続線SDAの信号レベルがHIGHでない場合には(4916の結果が「N」)、所定時間待機する(4917)。所定時間経過しても接続線SDAの信号レベルがHIGHでない場合には(4917の結果が「Y」)、ステータスコードに70Hを設定し(4918)、送信中断割り込みを発生させる。一方、接続線SDAの信号レベルがHIGHの場合には(4916の結果が「Y」)、次のデータを送信するためにステップ4902以降の処理を実行する。

【0660】

コントローラ574は、現在のデータ送信モードがバッファモードでない場合、すなわち、バイトモードの場合(4913の結果が「N」)、若しくは、最終バイトの送信が完了した場合には(4914の結果が「Y」)、FBUFがオンに設定されているか否かを判定する(4919)。FBUFがオンに設定されている場合には(4919の結果が「Y」)、FBUFをオフに設定し、アドレスの送信が成功したことを示すステータスコード「18H」をSTCD(ステータスコード)に設定する(4920)。一方、FBUFがオンに設定されていない場合には(4919の結果が「N」)、データの送信が成功したことを示すステータスコード「28H」をSTCDに設定する(4921)。

【0661】

また、コントローラ574は、スレーブからの返答信号の内容が返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4910の結果が「N」)、トランジスタ578bをオンに設定することで接続線SCLの信号レベルをLOWに設定する(4922)。

【0662】

さらに、コントローラ574は、FBUFがオンに設定されているか否かを判定する(4923)。FBUFがオンに設定されている場合には(4923の結果が「Y」)、アドレスの送信が失敗したことを示すステータスコード20HをSTCDに設定する(4924)。一方、FBUFがオンに設定されていない場合には(4923の結果が「N」)、データの送信が失敗したことを示すステータスコード30HをSTCDに設定する(4925)。以上の処理が終了すると、呼び出し元の処理に復帰する。

【0663】

図50は、本発明の第1の実施の形態のストップコンディション出力処理の手順を示すフローチャートである。

【0664】

ストップコンディションは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変更させることによって出力される。ストップコンディション出力処理では、処理開始時の各接続線の信号レベルに応じて処理を実行する。

【0665】

コントローラ574は、ストップコンディション出力処理を開始すると、接続線SCL及び接続線SDAの信号レベルに応じて処理を分岐させる(5001)。

【0666】

コントローラ574は、接続線SCLの信号レベル及び接続線SDAの信号レベルがともにHIGHの場合には、トランジスタ578b(図11又は図12)をオンに設定することで接続線SCLの信号レベルをLOWに設定する(5002)。ステップ5002の処理が終了した後、又は、接続線SCLの信号レベルがLOW、かつ、接続線SDAの信号レベルがHIGHの場合には、トランジスタ578a(図11又は図12)をオンに設定することで接続線SDAの信号レベルをLOWに設定する(5003)。

【0667】

コントローラ574は、ステップ5003の処理が終了した後、又は、接続線SCLの

10

20

30

40

50

信号レベル及び接続線 S D A の信号レベルがともに L O W の場合には、接続線 S C L を解放するための S C L 解放監視処理を実行する（5 0 0 4）。

【0 6 6 8】

S C L 解放監視処理は、L O W レベルとなっている接続線 S C L の信号レベルを H I G H に設定することによって、データの送受信が可能な状態にする処理である。S C L 解放監視処理の詳細については、図 4 7 にて説明したとおりである。なお、S C L 解放監視処理が正常に終了すると、接続線 S C L の信号レベルは H I G H に設定されている。また、接続線 S C L の信号レベルを H I G H に設定することができず、接続線 S C L を解放できなかった場合には、送信中断割込みを発生させる。

【0 6 6 9】

コントローラ 5 7 4 は、ステップ 5 0 0 4 の処理が終了した後、又は、接続線 S C L の信号レベルが H I G H、かつ、接続線 S D A の信号レベルが L O W の場合には、接続線 S D A を解放するための S D A 解放監視処理を実行する（5 0 0 5）。

【0 6 7 0】

S D A 解放監視処理は、接続線 S D A の信号レベルを L O W から H I G H に変更する処理であり、何らかの理由で接続線 S D A が占有され、信号レベルが L O W のままになっている場合には、占有された接続線 S D A を解放する処理を含んでいる。S D A 解放監視処理の詳細については、図 4 8 にて説明したとおりである。なお、S C L 解放監視処理が正常に終了すると、接続線 S D A の信号レベルは L O W から H I G H に変更されており、このとき、接続線 S C L の信号レベルが H I G H に維持されているため、ストップコンディションが成立する。また、接続線 S D A を解放できなかった場合には、送信中断割込みを発生させる。

【0 6 7 1】

図 5 1 から図 5 3 は、本発明の第 1 の実施の形態のスレーブ側の I² C I / O エクスパンダ 6 1 5 における処理の手順を示すフローチャートである。

【0 6 7 2】

図 5 1 は、本発明の第 1 の実施の形態のスレーブ側の I² C I / O エクスパンダ 6 1 5 における処理の手順を示すフローチャートである。

【0 6 7 3】

スレーブ側の I² C I / O エクスパンダ 6 1 5 は、図 1 8 にて説明したように、バスコントローラ 6 3 4 によって各種制御を実行する。

【0 6 7 4】

バスコントローラ 6 3 4 は、まず、リセット信号発生回路 6 3 9（図 1 8 参照、以下同様）によってリセット信号が発生すると、自身（I² C I / O エクスパンダ 6 1 5）の初期化処理を実行する（5 1 0 1）。このとき、ドライバ 6 3 2 によってトランジスタ 6 3 0 がオフし、接続線 S D A が解放される。また、ドライバ 6 3 7 によって、ポート 0 ~ 1 5 に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P の全てがオフする。また、出力設定レジスタ 6 3 5 が、予め定められた初期状態に設定される。次いで、接続線 S C L 及び接続線 S D A の信号レベルを取り込む。そして、接続線 S C L 及び接続線 S D A の信号レベルがともに H I G H である状態 5 1 0 3 になるまで待機する（5 1 0 2）。

【0 6 7 5】

バスコントローラ 6 3 4 は、接続線 S C L 及び接続線 S D A が状態 5 1 0 3 になると（5 1 0 2 の結果が「Y」）、接続線 S C L 及び接続線 S D A のいずれか一方の信号レベルが変化するまでのまま待機する（5 1 0 4）。

【0 6 7 6】

バスコントローラ 6 3 4 は、状態 5 1 0 3 から接続線 S D A の信号レベルが L O W に変化した場合には（5 1 0 4 の結果が「S D A ▽」）、変数 C N を 0 に設定し、状態番号を 1 に設定し、データを一時的に格納する準備領域をクリアする（5 1 0 5）。変数 C N は、データを受信した回数を示すカウンタである。また、状態番号は、マスタから送信された信号に応じて設定され、例えば、スレーブに要求された処理（書き込み処理、読み出し

10

20

30

40

50

処理など）などに対応する。なお、接続線 SCL 及び接続線 SDA の信号レベルがともに HIGH である状態 5103 から接続線 SDA の信号レベルが LOW に変化した場合にはスタートコンディションがマスタ IC から出力されたことに相当し、状態番号 1 は、スタートコンディションが出力されたことを示している。

【0677】

このとき、接続線 SCL の信号レベルが HIGH、接続線 SDA の信号レベルが LOW である状態 5106 になっている。バスコントローラ 634 は、接続線 SCL 又は接続線 SDA の信号レベルが変化するまで待機する（5107）。

【0678】

バスコントローラ 634 は、状態 5106 から接続線 SCL の信号レベルが LOW に変化した場合には（5107 の結果が「SCL▽」）、変数 CN が 8 になったか否か、すなわち、8 回データを受信したか否かを判定する（5108）。変数 CN の値が 8 になっていない場合には（5108 の結果が「N」）、この段階で接続線 SCL 及び接続線 SDA の信号レベルがともに LOW である状態 5109 になっている。その後、接続線 SCL 又は接続線 SDA の信号レベルが変化するまで待機する（5110）。 10

【0679】

バスコントローラ 634 は、接続線 SDA の信号レベルが HIGH に変化した場合には（5110 の結果が「SDA△」）、接続線 SCL の信号レベルが LOW、接続線 SDA の信号レベルが HIGH である状態 5111 に移行し、接続線 SCL 又は接続線 SDA の信号レベルが変化するまで待機する（5112）。 20

【0680】

バスコントローラ 634 は、接続線 SDA の信号レベルが LOW に変化した場合には（5112 の結果が「SDA▽」）、状態 5109 に移行し、接続線 SCL 又は接続線 SDA の信号レベルが変化するまで待機する（5110）。

【0681】

一方、バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH に変化した場合には（5112 の結果が「SCL△」）、状態番号が 1 又は 2 であるか否か、すなわち、スタートコンディション出力後であるか、又は要求された処理が書き込み要求であるかを判定する（5115）。 30

【0682】

バスコントローラ 634 は、状態番号が 1 又は 2 である場合には（5115 の結果が「Y」）、変数 CN の値に 1 加算し、受信バッファに格納されたデータを取り込む（5116）。状態番号が 1 又は 2 でない場合（5115 の結果が「N」）、又はステップ 5116 の処理が終了すると、接続線 SCL 及び接続線 SDA の信号レベルがともに HIGH である状態 5103 となり、接続線 SCL 又は接続線 SDA の信号レベルが変化するまで待機する（5104）。 40

【0683】

バスコントローラ 634 は、接続線 SCL 及び接続線 SDA の信号レベルが HIGH である状態 5103 の場合に、接続線 SCL の信号レベルが LOW に変化すると（5104 の結果が「SCL▽」）、変数 CN が 8 になったか否か、すなわち、8 回データを受信したか否かを判定する（5117）。変数 CN の値が 8 になっていない場合には（5117 の結果が「N」）、この段階で接続線 SCL の信号レベルが LOW、接続線 SDA の信号レベルが HIGH である状態 5111 になっており、ステップ 5112 以降の処理を実行する。一方、変数 CN の値が 8 になった場合には（5117 の結果が「Y」）、図 52 に示すステップ 5201 以降の処理を実行する。

【0684】

また、バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH、接続線 SDA の信号レベルが LOW である状態 5106 の場合に、接続線 SDA の信号レベルが HIGH に変化すると（5107 の結果が「SDA△」）、状態番号が 2、すなわち、要求された処理が読み出し要求であるか否かを判定する（5118）。なお、接続線 SCL の信 50

号レベルがHIGH、接続線SDAの信号レベルがLOWである状態5106から、接続線SDAの信号レベルがHIGHに変化することは、ストップコンディションが出力されたことに相当する。

【0685】

バスコントローラ634は、状態番号が2の場合には(5118の結果が「Y」)。準備領域に格納されたデータを設定レジスタに格納する(5119)。状態番号が2でない場合(5118の結果が「N」)、又はステップ5119の処理が終了すると、状態番号に0をセットする(5120)。このとき、接続線SCL及び接続線SDAの信号レベルがともにHIGHである状態5103となっているため、接続線SCL又は接続線SDAの信号レベルが変化するまで待機し(5104)、処理を継続する。

10

【0686】

図52は、本発明の第1の実施の形態のスレーブ側のI²C I/Oエクspанда615におけるアドレス認識処理などの手順を示すフローチャートである。

【0687】

なお、本実施形態で用いるI²C I/Oエクspанда615は、読み出しモードの発生が可能なものでも不可能なものでも使用可能である。そのため、何れのタイプのI²C I/Oエクspанда615を設けた場合を想定して、フローチャートの説明を行うことにする。

【0688】

ここで、読み出しモードについて説明する。

20

【0689】

本実施形態では、マスタICからI²C I/Oエクspанда615へ所定単位バイトのデータ送信を行う毎に、I²C I/Oエクspанда615からマスタICへ1ビットの返答信号を受信する構成により、マスタICからI²C I/Oエクspанда615へ演出制御データを送信するようになっている。

【0690】

ところで、遊技機によっては、I²C I/Oエクspанда615からマスタICへ所定単位バイトのデータ送信を行うように構成できたほうが、都合がよいことも考えられる。例えば、I²C I/Oエクspанда615にて、遊技に係わる各種センサの検出状態を検出し、マスタICへ伝達するような仕様の遊技機を開発するような場合である。

30

【0691】

このような遊技機で用いられるI²C I/Oエクspанда615は、マスタICからの要求により、I²C I/Oエクspанда615の内部で「読み出しモード」を発生させ、マスタICからのSCL信号の変化に対応させて、I²C I/Oエクspанда615からマスタICへ所定単位バイトのデータ送信を行う毎に、マスタICからI²C I/Oエクspанда615からへ1ビットの返答信号を送信する構成にすることが好ましい。

【0692】

具体的には、マスタICからスレーブ側のI²C I/Oエクspанда615に送信されるアドレスデータのうち、R/W識別データ2204のビットが「1」となる場合を、読み出しモードを発生させるための要求(以下、「読み出し要求」とする)として、予め定義しておくことにする。

40

【0693】

バスコントローラ634は、接続線SCL及び接続線SDAの信号レベルがHIGHである状態で接続線SCLの信号レベルがLOWに変化した場合に(図51の5104の結果が「SCL▽」)、データを8回受信、すなわち、データの受信が完了すると(5117の結果が「Y」)、マスタIC側で接続線SDAが解放される(5201)。

【0694】

続いて、バスコントローラ634は、状態番号が1であるか否か、すなわち、スタートコンディションが出力された直後であるか否かを判定する(5202)。状態番号が1である場合には(5202の結果が「Y」)、受信したアドレスが自身(I²C I/Oエク

50

スパンダ615)に付与されているアドレスと一致するか否かを確認する(5203、5204)。

【0695】

受信したアドレスと自身のアドレスとが一致しない場合には(5204の結果が「N」)、状態番号を0に設定し(5217)、ステップ5213以降の処理を実行する。ここでは、受信したアドレスが前述の「読み出し要求」に相当し、且つ、当該処理を行うI²C I/Oエクスパンダ615が前述の読み出しモードを発生不可能なものであるときにも、ステップ5204の判定結果を「N」とする。

【0696】

一方で、受信したアドレスと自身のアドレスとが一致する場合には(5204の結果が「Y」)、要求された処理が読み出し要求か否かを判定する(5205)。要求された処理が読み出し要求の場合には(5205の結果が「Y」)、図53のステップ5301以降の処理を実行する。

10

【0697】

一方、バスコントローラ634は、要求された処理が読み出し要求でない場合、すなわち、書き込み要求の場合には(5205の結果が「N」)、対応する状態番号である2を設定する(5206)。

【0698】

バスコントローラ634は、その後、ドライバ632を駆動してトランジスタ630をオンさせることにより、接続線SDAの信号レベルをLOWに設定して信号線の占有を開始する。さらに、自己占有WDT641を作動させて、自己占有WDT641によるバスの監視を開始する(5207)。自己占有WDT641は、バスコントローラ634によってバスの占有が開始されると、タイマを起動し、所定の時間が経過すると、自身(I²C I/Oエクスパンダ615)をリセットする。このように処理することによって、接続線SDAを占有し続けた場合であっても、自己占有WDT641に設定された時間が経過すると、リセットによって占有を解除することができる。このとき、自身のみをリセットすることによって、他に対する影響を最小限に抑えることができる。

20

【0699】

このとき、接続線SCL及び接続線SDAの信号レベルはともにLOWである状態5208となっており、次いで、バスコントローラ634は、接続線SCLの信号レベルがHIGHに変化するまで待機する(5209)。

30

【0700】

バスコントローラ634は、接続線SCLの信号レベルがHIGHに変化すると(5209の結果が「SCL△」)、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWである状態5210となり、さらに、接続線SCLの信号レベルがLOWに変化するまで待機する(5211)。

【0701】

バスコントローラ634は、接続線SCLの信号レベルがLOWに変化すると(5209の結果が「SCL▽」)、ドライバ632を駆動してトランジスタ630をオフさせることにより接続線SDAを解放し、自己占有WDT641を停止させて、自己占有WDT641によるバスの監視を終了する(5212)。そして、変数CNの値を0に設定し、受信バッファをクリアする(5213)。このとき、接続線SCLの信号レベルがLOW、接続線SDAの信号レベルがHIGHとなり、図51の状態5111となるため、図51のステップ5112以降の処理を実行する。

40

【0702】

また、バスコントローラ634は、ステップ5202の処理において状態番号が1でない場合には(5202の結果が「N」)、受信の成否を判定する(5214、5215)。受信が成功していた場合には(5215の結果が「Y」)、受信バッファのデータを準備領域に格納し(5216)、ステップ5207以降の処理を実行する。

【0703】

50

一方、バスコントローラ634は、データの受信に失敗した場合には(5215の結果が「N」)、状態番号を0に設定し(5217)、ステップ5213以降の処理を実行する。

【0704】

図53は、本発明の第1の実施の形態のスレーブ側のI²C I/Oエクspанда615におけるデータの読み出し処理の手順を示すフローチャートである。

【0705】

バスコントローラ634は、マスタICから要求された処理が読み出し要求であった場合には(図52の5205の結果が「N」)、状態番号を読み出し処理に対応する3に設定する(5301)。

10

【0706】

バスコントローラ634は、その後、ドライバ632を駆動してトランジスタ630をオンさせることにより、接続線SDAの信号レベルをLOWに設定して信号線の占有を開始する。さらに、自己占有WDT641を作動させて、自己占有WDT641によるバスの監視を開始する(5302)。このとき、接続線SCL及び接続線SDAの信号レベルはともにLOWである状態5303となっており、バスコントローラ634は、接続線SCLの信号レベルがHIGHに変化するまで待機する(5304)。

【0707】

バスコントローラ634は、接続線SCLの信号レベルがHIGHに変化すると(5304の結果が「SCL△」)、状態5305となり、さらに、接続線SCLの信号レベルがLOWに変化するまで待機する(5306)。

20

【0708】

バスコントローラ634は、接続線SCLの信号レベルがLOWに変化すると(5306の結果が「SCL▽」)、ドライバ632を駆動してトランジスタ630をオフさせることにより接続線SDAを解放し、自己占有WDT641を停止させて、自己占有WDT641によるバスの監視を終了する(5307)。

【0709】

さらに、バスコントローラ634は、変数CNの値を0に設定し(5308)、接続線SDAにデータを出力する(5309)。このとき、接続線SDAにLOWレベルの信号を出力する場合には、自己占有WDT641を作動させて自己占有WDT641によるバスの監視を開始する。接続線SDAにHIGHレベルの信号を出力する場合には、自己占有WDT641を作動させない(5310)。接続線SDAの信号レベルがHIGHであれば、バスが占有されないためである。

30

【0710】

このときバスコントローラ634は、接続線SCLの信号レベルがLOWとなっており(5311)、接続線SCLの信号レベルがHIGHに変化するまで待機する(5312)。接続線SCLの信号レベルがHIGHに変化すると(5312の結果が「Y」)、変数CNの値に1加算する(5313)。そして、接続線SCLの信号レベルがHIGHである状態5314となっており、接続線SCLの信号レベルがLOWに変化するまで待機する(5315)。接続線SCLの信号レベルがLOWに変化すると(5315の結果が「SCL▽」)、自己占有WDT641によるバスの監視を行っていたときには、自己占有WDT641を停止させて自己占有WDT641によるバスの監視を終了する(5316)。

40

【0711】

バスコントローラ634は、変数CNの値が8に到達したか否か、すなわち、接続線SDAに8回分の全データが出力されたか否かを判定する(5317)。全データの出力が完了していない場合には(5317の結果が「N」)、接続線SDAに次のデータを出力し(5318)、ステップ5310以降の処理を実行する。

【0712】

一方、バスコントローラ634は、変数CNの値が8に到達し、すべてのデータの送信

50

が完了し（5317の結果が「Y」）、ドライバ632を駆動してトランジスタ630をオフさせることにより接続線SDAを解放する（5319）。但し、このステップ5319の処理は、バスコントローラ634が接続線SDAをLOWレベルに設定していた場合にのみ必要な処理なので、バスコントローラ634が接続線SDAをHIGHレベルに設定していた場合には、実行する必要がない。

【0713】

このとき、接続線SCLの信号レベルがLOW、接続線SDAの信号レベルがHIGHとなるので（5320）、次いで、接続線SCLの信号レベルがHIGHになるまで待機する（5321）。

【0714】

このとき、当該I²C I/Oエクスパンダ615から、マスタIC570a（図11参照、図12のマスタIC570bでも同様）に対して、既に8ビット単位のデータが送信されており、さらに、マスタIC側が、次のデータを受信する状態になっている場合には、マスタIC570a（570b）から当該I²C I/Oエクスパンダ615へ、ACKの応答信号が送信される。

【0715】

そして、バスコントローラ634は、接続線SCLの信号レベルがHIGHになると（5321の結果が「SCL△」）、接続線SDAの信号レベル（応答信号）を取り込む（5322）。そして、取り込まれた応答信号がACK（LOWレベル）であるか否か、すなわち、マスタICが次のデータを受信する状態となっているか否かを判定する（5323）。

【0716】

このとき、取り込まれた応答信号がACKである場合には（5323の結果が「Y」）、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWになっており（5324）、バスコントローラ634は、接続線SCLの信号レベルがLOWに変化するまで待機する（5325）。接続線SCLの信号レベルがLOWに変化すると（5325の結果が「SCL▽」）、変数CNの値を0に設定し（5326）、次のデータを出力するために、ステップ5318以降の処理を実行する。

【0717】

一方、取り込まれた応答信号がNACKである場合には（5323の結果が「N」）、バスコントローラ634は、変数CNを0、状態番号を0に設定し、さらに、受信バッファをクリアする（5327）。このとき、接続線SCL及び接続線SDAの信号レベルはともにHIGHになっており、図51の状態5103に対応し、図51のステップ5104の処理を実行する。

【0718】

次に、本発明の第1の実施の形態において、演出制御装置550のCPU551と、第1マスタIC570a及び第2マスタIC570bとの間で、データが授受されるタイミングについて説明する。

【0719】

図54は、本発明の第1の実施の形態のVDP割込み時に演出制御装置550のCPU551からの指示によって、第1マスタIC570a及び第2マスタIC570bによる処理が並列して実行される状態を示すタイミングチャートである。

【0720】

本発明の第1の実施の形態では、表示装置53に表示された画像を更新するタイミングにおいてVDP割込みが発生すると、演出制御装置550のCPU551は、各マスタICに対して演出制御データの出力を開始する。各マスタICは、CPU551から演出制御データを受信すると、他のマスタICとは独立して、受信した演出制御データを各スレーブに送信するなどの処理を実行する。そして、すべてのスレーブに対して演出制御データの出力が完了すると、各マスタICはストップコンディションを出力し、各スレーブによって制御される演出装置（装飾装置620）の演出態様を更新する。

10

20

30

40

50

【0721】

このように、第1マスタIC570a及び第2マスタIC570bによる処理が並行して実行され、さらに、VDP割込みと各演出装置の演出態様の更新タイミングを同期させることによって、画像表示と調和のとれた演出を行うことが可能となる。

【0722】

さらに、詳細に説明すると、演出制御装置550のCPU551は、VDP割込みが発生すると、演出制御定期処理（図37のステップ3707、図39）を実行し、各マスタICに対してスタートコンディションを出力する。

【0723】

そして、CPU551は、演出制御装置550により制御される各装置への出力データを編集する。具体的には、表示装置53で演出を行うためのVDP出力データ編集（図39のステップ3917）、スピーカ30から音声を出力するためのスピーカ関連データ編集（図39のステップ3918）、演出装置としてのLEDを制御する装飾制御装置610へ出力する演出制御データの編集（図39のステップ3919）、及びモータなどの駆動体を制御するためのデータ編集を行う。これらの編集処理の実行中に、各マスタICによってCPU551に対するマスタ割込みが発生すると、演出制御データの送信再開処理（図43）によって、編集された演出制御データが各マスタICの出力用バッファ572に書き込まれる。そして、図45に示したマスタによるデータ送信処理によって、各スレーブに演出制御データが出力される。

【0724】

また、最後のスレーブへのデータの出力が終了してから次のVDP割込が発生するまでの休止期間（図54の※の期間）に、CPU551はスレーブ出力データ編集処理、すなわち、下り方向データの編集を行っている。したがって、スレーブ（グループ単位制御手段）にデータを送信していない時間にもデータを処理するため、マスタIC（グループ統括制御手段）の処理能力を活用することが可能となり、マスタICの負荷を平準化することができる。

【0725】

最後に、送信対象のスレーブの全てに演出制御データが送信されると、演出制御データの送信再開処理によって、マスタICからスレーブにストップコンディションが出力され（図43のステップS4311）、このストップコンディションによって、各スレーブが受信した演出制御データが各演出装置の演出態様に反映される。

【0726】

その後、CPU551は、次のVDP割込みが発生するまで待機する。そして、次のVDP割込みが発生すると、前述の演出制御定期処理（図37のステップ3707、図39）を実行して、各マスタICに対してスタートコンディションを出力し、以降、同じ処理を繰り返す。

【0727】

次に、グループ化された演出装置（装飾装置620）の構成例について説明する。

【0728】

図55は、本発明の第1の実施の形態における装飾制御装置610のI²C I/Oエクスパンダ615と、装飾装置620との接続例を示す図であり、8セット分のLEDを2つのI²C I/Oエクスパンダ615によって制御する構成を示す図である。

【0729】

装飾装置620は一例としてLEDによって構成されているとし、赤（R）、緑（G）、青（B）の3色のLEDを1セットとして制御することによって、さまざまな色で発光することを可能とする。例えば、赤、緑、青のすべてのLEDを発色させると、白色に発光させることができる。

【0730】

そして、本発明の第1の実施の形態では、1つのI²C I/Oエクスパンダ615は、16個のポート（PORT0～15）に対応するLEDを制御することが可能であるため

、3色のLEDのセットを5セットまで接続することが可能である。

【0731】

しかし、より興趣を高める演出を行うために、16個を超えるポートにLED（演出装置）を接続する場合が考えられる。図55では、5セット以上（8セット）のLEDを、2つのI²C I/Oエキスパンダ615にまたがって接続して制御する構成について説明する。

【0732】

前述のように、I²C I/Oエキスパンダ615には16のポート（PORT0～15）が備えられているため、3色のLEDのセットを5セットまで接続することが可能である。しかしながら、8セットのLEDを1つのグループとして演出が行われる場合には、10

【0733】

そこで、図55に示す構成では、一方のI²C I/Oエキスパンダ615は、各セットの赤及び緑のLEDを制御し、他方のI²C I/Oエキスパンダ615（615b）は、各セットの青のLEDを制御するように構成している。そして、これらの2つのI²C I/Oエキスパンダ615を同じグループとして制御し、図56Aにて後述するように、演出制御装置550から出力されたストップコンディションを受け付けてから演出制御を同時に実行することによって、複数のI²C I/Oエキスパンダ615によって制御されるLEDによる演出を違和感なく行うことが可能となるのである。20

【0734】

図56Aは、本発明の第1の実施の形態における装飾制御装置610がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【0735】

本図において、まず、演出制御装置550からスタートコンディションを出力し、次に、演出制御装置550から複数のI²C I/Oエキスパンダ615に演出制御データを順次出力し、最後に、演出制御装置550からストップコンディションを出力する状態を示している。説明の都合上、装飾制御装置610のI²C I/Oエキスパンダ615は5個設けられているものとし、それぞれを第1I²C I/Oエキスパンダ～第5I²C I/Oエキスパンダとする。30

【0736】

ここで、図中で「data1」となっているものは、演出制御装置550から第1I²C I/Oエキスパンダに送信される演出制御データを示し、以下、「data2」～「data5」は、演出制御装置550から、第2I²C I/Oエキスパンダ～第5I²C I/Oエキスパンダの各々へ送信される演出制御データを示す。

【0737】

また、図中で「演出装置（1）」となっているものは、第1I²C I/OエキスパンダのI/Oポートに接続されているLED等を示し、以下、「演出装置（2）」～「演出装置（5）」は、第2I²C I/Oエキスパンダ～第5I²C I/OエキスパンダのI/Oポートに接続されているLED等に、それぞれが対応する。40

【0738】

なお、演出制御装置550から、第1I²C I/Oエキスパンダ～第5I²C I/Oエキスパンダの各々へ演出制御データを送信する際には、I²C I/Oエキスパンダの選択を切り替えるタイミングで、演出制御装置550からI²C I/Oエキスパンダにスタートコンディション（リスタートコンディションとして機能する）を出力している。ただし、最初に演出制御装置550がスタートコンディションを出力してから、第1I²C I/Oエキスパンダ～第5I²C I/Oエキスパンダの全てに演出制御データを送信するまでの間（図中にTで示した期間）はストップコンディションを出力せず、この期間Tの経過後にストップコンディションを出力している。

【0739】

本発明の第1の実施の形態では、接続線S D Aからシリアルに演出制御データが送信されるため、各I²C I/Oエキスパンダ毎に、演出制御データが到達するタイミングに時間差が生じる。各I²C I/Oエキスパンダは、演出制御装置550から演出制御データを受け入れた時点では、バスコントローラ634（図18）に内蔵された図示しないバッファに受信した演出制御データを一次的に確保しているに過ぎない。

【0740】

ここで、各I²C I/Oエキスパンダが、単独で演出制御データの受信と同時にL E Dの発光態様を変更してしまうような処理を行った場合を想定する。L E Dの発光態様の变化に時間差を生じるため、違和感のある演出が行われるおそれがある。

【0741】

例えば、赤（R）、緑（G）、青（B）のL E Dが、前述の図55のように、複数のI²C I/Oエキスパンダにまたがって接続されているような場合には、遊技者に誤解をあたえるような色彩でL E Dが発光する可能性がある。

【0742】

具体的には、前述した信頼度報知装置15（図2）が、発光する色によって大当たりとなる期待度が異なるように設定されており、信頼度報知装置15が赤く光れば大当たりが確定する仕様のとなっているものとする。そして、信頼度報知装置15を、大当たりの確定とはならない紫色で発光させる報知動作を行う場合を想定する。

【0743】

このような報知動作を行う場合には、信頼度報知装置15に備えた発光体内の赤色L E Dと青色L E Dとを同時に点灯して発光体を紫色で発光させるような制御を行うことになるが、前述の図55のように複数のI²C I/Oエキスパンダにまたがって接続されたL E Dが発光する際の時間差により、赤色L E Dだけが点灯するような瞬間があると、遊技者が大当たりするものと誤解し、遊技店と遊技者の間でトラブルになるおそれがある。

【0744】

そこで、本発明の第1の実施の形態では、演出制御装置550からストップコンディションを受信した時点で、バッファ内の演出制御データを出力設定レジスタ635に上書きし、この出力設定レジスタ635の記憶内容を出力コントローラ636によってドライバ637に反映させ、当該I²C I/Oエキスパンダに接続されているL E Dの発光態様を変化させる処理を行っている。

【0745】

そのため、図56Aに示すように、ストップコンディション出力時に、各I²C I/Oエキスパンダが受信した演出制御データを各演出装置の出力態様に同時に反映させることが可能となり、違和感のない演出を行うことが可能となる。

【0746】

なお、本発明の第1の実施の形態では、I²C I/Oエキスパンダが受信した演出制御データを各演出装置の出力態様に反映させるタイミングを、更新指令信号として例示したストップコンディションの受信時としているが、他の更新指令信号を用いても構わない。ストップコンディションのように演出制御データの最後に送信されるものに限られず、演出制御データの送信の途中で送信されるものであっても、接続線S D A及びS C Lの信号変化によって表現できる更新指令信号であれば、適用可能である。

【0747】

図56Bは、本発明の第1の実施の形態における装飾制御装置610がデータを受信し、発光装置を制御するタイミングを示す図である。

【0748】

図56Bでは、遊技盤10に備えた2つの発光装置が交互に点灯する発光（制御）態様について説明する。前述したように、遊技盤10にはセンターケース51が備えられており、センターケース51には装飾具47や装飾ランプ48が備えられている（図2参照）。ここでは、装飾具47に備えたものを発光装置（1）とし、装飾ランプ48に備えたものを発光装置（2）として説明を行う。発光装置の発光態様は、遊技状態に基づいて設定

10

20

30

40

50

される。

【0749】

遊技状態について具体的に説明すると、時刻 t_1 までの間は、始動記憶数が0の状態であり、画像表示装置53にはデモ画面が表示されている。このとき、発光装置(1)と発光装置(2)とが、発光間隔16fで交互に点灯している。なお、1fは、画面更新周期に対応し、発光間隔16fでは、画面が16回更新されるたびに発光装置(1)と発光装置(2)とが交互に点灯する。

【0750】

ここでは、演出制御装置550から、発光装置(1)を制御するI²C I/Oエクスパンダ615に対して、発光制御データ(演出制御データ)を1fの時間間隔で送信している。この場合の発光制御データは、発光装置(1)を点灯させる発光制御データと、発光装置(1)を消灯させる発光制御データの何れかであり、16fの時間間隔で交互に切り替わるように、演出制御装置550にて発光制御データの更新を行っている。

10

【0751】

具体的には、図24のI²C I/Oエクスパンダ615の出力設定レジスタ635に割り当てられたワークレジスタのうちの、レジスタ番号「14h」(レジスタ名「LEDO UT0」)～「17h」(レジスタ名「LEDO UT3」)の中から、発光装置(1)に該当するビットのオン状態を、オンとオフに切り替えることで、発光制御データの更新が行われる。なお、発光装置(2)に関しても同様の処理が行われる。

【0752】

20

また、時刻 t_1 から時刻 t_2 までの間は、始動入賞口に遊技球が入賞し、特図変動表示ゲームが実行されている状態である。したがって、普図・特図表示器35の特図表示器では特図変動表示ゲームが実行され、画像表示装置53では、特図変動表示ゲームに対応して複数の識別情報が変動表示している。特図変動表示ゲームが実行されている間は、発光装置(1)と発光装置(2)とが、発光間隔8fで交互に点灯している。ここでは、演出制御装置550によって、時間8fが経過する毎に発光制御データが更新されることになる。

【0753】

時刻 t_2 から時刻 t_3 までの間は、特図変動表示ゲームが終了し、識別情報が停止表示されている状態である。このとき、発光装置(1)のみが点灯している。

30

【0754】

さらに、このとき実行されていた特図変動表示ゲームの結果は大当たりとなり、時刻 t_3 から特別遊技状態に移行し、画像表示装置53では大当たり表示が出力される。このとき、発光装置(1)と発光装置(2)とが、発光間隔4fで交互に点灯している。ここでは、演出制御装置550によって、時間4fが経過する毎に発光制御データが更新されることになる。

【0755】

このように、遊技者側から視認可能な何れかの発光装置(例えば、発光装置(1)と発光装置(2))を点灯させる発光制御データと、この発光装置を消灯させる発光制御データとを、切り替えながら送信することで、対象となる発光装置を点滅させることができる。そして、発光制御データの送信が正しく行われていない場合には、発光装置が点滅しなくなって常時点等若しくは消灯する状態となることから、発光制御データの通信異常や異常からの復帰を目視で確認することができる。

40

【0756】

さらに、この確認をいつでも行えるように、変動表示ゲームが実行されている期間を通して、発光装置を点灯させる発光制御データと消灯させる発光制御データとを切り替えながら送信するだけでなく、変動表示ゲームが実行されていない期間でも、発光装置を点灯させる発光制御データと消灯させる発光制御データとを切り替えながら送信している。

【0757】

なお、発光制御データを更新可能な時間間隔を、変動表示ゲームが実行中の場合と、変

50

動表示ゲームが実行中でない場合とで、可変するように構成することも可能である。例えば、変動表示ゲームが実行中でない場合には4 fの時間間隔で発光制御データを更新できるように構成しながらも、変動表示ゲームが実行中の場合には8 fの時間間隔で発光制御データを更新するように処理負担を軽減しても良い。

【0758】

このような構成とすることで、演出制御装置550の処理負担(CPU551の処理負担も含まれる)が変動表示ゲームの実行中と非実行中とで大きく変化することを緩和させる方向へ、発光制御データの更新処理の負担を分散させることができる。

【0759】

図57は、本発明の第1の実施の形態において、接続線SDAの占有を開始したI²C I/Oエクspanda615が接続線SCLの立下りを待機している状態が発生し、一定時間経過後に、接続線SDAを占有したI²C I/Oエクspanda615が自己をリセットして、バスを解放することを試みる手順を説明する図である。

【0760】

マスタICからスタートコンディションが出力されると、マスタICがスレーブ側のI²C I/Oエクspanda615に対してデータの出力を開始し、マスタICのSTAがONに設定される。その後、マスタICは、接続線SCLの信号レベルを順次変化させながら、B7からB0までの8ビットのデータをI²C I/Oエクspanda615に順次送信する。このとき、スレーブ側のI²C I/Oエクspanda615では、接続線SCLの信号レベルの変化に対応して、順次データを取り込む。

【0761】

そして、8ビット(1バイト)分のデータ、すなわち、1回分のデータが送信されると、マスタIC側で接続線SDAが解放される(図52のステップ5201)。接続線SDAが解放されると、信号レベルがHIGHに設定されている。そして、スレーブ側から返答信号(ACK, NACK)が送信されるまで待機する。

【0762】

スレーブ側のI²C I/Oエクspanda615は、接続線SDAの信号レベルをLOWに変化させることによって、返答信号(ACK)を出力する。その後、マスタICが接続線SCLの信号レベルをLOWからHIGHに変化させ、次いで、HIGHからLOWに変化させるまでの期間に渡って、スレーブ側のI²C I/Oエクspanda615は、接続線SDAを占有する(図52のステップ5207~5212に相当)。

【0763】

図57を参照すると、マスタIC側で7ビット目のデータを送信したとき、ノイズなどが原因で接続線SCLの信号レベルが変化するとスレーブ側で認識され、スレーブ側のI²C I/Oエクspanda615では8ビット目のデータが送信されたと認識してしまっている。そのため、スレーブは返答信号(ACK)を出力するために信号レベルをLOWに設定して、接続線SDAを占有する。本発明の第1の実施の形態では、同時に自己占有WDT641によってスレーブによる接続線SDAの占有の監視が開始される。

【0764】

このとき、マスタICは、スレーブ側のI²C I/Oエクspanda615によって接続線SDAが占有され、信号レベルがLOWになっているため、HIGHに変更されるまでデータ(B0)を送信できない状態になっている。さらに、スレーブ側のI²C I/Oエクspanda615は、接続線SCLの信号レベルが立ち下がるまで待機しているため、互いに信号レベルが変化するまで待機している状態になり、処理全体が停止してしまう。

【0765】

そこで、本発明の第1の実施の形態では、前述のように、スレーブ側のI²C I/Oエクspanda615が接続線SDAを占有している時間が自己占有WDT641によって監視されているため、占有が開始されてから所定の時間が経過すると、スレーブ側のI²C I/Oエクspanda615自身をリセットすることによって強制的に接続線SDAが解放される。

【0766】

そして、接続線S D Aが解放されても最後のデータを出力することができないため、C P U 5 5 1によってマスタI Cをリセットする。その後、ストップコンディション及びスタートコンディションを出力し、処理を再開する。

【0767】

図58は、本発明の第1の実施の形態において、接続線S D Aが何らかの原因により占有されている状態が発生し、接続線S D Aの占有を検出したI²C I/Oエクスパンダ615が自己をリセットして、バスを解放することを試みる手順を説明する図である。

【0768】

図57では、接続線S D Aを占有しているI²C I/Oエクスパンダ615が、自己をリセットすることにより接続線S D Aを解放する場合について説明したが、図58では、バス全体を監視し、他のスレーブ（接続線S D Aに接続されている他のI²C I/Oエクスパンダ615等）が接続線S D Aを占有したことでバスが解放されない場合に、バスを強制的に解放させる手順について説明する。

【0769】

バス監視W D T 6 4 0による監視は、接続線S D Aの信号レベルがL O Wレベルになると開始され、接続線S D Aの信号レベルがH I G Hレベルになると終了する。つまり、接続線S D Aの信号レベルが連続してL O Wとなっている時間が一定の時間となると、バス監視W D T 6 4 0からリセット信号発生回路639に、リセット信号を出力させるための指令が出力される。

【0770】

図57にて説明したように、スレーブ側のI²C I/Oエクスパンダ615によってバスが占有されると、マスタI Cとスレーブ側のI²C I/Oエクスパンダ615との間の信号の入出力が停止し、接続線S D Aの信号レベルが変化しなくなる（互いに信号レベルが変化するまで待機している状態になる）。そこで、所定の時間、接続線S D Aの信号レベルが変化しなくなった場合には、接続線S D Aに接続されている全てのI²C I/Oエクスパンダ615が、各々の判断で自己をリセットすることによって、バスを解放する。

【0771】

図58を参照すると、マスタI CからデータB1が出力された後、他のスレーブによってバスが占有されている。図58の場合には、自己スレーブによるバスの占有ではないため、実際に占有されているスレーブを特定することができない。そこで、接続線S D Aに接続されているスレーブ（I²C I/Oエクスパンダ615）の各々が、自己をリセットすることによって、バスを解放する（正確には、接続線S D Aに接続されているI²C I/Oエクスパンダ615のうち、自己をリセットする機能を有したものだけがリセット処理を行う）。

【0772】

その後、C P U 5 5 1によってマスタI Cをリセットし、マスタI Cからストップコンディション及びスタートコンディションが出力された後、処理を再開する。

【0773】

図59は、本発明の第1の実施の形態においてスレーブ側のI²C I/Oエクスパンダ615によってバスが占有された場合に、マスタI Cからの指令によってスレーブ側のI²C I/Oエクスパンダ615がバスを解放する手順を説明する図である。

【0774】

ノイズなどにより接続線S C Lの信号レベルの変化回数がマスタ側とスレーブ側とで相違すると、前述のように、接続線S D Aがスレーブ側のI²C I/Oエクスパンダ615によって占有され、バスが解放されなくなる。

【0775】

そこで、バスが占有されたままの状態でもマスタI Cからデータの送信が不能となると、C P U 5 5 1は、マスタI Cをリセットする。そして、各スレーブ（マスタI Cに接続されたI²C I/Oエクスパンダ615）に対し、ストップコンディションとスタートコン

10

20

30

40

50

ディションとを出力することを試みる。

【0776】

このとき、スレーブ側の I^2C I/O エクスパンダ 615 では、まず、図 50 に示したストップコンディション出力処理が実行される。このとき、接続線 SCL 及び接続線 SDA の信号レベルはともに LOW であるため、SCL 解放処理が実行される（図 50 の 5004、図 47）。占有されているのは、接続線 SDA であるため、SCL 解放処理は正常に実行され、接続線 SCL の信号レベルは HIGH に設定される。

【0777】

続いて、図 50 のステップ 5005 の処理が実行され、SDA 解放監視処理（図 48）が実行される。SDA 解放監視処理では、ステップ 4802 の処理で接続線 SDA の信号レベルを HIGH に変更しようとするが、スレーブの I^2C I/O エクスパンダ 615 によって占有されているため、HIGH にすることができない。したがって、ステップ 4805 の処理でステータスコードに“70H”（「復旧」）が設定され、その後、送信中断割込みを発生させる。

10

【0778】

送信中断割込みが発生すると、図 40 及び図 41 に示したように、CPU 551 は、マスタ IC に対してソフトリセットを行う（図 40 の 4011、図 41 の 4111）。

【0779】

その後、マスタ IC は、接続線 SCL の信号レベルを少なくとも 9 回変化させる。こうすることによって、スレーブ側の I^2C I/O エクスパンダ 615 は、接続線 SCL の信号レベルの変化が少なくとも 9 回行われる途中において、接続線 SCL の信号レベルが HIGH から LOW への変化を検出することになり、接続線 SDA を解放し（図 52 のステップ 5208～5211 のループから抜け出すことに相当）、返答信号（ACK）をマスタ IC に送信する。

20

【0780】

次いで、マスタ IC は、接続線 SDA が解放されたことを確認したうえで、スレーブ側の I^2C I/O エクスパンダ 615 にストップコンディションを出力し、次いで、スタートコンディションを出力し、再度、データ送信を行う。

【0781】

図 60 は、本発明の第 1 の実施の形態において、マスタ IC からの誤った指令により、スレーブ側の I^2C I/O エクスパンダ 615 で読み出しモードが発生してバスが占有された場合に、マスタ IC からの指令によってスレーブ側の I^2C I/O エクスパンダ 615 がバスを解放する手順を説明する図である。

30

【0782】

なお、本実施形態では、マスタ IC からスレーブ側の I^2C I/O エクスパンダ 615 に対して、読み出しモードを発生させる指令を送信することは意図していないが、ノイズ等の影響により、 I^2C I/O エクスパンダ 615 が勝手に判断して、読み出しモードに遷移した場合を想定して説明を行う。

【0783】

I^2C I/O エクスパンダ 615 が読み出しモードの場合であってもバスが占有されたままの状態です所定の時間以上経過すると、書き込み要求の場合と同様に、監視タイマ回路 562 によって、CPU 551 にタイムアウト割込みが発生する（図 10 及び図 41 参照）。このとき、CPU 551 は、図 58 で説明したように、まず、ソフトリセットを実行することによってマスタ IC を初期化する。そして、各スレーブ（マスタ IC に接続された I^2C I/O エクスパンダ 615）に対し、ストップコンディションとスタートコンディションを出力することを試みる。

40

【0784】

スタートコンディション出力が実行され、接続線 SCL の信号レベルを少なくとも 9 回変化させると、 I^2C I/O エクスパンダ 615 は、接続線 SCL の信号レベルの変化に合わせて接続線 SDA にデータを出力するが、接続線 SCL の信号レベルの変化が 9 回行

50

われる途中において、マスタ I C からの返答信号 (ACK) を確認するタイミングが発生する。このとき、マスタ I C 側では接続線 SDA を開放したままにしているため、スレーブ側の I²C I/O エクスパンダ 615 は、接続線 SDA の信号レベルを取り込んだ際に、HIGH レベルとなる NACK の返答信号を受信したものと認識し、以降のデータ送信を中止すべきと判断して接続線 SDA を解放する。

【0785】

本発明の第 1 の実施の形態によれば、演出制御装置 550 (グループ統括制御手段) に含まれる各マスタ I C (信号レベル制御手段) が装飾制御装置 610 (グループ単位制御手段) にデータを送信すると、装飾制御装置 610 から演出制御装置 550 に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

10

【0786】

また、本発明の第 1 の実施の形態によれば、演出制御装置 550 は装飾制御装置 610 へ一本のデータ線 (接続線 SDA) を介してデータを送信し、装飾制御装置 610 から演出制御装置 550 へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

【0787】

さらに、本発明の第 1 の実施の形態によれば、一本のデータ線が、演出制御装置 550 (マスタ I C、グループ統括制御手段) から装飾制御装置 610 (I²C I/O エクスパンダ 615、グループ単位制御手段) へのデータ送信と、装飾制御装置 610 から演出制御装置 550 への返答信号送信で共通利用されるため、データ線が装飾制御装置 610 により占有されて使用できない状態が発生するおそれがあるが、初期化手段によって装飾制御装置 610 を初期化する処理が行われ、これによりデータ線の占有状態を解除することが出来るので、通信が停止してしまうことを防止できる。

20

【0788】

さらに、本発明の第 1 の実施の形態によれば、データ線を占有している装飾制御装置 610 自身が、通信停止状態の発生を判断して自分自身を初期化することにより、他の装飾制御装置 610 の処理に影響を与えることなく、データ線を解放することができる。

【0789】

また、本発明の第 1 の実施の形態によれば、データ線の占有状態を検出すると、データ線に接続されている装飾制御装置 610 の全てが、自分自身を初期化することによって、確実にデータ線を解放することができる。

30

【0790】

本発明の第 1 の実施の形態によれば、演出制御装置 550 からデータ線を解放する指令を送信することができる。さらに、返答信号の出力開始と出力終了のタイミングが、演出制御装置 550 から指令されるので、装飾制御装置 610 の処理が簡素化される。そして、返答信号の出力開始後に、出力終了の指令が届かないような不具合が発生したときには、占有解除指令手段によって不具合が解除され、通信が正常な状態に復帰できる。

【0791】

さらに、本発明の第 1 の実施の形態によれば、1 つのマスタ I C に接続可能な装飾制御装置 610 の数に上限があったとしても、演出制御装置 550 に複数のマスタ I C を備えることによって、より多くの装飾制御装置 610 を利用することができる。

40

【0792】

また、本発明の第 1 の実施の形態では、第 1 マスタ I C 570 a (第 1 の信号レベル制御手段) が遊技盤 10 に備えられた演出装置を制御し、第 2 マスタ I C 570 b (第 2 の信号レベル制御手段) が前面枠 3 に備えられた演出装置を制御するように構成されている。このように、遊技盤 10 に備えられた演出装置と前面枠 3 に備えられた演出装置とを別のグループとすることによって、前面枠 3 や遊技盤 10 を開発する際には、装飾制御装置 610 の上限数を開発対象の各グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

50

【0793】

さらに、本発明の第1の実施の形態によれば、CPU551によってマスタICが選択され、選択されたマスタICに接続される複数の装飾制御装置610（I²C I/Oエクスパンダ615）が、まとめて初期化されるので、装飾制御装置610を1つ1つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

【0794】

このとき、選択されたマスタICに接続される装飾制御装置610だけを初期化して、選択されない他のマスタICに接続される装飾制御装置610を初期化しないような制御が可能となる。

【0795】

そのため、遊技機に備えた全ての装飾制御装置610のうち、必要最小限の範囲に属する装飾制御装置610だけを初期化することができるので、装飾制御装置610の初期化が行われて演出装置の動作が中断する頻度を、低下させることができる。

【0796】

また、本発明の第1の実施の形態によれば、すべてのマスタICをリセットしようとする場合にはハードリセットを行う構成となっているため、各マスタICを1個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

【0797】

一方、一部のマスタICをリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべてのマスタICの初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべてのマスタICのリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみのマスタICのリセットは、簡素化された回路で実行可能となるため、特に、マスタICの数が多い構成の場合に有効となる。

【0798】

また、本発明の第1の実施の形態によれば、マスタICによる処理がそれぞれ並列して動作するため、高速な処理が可能となる。さらに、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能となる。

【0799】

さらに、本発明の第1の実施の形態によれば、取り込まれたデータを演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化（ストップコンディションの受信）によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

【0800】

また、本発明の第1の実施の形態によれば、複数の装飾制御装置610に対して、個別の演出制御データを同一の信号線を用いて送信することが可能となり、さらに、制御対象の各演出装置の演出態様を同時に更新することが可能となる。

【0801】

（第2の実施の形態）

以上説明した本発明の第1の実施の形態では、電源投入後、バス監視WDT640及び自己占有WDT641は、無条件に動作するように構成されている。

【0802】

しかしながら、バス監視WDT640及び自己占有WDT641は、接続線SDAの信号レベルに基づいて装飾制御装置610をリセットするオプション的な機能であるので、この機能を使用するか否かは、何らかの方法によって選択できることが好ましい。

【0803】

特に、電源投入の直後においては、接続線SDAの信号レベルが不安定になっているため、接続線SDAの信号レベルを監視しながら装飾制御装置610をリセットする機能が

10

20

30

40

50

電源投入の直後から動作していると、予期せぬリセット処理が発生して誤動作の要因にもなりやすい。そのため、電源投入の直後においては、バス監視WDT640及び自己占有WDT641が無効化されていることが好ましい。

【0804】

そこで、ウォッチドッグタイマによる監視を必要に応じて有効化又は無効化する第2の実施の形態について説明する。本発明の第2の実施の形態では、遊技機の電源投入後や初期化直後に、リセット処理が完了するまでウォッチドッグタイマによる監視が行われなように制御する。以下、図61から図64を参照しながら本発明の第2の実施の形態の詳細について説明する。

【0805】

なお、以降の実施の形態の説明では、第1の実施の形態と共通する構成及び処理については、同一の符号を付与して説明を省略する。

【0806】

図61は、本発明の第2の実施の形態のI²C I/Oエクスパンダ615の構成を示すブロック図である。

【0807】

本発明の第2の実施の形態のI²C I/Oエクスパンダ615は、出力設定レジスタ635への設定値によって、バス監視WDT640及び自己占有WDT641の機能が有効化又は無効化される点で図18に示した第1の実施の形態のI²C I/Oエクスパンダ615と相違し、その他の構成は同じである。

【0808】

前述のように、I²C I/Oエクスパンダ615の出力設定レジスタ635には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

【0809】

本発明の第2の実施の形態では、出力設定レジスタ635とバス監視WDT640及び自己占有WDT641とが接続されており、出力設定レジスタ635のワークレジスタに設定された値に基づいて、ウォッチドッグタイマのON/OFFを制御する。

【0810】

ウォッチドッグタイマのON/OFFを制御する場合には、まず、すべての装飾制御装置610に対して共通の指令を出力可能なオールコールアドレス（ALLCALLアドレス、第2の共通アドレス、図23参照）を宛先とする。そして、ウォッチドッグタイマのON/OFFを制御するビットに所定の値を設定することによって、すべての装飾制御装置610のウォッチドッグタイマのON/OFFを一斉に設定する。

【0811】

このとき、オールコールアドレスの使用可否を切り替えることによって、ウォッチドッグタイマのON/OFFをすべての装飾制御装置610に一斉に設定することを許可するか否かを指定することができる。なお、オールコールアドレスの使用可否は、モードレジスタ1のビット0に“0”又は“1”を設定する。また、ウォッチドッグタイマのON/OFFは、モードレジスタ2のビット2に“0”又は“1”を設定する。オールコールアドレス及びウォッチドッグタイマの使用可否設定の詳細については後述する。

【0812】

前述のように、モードレジスタ1及びモードレジスタ2は、I²C I/Oエクスパンダ615の初期設定を行うためのモードレジスタであり、出力設定レジスタ635のワークレジスタの一部として設けられている（図24参照）。モードレジスタ1はレジスタ番号「00h」、モードレジスタ2はレジスタ番号「01h」に対応する。モードレジスタ1及びモードレジスタ2、すなわち、レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I/Oエクスパンダ615の初期設定が行われる。以下、モードレジスタ1及びモードレジスタ2の詳細を、図62にて説明する。

10

20

30

40

50

【0813】

図62は、本発明の第2の実施の形態のモードレジスタ1及びモードレジスタ2の一例を示す図である。図62(A)は、モードレジスタ1の構成を示し、図62(B)は、モードレジスタ2の構成を示す。モードレジスタ1及びモードレジスタ2は、それぞれ8ビットである。

【0814】

モードレジスタ1の各ビットは、ビット0から順に、ALLCALL、SUB3、SUB2、SUB1、SLEEP、AI0、AI1、及びAI2が含まれる。

【0815】

ALLCALLは、オールコールアドレスの使用可否を示すパラメータであり、“1”が設定されている場合には使用可能、“0”が設定されている場合には使用不可となる。なお、初期値には、“1”(使用可能)が設定され、初期化(リセット)直後にはオールコールアドレスが使用可能となっている。

10

【0816】

SUB3、SUB2及びSUB1は、サブアドレスの設定可否を示すパラメータである。SLEEPは、省電力モードか否かが設定されるパラメータである。AI0、AI1、及びAI2は、アドレスのオートインクリメントを指定するパラメータであり、詳細については図28にて説明したとおりである。

【0817】

モードレジスタ1の各ビットは、ビット0から順に、「WDT PERIOD」(2ビット)、「WDT ENABLE」、「OCH」、及び「DMBLNK」が含まれる。なお、ビット6及びビット7は未使用となっている。

20

【0818】

WDT PERIODは、ウォッチドッグタイマの監視時間に対応するパラメータを示し、2ビットで表現される。例えば、「00」に設定されている場合には監視時間は5ms、「11」に設定されている場合には監視時間は35msとなる。

【0819】

WDT ENABLEは、ウォッチドッグタイマのON/OFFを制御するパラメータであり、“1”が設定されている場合には使用可能(ON)、“0”が設定されている場合には使用不可(OFF)となっている。なお、初期値には“0”が設定されているため、初期化直後にはウォッチドッグタイマが動作しないように設定されている。そのため、マスタICが必要に応じてウォッチドッグタイマを有効化する。

30

【0820】

OCHは、図24にて説明したように、I²CI/Oエクスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。具体的には、ストップコンディション又はACKを受信した時点で演出制御データを出力するように設定することができる。OCHの値が“0”に設定されている場合には、ストップコンディションで演出制御データを演出装置に実際に反映する。

【0821】

DMBLNKは、I²CI/Oエクスパンダ615に接続されたLEDの点滅及び明るさを調整するパラメータである。

40

【0822】

図63は、本発明の第2の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。図42に示した本発明の第1の実施の形態の手順と同一の処理については、同じ符号を付与し、相違する処理について説明する。

【0823】

本発明の第1の実施の形態では、初期化段階番号は0から4までの値が設定されたが、本発明の第2の実施の形態では、初期化段階番号が0から10までの値が設定される。このため、本発明の第2の実施の形態では、図64に示すような初期化段階番号と出力パッ

50

ファ設定値との組合せをあらかじめ定義しておき、初期化段階番号に基づいて出力バッファ設定値を出力用バッファ572に設定する。

【0824】

具体的に説明すると、CPU551は、まず、初期化段階番号とステータスコードとの整合を判断し(6301)、初期化段階番号とステータスコードとが整合しているか否かを判定する(6302)。初期化段階番号とステータスコードとが整合していない場合には(6302の結果が「N」)、ステップ4203以降の処理を実行する。ステップ4203以降の処理については、図42にて説明した処理と同様である。

【0825】

なお、初期化段階番号とステータスコードとの整合の判断は、本発明の第1の実施の形態において図44に示した送信処理継続判定表4400と同様であるが、本発明の第2の実施の形態では、初期化段階番号が1(0)から10となっているため、対応関係が相違する。

10

【0826】

以下、本発明の第1の実施の形態と本発明の第2の実施の形態の初期化段階番号を対応させながら具体的に説明する。

【0827】

本発明の第2の実施の形態で初期化段階番号が1の場合は、初期化処理の実行開始直後であることを示しており、本発明の第1の実施の形態と同じ判断基準で整合性を判断する。

20

【0828】

本発明の第2の実施の形態で初期化段階番号が2、5、8の場合は、本発明の第1の実施の形態で初期化段階番号が2の場合に対応する。初期化段階番号が2、5、8の場合は、直前の処理でアドレスが送信されているため(図64参照)、アドレスの送信が成功したことを示す場合に整合していると判断される。

【0829】

また、本発明の第2の実施の形態で初期化段階番号が3、4、6、7、9、10の場合は、本発明の第1の実施の形態で初期化段階番号が3、4の場合に対応する。初期化段階番号が3、4、6、7、9、10の場合は、直前の処理でデータが送信されているため(図64参照)、データの送信が成功したことを示す場合に整合していると判断される。

30

【0830】

CPU551は、初期化段階番号とステータスコードとが整合している場合には(6302の結果が「Y」)、初期化段階番号が10であるか否かを判定する(6303)。初期化段階番号が10の場合には(6303の結果が「Y」)、初期化処理が終了したことを示しているため、ステップ4213以降の終了処理を実行する。ステップ4213以降の処理については、本発明の第1の実施の形態において初期化段階番号が4の場合に対応し、図42にて説明した処理と同様である。なお、本発明の第2の実施の形態における初期化段階番号が10の場合は、本発明の第1の実施の形態の初期化段階番号が4の場合と同様に、初期化処理の最終段階を示している。

【0831】

40

また、CPU551は、初期化段階番号が10でない場合、すなわち、初期化段階番号が1から9の場合には(6303の結果が「Y」)、初期化段階番号に対応する値を出力用バッファ572に設定する(6304)。初期化段階番号と当該初期化段階番号に対応する値は、あらかじめ定義されており、図64にて一例を示す。続いて、CPU551は、ステップ4208以降の処理を実行する。ステップ4208以降の処理については、図42にて説明した処理と同様である。

【0832】

図64は、本発明の第2の実施の形態の初期化段階番号と出力用バッファ572に設定される出力バッファ設定値との対応を示す図である。

【0833】

50

初期化段階番号が1の場合には、出力バッファ設定値として“D6h”が出力用バッファ572に設定される。“D6h”は、リセット用アドレスを示している。なお、リセット用アドレスも、すべての装飾制御装置610に対して共通の指令を出力可能な共通アドレス（オールコールアドレスとは別個の第1の共通アドレス）である。

【0834】

さらに、初期化段階番号が2の場合には“A5h”、初期化段階番号が3の場合には“5Ah”が出力用バッファ572に設定される。“A5h”はリセット指令（初期化指示データ）の前半値、“5Ah”はリセット指定（初期化指示データ）の後半値を示している。なお、初期化段階番号が1から3の場合は、前述した本発明の第1の実施の形態の場合と同じである。

10

【0835】

初期化段階番号が4の場合には、“D0h”が出力用バッファ572に設定される。“D0h”は、オールコールアドレスを示している。すなわち、次（初期化段階番号が5の場合）に出力用バッファ572に設定される値はすべての装飾制御装置610（I²CI／Oエクスパンダ615）に送信される。なお、初期化段階番号1から3の場合に送信された指令に基づく処理（第1の初期化手段）によって各装飾制御装置610（I²CI／Oエクスパンダ615）がリセットされている。リセット直後には、モードレジスタ1のビット0の値が1に設定されているため、I²CI／Oエクスパンダ615のオールコールアドレスは有効となっている。

【0836】

20

初期化段階番号が5の場合には、“01h”が出力用バッファ572に設定される。“01h”は、コントロールレジスタに、オートインクリメントを禁止し、モードレジスタ2を指定することを示している。

【0837】

初期化段階番号が6の場合には、初期化手段有効化指令に相当する“04h”が出力用バッファ572に設定される。“04h”は、モードレジスタ2の設定値であり、ウォッチドッグタイマの監視時間（図64では5ms）、ウォッチドッグタイマを使用可、ストップコンディションで出力を反映させることを示している。具体的には、WDTPERIODに“00”、WDTENABLEに“1”、OCHに“0”とすることで、“00000100”（＝“04h”）に設定される。このように初期化段階番号が6の場合の処理は、バスの状態が監視することでバスが占有されたことを検出し、初期化するための初期化手段（第2の初期化手段）であるウォッチドッグタイマの有効化手段として機能している。

30

【0838】

初期化段階番号が7の場合には、出力用バッファ572にオールコールアドレスに対応する“D0h”が再び設定される。

【0839】

初期化段階番号が8の場合には、“00h”が出力用バッファ572に設定される。“00h”は、コントロールレジスタに、オートインクリメントを禁止し、モードレジスタ1を指定することを示している。

40

【0840】

初期化段階番号が9の場合には、共通アドレス無効化指令に相当する“00h”が出力用バッファ572に設定される。“00h”は、モードレジスタ1にオールコールアドレスを無効にするように設定している。初期化段階番号が9の場合に実行される処理は、オールコールアドレスを無効化する共通アドレス無効化手段として機能する。

【0841】

以上のように本発明の第2の実施の形態では、初期化段階番号が6になると、ウォッチドッグタイマによる監視が有効になるように構成されている。その後、ノイズ等によって、ウォッチドッグタイマが無効化されないように、初期化段階番号が9になると、オールコールアドレスの使用を禁止するように設定している。

50

【0842】

さらに、オールコールアドレスの使用が禁止された後に、ウォッチドッグタイマが有効な状態が確実に継続されるように、各装飾制御装置610に対し、ウォッチドッグタイマを定期的に有効化するためのコマンド（前述の初期化手段有効化指令に相当するコマンド）を個別に出力するようにしてもよい。このようにすることによって、ノイズなどの影響で一部の装飾制御装置610のウォッチドッグタイマが無効化されても影響を最小限に抑え、遊技機を安定して稼動させることが可能となる。

【0843】

また、本発明の第2の実施の形態では、遊技機の電源投入時にリセット処理（第1の初期化手段によるリセット処理）を実行し、各装飾制御装置610（I²C I/Oエクスパンダ615）を初期化している。リセット処理の途中でデータ送信に失敗した場合には、データを再送信せずに、リセット処理から再実行するようにしてもよい。このように構成することによって、確実に初期化処理を実行することができる。

10

【0844】

なお、演出制御装置550からの初期化手段有効化指令により有効化するか否かを設定できるのは、バス監視WD T 640及び自己占有WD T 641によるリセット処理（第2の初期化手段によるリセット処理）のみである。

【0845】

これに対して、I²C I/Oエクスパンダ615への電源投入検出（図61のVccの電圧上昇により検出される）や、I²C I/Oエクスパンダ615への外部リセット信号検出（図61のRESET信号入力により検出される）や、I²C I/Oエクスパンダ615への初期化指示データ送信によって実行されるリセット処理（第1の初期化手段によるリセット処理）は、演出制御装置550からの指令により有効化するか否かを設定することはできない。

20

【0846】

また、演出制御装置550からの共通アドレス無効化指令により無効化できる共通アドレスは、オールコールアドレス（第2の共通アドレス）のみである。

【0847】

これに対して、リセット用アドレス（第1の共通アドレス）は常時有効であり、演出制御装置550からの指令によって無効化することはできない。

30

【0848】

図65は、本発明の第2の実施の形態の各スレーブに送信するデータの構造を説明する図であり、個別アドレスを指定してパラメータを設定する場合を示す図である。なお、図中の「S」はスタートコンディションを、「P」はストップコンディションを、「ACK」はACK信号を示している。

【0849】

本発明の第2の実施の形態では、画像表示と同期した演出が可能となるように、1回の画像更新周期で、第1スレーブから最終スレーブまで、すべてのスレーブにデータを送信する。このとき、1回の画像更新周期よりも、すべてのスレーブにデータを送信するために必要な時間が短くなっており、前述のように、スレーブにデータを送信していない時間にもデータを処理している。したがって、マスタICのリソースを有効に利用することが可能となる。

40

【0850】

そして、送信データには、先頭に各スレーブの送信アドレス、ワークレジスタへのデータ書き込み手順を規定する情報を記憶するコントロールレジスタ、各種演出装置の制御データ（レジスタ番号「00h」～レジスタ番号「1Bh」）が含まれる。送信データの詳細については、図24及び図30にて説明したとおりである。

【0851】

レジスタ番号「00h」及びレジスタ番号「01h」の制御データには、モードレジスタ1設定値及びモードレジスタ2設定値が設定される。モードレジスタ1設定値では、オ

50

ールコールアドレスの有効又は無効を設定している。モードレジスタ 2 設定値では、ウォッチドッグタイマの設定値やストップコンディションで出力された送信データを各種演出装置に反映させるか否かを設定している。すなわち、オールコールアドレスの有効又は無効、及び、ウォッチドッグタイマのパラメータは、画像更新周期ごとに定期的に設定されることになる。

【0852】

本発明の第 2 の実施の形態では、図 6 4 に示したように、初期化処理終了後には、オールコールアドレスは無効化され、ウォッチドッグタイマを有効化するように設定される。さらに、図 6 5 に示すように、ウォッチドッグタイマの設定値であるモードレジスタ 1 設定値に“04h”(ウォッチドッグタイマ有効化)、及び、オールコールアドレスの設定値であるモードレジスタ 2 設定値に“00h”(オールコールアドレス無効)が設定されたデータがマスタ IC から各スレーブに画像更新周期ごとに送信される。

10

【0853】

したがって、各スレーブにオールコールアドレスを無効化する指令(共通アドレス無効化指令)が定期的に送信されるため、オールコールアドレスによる不要なパラメータの設定を防止することができる。具体的には、アドレス情報がノイズ等によってオールコールアドレスと偶然一致した場合であっても、オールコールアドレスを無効な状態に設定しているため、誤ったパラメータが設定されることを防ぐことができる。

【0854】

さらに、各スレーブにウォッチドッグタイマを有効化する指令(初期化手段有効化指令)が定期的に送信されるため、より確実にウォッチドッグタイマを有効化することができる。

20

【0855】

また、演出制御データよりも先に、ウォッチドッグタイマ及びオールコールアドレスの設定値が送信されるため、同一送信周期内で通信が異常となった場合であってもウォッチドッグタイマ及びオールコールアドレスが正しく設定される可能性を高くすることができる。

【0856】

言い換えれば、演出装置 620 の演出態様を決定するレジスタの設定値(図 2 4 のレジスタ番号 02h~17h のレジスタに設定される設定値)よりも先に、モードレジスタ 1, 2 の設定値(図 2 4 のレジスタ番号 00h~01h のレジスタに設定される設定値)を送信していることから、データ送信の前半で送信されるモードレジスタ 1, 2 への設定値は、データ送信の後半で送信される設定値よりも正しく送信される可能性が高いということである。これは、データ送信中に通信異常が発生した場合でも、異常発生時点よりも前に送信された設定値に関しては、スレーブのレジスタとして設定可能であるという理由に基づいている。

30

【0857】

また、図 6 5 に示すように、定期的なデータ送信では、オールコールアドレスを用いることなくスレーブごとに個別アドレスを指定してオールコールアドレスの有効又は無効、及び、ウォッチドッグタイマのパラメータを設定するようにしてもよいが、図 6 6 に示すように、定期的なデータ送信においても、オールコールアドレスを指定してすべてのスレーブに対し、これらのパラメータを設定するようにしてもよい。

40

【0858】

図 6 6 は、本発明の第 2 の実施の形態の各スレーブに送信するデータの構造を説明する図であり、オールコールアドレスを指定して定期的にパラメータを設定する場合を示す図である。

【0859】

図 6 6 に示す送信データでは、各スレーブに送信されるデータ列(図 6 5 のデータ列)の直前に、オールコールアドレスにより一括してモードレジスタ 2 設定値を設定するためのデータ列が挿入されている。具体的には、モードレジスタ 2 についてオートインクリメ

50

ントを禁止し、監視時間を5msとするように設定している。

【0860】

したがって、ウォッチドッグタイマのパラメータがオールコールアドレスを用いて画像更新周期ごとに定期的に設定されることになる。また、送信データの先頭でオールコールアドレスを指定してウォッチドッグタイマのパラメータを設定するため、ノイズ等の影響によって特定のスレーブでリセットが発生して当該スレーブのパラメータが初期状態に戻ってしまったとしても、次にデータが送られてきたときに、当該スレーブのパラメータを早期に再設定することが可能となる。

【0861】

図67は、本発明の第2の実施の形態においてマスタICとスレーブとの間でデータを送受信するタイミングを説明する図である。

10

【0862】

前述のように、本発明の第2の実施の形態では、画像更新周期、すなわち、VDP割込みの発生間隔（第2の時間値）内で、マスタICから演出制御データが送信され、スレーブから返答信号（ACK）が返信される。

【0863】

また、送信データは接続線SCLに出力されたパルス幅に対応して送信される。具体的には、図67に示すように、スタートコンディションが出力されてから対応するストップコンディションが出力されるまでの間にデータ送信用に8クロック、ACK返信用に1クロック分のパルスが出力される。

20

【0864】

また、VDP割込みの発生間隔内には、データ送信期間と、データ送信期間が終了してから次のVDP割込みが発生するまでの休止（待機）期間とが含まれる。データ送信期間は、スタートコンディションが出力されてからストップコンディションが出力されるまでの期間である。

【0865】

このとき、ウォッチドッグタイマの監視期間（モード2レジスタで設定）は、接続線SCLに出力されるパルス幅（第1の時間値）よりも長く、かつ、VDP割込みの発生間隔（第2の時間値）よりも短い期間が設定される。

【0866】

30

接続線SCLに出力されるパルス幅よりもウォッチドッグタイマの監視期間が短い場合には、データが正常に処理されているにもかかわらず、スレーブがリセットされてしまう可能性がある。また、ウォッチドッグタイマの監視期間をVDP割込みの発生間隔よりも短い期間に設定すれば、画像更新周期、すなわち、次のデータ送信のタイミングに間に合うように、早期に異常から復帰させることが可能となる。

【0867】

以上のように、本発明の第2の実施の形態によれば、任意のタイミングでウォッチドッグタイマを有効化又は無効化することができる。したがって、必要に応じてウォッチドッグタイマを動作させたり、停止させたりすることが可能となるため、装飾制御装置610（I²C I/Oエクスパンダ615）の汎用性を向上させることができる。

40

【0868】

また、本発明の第2の実施の形態によれば、オールコールアドレスを利用して、すべての装飾制御装置610（I²C I/Oエクスパンダ615）に一斉に設定パラメータを送信しているため、ウォッチドッグタイマの有効化及び無効化を高速に切り替えることが可能となる。

【0869】

特に、I²C I/Oエクスパンダ615に設けてあるデータ線の占有解除機能は、必ずしも全ての遊技機メーカーが使用するとは限らないので、使用するか否かを任意に設定することが好ましいものであることから、電源投入時のデフォルトの初期状態は、この占有解除機能を使用しない状態となるように構成されている。

50

【0870】

(第3の実施の形態)

本発明の第1の実施の形態では、マスタICの制御によって、接続線SCLの信号レベルを制御することによって、接続線SDAの占有を解除していたが、これによりマスタICの負荷が高まってしまうおそれがある。本発明の第3の実施の形態では、接続線SCLの信号レベルを制御するタイミング信号線変化手段を配置することによって、マスタICの制御によらずに接続線SCLの信号レベルの信号レベルを制御する。

【0871】

図68は、本発明の第3の実施の形態の演出制御装置550の構成を示すブロック図である。

10

【0872】

本発明の第3の実施の形態の演出制御装置550と本発明の第1の実施の形態の演出制御装置550との相違点は、出力I/F558aと中継基板600に接続される接続線SCLとの間にトランジスタ579a、出力I/F558aと簡易中継基板1600に接続される接続線SCLとの間にトランジスタ579bが接続されている点である。

【0873】

また、接続線SCLには、所定の電圧が印加されたプルアップ抵抗Rが接続されているため、トランジスタ579a又はトランジスタ579bを一定時間オンにすると、対応する接続線SCLの信号レベルが強制的にLOWになるので、直前の接続線SCLの信号レベルがHIGHであれば、接続線SCL上にパルスが出力される。このように、本発明の第3の実施の形態では、マスタICの出力状態によらずに接続線SCLにダミーパルスを出力することが可能な構成となっている。

20

【0874】

なお、CPU551、トランジスタ579a及びトランジスタ579bは、同一の基板上に配置されており、CPU551と各トランジスタとを接続する信号線が断線しない構成となっているので、トランジスタ579aやトランジスタ579bが予期せぬタイミングで作動することを防止することができるようになっている。

【0875】

図69は、本発明の第3の実施の形態の第1マスタIC570a側の送信中断割込み発生時及びタイムアウト割込み発生時の処理の手順を示すフローチャートである。

30

【0876】

本発明の第1の実施の形態との相違点は、ステータスコードが「復旧」の場合に、第1マスタIC570aをソフトリセットした後(6901)、トランジスタ579aによってダミーパルスを出力する(6902)。その後、第1マスタ側スレーブ初期化開始処理を実行する(4012)。

【0877】

なお、第2マスタIC570b側で送信中断割込みや、タイムアウト割込みが発生したときは、本フローチャートの処理における第1マスタの部分を実行した処理が行われる。このとき、ステップ6902に対応する処理では、トランジスタ579bを駆動してダミーパルスを出力することになる。

40

【0878】

以上のように、ノイズなどの影響によって、接続線SDAが占有解除不能状態になった場合には、マスタICをリセットした後、接続線SCLにダミーパルスを出力することによって接続線SDAの占有を解除する。以下、さらに詳細な手順について説明する。

【0879】

図70は、本発明の第3の実施の形態において、スレーブ側のI²C I/Oエクspanda615によってバスが占有された場合にバスを解放する手順を説明する図である。

【0880】

前述のように、ノイズなどにより接続線SCLの信号レベルの変化回数がマスタ側とスレーブ側とで相違すると、接続線SDAがスレーブ側のI²C I/Oエクspanda615

50

によって占有され、バスが解放されなくなる。

【0881】

そこで、バスが占有されたままの状態でもスタ I C からデータの送信が不能となると、C P U 5 5 1 は、スタ I C をリセットする。その後、ダミーパルスを出力して接続線 S C L の信号レベルの変化回数の相違を解消させることによって、接続線 S D A の占有を解除する。

【0882】

具体的には、接続線 S D A の占有によって、ステータスコードに“70H”(「復旧」)が設定され(図48の4805)、その後、送信中断割込みが発生する。送信中断割込みが発生すると、図69に示したように、C P U 5 5 1 は、スタ I C に対してソフトリ
10
セットを行い(図69の6901)、その後ダミーパルスを出力する(図69の69023)。このとき、ダミーパルスは、接続線 S D A の占有が解除されるまで出力するようにしてもよいし、少なくとも9回変化させるようにしてもよい。

【0883】

このようにして、スレーブ側の I²C I/O エクスパンダ 6 1 5 は、ダミーパルスが出
力されることによって接続線 S C L の信号レベルが変化して、接続線 S C L の信号レベル
が H I G H から L O W への変化を検出することになり、接続線 S D A を解放し、返答信号
(A C K)をスタ I C に返す。その後、スタ I C がスタートコンディションを出し
、データの送信を再開する。

【0884】

以上のように、スタ I C をソフトリセットした後、A C K を受信して接続線 S D A の
解放を確認してから各スレーブを初期化するため、不具合の発生を抑制し、確実な通信制
御を行うことができる。

【0885】

また、本発明の第3の実施の形態によれば、スタ I C の負荷を増大させることなく、
接続線 S D A の占有を解除することが可能となる。

【0886】

さらに、本発明の第3の実施の形態によれば、接続線 S C L の信号レベルは、スタ I
C が動作していなければ H I G H に設定されるので、対応するトランジスタによっていつ
でも占有解除のための信号を出力することが可能となる。

【0887】

また、本発明の第3の実施の形態によれば、演出を制御する C P U とダミーパルスを出
力するトランジスタが同じ基板に配置されているため、接触不良などによってトランジス
タを制御することができなくなったり、トランジスタが別の基板に配置されていた場合に
予期せぬタイミングで作動することなどを防止することができる。

【0888】

(第4の実施の形態)

本発明の第1の実施の形態では、装飾制御装置 6 1 0 (I²C I/O エクスパンダ 6 1
5)は、第1スタ I C 5 7 0 a からのストップコンディションを受信したタイミングで
、接続された L E D の発光状態を更新している。これに対し、本発明の第4の実施の形態
では、第1スタ I C 5 7 0 a からのストップコンディションの受信タイミング以外で、
接続されている L E D の発光状態を切り替える。こうすることによって、ストップコン
ディションを出力する信号レベルの制御が不要となるため、データの送信時間を短縮する
ことが可能となる。

【0889】

本発明の第4の実施の形態では、装飾制御装置 6 1 0 は、スタ I C に返答信号(A C
K)を返信したタイミングで、接続された L E D の発光状態を更新する。A C K を返信し
たタイミングで演出装置の態様を更新するためには、スタ I C から各スレーブに送信す
るデータのうち、モード2レジスタの設定値に含まれる O C H (図62(B)参照)のビ
ットに“1”を設定する必要がある。

10

20

30

40

50

【0890】

図71は、本発明の第4の実施の形態における装飾制御装置610及び装飾装置620の接続例を示す図であり、5セット分のLEDが設けられた装飾装置620を1つの装飾制御装置610によって制御する構成を示す図である。この5セット分のLEDの点灯状態により、赤、緑、青の各色が混合して、数多くの色彩が表現されるようになっている。

【0891】

なお、第4の実施の形態においても、前述した信頼度報知装置15（図2）が装飾装置620の一例であるとして説明を行う。つまり、信頼度報知装置15が赤く光れば大当たりが確定する仕様となっているものとする。

【0892】

図71に示す構成によって、装飾制御装置610に接続された5セット分のLEDは、発光状態が同時に更新されるので、想定外の発色が行われることはない。すなわち、ストップコンディションを受信したタイミングでLEDの発光態様をしなくてもACKを返信したタイミングで各セットのLEDの発光状態を同時に更新することが可能となる。

【0893】

図72は、本発明の第4の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。なお、本発明の第1の実施の形態で対応する図35と共通する手順については、共通の符号を割り当てて説明を省略する。

【0894】

演出制御装置550のCPU551は、演出制御を行う場合に、まず、コマンドREG581のスタートコンディション（STA）の出力を指示するビットに“1”を設定する（7201）。このとき、本発明の第1の実施の形態とは異なり、ストップコンディション（STO）の出力を指示するビットに“0”を設定し、ストップコンディションが出力されないように指示する。

【0895】

マスタICは、コマンドREG581のSTA及びSTOに設定された値に基づいて、各スレーブにスタートコンディションを出力する（7211）。このとき出力されるスタートコンディションは、本発明の第4の実施の形態では、リスタートコンディションとなる。

【0896】

そして、マスタICは、各スレーブで演出制御データを受信する準備が整うため、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、出力用バッファ572に、制御対象のスレーブの最初の演出制御データ（図30のデータのうち1番目に送信されるバイト単位のデータ）を設定する（7202）。このとき、コマンドREG581のSTA及びSTOには“0”を設定する。

【0897】

マスタICは、出力用バッファ572に設定された演出制御データ（スレーブのアドレスが格納されている）を、当該アドレスに対応するスレーブに出力する（3512）。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

【0898】

そして、演出制御データを受信したスレーブはACKを返信する。このとき、ACKを返信したスレーブは、このタイミングで制御対象の演出装置（LED）の発光態様を更新させる。

【0899】

そして、ACKを受信したマスタICは、CPU551に割込信号を入力して割込みを発生させる。なお、マスタICは、NACKを受信した場合でもCPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、出力用バッファ57

10

20

30

40

50

2に、制御対象のスレーブの次の演出制御データ（図30にて2番目に送信されるバイト単位のデータ）を設定し、コマンドREG581のSTA及びSTOには“0”を設定する（7202）。これにより、次の演出制御データがマスタICからスレーブへ送信される（3512）。

【0900】

以降、マスタICは、ACK又はNACKを受信する毎にCPU551に割込信号を入力して割込みを発生させ、割込みが発生したCPU551は、出力用バッファ572に、制御対象のスレーブの次の演出制御データ（図30にて3番目以降に送信されるバイト単位のデータ）を設定し、コマンドREG581のSTA及びSTOには“0”を設定する処理を繰り返す。この処理は、全ての演出制御データが送信されるまで繰り返される。

10

【0901】

全ての演出制御データが送信された後のタイミングで、割込みが発生したCPU551は、コマンドREG581のSTAに“1”、STOに“0”を設定する（7203）。その後、マスタICは、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する（3513）。

【0902】

続いて、CPU551及びマスタICは、2番目以降に制御されるスレーブのアドレスを順次指定して同様の処理を行う（7204、3514、7205、3515）。CPU551によって最後のn個めのスレーブに対する演出制御データの出力が完了し（7206）、さらに、マスタICが演出制御データに対応するスレーブに出力すると（3516

20

【0903】

CPU551は、その後、接続線SCLの信号レベルをLOWレベルで維持する（7217）。具体的には、マスタICが最終のスレーブに演出制御データを出力完了したときに、割込信号を入力してCPU551に割込みを発生させ、割込みが発生したCPU551は、コマンドREG581のSIに“1”を設定した状態でそのまま放置し、接続線SCLの信号レベルをLOWに維持する。

【0904】

前述のように、本発明の第4の実施の形態では、スレーブがACKを返信するタイミングで演出装置（発光体）の演出態様（発光態様）を更新する。そこで、マスタICは、スレーブから送信されたACKの受信を待たずに、次のスレーブに対して演出制御データを送信する。したがって、演出制御データを連続的に送信することが可能となるため、演出制御データの送信に必要な総所要時間を短縮することが可能となる。

30

【0905】

以下、図73及び図74のフローチャートを参照しながら、具体的に演出制御データを送信する手順について説明する。

【0906】

図73は、本発明の第4の実施の形態の演出制御定期処理の手順を示すフローチャートである。第4の実施の形態では、図39に示した本発明の第1の実施の形態の演出制御定期処理を図73の処理に置換することになるので、図39と共通の処理については共通の符号を割り当てて説明を省略する。

40

【0907】

本発明の第1の実施の形態では、前述のように、マスタICはACKを受信してから、すなわち、正常にデータが送信されたことを確認してから次の演出制御データを送信していた。そのため、ACKではなく正常にデータを受信できなかったことを示すNACKを受信した場合にはデータを再送していた。

【0908】

一方、本発明の第4の実施の形態では、第1の実施の形態のようにバッファモードでデータを送信するのではなく、バイトモードでレジスタごとに演出制御データを送信する。そして、演出制御データが正常に送信できたか否かにかかわらず、連続的に演出制御デー

50

タを送信し、演出制御データを再送するための処理は実行されない。

【0909】

図73を参照すると、ステップ3901からステップ3907、ステップ3909からステップ3911までの処理は、第1の実施の形態と同様である。そして、第1の実施の形態では演出制御データをバッファモードで送信するため、ステップ3908及びステップ3912の処理でコマンドレジスタ581のMODEのビットに“1”を設定している。これに対し、第4の実施の形態では、演出制御データをバイトモードで送信するため、ステップ3908及びステップ3912の代わりにステップ7301及びステップ7302の処理でコマンドレジスタ581のMODEのビットに“0”を設定する。

【0910】

したがって、第4の実施の形態では、スレーブに送信する演出制御データ（図30に例示した30個のデータに相当）を1バイト送信する毎に、更新段階番号が1つずつ加算される。したがって、更新段階番号を0に初期化してスタートコンディションが出力された後、すべてのレジスタに設定された値が出力されるまで、すなわち、1スレーブ分の演出制御データが送信されるまで更新段階番号が更新されるようになっている。なお、図30に例示した30個のデータを送信する場合には、更新段階番号の最大値は29となる。

【0911】

なお、図44に示した第1の実施の形態のデータの送信再開処理の継続を判断するための送信処理継続判定表は、第4の実施の形態においても共通に利用されるが、演出制御データ送信再開処理の継続判断4403における「更新段階番号=1」は、「更新段階番号 $\geq$ 1」に置換される。

【0912】

さらに、第4の実施の形態では、演出制御データの再送を行わないため、再送回数を管理するリトライカウンタに関する処理は必要ない。したがって、リトライカウンタを初期化するステップ3915の処理が実行されないようになっている。

【0913】

さらに、ステップ3913、ステップ3914、ステップ3916からステップ3919のスレーブ出力データ編集処理まで第1の実施の形態と共通の処理が実行され、ステップ3920以降のエラー処理が第4の実施の形態では実行されないようになっている。

【0914】

本発明の第1の実施の形態では、更新段階番号が0の場合にはスタートコンディション（又は、リスタートコンディション）が出力された直後の状態であり、更新段階番号が1の場合にはデータが送信されている状態であることを示している。

【0915】

以上が、本発明の第4の実施の形態の演出制御定期処理の手順である。続いて、本発明の第4の実施の形態の演出制御データの送信再開処理の各手順について説明する。

【0916】

図74は、本発明の第4の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。第4の実施の形態では、図43に示した本発明の第1の実施の形態の演出制御データの送信再開処理が、図74の処理に置換される。

【0917】

CPU551は、まず、更新段階番号の値を判定する（7401）。そして、更新段階番号が最大値であるか否かを判定する（7402）。更新段階番号が最大値の場合には、前述のように、全レジスタに設定された値が送信されたこととなり、スレーブ単位のデータの送信が完了したこととなる。

【0918】

CPU551は、更新段階番号が最大値でない場合には（7402の結果が「N」）、未送信の演出制御データが残っているため、未送信のデータを送信する処理を実行する。具体的には、更新段階番号に1加算し（7403）、さらに、準備した出力データから加算された更新段階番号に対応するデータを抽出し（7404）、抽出されたデータを出力

10

20

30

40

50

用バッファ572に設定する(7405)。

【0919】

さらに、CPU551は、監視タイマを設定し、タイムアウトの監視を開始する(7406)。最後に、処理対象のマスタICのコマンドREG581のSTA、STO及びSIをそれぞれ“0”に設定し、出力用バッファ572に設定されたデータをバイトモードで送信するために、MODEを“0”に設定し(7407)、呼び出し元の処理に復帰する。

【0920】

一方、CPU551は、更新段階番号が最大値となった場合には(7402の結果が「Y」)、1スレーブ分の演出制御データの送信が完了したため、すべてのスレーブについて演出制御データの送信が完了したか否かを判定する(7408)。すべてのスレーブについて演出制御データの送信が完了していない場合には(7408の結果が「N」)、次のスレーブを選択し(7410)、更新段階番号を0に設定する(7411)。

【0921】

そして、CPU551は、監視タイマを設定し、タイムアウトの監視を開始する(7412)。最後に、処理対象のマスタICのコマンドREG581のSTAを“1”を設定してリスタートコンディションを出力させ、STO及びSIをそれぞれ“0”に設定する。さらに、出力用バッファ572に設定されたデータをバイトモードで送信するために、MODEを“0”に設定し(7413)、呼び出し元の処理に復帰する。

【0922】

CPU551は、すべてのスレーブについて演出制御データの送信が完了した場合には(7408の結果が「Y」)、SIを“1”に設定した状態、すなわち、割り込みを発生させた状態で放置して(7414)、呼び出し元の処理に復帰する。このとき、接続線SCLの信号レベルをLOWに設定し、この信号レベルを維持する。

【0923】

このように、全スレーブに対して演出制御データが送信された後に、割り込みを発生させた状態で、接続線SCLの信号レベルをLOWに設定した状態を維持しておくことによって、接続線SCLの信号レベルをHIGHに設定した場合と比較して、データ送信の再開を直ちに行うことが可能となり、高速な通信を行うことができる。

【0924】

さらに、割り込みを発生させた状態で接続線SCLの信号レベルをLOWに維持しておくことで、割り込みを発生させた状態でデータ信号線のレベルがノイズ等で変化しても、各スレーブが誤ってスタートコンディションが出力されたと認識することがないので、確実な通信を行うことができる。

【0925】

図75は、本発明の第4の実施の形態の各スレーブに送信するデータの構造を説明する図である。

【0926】

本発明の第4の実施の形態では、他の実施の形態と同様に、1回の画像更新周期で第1スレーブから最終スレーブまで、すべてのスレーブにデータを送信する。そして、次の画像更新周期が始まるまで、すなわち、次のVDP割り込みが発生するまでの間、休止時間となる。送信データの構成については、他の実施の形態と同様である。

【0927】

また、第4の実施の形態では、全スレーブの演出制御データを出力した後、ストップコンディションが出力されない点で他の実施の形態と相違する。ただし、スレーブへ初期化指示データを送信して初期化を行う場合には、第1の実施の形態と同様に、初期化指示データの送信完了後にストップコンディションを出力している(図42のステップ4216参照)。

【0928】

図76は、本発明の第4の実施の形態においてマスタICとスレーブとの間でデータを

10

20

30

40

50

送受信するタイミングを説明する図である。

【0929】

前述のように、本発明の第4の実施の形態では、画像更新周期、すなわち、VDP割込みの発生間隔内で、マスタICからすべてのスレーブに対して演出制御データが送信される。このとき、スレーブから返答信号(ACK)がマスタICに返信されるが、本発明の第4の実施の形態では、マスタICは返信されたACKを無視する。

【0930】

そして、前述のように、すべてのスレーブに対して演出制御データが送信された後であってもマスタICからストップコンディションが出力されないように構成されている。

【0931】

また、すべてのスレーブに対して演出制御データが送信された後、接続線SCLの信号レベルはLOWに設定されており、次の演出制御データを送信する場合には、接続線SCLの信号レベルをHIGHに設定し、さらに、接続線SDAの信号レベルをLOWに設定することによって、スタートコンディションが出力される。

【0932】

従来、送信完了指令であるストップコンディションの出力後には、接続線SCLの信号レベルがHIGHに設定されているため、接続線SDAの信号レベルがノイズなどによってLOWに設定されたと認識されると、スレーブ側では送信開始指令であるスタートコンディションが出力されたと誤認識してしまうおそれがある。これに対し、本発明の第4の実施の形態のように、全スレーブに対して演出制御データ出力後、接続線SCLの信号レベルをLOWに設定しておくことによって、このような誤認識を防止することが可能となり、より正確な通信を行うことができる。

【0933】

以上のように、マスタIC(グループ統括制御手段)がスレーブ(グループ単位制御手段)からの返答信号(ACK)を受信せずにデータを再送しないため、データの送信時間が一定となり、マスタICからスレーブにデータを送信する間隔の設定が容易になる。

【0934】

図77は、本発明の第4の実施の形態において装飾制御装置610がデータを受信したときに、マスタICにACKを出力した時点で、受信したデータをLEDの発光状態に反映させる場合について説明する図である。

【0935】

図77に示すように、ACK出力時に、各スレーブが演出制御データを演出装置の出力態様に反映させることによって、演出制御データを送信するタイミングを制御することによって、特定の演出装置を指定したタイミングで制御することが可能となる。

【0936】

以上のように、本発明の第4の実施の形態では、演出制御データを連続的に送信するため、ACKを受信するまでの待機時間を必要とせず、また、エラー処理を行うために必要なオーバーヘッドを削減することができる。

【0937】

特に、図71に示したように、複数のスレーブではなく、1つのスレーブ単位で演出を行えばよい場合には特に有効である。また、複数のマスタICを備える場合には、マスタICごとにストップコンディションで演出装置の演出態様を更新させたり、ACK送信タイミングで演出装置の演出態様を更新させたりすることによって、演出制御処理全体の負荷を軽減させることが可能となる。

【0938】

なお、本発明の第4の実施の形態では、マスタICに接続される全てのスレーブ(I²C I/Oエクスパンダ)が、接続線SDAに返答信号を出力させるためのトランジスタ630(図18)を備えているが、必ずしもこのトランジスタ630は必要でない。第4の実施の形態のように単方向の通信を前提とするのであれば、このトランジスタが備えられていない特注品のスレーブICを使用することも可能である。

10

20

30

40

50

【0939】

ただし、I²Cの通信で一般的に用いられる汎用品のスレーブ側のICには、このトランジスタが備えられているのが普通であるので、特注品と汎用品とが混在するようなネットワークが構成できることが好ましい。

【0940】

本発明の第4の実施の形態の遊技機は、マスタIC側にて返答信号の確認を行わない構成であるので、接続線SDAを介してマスタICに返答信号を出力する機能を有するスレーブIC（例えば、汎用品スレーブIC）と、接続線SDAを介してマスタICに返答信号を出力する機能を有しないスレーブIC（例えば、特注品スレーブIC）の各々をマスタICに接続しても、問題なく動作させることが可能である。

10

【0941】

（第5の実施の形態）

本発明の第1～4の実施の形態では、33.3ミリ秒（1／30秒）で発生するVDP割込み信号が発生する全てのタイミングにあわせて、マスタICからすべてのスレーブに対して演出制御データを送信する構成となっていた。そして、VDP割込み信号が発生する全てのタイミングで、表示装置53（図2参照）の画像の内容を更新することから、画像更新タイミングと演出制御データの送信タイミングが完全に同期する構成となっていた。

【0942】

そのため、スレーブICへ演出制御データが送信できない不具合が発生してスレーブICの初期化を行った場合には、次の表示装置53の画像の内容を更新するタイミングが発生するまで、次の演出制御データの送信を待機せざるをえない構成であった。

20

【0943】

これに対して、本発明の第5の実施の形態では、演出制御データが送信可能なタイミングの周期を、表示装置53の画像の内容を更新するタイミングの周期よりも予め短くしておくとともに、通常時と異常発生時において、演出制御データの送信周期を変更することが可能な構成を開示する。

【0944】

以下、図78及び図79のフローチャートを参照しながら、第5の実施の形態において、具体的に演出制御データを送信する手順について説明する。なお、第5の実施の形態では、VDP割込み信号は1／60秒間隔で発生するものとする。

30

【0945】

図78は、本発明の第5の実施の形態の演出制御定期処理の前半の手順を示すフローチャートである。図79は、本発明の第5の実施の形態の演出制御定期処理の後半の手順を示すフローチャートである。第5の実施の形態では、図39に示した本発明の第1の実施の形態の演出制御定期処理を図78及び図79の処理に置換することになるので、図39と共通の処理については共通の符号を割り当てて説明を省略する。

【0946】

本発明の第1の実施の形態では、前述のように、マスタICは、VDP割込み信号が発生する全てのタイミングにあわせて、すべてのスレーブに対して定期的に演出制御データを送信していた。

40

【0947】

これに対し、本発明の第5の実施の形態では、VDP割込み信号が発生するタイミングのうち一部のタイミングで定期的に演出制御データを送信する。そして、送信タイミングを特定するための変数である出力カウンタを用いる。また、演出制御装置550に備えられた全てのマスタIC（第1マスタIC570a、第2マスタIC570b）の各々に対応して、出力フラグが設定される。

【0948】

第1マスタIC570aの出力フラグがオンとなっている場合は、第1マスタIC570aからスレーブ側に演出制御データが送信されるが、当該出力フラグがオフとなってい

50

る場合は、当該マスタ I C からスレーブ側に演出制御データが送信されない。同様に、第 2 マスタ I C 5 7 0 b の出力フラグがオンとなっている場合は、第 2 マスタ I C 5 7 0 b からスレーブ側に演出制御データが送信されるが、当該出力フラグがオフとなっている場合は、当該マスタ I C からスレーブ側に演出制御データが送信されない。ただし、各マスタ I C は、出力フラグの内容にかかわらず、スレーブ側に初期化を指令する初期化指示データを送信する場合がある。

【0949】

図 7 8 を参照すると、演出制御装置 5 5 0（正確には演出制御装置 5 5 0 の C P U 5 5 1）は、今回の V D P 割込み信号の発生が、発生演出制御データを送信するタイミングに一致しているのかを判別するために、出力カウンタが「0」であるか否かを判定する。そして、出力カウンタが「0」でないと判定した場合にはステップ 7 8 0 3 の処理へ分岐する一方で、出力カウンタが「0」であると判定した場合にはステップ 3 9 0 1 の処理へ移行する（7 8 0 1）。

10

【0950】

演出制御装置 5 5 0 は、図 3 9 に示したステップ 3 9 0 1 の処理と同様に、表示装置 5 3 に画像を表示するために、V D P 5 5 6 に画像を表示させる指令となるデータを出力する（3 9 0 1）。次いで、スピーカ 3 0 から遊技状態に応じた音を出力させるために、音制御データを音 L S I 5 5 7 に出力させ（3 9 0 2）、R A M 5 5 3 上に格納された演出制御データを上書きされないように退避するスレーブ出力データ退避処理を実行する（3 9 0 3）。続いて、全てのマスタ I C に対応する出力フラグをオンに設定し（7 8 0 2）、ステップ 7 8 0 3 の処理へ移行する。

20

【0951】

続いて、演出制御装置 5 5 0 は、出力カウンタの値に「1」を加算する演算を行い（7 8 0 3）、加算後の出力カウンタが最大値（当該実施形態では「1」）を超えた場合は出力カウンタの値を「0」に戻す（7 8 0 4、7 8 0 5）。続いて、演出制御装置 5 5 0 は、図 3 9 に示したステップ 3 9 0 4 の処理と同様に、マスタ割込み及びタイムアウト割込みを禁止する（3 9 0 4）。

【0952】

続いて、演出制御装置 5 5 0 は、第 1 マスタ I C 5 7 0 a に対応する出力フラグの内容を確認し（7 8 0 6）、フラグがオンでなければ演出制御定期処理の後半の処理（図 7 9 のステップ 7 9 0 1）に分岐する一方で、フラグがオンであればステップ 7 8 0 8 の処理に移行する（7 8 0 7）。

30

【0953】

ここで、第 1 マスタ I C 5 7 0 a に対応する出力フラグは、前述のステップ 7 8 0 2 の処理でオンに設定されることから、当該演出制御定期処理の開始時点における出力カウンタの値が「0」であるときに、当該出力フラグがオンとなってステップ 7 8 0 8～7 8 1 0 の処理が実行される。

【0954】

なお、この出力フラグは、図 4 2 の初期化指示データの送信再開処理におけるステップ 4 2 1 5 の処理が実行されて、第 1 マスタ I C 5 7 0 a に対応する初期化段階番号が「0」に設定される場合でも、オンに設定されるものとする。つまり、第 1 マスタ I C 5 7 0 a が接続先のスレーブに対して初期化指示データを送ったときには、出力カウンタの値にかかわらず、次の V D P 割込み信号が発生するタイミングで、ステップ 7 8 0 8～7 8 1 0 の処理が実行される。

40

【0955】

演出制御装置 5 5 0 は、第 1 マスタ I C 5 7 0 a に対応する出力フラグをオフに設定する（7 8 0 8）。次いで、演出制御装置 5 5 0 は、図 3 9 に示したステップ 3 9 0 5～3 9 0 8 の処理と同じ処理を行うことで、第 1 マスタ I C 5 7 0 a に対して演出制御データの送信開始を指令し、ステップ 7 8 0 9 へ移行する。

【0956】

50

次に、第1マスタIC570aに接続されるスレーブの中から最初に演出制御データが送信されるスレーブを選択する(7809)。続いて、選択したスレーブへ出力する演出制御データを準備し(7810)、演出制御定期処理の後半の処理(図79のステップ7901)に分岐する。

【0957】

続いて、演出制御装置550は、第2マスタIC570bに対応する出力フラグの内容を確認し(7901)、フラグがオンでなければ、ステップ3915に分岐する一方で、フラグがオンであればステップ7903の処理に移行する(7902)。

【0958】

なお、第2マスタIC570bに対応する出力フラグも、前述の図78のステップ7802の処理でオンとなることから、当該演出制御定期処理の開始時点における出力カウンタの値が「0」であるときに、当該出力フラグがオンとなってステップ7903～7905の処理が実行される。

【0959】

また、この出力フラグは、図42の初期化指示データの送信再開処理におけるステップ4215が実行されて、第2マスタIC570bに対応する初期化段階番号が「0」に設定される場合でも、オンに設定されるものとする。つまり、第2マスタIC570bが接続先のスレーブに対して初期化指示データを送ったときには、出力カウンタの値にかかわらず、次のVDP割込み信号が発生するタイミングで、ステップ7903～7905の処理が実行される。

【0960】

演出制御装置550は、第2マスタIC570bに対応する出力フラグをオフに設定する(7903)。次いで、演出制御装置550は、図39に示したステップ3909～3912の処理と同じ処理を行うことで、第2マスタIC570bに対して演出制御データの送信開始を指令し、ステップ7904へ移行する。

【0961】

演出制御装置550は、第2マスタIC570bに接続されるスレーブの中から最初に演出制御データが送信されるスレーブを選択する(7904)。続いて、選択したスレーブへ出力する演出制御データを準備し(7905)、ステップ3915に移行する。

【0962】

続いて、演出制御装置550は、ステップ3915からステップ3927までの処理を実行し、その後、図37に示した処理に復帰して、VDP556から次の同期信号がCPU551に入力されるまで待機する。このステップ3915からステップ3927までの処理は、図39と同様の処理である。ここでは、ステップ3919のスレーブ出力データ編集処理が、出力カウンタの値にかかわらずいつでも実行されるようになっている。すなわち、スレーブ出力データの編集の処理は、VDP割込み信号が1回のみ発生した時点では中断されず、VDP割込み信号が複数回入力されるまでの期間に渡って継続されることになるので、送信データの編集に余裕ができる。そして、マスタICの処理能力を活用することが可能となり、マスタICの負荷を平準化することができる。

【0963】

このように、第5の実施形態では、VDP割込み信号が1/60秒周期で発生するが、VDP556に画像を表示させる指令となるデータを出力する処理(ステップ3901)は、出力カウンタが「0」となる定時のタイミングのときだけ実行されるので、1/30秒周期で表示装置53の画像の内容を更新することになる。

【0964】

また、出力カウンタの最大値を変更することによって、画像更新間隔や演出制御データの送信間隔を変更することができる。例えば、出力カウンタの最大値を2とすれば、画像更新間隔が1/20秒となる。また、出力カウンタの最大値を2としてVDP割込み信号を1/90秒周期で発生させると、画像更新間隔が1/30秒に設定される。この場合には、1回の画像更新間隔で2回の再送信タイミングが発生するようになる。さらに、画像

10

20

30

40

50

更新間隔や演出制御データの送信間隔ごとに出力カウンタの最大値を設定するようにしてもよい。こうすることによって、画像更新タイミングと演出制御データの送信タイミングをずらして演出制御装置の負荷を低減することができる。また、この場合であってもVDP割り込み信号の発生間隔に基づいて画像更新タイミングと演出制御データの送信タイミングが決定されるので、画像更新と調和のとれた演出が可能となる。

【0965】

図80は、本発明の第5の実施形態の演出制御データを送信するタイミングを説明するタイミングチャートである。

【0966】

前述のように、第5の実施の形態では、VDP割り込みが2回発生するたびに画像更新が行われる。具体的には、VDP割り込みは1/60秒間隔で発生し、画像更新は1/30秒間隔で実行される。また、画像更新時にマスタICからスレーブに演出制御データが送信される。すなわち、演出制御データは、画像更新周期と同じ1/30秒間隔で定時送信される。

10

【0967】

第5の実施の形態では、VDP割り込みが発生し、かつ、画像更新が行われないタイミングが、演出制御データの送信に失敗した場合の再送信タイミングとなる。

【0968】

具体的に説明すると、図80では、2回目の定時送信に失敗し、初期化処理が実行されている。この後、次にVDP割り込みが発生するタイミング、すなわち、次の再送信タイミングで、演出制御データが再送信されている。そして、次の定時送信のタイミングでは、通常通り、装飾制御データが送信されている。したがって、次の定時送信のタイミングまでに初期化及び再送信が行われるため、異常が発生しても早期に復帰することが可能となる。

20

【0969】

第1から第4の実施の形態では、演出制御データの送信に失敗した場合には、次の画像更新タイミングまで待機して再送信を行っていたが、第5の実施の形態では、次の画像更新タイミングの前の再送信タイミングに、送信できなかった装飾制御データを送信すればよい。

【0970】

したがって、本発明の第5の実施の形態によれば、定時タイミングで通常のデータ送信を行いながら、異常発生時には、定時タイミングの間に存在するタイミングで、データを再送信することによって、異常が発生した場合であってもデータ送信の遅れを取り戻すことが可能となる。

30

【0971】

なお、本発明の第5の実施の形態は、本発明の第1～3の実施の形態のように、演出制御装置550（マスタ側）のCPUが、I²C I/Oエキスパンダ615（スレーブ側）からの返答信号を監視する構成を前提としているが、本発明の第4の実施の形態のように、演出制御装置550（マスタ側）のCPUが、I²C I/Oエキスパンダ615（スレーブ側）からの返答信号を監視しない構成であっても適用が可能である。この場合、図79において、ステップ3915のリトライカウンタを0にする処理と、ステップ3920～3927までのエラー判定の処理が不要となる。

40

【0972】

（第6の実施の形態）

本発明の第5の実施の形態では、演出制御データの送信タイミングが、VDP割り込み信号の発生タイミングに依存して決定される構成となっていたが、演出制御データの送信タイミングをVDP割り込み信号とは異なる別のタイミング信号を用いて送信する第6の実施形態を開示する。

【0973】

第6の実施形態では、1/60間隔で発生するVDP割り込み信号の1.2倍の周期（1

50

／50間隔)となっている送信周期割込信号が、図2には図示されない送信周期割込み信号発生回路から、CPU551に入力されるように構成されている。そして、この送信周期割込信号に対応して、演出制御データの送信が行われる。

【0974】

図81は、本発明の第6の実施形態の演出制御装置における処理を説明するフローチャートである。

【0975】

図81の(a)の演出制御装置の処理は、図37に示した本発明の第1の実施の形態の演出制御装置の処理(メイン処理)に対応する。図81(b)は、VDP割込発生時の処理である。図81(c)は、送信周期割込発生時の処理である。

10

【0976】

図81の(a)の最終ステップ8102の割込待ち状態の処理が実行されている間にVDP割込み信号が発生すると、VDP割込発生処理が実行される。同様に、最終ステップ8102の割込待ち状態の処理が実行されている間に送信周期割込信号が発生すると、送信周期割込発生処理が実行される。

【0977】

図81(a)に示すように、演出制御装置550に電源が投入されると、ステップ3701～3705での処理が実行される。これらの処理は、図37に示したステップ3701～3705の処理と同一の処理であるため、説明を省略する。

【0978】

20

続いて、演出制御装置550は、VDP割込の受け入れ、タイマ割り込みの受け入れ、さらには送信周期割込信号の受け入れを許可する(8101)。そして、演出制御装置550への電源供給が途切れるまで、すなわち、演出制御装置550の電源が遮断されるまで割込み信号を待機する状態を継続する(8102)。

【0979】

その後、演出制御装置550は、VDP割込が発生するたびに、図81(b)の処理を実行する。図81(b)の処理では、図39の同一ステップ番号が付された処理が実行される。したがって、VDP割込が発生するたびに、VDP556に画像を表示させる指令となるデータを出力し(3901)、音制御データを音LSI557に出力する(3902)。さらに、VDP556に次に出力されるデータを編集し(3917)、音LSI557に出力されるスピーカ関連データを編集し(3918)、その後、割込み発生時の呼び出し元の処理へ復帰する。

30

【0980】

また、演出制御装置550は、送信周期割込信号が発生するたびに、図81(c)に示した処理を実行する。図81(c)の処理では、図78及び図79に示した演出制御定期処理と同一の処理が実行される。ただし、図78及び図79の演出制御定期処理のステップのうち、VDPへのデータ出力(3901)、スピーカ関連制御(3902)、VDP出力データ編集(3917)、スピーカ関連データ編集(3918)の各処理は、実行しない。これらの処理は図81(b)に示した処理で実行されるので、送信周期割込信号の発生タイミングでは実行されない。また、図78のステップ7804の処理における「最大値」は「4」となる。そして、ステップ3706の演出制御定期処理が終了すると、割込み発生時の呼び出し元の処理へ復帰する。

40

【0981】

図82は、本発明の第6の実施形態の演出制御データを送信するタイミングを説明するタイミングチャートである。

【0982】

第6の実施の形態では、前述したように、VDP割込の発生間隔を f とした場合に、送信周期割込を $1.2 \times f$ に設定する。また、VDP割込の発生時に画像更新を行うため、画像更新間隔は f となる。

【0983】

50

以上のように割込の発生感覚を設定した場合、 $6f$ の間隔でVDP割込と送信周期割込とが同時に発生する。したがって、VDP割込と送信周期割込とが同時に発生するタイミングで演出制御データを送信することによって、画像更新と演出調和のとれた演出を実行することが可能となる。

【0984】

具体的には、 $f = 1/60$ 秒とすると、送信周期割込は、 $1/50$ 秒となる。したがって、演出制御データの送信間隔は、 $(1/60) \times 6 = 1/10$ 秒となり、 $1/10$ 秒間隔で演出制御データの定時送信が行われる。また、VDP割込と送信周期割込とが同時に発生しないタイミングであって、送信周期割込が発生するタイミングは、定時通信に失敗した場合に演出制御データを再送信するタイミングとなる。すなわち、 $f = 1/60$ 秒の場合には、1回の定時送信が行われる間に4回の再送信タイミングが発生する。なお、定時送信が行われる間隔で複数の再送信タイミングが含まれる場合には、一部の再送信タイミングを定時送信としてもよい。

10

【0985】

以上のように、本発明の第6の実施の形態によれば、送信タイミング発生手段によるタイミングの周期に自由度を持たせながらも、画像更新と調和の取れた演出が可能となる。

【0986】

また、実施の形態として、変動表示ゲームの結果に対応して特別遊技状態を発生するパチンコ機が開示されているが、変動表示ゲームに限らず、他の補助遊技の結果に対応して特別遊技状態を発生する遊技機であってもよいことは当然意図されるものである。

20

【0987】

例えば、所定条件の成立によって特定の入賞装置の入口が開口し（特定入賞装置の可動部材が作動して入口が開口し）、入賞装置内部へ取り込まれた遊技球が、入賞装置内部に設けられたいずれの入賞領域（特定入賞領域と一般入賞領域とがある）に入賞するかを抽選する遊技を補助遊技としてもよい。この場合、入賞装置内部へ取り込まれた遊技球が特定入賞領域に入賞することで、特別遊技状態が発生することになる。

【0988】

また、実施の形態として、特図変動表示ゲームの結果に対応して特別遊技状態を発生するパチンコ機が開示されているが、普図変動表示ゲームの結果に対応して（あるいは、普図変動表示ゲームの結果に起因して）、特別遊技状態を発生する様なパチンコ機であっても、本発明が適用可能であることは当然意図されるものである。例えば、普図変動表示ゲームの結果により特定の入賞装置の入口が開口し、入賞装置内部へ取り込まれた遊技球が特定入賞領域へ入賞した場合に特別遊技状態を発生するパチンコ機であっても、本発明は適用可能である。

30

【0989】

また、実施の形態として、遊技制御装置と演出制御装置とが分離されている構成が開示されているが、遊技制御装置と演出制御装置とが一体となって一つの制御装置を構成していても差し支えないものであり、あるいは、遊技制御装置自身がグループ統括制御手段として構成されていても差し支えないことは当然意図されることである。

【0990】

さらに、本願明細書に開示した全ての実施の形態は、パチスロ機等の他の遊技機へも適用が可能である。

40

【0991】

なお、今回開示した実施の形態は、すべての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0992】

以上のように、本発明は、演出制御装置が複数の装飾制御装置を介して演出装置を制御する遊技機に適用可能である。

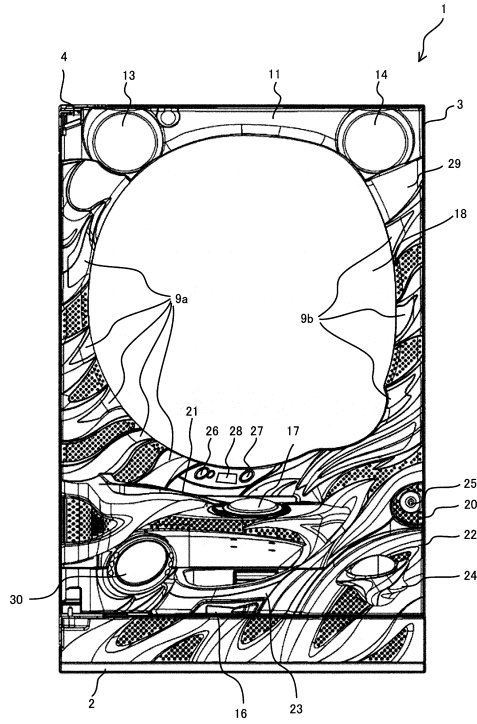
50

【符号の説明】

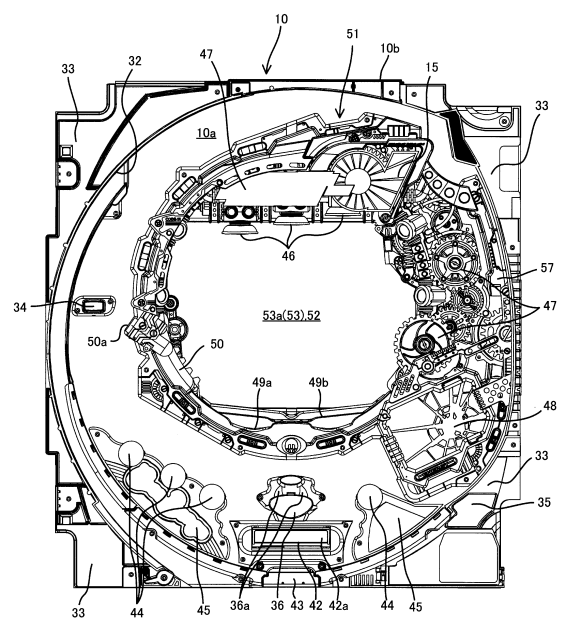
【0993】

1	遊技機	
2	本体枠（外枠）	
3	前面枠（遊技枠）	
9 a、9 b	装飾部材	
10	遊技盤	
12	補助遊技装置ユニット	
13	第1可動式照明	
13 a	照明駆動第1モータ（MOT）	10
14	第2可動式照明	
14 a	照明駆動第2モータ（MOT）	
15	信頼度報知装置	
29	異常報知LED	
30	スピーカ	
45	サイドランプ	
51	センターケース	
53	表示装置	
58	可動演出装置	
63	第1演出ユニット	20
64	第2演出ユニット	
70	第1演出部材	
71	役物駆動第1モータ（MOT）	
80	第2演出部材	
81	役物駆動第2モータ（MOT）	
500	遊技制御装置	
550	演出制御装置	
570 a	第1マスタIC	
570 b	第2マスタIC	
581	コマンドレジスタ（REG）	30
582	ステータスレジスタ（REG）	
583	自身アドレス設定レジスタ（REG）	
600	中継基板	
603	空き端子モニタ	
610	装飾制御装置	
615	I ² C I/Oエクспанダ	
620	装飾装置	
625	装飾装置基板	
640	バス監視ウォッチドッグタイマ（WDT）	
641	自己占有ウォッチドッグタイマ（WDT）	40
1600	簡易中継基板	
3200、3300	異常判定テーブル	

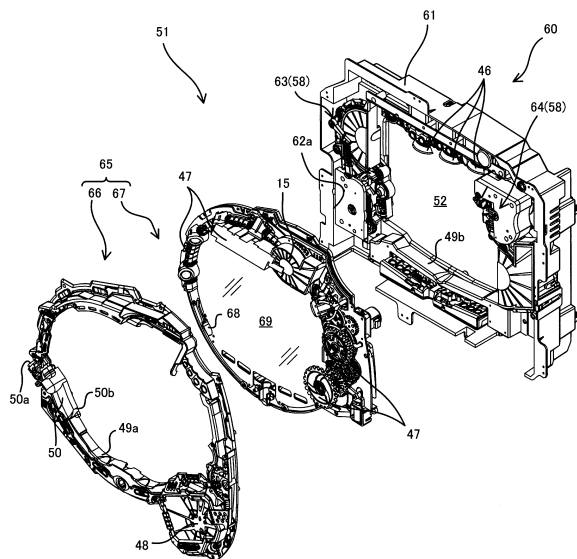
【図 1】



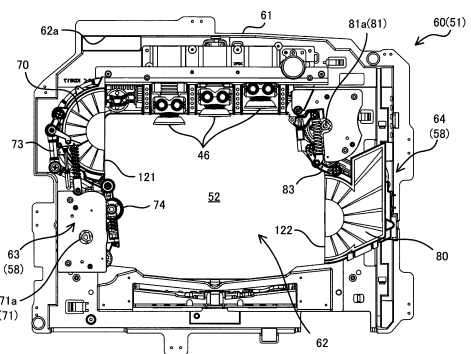
【図 2】



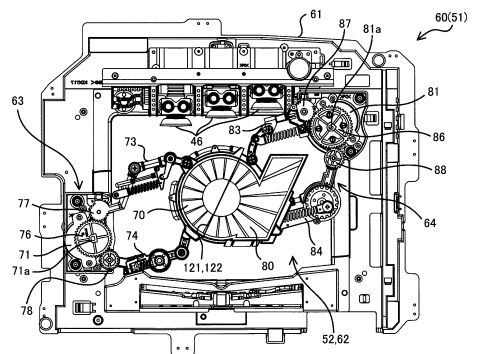
【図 3】



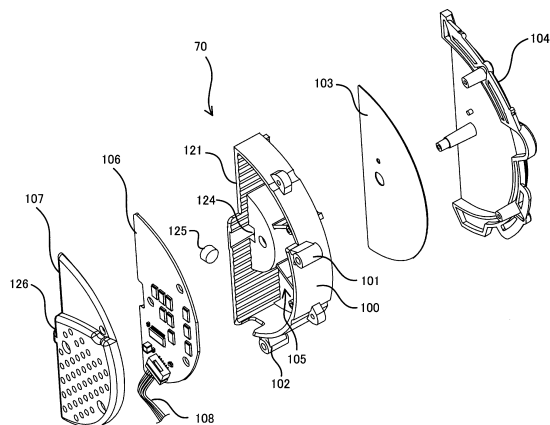
【図 4】



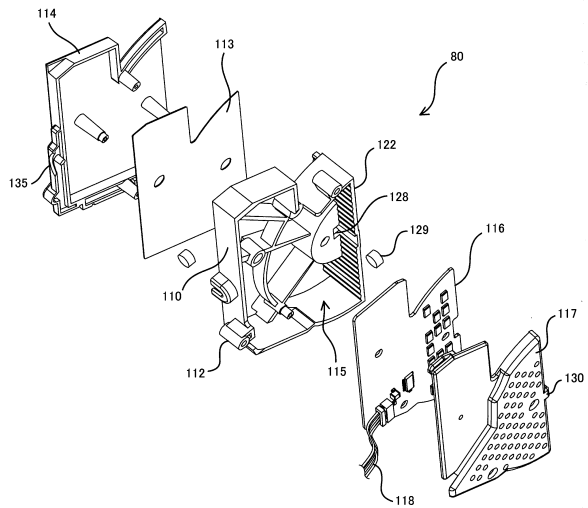
【図 5】



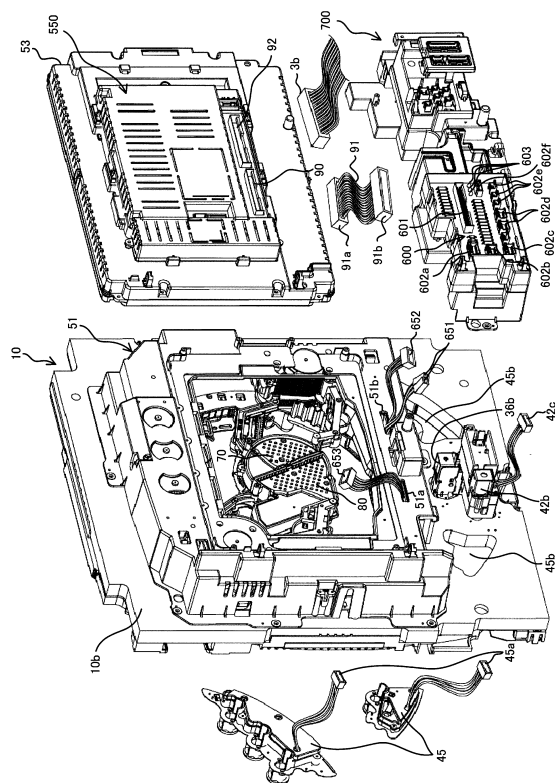
【図 6】



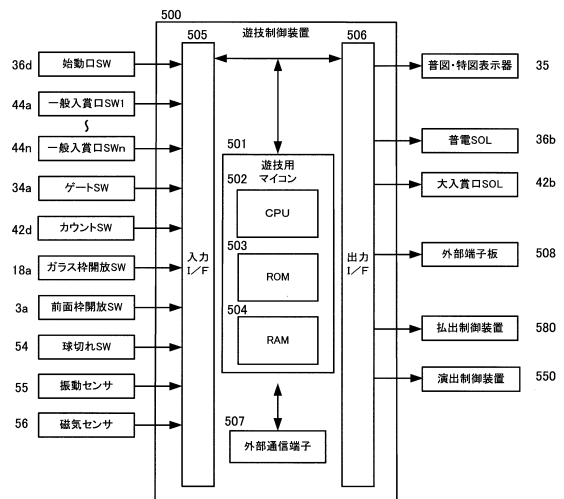
【図 7】



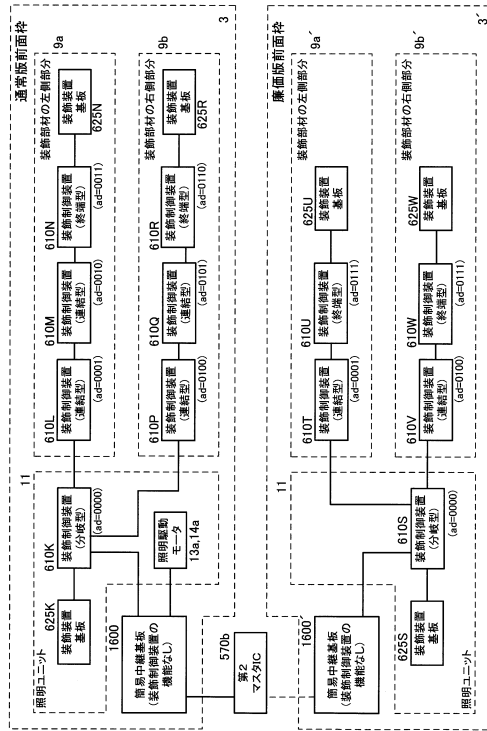
【图 8】



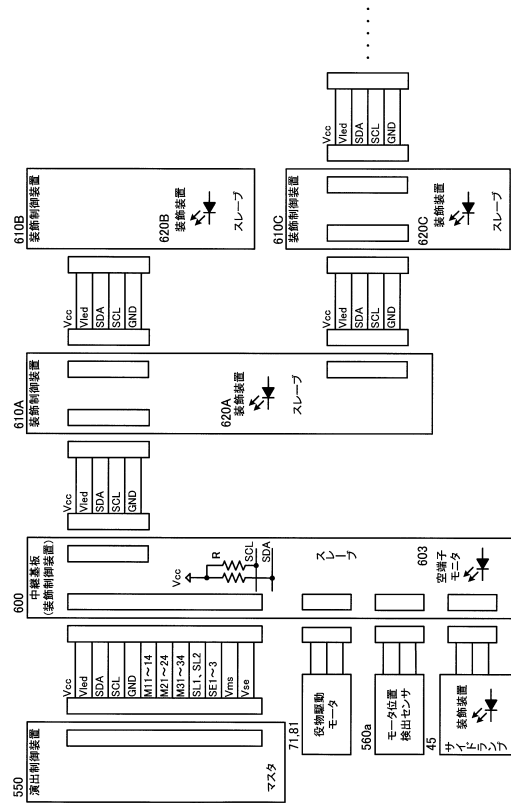
【图 9】



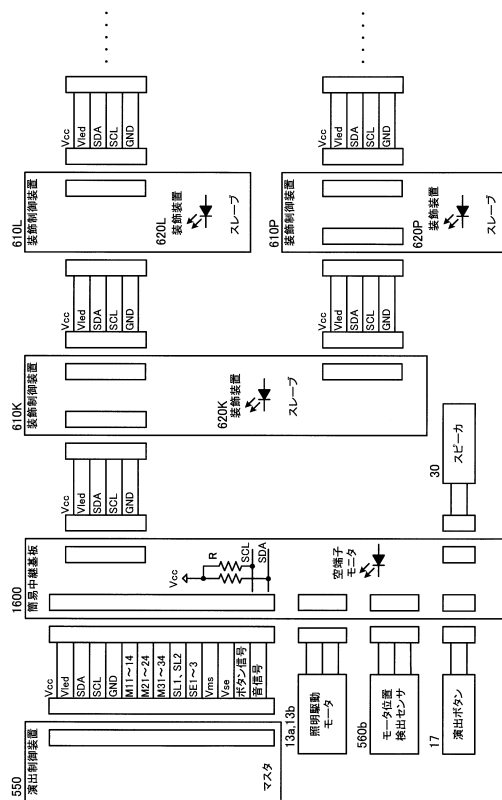
【図 14】



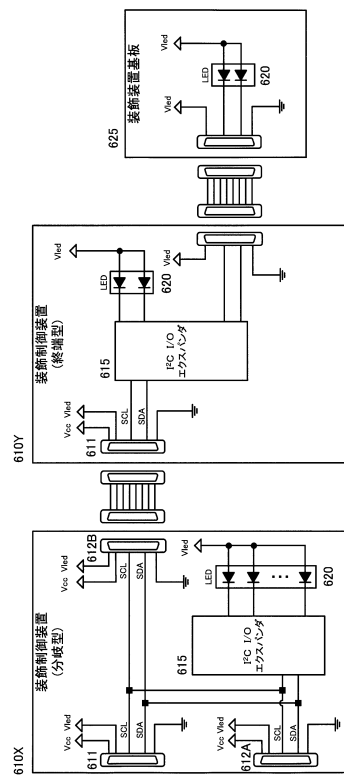
【図 15】



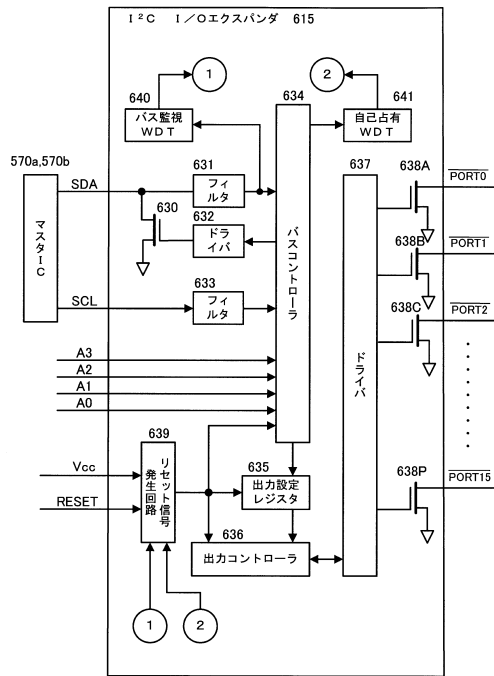
【図 1 6】



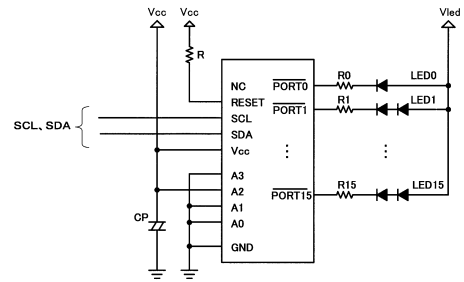
【图 17】



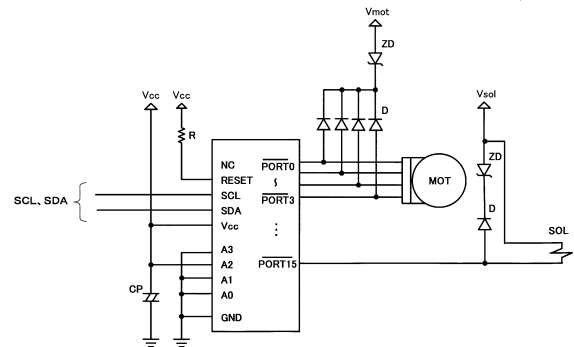
【図 18】



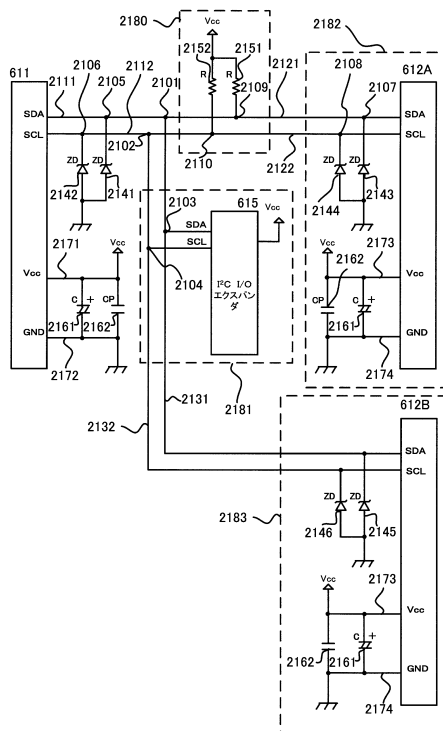
【図 19】



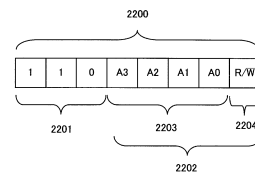
【図 20】



【図 21】



【図 22】



【図 23】

スレーブ アドレス	I²C I/O エクスパンダアドレス			
	A3	A2	A1	A0
00h	0	0	0	0
02h	0	0	0	1
04h	0	0	1	0
06h	0	0	1	1
08h	0	1	0	0
0Ah	0	1	0	1
0Ch	0	1	1	0
0Eh	0	1	1	1
10h	1	0	0	0
12h	1	0	0	1
14h	1	0	1	0
16h	1	0	1	1
18h	1	1	0	0
1Ah	1	1	0	1
1Ch	1	1	1	0
1Eh	1	1	1	1

【図 3 0】

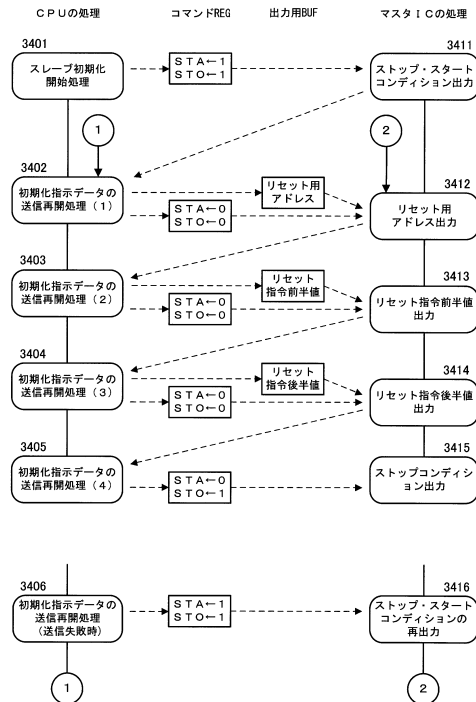


【图 3 2】

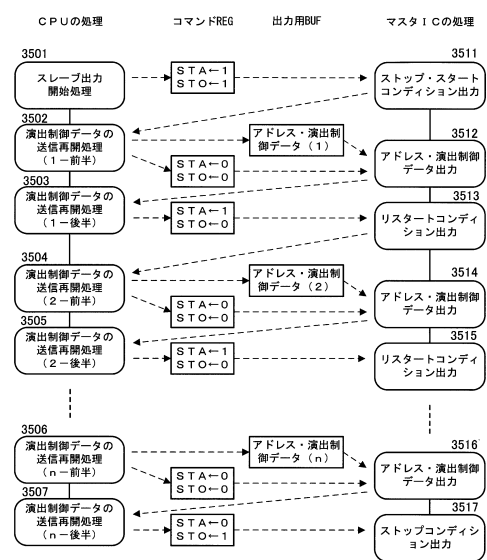


3201	3202	3203	3204	3205	3300
I/O エキスパンダ アドレス	スレーブ アドレス	エラー カウンタ	比較値	エラー フラグ	
0000	C0h	0～N	300	ON/OFF	
0001	C2h	0～N	300	ON/OFF	
0010	C4h	0～N	300	ON/OFF	
0011	C6h	0～N	300	ON/OFF	
0100	C8h	0～N	300	ON/OFF	
0101	CAh	0～N	300	ON/OFF	
0110	CCh	0～N	300	ON/OFF	
0111	CEh	0～N	300	ON/OFF	

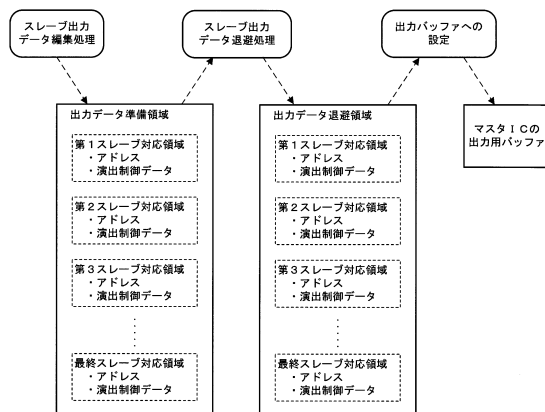
【図 34】



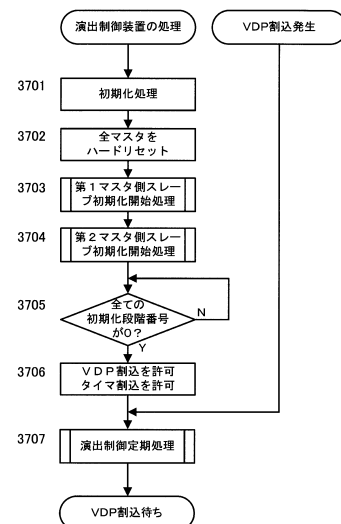
【図 35】



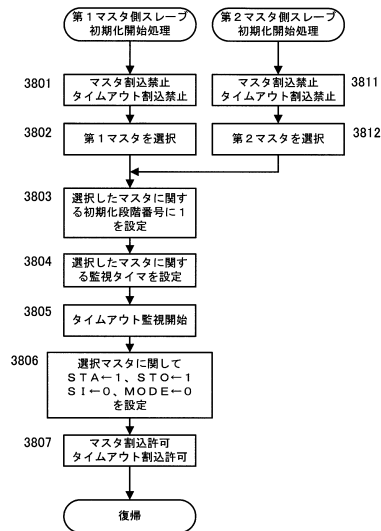
【図 36】



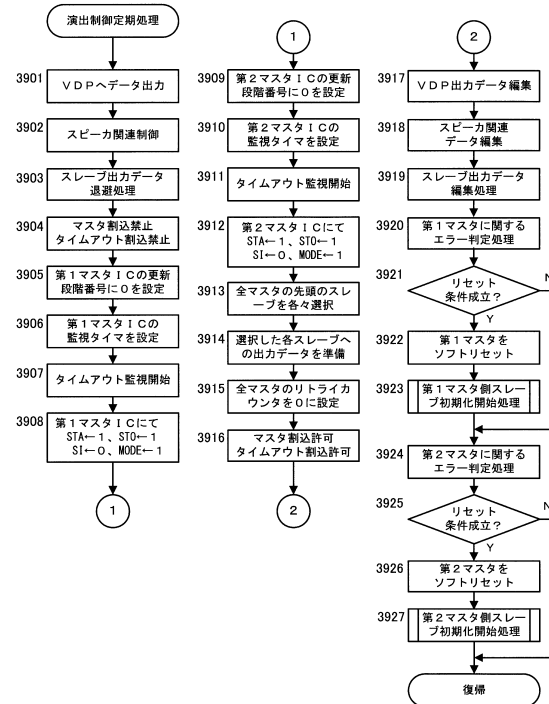
【図 37】



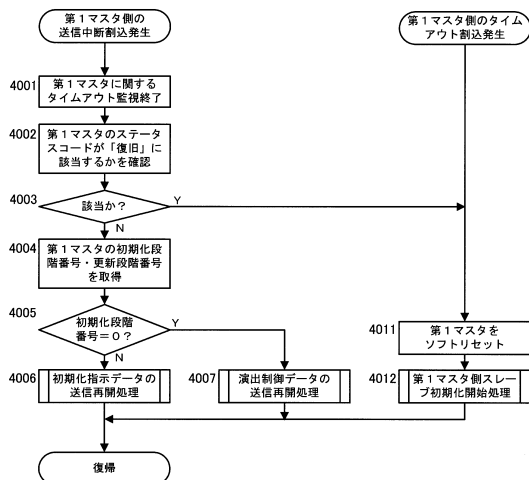
【図 38】



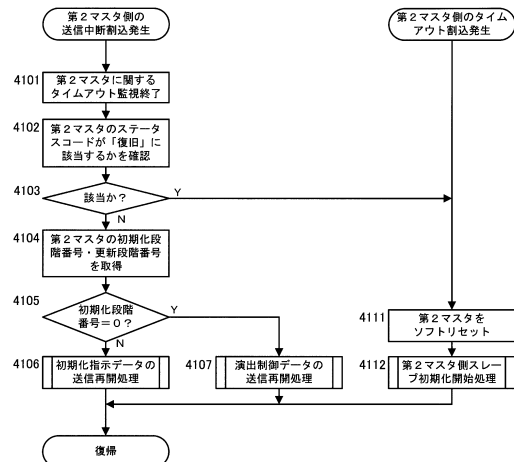
【図 39】



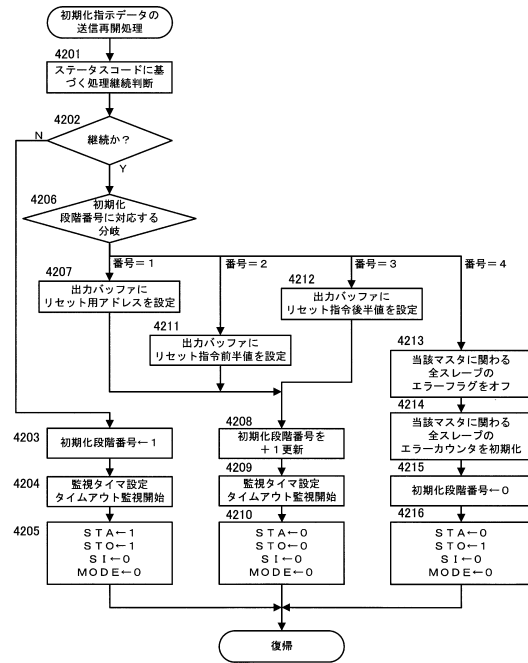
【図 40】



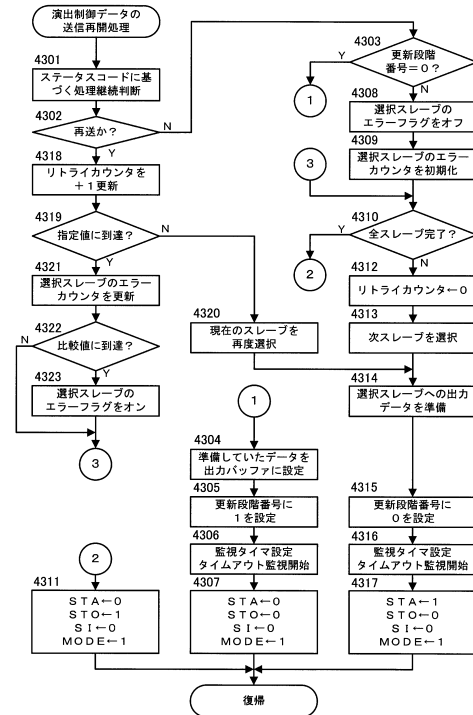
【図 41】



【図 4 2】



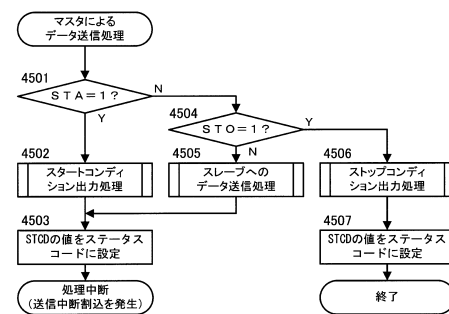
【図 4 3】



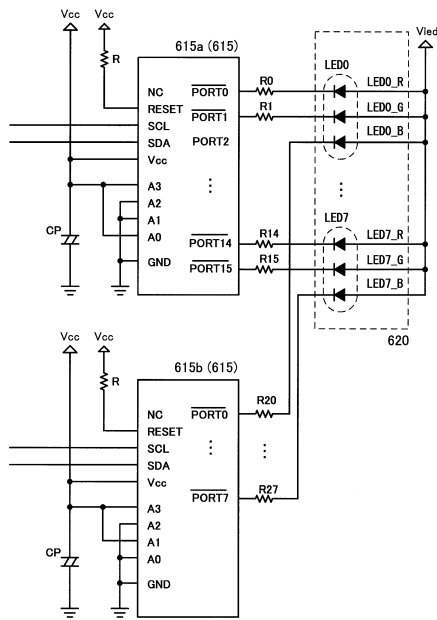
【図 4 4】

ステータスコード	初期化指示データの送信再開処理の継続判断		演出制御データの送信再開処理の継続判断		状態
	初期化段階番号=1	初期化段階番号=2	更新段階番号=0	更新段階番号=1	
08H	継続	再開	継続	再開	スタートコンディション送信完了
10H	継続	再開	継続	再開	スタートコンディション送信完了
18H	再開	再開	再開	再開	アドレス送信成功
20H	再開	再開	再開	再開	アドレス送信失敗
28H	再開	再開	再開	再開	データ送信成功
30H	再開	再開	再開	再開	データ送信失敗
70H	復旧	復旧	復旧	復旧	SDA占有解除不能
78H	復旧	復旧	復旧	復旧	SCL占有解除不能
F8H	再開	再開	再開	再開	ストップコンディション送信完了
他の値	再開	再開	再開	再開	

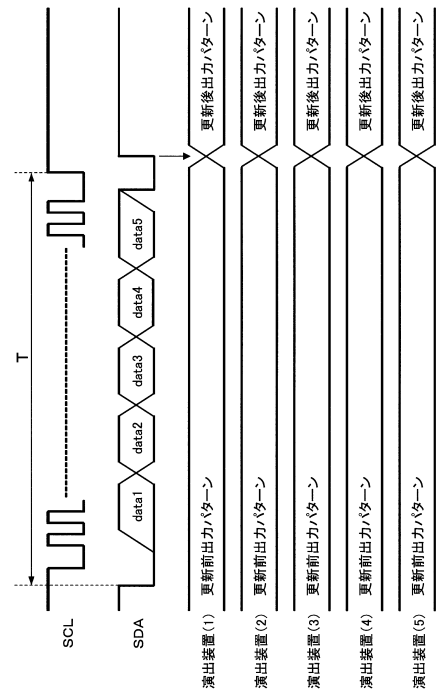
【図 4 5】



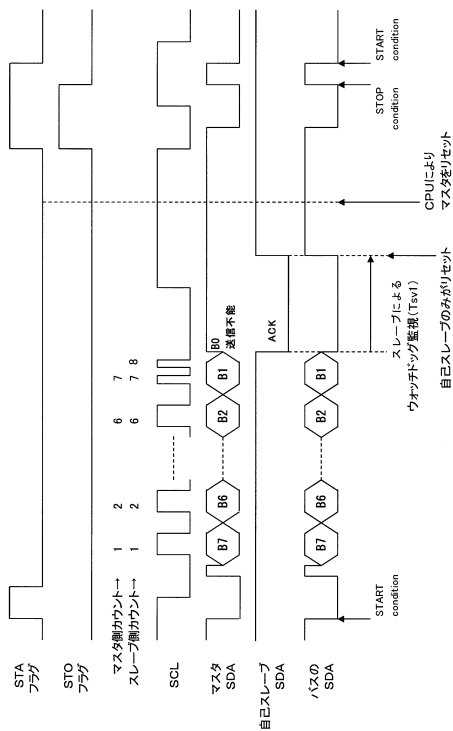
【図 55】



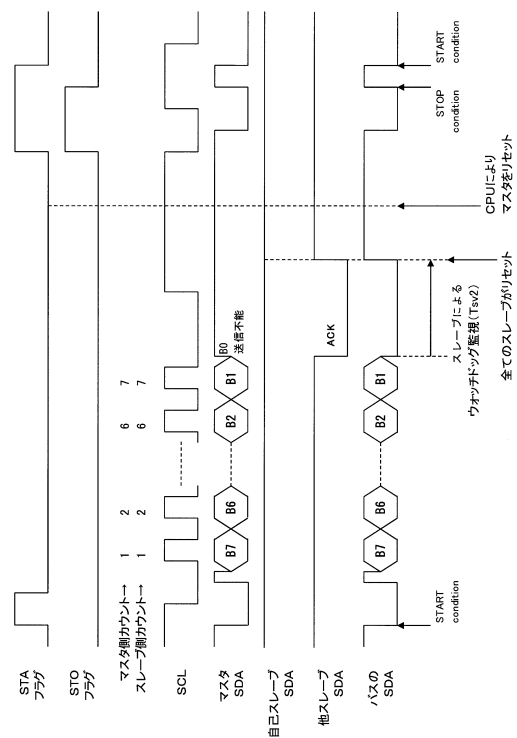
【図 56 A】



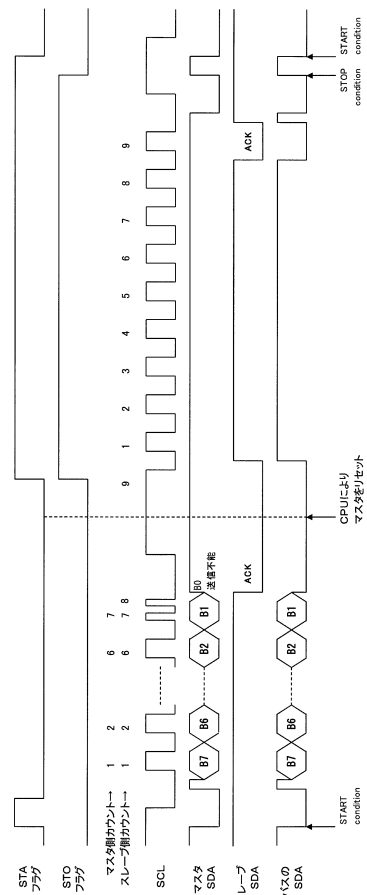
【図 57】



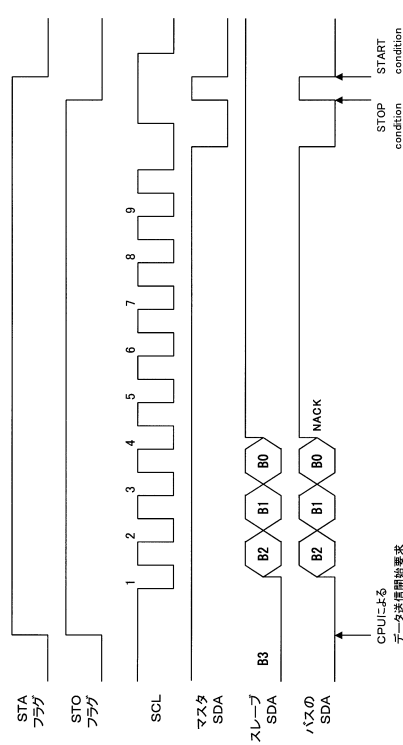
【図 58】



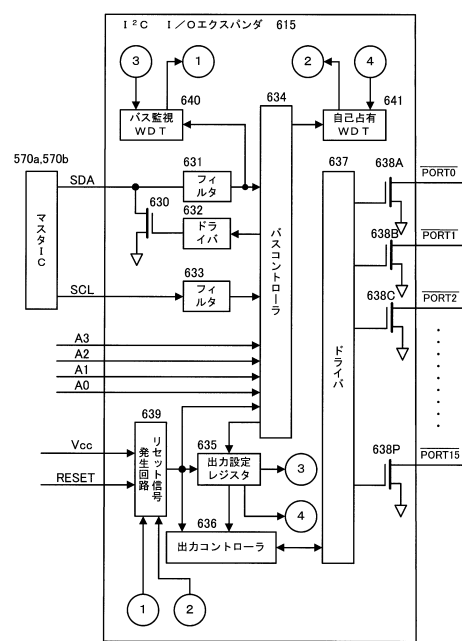
【図 59】



【図 60】



【図 61】



【図 62】

(A)

MODE1

7	6	5	4	3	2	1	0

ビット名	初期値
ALLCALL	1
SUB3	0
SUB2	0
SUB1	0
SLEEP	1
A10	0
A11	0
A12	1

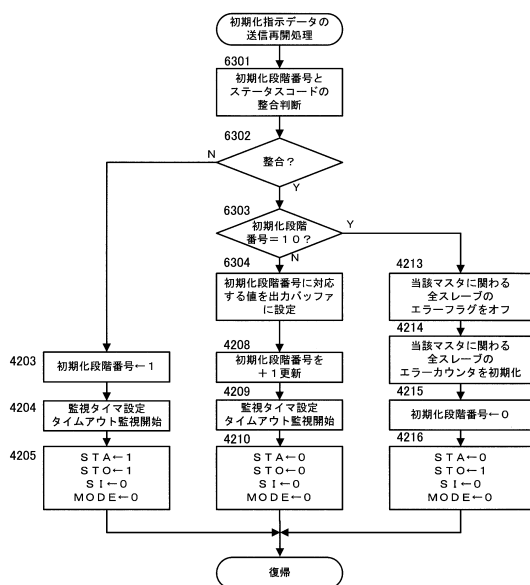
(B)

MODE2

7	6	5	4	3	2	1	0

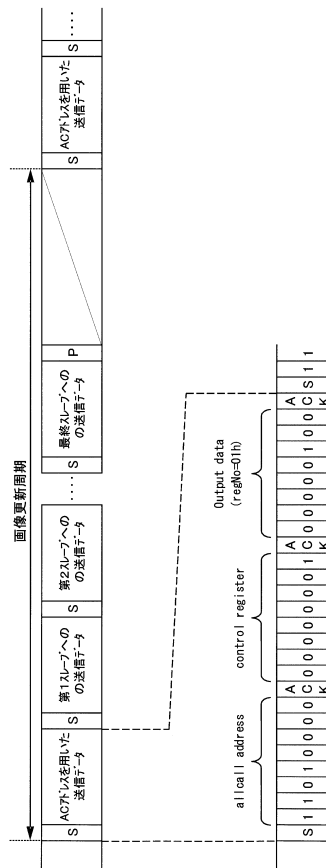
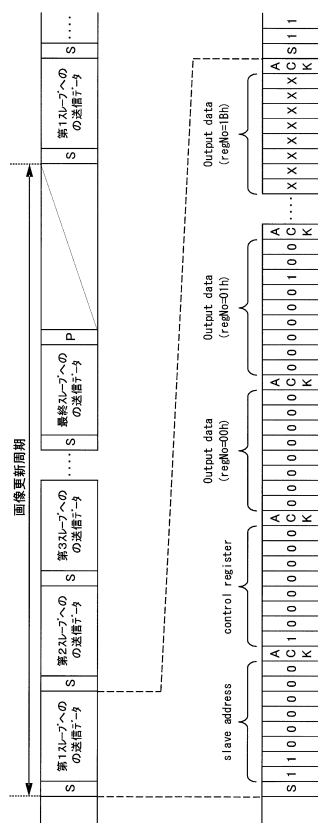
ビット名	初期値
WDT PERIOD	1
WDT ENABLE	0
OCH	0
未使用	0
DMBLNK	0
未使用	0
未使用	0

【図 6 4】

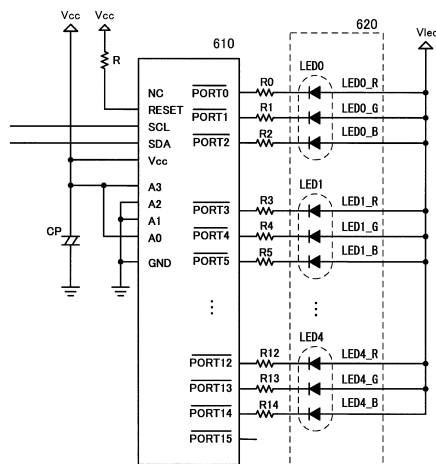


初期化段階番号	出力バッファ設定値	内容
1	D 6 h	リセット用アドレス
2	A 5 h	リセット指令前半値
3	5 A h	リセット指令後半値
4	D 0 h	オールコールアドレス
5	0 1 h	コントロールレジスタ設定値 (オートインクリメントを禁止) (モードレジスタ 2 を指定)
6	0 4 h	モードレジスタ 2 設定値 (WDT PERIOD=00 .. 監視時間を 5 mS に設定) (WDT ENABLE=1 .. WDT 使用) (ODH=0 .. ストップコンディションで出力反映)
7	D 0 h	オールコールアドレス
8	0 0 h	コントロールレジスタ設定値 (オートインクリメントを禁止) (モードレジスタ 1 を指定)
9	0 0 h	モードレジスタ 1 設定値 (ALLCALL=0 .. オールコールアドレス無効)

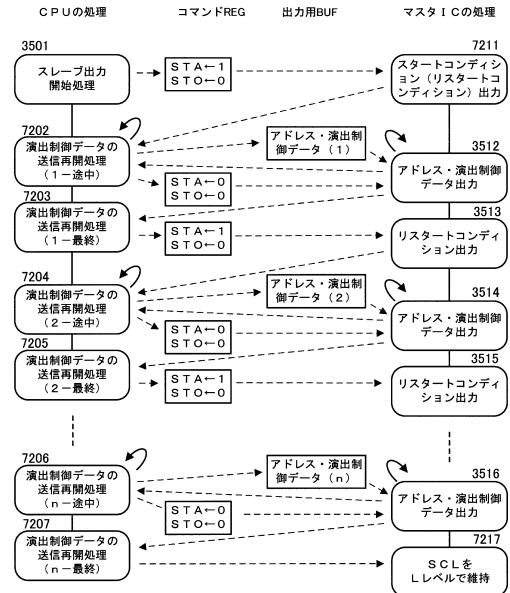
【図 6 6】



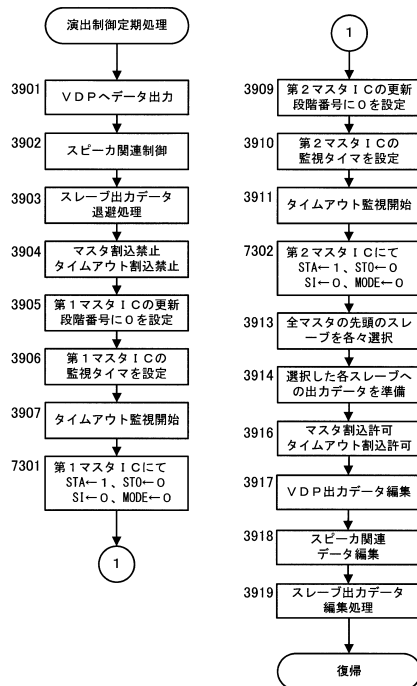
【図 7 1】



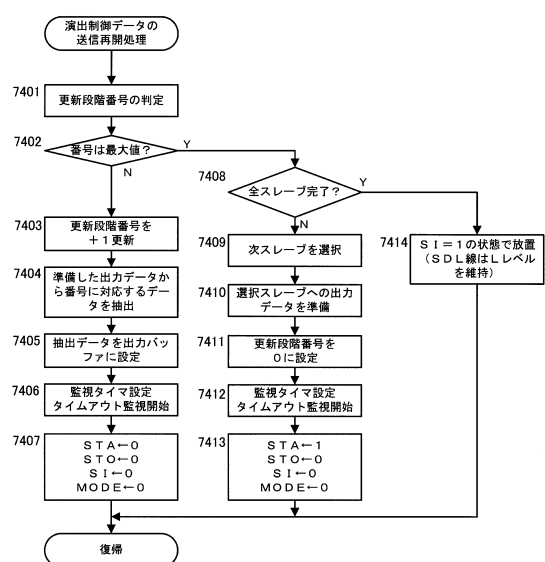
【図 7 2】



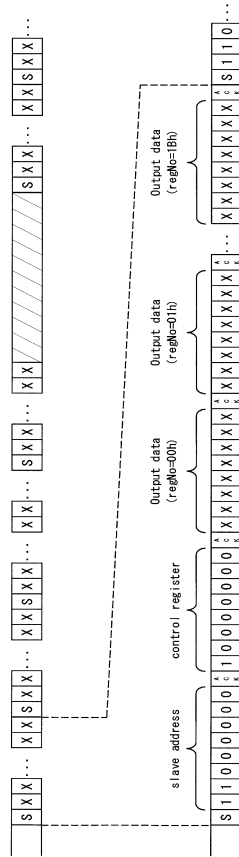
【図 7 3】



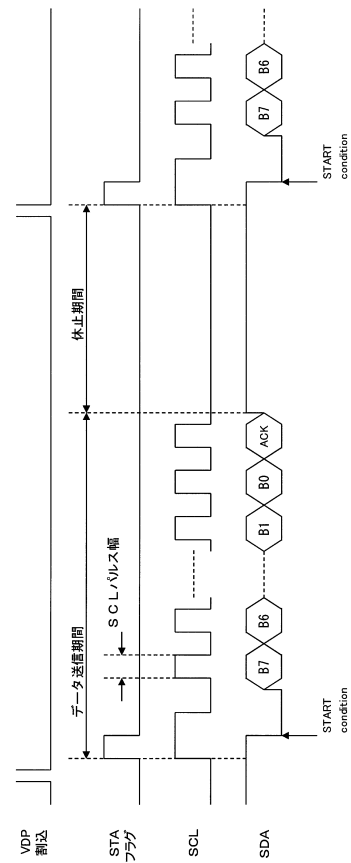
【図 7 4】



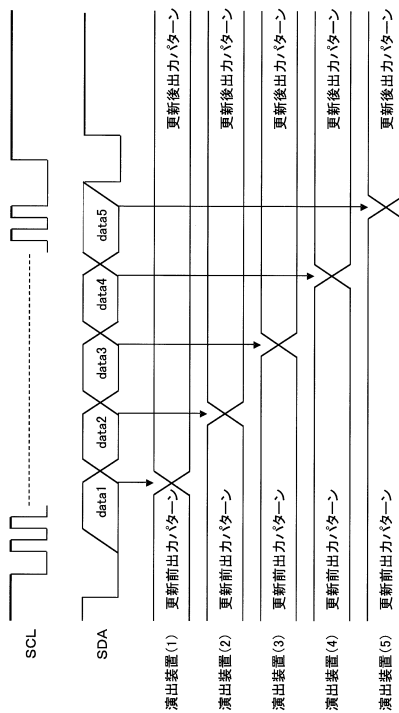
【図 75】



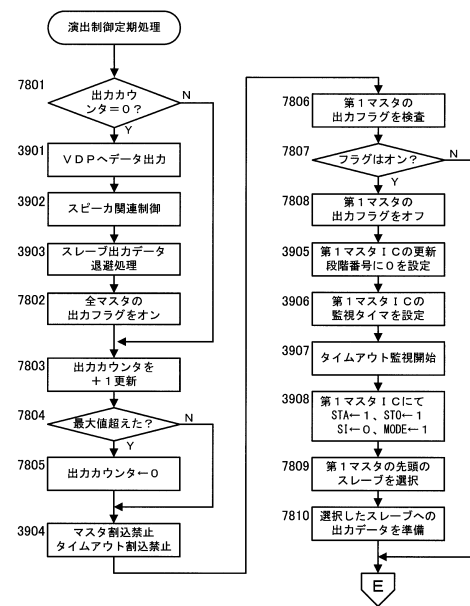
【図 76】



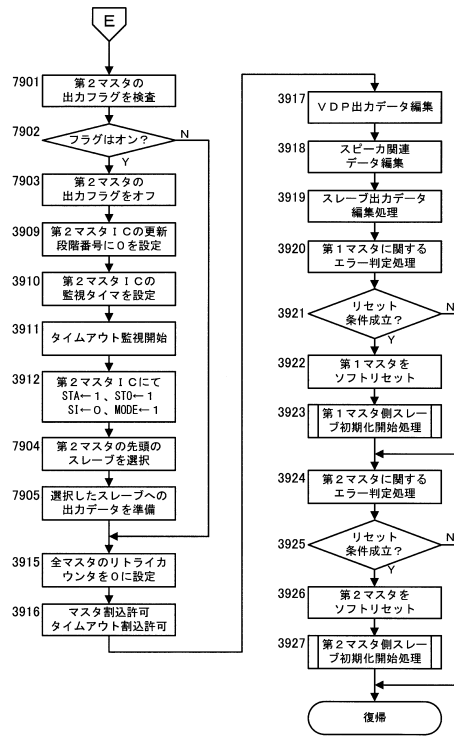
【図 77】



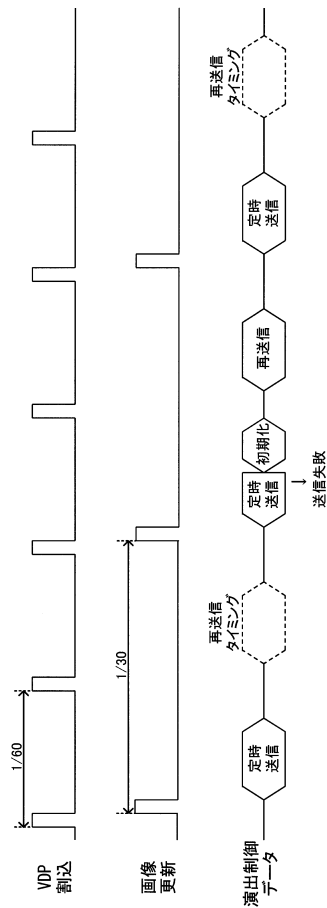
【図 78】



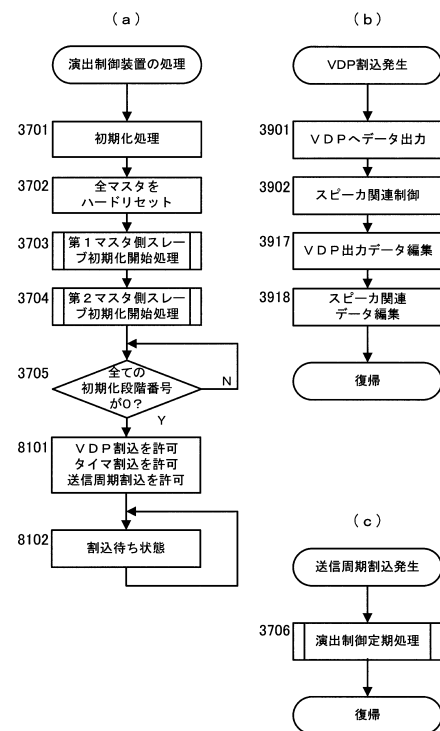
【図 79】



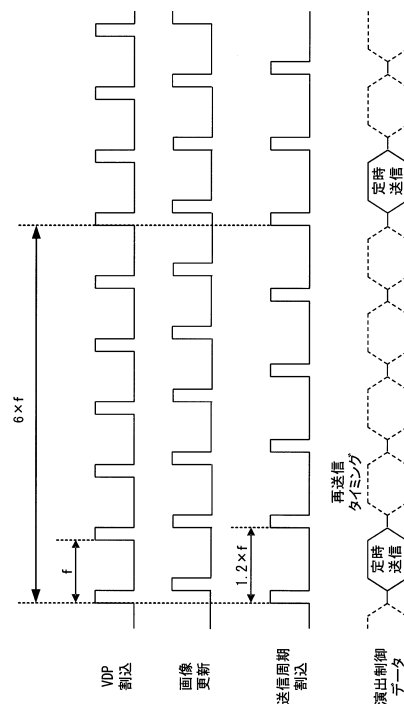
【図 80】



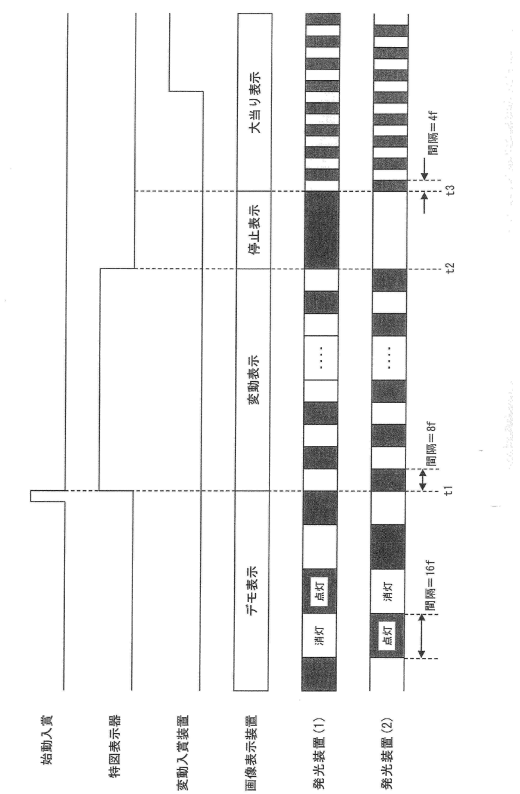
【図 81】



【図 82】



【図 5 6 B】



フロントページの続き

- (56)参考文献 特開2010-088667 (JP, A)
特開2003-066939 (JP, A)
特開2010-088781 (JP, A)
特開2008-233765 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
A63F 7/02