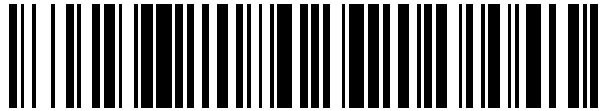


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 881 302**

51 Int. Cl.:

H04L 7/033	(2006.01)
H03K 5/1252	(2006.01)
H03K 5/1534	(2006.01)
H04L 25/49	(2006.01)
H04L 25/14	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **12.11.2014 PCT/US2014/065169**
- 87 Fecha y número de publicación internacional: **11.09.2015 WO15134071**
- 96 Fecha de presentación y número de la solicitud europea: **12.11.2014 E 14815119 (4)**
- 97 Fecha y número de publicación de la concesión europea: **09.06.2021 EP 3114792**

54 Título: **Circuito de recuperación de reloj para señales de datos de múltiples cables**

30 Prioridad:

06.03.2014 US 201414199322
19.03.2014 US 201414220056
14.04.2014 US 201414252450
13.08.2014 US 201414459132

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
29.11.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

SENGOKU, SHOICHIRO;
WILEY, GEORGE ALAN y
LEE, CHULKYU

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 881 302 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de recuperación de reloj para señales de datos de múltiples cables

5 **Referencia cruzada a solicitudes relacionadas**

10 **[0001]** La presente solicitud reivindica la prioridad y el beneficio de la solicitud de patente de utilidad de EE. UU., n.º 14/459.132 titulada "Compact and Fast N-Factorial Single Data Rate Clock and Data Recovery Circuits [Circuitos de recuperación de reloj de velocidad de transferencia de datos única y de datos N factorial rápida y compacta]", presentada el 13 de agosto de 2014, y la solicitud de patente de utilidad de EE. UU., n.º 14/252.450 titulada "N Factorial Dual Data Rate Clock and Data Recovery [Recuperación de reloj de velocidad de transferencia de datos dual y de datos N factorial]", presentada el 14 de abril de 2014, y la solicitud de patente de utilidad de EE. UU., n.º 14/199.322 titulada "Circuit To Recover A Clock Signal From Multiple Wire Data Signals That Changes State Every State Cycle And Is Immune To Data Inter-Lane Skew As Well As Data State Transition Glitches [Circuito para recuperar una señal de reloj de señales de datos de múltiples cables que cambia de estado en cada ciclo de estado y que es inmune al sesgo entre carriles de datos así como a los fallos de transición de estados de datos]", presentada el 26 de marzo de 2014, y la solicitud de patente de utilidad de EE. UU., n.º 14/220.056 titulada "Multi-Wire Open-Drain Link with Data Symbol Transition Based Clocking [Enlace de drenaje abierto de múltiples cables con temporización basada en la transición de símbolos de datos]", presentada el 19 de marzo de 2014, todas las cuales están cedidas al cesionario del presente documento.

Antecedentes

25 **Sector**

30 **[0002]** La presente divulgación se refiere en general a una interfaz entre un procesador principal y un dispositivo periférico tal como una cámara o un sensor y, más en particular, a la mejora de la generación de reloj para la transferencia de datos de velocidad de transferencia de datos única en una interfaz de comunicación de *N* cables.

Antecedentes

35 **[0003]** Los fabricantes de dispositivos móviles, tales como teléfonos celulares, pueden obtener componentes de los dispositivos móviles desde diversas fuentes, que incluyen diferentes fabricantes. Por ejemplo, un procesador de aplicaciones en un teléfono celular se puede obtener de un primer fabricante, mientras que la pantalla para el teléfono celular se puede obtener de un segundo fabricante. El procesador de aplicaciones y una pantalla u otro dispositivo se pueden interconectar usando una interfaz física basada en normas o patentada. Por ejemplo, una pantalla puede proporcionar una interfaz que cumple con la norma de interfaz de sistema de pantalla (DSI) especificada por la Alianza de Interfaz de Procesador de la Industria Móvil (MIPI).

45 **[0004]** En un ejemplo, un sistema de transferencia de datos de múltiples señales puede emplear señalización diferencial de múltiples cables, tal como la señalización diferencial de baja tensión (LVDS) de 3 fases o *N* factorial (*N!*), la transcodificación (por ejemplo, la conversión de datos digital-digital de un tipo de codificación a otro) se puede realizar para incluir información de reloj de símbolo causando una transición de símbolo en cada ciclo de símbolo, en lugar de enviar información de reloj en carriles de datos separados (trayectos de transmisión diferenciales). Incluir información de reloj mediante transcodificación es una forma eficaz de reducir al mínimo el sesgo entre las señales de reloj y de datos, así como de eliminar la necesidad de un bucle de enganche de fase (PLL) para recuperar la información de reloj de las señales de datos.

55 **[0005]** Los circuitos de recuperación de reloj y de datos (CDR) son circuitos descodificadores que extraen señales de datos, así como señales de reloj de múltiples señales de datos. Sin embargo, la recuperación de reloj de múltiples señales de datos cuyas transiciones de estado representan eventos de reloj es a menudo objeto de impulsos parásitos no intencionados en su señal de reloj recuperada debido al sesgo entre carriles de las señales de datos o señales de fallo por estados de señal de datos intermedios o indeterminables en tiempos de transición de datos. Por ejemplo, dicha señal de reloj puede ser susceptible de fluctuación de fase. La fluctuación de fase indica qué adelanto o retraso lleva una transición de señal con referencia al tiempo en que debería tener lugar la transición. La fluctuación de fase es indeseable porque causa errores de transmisión y/o limita la velocidad de transmisión. La señal de reloj recuperada se puede usar para extraer símbolos de datos codificados dentro de los múltiples cables/conductores.

60 **[0006]** Por lo tanto, se necesita un circuito de recuperación de reloj que reduzca al mínimo los retardos analógicos, sea tolerante a la fluctuación de fase y sea escalable en sistemas de señales múltiples que tienen diferentes números de conductores.

65

- 5 Se dirige la atención hacia un documento de MULLER P *ET AL.*, titulado "Top-Down Design of a Low-Power Multi-Channel 2.5-Gbit/s/Channel Gated Oscillator Clock-Recovery Circuit", DESIGN, AUTOMATION AND TEST IN EUROPE, 2005, MUNICH, ALEMANIA, 7-11 DE MARZO DE 2005, PISCATAWAY, NJ, EE. UU., IEEE, (20050307), ISBN 978-0-7695-2288-3, páginas 258 - 263. El documento presenta un diseño descendente completo de un circuito de recuperación de reloj multicanal de baja potencia basado en osciladores controlados por corriente de compuerta. El flujo incluye varias herramientas y procedimientos usados para especificar restricciones de bloque, para diseñar y verificar la topología hasta el nivel de transistor, así como para lograr un consumo de energía tan bajo como 5 mW/Gbit/s. Se usa simulación estadística para estimar la tasa de errores de bit alcanzable en presencia de errores de fase y frecuencia, y para probar la viabilidad del concepto. El modelizado VHDL proporciona una amplia verificación de la topología. El modelizado de ruido térmico basado en conceptos bien conocidos ofrece parámetros de diseño para el tamaño y la polarización del dispositivo. El documento presenta dos ejemplos prácticos de posibles mejoras de diseño analizadas e implementadas con esta metodología.
- 10
- 15 Se dirige la atención además hacia el documento DE 33 29 773 A1 que describe flujos de datos síncronos con reloj conmutado digitalmente que cambian, por un lado, debido a la fluctuación de fase y, por otro lado, ejecutándose de una manera dependiente del trayecto de conexión directa, a la relación de temporización mutua de sus bordes de conmutación. Su adaptación síncrona, necesaria para la multiplexación, se realiza mediante almacenamiento intermedio SP1, SP2 e interrogación doble, desplazada por un intervalo de tiempo elegido, de todos los flujos de datos, comparación por pares y desplazamiento automático de los dos tiempos de interrogación si hay desigualdad de los dos valores interrogados obtenidos para uno (o incluso más de uno) de los flujos de datos, hasta que deje de haber desigualdad. El efecto que se logra es que el tiempo de interrogación no se encuentre en la región de incertidumbre del borde de conmutación en el caso de cualquiera de los flujos de datos. En consecuencia, no se puede leer un estado de señal indefinido. El desplazamiento de los tiempos de interrogación se produce mediante un circuito de retardo de tiempo anterior a la entrada de reloj de uno de los dos registros de almacenamiento. El desplazamiento es preferentemente menor que un período del reloj de sincronización de los flujos de datos, dividido por el número de dichos flujos.
- 20
- 25
- 30 Se dirige además la atención hacia el documento GB 2 456 517 A que describe un dispositivo de transmisión de datos, un dispositivo de recepción de datos y un procedimiento de comunicación de datos. Un codificador genera una primera, una segunda y una tercera señal, comprendiendo cada señal en cualquier momento uno de un primer símbolo o un segundo símbolo, sobre la base de una señal de datos de entrada e información de sincronización, de modo que el número de señales generadas que comprenden el primer símbolo se mantiene igual. Una salida transmite cada una de la primera, segunda y tercera señales generadas a través de un conductor individual respectivo de una línea de transmisión. Un descodificador está dispuesto para recibir una señal desde cada uno del primer, segundo y tercer conductores de la línea de transmisión, para generar una señal de datos de salida sobre la base de la primera, segunda y tercera señales recibidas, y para generar información de sincronización de salida sobre la base de la primera, segunda y tercera señales recibidas. En sistemas de técnica anterior, el proceso de recuperación de reloj y datos depende en gran medida del sistema de codificación de datos empleado. La fluctuación del retardo de la línea de transmisión y de la frecuencia del reloj de sincronización y el ruido introducido en el símbolo del circuito de recuperación de datos del reloj limitan la duración de símbolo codificada mínima y, por lo tanto, limitan la velocidad de símbolo máxima de los datos transmitidos.
- 35
- 40
- 45

Breve explicación

- 50 **[0007]** La presente invención se expone en las reivindicaciones independientes, respectivamente. Los modos de realización preferentes de la invención se describen en las reivindicaciones dependientes.
- 55 **[0008]** Un circuito receptor puede comprender una pluralidad de interfaces de línea, una pluralidad de receptores, un circuito de extracción de reloj y un circuito lógico de tiempo de espera negativo. La pluralidad de interfaces de línea puede estar configurada para recibir una señal ensanchada distribuida a través de la pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estando definida la señal ensanchada por una pluralidad de señales de transición de estado que incluye una primera señal a través de una interfaz de primera línea. La pluralidad de receptores pueden estar acoplados a las interfaces de línea. En un ejemplo, la pluralidad de receptores pueden ser receptores diferenciales y la primera señal es una señal diferencial. En otro ejemplo, la pluralidad de receptores pueden ser receptores de un solo extremo y la primera señal es una señal de un solo extremo. En diversos ejemplos, la señal ensanchada puede ser una de una señal codificada N factorial ($N!$), una señal codificada de tres fases y/o una señal codificada de N fases.
- 60 **[0009]** El circuito de extracción de reloj se puede adaptar para obtener una señal de reloj en base a una comparación entre una primera muestra (instance) de la primera señal y una segunda muestra retardada de la primera señal. El circuito lógico de tiempo de espera negativo se puede adaptar para muestrear la
- 65

segunda muestra retardada de la primera señal en base a la señal de reloj y proporcionar una salida de símbolo.

5 **[0010]** En una implementación, el circuito de extracción de reloj se puede adaptar además para generar la señal de reloj en base a unas comparaciones adicionales entre una primera muestra de una segunda señal recibida, dentro de la pluralidad de señales de transición de estado, y una segunda muestra retardada de la segunda señal, y la primera señal y la segunda señal son señales concurrentes recibidas a través de diferentes interfaces de línea.

10 **[0011]** En una implementación, el circuito lógico de tiempo de espera negativo puede incluir un dispositivo lógico de tiempo de espera negativo separado para cada una de la pluralidad de interfaces de línea, estando adaptado cada dispositivo lógico de tiempo de espera negativo separado para muestrear concurrentemente una muestra retardada de una señal recibida distinta, dentro de la pluralidad de señales de transición de estado, en base a la señal de reloj, y proporcionar salidas de símbolo distintas.

15 **[0012]** En un ejemplo, el circuito de extracción de reloj puede incluir: (a) un comparador que compara la primera muestra de la primera señal (SI) y la muestra retardada de la primera señal (SD) y genera una señal de comparación (NE); (b) un dispositivo biestable de activación-desactivación que recibe la señal de comparación (NE) y genera una versión filtrada de la señal de comparación (NEFLT); y/o (c) un primer dispositivo de retardo analógico que retarda la versión filtrada de la señal de comparación (NEFLT) y genera una versión filtrada retardada de la señal de comparación (NEFLTD), donde la versión filtrada retardada de la señal de comparación (NEFLTD) sirve para activar el dispositivo biestable de activación-desactivación.

20 **[0013]** El circuito lógico de tiempo de espera negativo puede incluir un dispositivo biestable que recibe la segunda muestra retardada de la primera señal (SD) y genera un símbolo (S), donde la versión filtrada de la señal de comparación (NEFLT) activa el dispositivo biestable.

25 **[0014]** Adicionalmente, en algunas implementaciones, el circuito receptor puede incluir un segundo dispositivo de retardo analógico que retarda la primera muestra de la primera señal y genera la segunda muestra retardada de la primera señal.

30 **[0015]** Adicionalmente, en otras implementaciones, el circuito receptor puede incluir: (a) un dispositivo biestable que captura la primera muestra de la primera señal y genera la segunda muestra retardada de la primera señal; y/o (b) un segundo dispositivo de retardo analógico que retarda la señal de comparación (NE) y usa la señal de comparación retardada (NED) para activar el dispositivo biestable.

35 **[0016]** En otras implementaciones más, el circuito receptor puede incluir: (a) un dispositivo biestable que captura la primera muestra de la primera señal y genera la segunda muestra retardada de la primera señal, mientras que la versión filtrada de la señal de comparación (NEFLT) o la versión filtrada retardada de la señal de comparación (NEFLTD) está en un estado lógico alto; y/o (b) una compuerta OR que recibe como entrada la versión filtrada de la señal de comparación (NEFLT) y la versión filtrada retardada de la señal de comparación (NEFLTD) y genera una señal usada para activar el dispositivo biestable.

40 **[0017]** Adicionalmente, un procedimiento de funcionamiento en un circuito receptor puede comprender: (a) recibir una señal ensanchada distribuida a través de la pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estando definida la señal ensanchada por una pluralidad de señales de transición de estado que incluyen una primera señal a través de una primera interfaz de línea; (b) obtener una señal de reloj en base a una comparación entre una primera muestra de la primera señal y una segunda muestra retardada de la primera señal; y/o (c) muestrear la segunda muestra retardada de la primera señal en base a la señal de reloj para proporcionar una salida de símbolo. En diversos ejemplos, la primera señal puede ser una señal diferencial o una señal de un solo extremo. En un ejemplo, la señal ensanchada puede ser una de una señal codificada N factorial ($N!$), una señal codificada de tres fases y/o una señal codificada de N fases. En algunas implementaciones, el muestreo de la segunda muestra retardada de la primera señal se puede realizar usando un circuito lógico de tiempo de espera negativo.

45 **[0018]** En un ejemplo, el procedimiento puede incluir además generar la señal de reloj en base a unas comparaciones adicionales entre una primera muestra de una segunda señal recibida, dentro de la pluralidad de señales de transición de estado, y una segunda muestra retardada de la segunda señal, donde la primera señal y la segunda señal son señales concurrentes recibidas a través de diferentes interfaces de línea.

50 **[0019]** En otro ejemplo, el procedimiento puede incluir además muestrear concurrentemente una muestra retardada de una pluralidad de señales distintas, dentro de la pluralidad de señales de transición de estado, en base a la señal de reloj, y proporcionar salidas de símbolo distintas.

65

5 [0020] En algunas implementaciones ejemplares, obtener una señal de reloj puede incluir: (a) comparar la primera muestra de la primera señal (SI) y la muestra retardada de la primera señal (SD) para proporcionar una señal de comparación (NE); (b) enclavar la señal de comparación (NE) para obtener una versión filtrada de la señal de comparación (NEFLT); y/o (c) retardar la versión filtrada de la señal de comparación (NEFLT) para proporcionar una versión filtrada retardada de la señal de comparación (NEFLTD), donde la versión filtrada retardada de la señal de comparación (NEFLTD) sirve para enclavar la señal de comparación (NE). En un primer ejemplo, el procedimiento puede incluir además retardar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal. En un segundo ejemplo, el procedimiento puede incluir, además: (a) capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal; y/o (b) retardar la señal de comparación (NE) y usar la señal de comparación retardada (NED) para activar el enclavamiento de la señal de comparación (NE). En un tercer ejemplo, el procedimiento puede incluir además capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal, mientras que la versión filtrada de la señal de comparación (NEFLT) o la versión filtrada retardada de la señal de comparación (NEFLTD) está en un estado lógico alto.

Breve descripción de los dibujos

20 [0021]

La FIG. 1 representa un aparato que puede emplear un enlace de comunicación entre dispositivos de circuito integrado (IC).

25 La FIG. 2 ilustra una arquitectura de sistema para un aparato que emplea un enlace de datos entre dispositivos de circuito integrado.

30 La FIG. 3 ilustra un sistema general de señalización diferencial de 3 cables entre un dispositivo transmisor y un dispositivo receptor basado en unos estados definidos por señales diferenciales entre una pluralidad de conductores A, B y C.

La FIG. 4 ilustra un ejemplo de interfaz de múltiples cables N factorial básica.

35 La FIG. 5 ilustra un ejemplo de transmisor de codificación de polaridad de M cables y N fases configurado para $M=3$ y $N=3$.

La FIG. 6 ilustra un ejemplo de señalización que emplea un sistema de codificación de datos de modulación de tres fases basado en el diagrama de transición de estados circular.

40 La FIG. 7 es un diagrama de bloques que ilustra un receptor ejemplar en una interfaz de 3 fases.

La FIG. 8 es un diagrama esquemático que incluye un circuito de CDR ejemplar que ilustra determinados aspectos de la recuperación de reloj y de datos desde una interfaz de múltiples cables.

45 La FIG. 9 ilustra un ejemplo de temporización de determinadas señales generadas por el circuito de CDR.

La FIG. 10 es un diagrama de bloques que incluye un circuito de CDR ejemplar que ilustra determinados aspectos de la recuperación de reloj y de datos desde una interfaz de múltiples cables.

50 La FIG. 11 es un diagrama de temporización que ilustra el funcionamiento del circuito de CDR en condiciones de funcionamiento típicas.

55 La FIG. 12 es un diagrama de bloques que incluye un circuito de CDR ejemplar que ilustra determinados aspectos de la recuperación de reloj y de datos desde una interfaz de múltiples cables.

La FIG. 13 es un diagrama de temporización que ilustra el funcionamiento del circuito de CDR en condiciones de funcionamiento típicas.

60 La FIG. 14 es un diagrama esquemático que incluye un circuito de CDR ejemplar que ilustra determinados aspectos de la recuperación de reloj y de datos desde una interfaz de múltiples cables.

La FIG. 15 ilustra un procedimiento para la recuperación de reloj y de datos.

65

Descripción detallada

[0022] Se describen ahora diversos aspectos con referencia a los dibujos. En la siguiente descripción se exponen, con propósitos explicativos, numerosos detalles específicos para permitir una plena comprensión de uno o más aspectos. Sin embargo, puede resultar evidente que dicho(s) aspecto(s) se puede(n) llevar a la práctica sin estos detalles específicos.

[0023] Determinados aspectos descritos en el presente documento pueden ser aplicables a enlaces de comunicaciones implantados entre dispositivos electrónicos que son subcomponentes de un aparato móvil, tal como un teléfono, un dispositivo informático móvil, un electrodoméstico, unos componentes electrónicos de un automóvil, unos sistemas de aviónica, etc. Los ejemplos de aparato móvil incluyen un teléfono celular, un teléfono inteligente, un teléfono con protocolo de inicio de sesión (SIP), un ordenador portátil, un ultrapotátil, un cuaderno digital, un libro inteligente, un asistente digital personal (PDA), un radio por satélite, un dispositivo de sistema de posicionamiento global (GPS), un dispositivo multimedia, un dispositivo de vídeo, un reproductor de audio digital (por ejemplo, un reproductor de MP3), una cámara, una consola de juegos, un dispositivo informático ponible (por ejemplo, un reloj inteligente, un dispositivo de seguimiento sanitario o de actividad física, etc.), un electrodoméstico, un sensor, una máquina expendedora o cualquier otro dispositivo con funcionamiento similar.

Visión general

[0024] En el presente documento se proporcionan diversos circuitos de recuperación de reloj que implementan técnicas de tolerancia a la fluctuación de fase con un número limitado de retardos analógicos. En un ejemplo, un circuito receptor está adaptado para recibir una señal ensanchada distribuida a través de la pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. La señal ensanchada está definida por una pluralidad de señales de transición de estado que incluyen una primera señal a través de una primera interfaz de línea. En algunos ejemplos, la primera señal puede ser una señal diferencial o una señal de un solo extremo. Aunque la primera señal se puede recibir ensanchada a través de múltiples interfaces de línea, se puede combinar en una sola señal que transporta símbolos con transiciones de estado de símbolo a símbolo garantizadas. Debido a las transiciones de estado garantizadas, la primera señal también se puede denominar señal de transición de estado.

[0025] A continuación, se puede extraer u obtener una señal de reloj en base a una comparación entre una primera muestra de la primera señal y una segunda muestra retardada de la primera señal. La segunda muestra retardada de la primera señal se puede muestrear en base a la señal de reloj para proporcionar una salida de símbolo. Dado que la primera señal recibida transporta símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estas transiciones se detectan y se usan para generar la señal de reloj.

[0026] De acuerdo con otra característica, la señal de reloj se puede generar además en base a unas comparaciones adicionales entre una primera muestra de una segunda señal recibida, dentro de la pluralidad de señales de transición de estado, y una segunda muestra retardada de la segunda señal, y la primera señal y la segunda señal son señales concurrentes recibidas a través de diferentes interfaces de línea.

Entorno(s) de funcionamiento ejemplar(es)

[0027] La FIG. 1 representa un aparato que puede emplear un enlace de comunicación entre dispositivos de circuito integrado (IC). En un ejemplo, el aparato 100 puede incluir un dispositivo de comunicación inalámbrica que se comunica a través de un transceptor de RF con una red de acceso por radio (RAN), una red de acceso central, Internet y/u otra red. El aparato 100 puede incluir un transceptor de comunicaciones 106 acoplado funcionalmente al circuito de procesamiento 102. El circuito de procesamiento 102 puede incluir uno o más dispositivos de IC, tales como un IC específico de la aplicación (ASIC) 108. El ASIC 108 puede incluir uno o más dispositivos de procesamiento, circuitos lógicos, etc. El circuito de procesamiento 102 puede incluir y/o estar acoplado a un almacenamiento legible por procesador, tal como una memoria 112 que puede mantener datos e instrucciones que el circuito de procesamiento 102 puede ejecutar. El circuito de procesamiento 102 puede estar controlado por uno o más de un sistema operativo y una capa de interfaz de programación de aplicaciones (API) 110 que admite y permite la ejecución de módulos de software que residen en medios de almacenamiento, tales como el dispositivo de memoria 112 del dispositivo inalámbrico. El dispositivo de memoria 112 puede incluir memoria de solo lectura (ROM) o memoria de acceso aleatorio (RAM), ROM programable y borrable eléctricamente (EEPROM), tarjetas de memoria *flash* o cualquier dispositivo de memoria que se pueda usar en sistemas de procesamiento y plataformas informáticas. El circuito de procesamiento 102 puede incluir o acceder a una base de datos local 114 que puede mantener parámetros de funcionamiento y otra información usada para configurar y hacer funcionar el aparato 100. La base de datos local 114 se puede implementar usando uno o más de un módulo de base de datos, memoria *flash*, medios magnéticos, EEPROM, medios ópticos, cinta, disco flexible o duro o similares. El circuito de procesamiento también puede estar acoplado funcionalmente a

unos dispositivos externos, tales como una antena 122, una pantalla 124, unos controles de operador, tales como un botón 128 y un teclado numérico 126, entre otros componentes.

5 **[0028]** Uno o más de los componentes ilustrados en la FIG. 1 pueden implementar la recuperación de reloj y datos, de acuerdo con uno o más aspectos descritos en el presente documento, para recuperar un reloj incluido dentro de unas transiciones de señal diferencial en un sistema de comunicación de múltiples cables (N cables) (por ejemplo, codificación N factorial $N!$ y codificación de N fases). Se debe tener en cuenta que los términos "cables", "conductores," conectores" y/o "líneas" se pueden usar de manera intercambiable para referirse a los trayectos eléctricos a través de los cuales se pueden transmitir señales diferenciales.

15 **[0029]** La FIG. 2 es un esquema de bloques 200 que ilustra determinados aspectos de un aparato 200, tal como un aparato móvil que emplea un enlace de comunicación 220 para conectar diversos subcomponentes. En un ejemplo, el aparato 200 incluye una pluralidad de dispositivos de IC 202 y 230 que intercambian datos e información de control a través de un enlace de comunicación 220. El enlace de comunicación 220 se puede usar para conectar unos dispositivos de IC 202 y 222 que están localizados muy cerca uno del otro, o que están localizados físicamente en diferentes partes del aparato 200. En un ejemplo, el enlace de comunicación 220 se puede proporcionar en un soporte de chip, sustrato o placa de circuito que contiene los dispositivos de IC 202 y 230. En otro ejemplo, un primer dispositivo de IC 202 puede estar localizado en una sección de teclado numérico de un teléfono plegable, mientras que un segundo dispositivo de IC 230 puede estar localizado en una sección de pantalla del teléfono plegable. En otro ejemplo, una parte del enlace de comunicación 220 puede incluir una conexión por cable u óptica.

25 **[0030]** El enlace de comunicación 220 puede proporcionar múltiples canales 222, 224 y 226. Uno o más canales 226 pueden ser bidireccionales y pueden funcionar en modos semidúplex y/o dúplex completo. Uno o más canales 222 y 224 pueden ser unidireccionales. El enlace de comunicación 220 puede ser asimétrico y proporcionar un mayor ancho de banda en una dirección. En un ejemplo descrito en el presente documento, un primer canal de comunicaciones 222 se puede denominar enlace directo 222, mientras que un segundo canal de comunicaciones 224 se puede denominar enlace inverso 224. El primer dispositivo de IC 202 se puede designar sistema principal o transmisor, mientras que el segundo dispositivo de IC 230 se puede designar sistema cliente o receptor, incluso si ambos dispositivos de IC 202 y 230 están configurados para transmitir y recibir en el enlace de comunicaciones 222. En un ejemplo, el enlace directo 222 puede funcionar a una velocidad de transferencia de datos más alta cuando comunica datos desde un primer dispositivo de IC 202 a un segundo dispositivo de IC 230, mientras que el enlace inverso 224 puede funcionar a una velocidad de transferencia de datos más baja cuando comunica datos desde el segundo dispositivo de IC 230 al primer dispositivo de IC 202.

40 **[0031]** Los dispositivos de IC 202 y 230 pueden incluir cada uno un procesador u otro circuito o dispositivo de procesamiento y/o informático 206, 236. En un ejemplo, el primer dispositivo de IC 202 puede realizar funciones centrales del aparato 200, que incluyen mantener comunicaciones inalámbricas a través de un transceptor inalámbrico 204 y una antena 214, mientras que el segundo dispositivo de IC 230 puede admitir una interfaz de usuario que gestiona o hace funcionar un controlador de pantalla 232. En el ejemplo, el segundo dispositivo de IC 230 puede estar adaptado para controlar las operaciones de una cámara o un dispositivo de entrada de vídeo usando un controlador de cámara 234. Otras características admitidas por uno o más de los dispositivos de IC 202 y 230 pueden incluir un teclado numérico, un componente de reconocimiento de voz y otros dispositivos de entrada o salida. El controlador de pantalla 232 puede incluir controladores de circuitos y de software que admiten pantallas tales como un panel de pantalla de cristal líquido (LCD), una pantalla táctil, unos indicadores, etc. Los medios de almacenamiento 208 y 238 pueden incluir dispositivos de almacenamiento transitorios y/o no transitorios adaptados para mantener instrucciones y datos usados por los respectivos procesadores 206 y 236, y/u otros componentes de los dispositivos de IC 202 y 230. La comunicación entre cada procesador 206, 236 y sus correspondientes medios de almacenamiento 208 y 238 y otros módulos y circuitos puede ser facilitada por uno o más buses 212 y 242, respectivamente.

55 **[0032]** El enlace inverso 224 se puede hacer funcionar de la misma manera que el enlace directo 222, y el enlace directo 222 y el enlace inverso 224 pueden transmitir a velocidades comparables o a velocidades diferentes, donde la velocidad se puede expresar como una velocidad de transferencia de datos y/o unas velocidades de reloj. Las velocidades de transferencia de datos directa e inversa pueden ser sustancialmente iguales o diferir en órdenes de magnitud, dependiendo de la aplicación. En algunas aplicaciones, un solo enlace bidireccional 226 puede admitir comunicaciones entre el primer dispositivo de IC 202 y el segundo dispositivo de IC 230. El enlace directo 222 y/o el enlace inverso 224 pueden ser configurables para funcionar en un modo bidireccional cuando, por ejemplo, los enlaces directo e inverso 222 y 224 comparten las mismas conexiones físicas y funcionan en semidúplex. En un ejemplo, el enlace de comunicación 220 se puede hacer funcionar para comunicar control, comandos y otra información entre el primer dispositivo de IC 202 y el segundo dispositivo de IC 230, de acuerdo con una norma industrial o de otro tipo.

[0033] En un ejemplo, los enlaces directo e inverso 222 y 224 pueden estar configurados o adaptados para admitir un IC de controlador de LCD de 80 tramas por segundo de matriz de gráficos de vídeo amplia (WVGA) sin un búfer de trama, suministrando datos de píxeles a 810 Mb/s para actualizar la pantalla. En otro ejemplo, los enlaces directo e inverso 222 y 224 pueden estar configurados o adaptados para permitir comunicaciones entre memorias dinámicas de acceso aleatorio (DRAM), tales como memorias dinámicas de acceso aleatorio síncronas (SDRAM) de doble velocidad de transferencia de datos. Los dispositivos de codificación 210 y/o 230 pueden codificar múltiples bits por transición de reloj, y se pueden usar múltiples conjuntos de cables para transmitir y recibir datos desde la SDRAM, señales de control, señales de dirección, etc.

[0034] Los enlaces directo e inverso 222 y 224 pueden cumplir, o ser compatibles, con unas normas industriales específicas de la aplicación. En un ejemplo, la norma MIPI define interfaces de capa física entre un dispositivo de IC de procesador de aplicaciones 202 y un dispositivo de IC 230 que admite la cámara o pantalla en un dispositivo móvil. La norma MIPI incluye especificaciones que rigen las características de funcionamiento de productos que cumplen con las especificaciones MIPI para dispositivos móviles. La norma MIPI puede definir interfaces que emplean buses paralelos de semiconductor complementario de óxido metálico (CMOS).

[0035] El enlace de comunicación 220 de la FIG. 2 se puede implementar como un bus alámbrico que incluye una pluralidad de cables de señal (denotados como N cables). Los N cables pueden estar configurados para transportar datos codificados en símbolos, donde la información del reloj está incluida en una secuencia de los símbolos transmitidos a través de la pluralidad de cables. Los ejemplos de técnicas de codificación que se usan con interfaces de N cables incluyen la codificación N factorial ($N!$), y la codificación de N fases.

[0036] Los dispositivos de IC 202 y/o 230 (y/o componentes de los mismos) ilustrados en la FIG. 2 puede implementar la recuperación de reloj y de datos, de acuerdo con uno o más aspectos descritos en el presente documento, para recuperar un reloj incluido dentro de las transiciones de señales diferenciales en un sistema de comunicación de múltiples cables (N cables) (por ejemplo, codificación N factorial $N!$ y codificación de N fases).

Técnicas de codificación ejemplares

[0037] La FIG. 3 ilustra un sistema general de señalización diferencial de 3 cables entre un dispositivo transmisor 300 y un dispositivo receptor 301 basado en unos estados definidos por señales diferenciales entre una pluralidad de conductores/cables A, B y C. Las combinaciones de valores diferenciales (por ejemplo, de 3 o más conductores) en un ciclo particular pueden definir un estado o símbolo. El dispositivo transmisor 300 y el dispositivo receptor 301 se pueden comunicar a través de un bus de múltiples líneas 308. En este ejemplo, se usan tres líneas A, B y C para el bus 308. El dispositivo receptor 301 puede incluir un receptor de tres puertos 310 para acoplar el dispositivo receptor 301 al bus 308.

[0038] Se incluye una señal de reloj dentro de esta señalización diferencial de 3 cables garantizando que haya un cambio de símbolo en cada ciclo. Un circuito de recuperación de datos de reloj que extrae una señal de reloj de la señal diferencial también debe reducir al mínimo la fluctuación de fase. Esta señal de reloj se puede usar para sincronizar la descodificación de los símbolos en la señal diferencial de 3 cables. Aunque determinados circuitos lógicos pueden servir para reducir al mínimo la fluctuación de fase, estos requieren un número relativamente grande de dispositivos lógicos, lo cual es un problema cuando escala hasta la señalización diferencial de n cables.

[0039] En un ejemplo, la codificación de señal diferencial se puede usar para transmitir señales desde el dispositivo transmisor 300 al dispositivo receptor 301. En consecuencia, cada uno de una pluralidad de receptores 312 puede estar configurado para tomar dos de las tres líneas A, B y C y proporcionar una señal diferente. Por ejemplo, una primera línea A y una segunda línea B pueden servir para proporcionar una primera señal diferencial RX_AB 314, la segunda línea B y una tercera línea C pueden servir para proporcionar una segunda señal diferencial RX_BC 316, y la primera línea A y la tercera línea C pueden servir para proporcionar una tercera señal diferencial RX_CA 318. Estas señales diferenciales 314, 316 y 318 pueden servir como entradas a un circuito descodificador 320. El circuito descodificador 320 descodifica las tres señales diferenciales RX_AB 314, RX_BC 316 y RX_CA 318 y genera los seis estados XM, YM, ZM, ZP, YP y XP. En un ejemplo, cada uno de los seis estados XM, YM, ZM, ZP, YP y XP puede representar un símbolo, y la codificación usada garantiza una transición de estado de símbolo a símbolo para las señales transmitidas. La combinación de señales diferenciales RX_AB 314, RX_BC 316 y RX_CA 318 se puede referir a una señal ensanchada, donde la señal ensanchada transporta los símbolos. Debido a sus transiciones de estado garantizadas, cada una de las señales diferenciales RX_AB 314, RX_BC 316 y RX_CA 318 se puede denominar señal de transición de estado.

[0040] En este ejemplo, los receptores 312 se ilustran como receptores diferenciales que toman como entradas dos señales de dos cables diferentes (por ejemplo, AB, BC, AC) y generan una señal diferencial (es decir, la señal de salida es la diferencia entre las dos señales de entrada). En un ejemplo, la diferencia de tensión entre dos cables/conductores puede definir una señal diferencial. En otro ejemplo, la dirección del flujo de corriente en cada hilo/conductor también se puede usar (solo o en combinación con tensión) para definir una señal diferencial.

[0041] Un diagrama de estado 303 ilustra los seis (6) estados XM, YM, ZM, ZP, YP y XP que las señales diferenciales 314, 316 y 318 transportadas por los tres conductores A, B y C 308 pueden definir. Como se puede observar, los niveles de tensión en las tres señales diferenciales 314, 316 y 318 se pueden mapear en diferentes combinaciones de unos (1) y ceros (0). Por ejemplo, los niveles de tensión de señal diferencial para el estado XM pueden estar asociados con "011", el estado YM puede estar asociado con "101", el estado ZP puede estar asociado con "001", el estado ZM puede estar asociado con "110", el estado YP puede estar asociado con "010" y el estado XP puede estar asociado con "100".

[0042] Además de la información codificada en los estados (por ejemplo, 3 bits por estado), la información también se puede codificar en base a las transiciones entre los estados. Se debe tener en cuenta que una transición entre dos estados cualesquiera (XM, YM, ZM, ZP, YP y XP) se produce en un solo paso sin atravesar estados intermedios. Así pues, los sistemas de transmisión de datos diferenciales basados en el diagrama de estados 303 no experimentarían problemas de descodificación de transiciones de estado.

[0043] Cada uno de los conductores del bus 308 se puede activar en alto, activar en bajo o no activar, habiendo un solo conductor no activado en cualquier ciclo individual. En un modo de realización, tres señales diferenciales, RX_AB 314, RX_BC 316 y RX_CA 318 (por ejemplo, recibidas por un descodificador 320 dentro del dispositivo receptor 301), se definen como tensión diferencial positiva en 1 lógico y tensión diferencial negativa en 0 lógico entre el conductor A en relación con el conductor B, el conductor B en relación con el conductor C y el conductor C en relación con el conductor A, respectivamente. En el diagrama 304 se ilustran formas de onda de ejemplo de las tres señales diferenciales 314, 316 y 318.

[0044] Los estados de las señales RX_AB 314, RX_BC 316 y RX_CA 318 definen seis estados posibles (excluyendo los estados que causan una tensión diferencial cero entre el conductor A en relación con el conductor B, el conductor B en relación con el conductor C y el conductor C en relación con el conductor A) como XM, YM, ZP, ZM, YP, XP y XM, de acuerdo con el diagrama de estados 303.

[0045] Un bloque descodificador 320 (DESC), en el dispositivo receptor 301, genera las señales de estado correspondientes a los seis estados posibles XM, YM, ZP, ZM, YP, XP y XM a partir de las señales diferenciales RX_AB 314, RX BC 316 y RX CA 318, y las formas de onda ejemplares de las señales de estado se muestran en el diagrama 305.

[0046] En un modo de realización, se produce siempre una transición de estado desde un estado, XM, YM, ZP, ZM, YP, XP o XM, hasta un estado diferente en cualquier ciclo individual de modo que una transición de estado representa datos que se van a transmitir desde el dispositivo transmisor 300 al dispositivo receptor 301.

[0047] En un modo de realización alternativo, se puede usar señalización de un solo extremo en los conductores/cables A, B, C del bus de múltiples líneas 308. En un ejemplo de señalización de un solo extremo, un conductor/cable puede tener una tensión variable que representa la señal, mientras que otro conductor/cable puede estar conectado a una tensión de referencia (por ejemplo, tierra). En el caso de dicha señalización de un solo extremo, el dispositivo transmisor 300 puede incluir una pluralidad de controladores de drenaje abierto de un solo extremo (transistores), estando cada controlador acoplado a un solo hilo/conductor A, B, C del bus de múltiples líneas 308. El dispositivo receptor 301 puede incluir uno o más receptores de un solo extremo (por ejemplo, transistores de semiconductor complementarios de óxido metálico (CMOS)), donde cada receptor de un solo extremo está acoplado a un solo hilo/conductor A, B, C del bus de múltiples líneas 308. El dispositivo transmisor 300 puede recibir bits de entrada, codificarlos en señales de un solo extremo y transmitir las señales de un solo extremo al dispositivo receptor 301 a través de controladores de un solo extremo por medio de cada hilo/conductor A, B, C del bus de múltiples líneas 308. El dispositivo receptor 301 recibe las señales de un solo extremo por medio de cada hilo/conductor A, B, C del bus de múltiples líneas 308 a través de los receptores de un solo extremo, descodifica las señales de un solo extremo y proporciona bits de salida. En este sistema de un solo extremo, el descodificador 320 puede incluir una recuperación de reloj y de datos (CDR) de modo que se extrae una señal de reloj de una o más señales de un solo extremo recibidas.

[0048] La FIG. 4 es un diagrama que ilustra un ejemplo de codificación N factorial ($N!$) usada en una interfaz de N cables 400 proporcionada entre dos dispositivos 402 y 420. En un transmisor 402, se puede usar un transcodificador 406 para codificar datos 404 e información de reloj en símbolos que se van a transmitir a través de un conjunto de N cables 414. La información del reloj se puede obtener a partir de un

reloj de transmisión 412 y se puede codificar en una secuencia de símbolos transmitida en $N C_2$ señales diferenciales a través de los N cables 414 asegurando que se produce una transición de estado de señalización en al menos una de las $N C_2$ señales entre símbolos consecutivos. Cuando se usa codificación $N!$ para accionar los N cables 414, uno de un conjunto de controladores de línea diferenciales 410, donde los controladores diferenciales en el conjunto de controladores la línea 410 están acoplados a diferentes pares de los N cables, transmite cada bit de un símbolo como una señal diferencial. El número de combinaciones disponibles de pares de cables ($N C_2$) determina el número de señales que se pueden transmitir a través de los N cables 414. El número de bits de datos 404 que se pueden codificar en un símbolo se puede calcular en base al número de estados de señalización disponibles para cada intervalo de transmisión de símbolo.

[0049] Una impedancia de terminación (típicamente resistiva) acopla cada uno de los N cables 414 a un punto central común 418 en una red de terminación 416. Se apreciará que el estado de señalización de los N cables 414 refleja una combinación de las corrientes en la red de terminación 416 atribuidas a los controladores diferenciales 410 acoplados a cada cable. Se apreciará, además, que el punto central 418 es un punto nulo, con lo que las corrientes en la red de terminación 416 se anulan entre sí en el punto central.

[0050] El sistema de codificación $N!$ no necesita usar un canal de reloj y/o una decodificación sin retorno a cero separada, porque al menos una de las $N C_2$ señales en el enlace realiza una transición entre símbolos consecutivos. Efectivamente, cada transcodificador 406 asegura que se produce una transición entre cada par de símbolos transmitidos en los N cables 414 generando una secuencia de símbolos en la que cada símbolo es diferente de su símbolo predecesor inmediato. En el ejemplo representado en la FIG. 4, se proporcionan cuatro cables ($N=4$), y los 4 cables pueden transportar $4 C_2 = 6$ señales diferenciales. El transcodificador 406 puede emplear un sistema de mapeo para generar símbolos sin procesar para la transmisión en los N cables 414. El transcodificador 406 puede mapear bits de datos 404 a un conjunto de números de transición. Los números de transición se pueden usar para seleccionar símbolos sin procesar para la transmisión en base al valor del símbolo inmediatamente precedente, de modo que el símbolo sin procesar seleccionado es diferente del símbolo sin procesar precedente. El serializador 408 puede poner en serie los símbolos sin procesar para obtener una secuencia de símbolos para la transmisión a través de los N cables 414. En un ejemplo, se puede usar un número de transición para consultar un valor de datos correspondiente al segundo de los símbolos sin procesar consecutivos con referencia al primero de los símbolos sin procesar consecutivos. En el receptor 420, un transcodificador 428 puede emplear un mapeo para determinar un número de transición que caracteriza una diferencia entre un par de símbolos sin procesar consecutivos en una tabla de consulta, por ejemplo. Los transcodificadores 406, 428 funcionan sobre la base de que cada par consecutivo de símbolos sin procesar incluye dos símbolos diferentes.

[0051] El transcodificador 406 en el transmisor 402 puede seleccionar entre $N! - 1$ estados de la señalización disponibles en cada transición de símbolo. En un ejemplo, un sistema $4!$ proporciona $4! - 1 = 23$ estados de señalización para el siguiente símbolo que se va a transmitir en cada transición de símbolo. La velocidad binaria se puede calcular como $\log_2(\text{estados_disponibles})$ por ciclo de reloj de transmisión.

[0052] De acuerdo con determinados aspectos divulgados en el presente documento, la señalización de doble velocidad de transferencia de datos (DDR) se puede emplear para incrementar el ancho de banda de la interfaz al transmitir dos símbolos en cada período del reloj de transmisión 412. Las transiciones de símbolo se producen tanto en el flanco ascendente como en el flanco descendente del reloj de transmisión en un sistema que usa un reloj de doble velocidad de transferencia de datos (DDR). El total de estados disponibles en el ciclo del reloj de transmisión es $(N! - 1)^2 = (23)^2 = 529$ y el número de bits de datos 404 que se pueden transmitir a través de dos símbolos se puede calcular como $\log_2(529) = 9,047$ bits.

[0053] Un dispositivo receptor 420 recibe la secuencia de símbolos usando un conjunto de receptores de línea 422 donde cada receptor del conjunto de receptores de línea 422 determina diferencias en los estados de señalización en un par de los N cables 414. En consecuencia, se usan $N C_2$ receptores, donde N representa el número de cables. Los $N C_2$ receptores 422 generan un número correspondiente de símbolos sin procesar como salidas. En el ejemplo representado de 4 cables, las señales recibidas en los 4 cables 414 son procesadas por 6 receptores ($4 C_2 = 6$) para generar una señal de símbolo sin procesar 432 que se proporciona a un CDR 424 y a un deserializador 426. La señal de símbolo sin procesar 432 es representativa del estado de señalización de los N cables 414, y el CDR 424 puede procesar la señal de símbolo sin procesar 432 para generar una señal de reloj de recepción 434 que el deserializador 426 puede usar.

[0054] La señal de reloj de recepción 434 puede ser una señal de reloj de DDR que unos circuitos externos pueden usar para procesar los datos recibidos 430 proporcionados por el transcodificador 428. El transcodificador 428 decodifica un bloque de símbolos recibidos desde el deserializador 426 comparando cada símbolo con su predecesor inmediato. El transcodificador 428 genera datos de salida 430 correspondientes a los datos 404 proporcionados al transmisor 402.

[0055] Otras interfaces de múltiples cables determinadas usan la codificación de N fases para transmitir datos a través de una pluralidad de cables.

[0056] Cabe destacar que el sistema ilustrado en la FIG. 4 también se puede implementar usando señalización de un solo extremo y controladores/receptores de un solo extremo entre el dispositivo transmisor 402 y el dispositivo receptor 420 en lugar de señalización diferencial y controladores diferenciales 410 y receptores diferenciales 422. Cuando se usa señalización de un solo extremo y controladores/receptores de un solo extremo entre el dispositivo transmisor 402 y el dispositivo receptor 420, la red de terminación 416 ilustrada en la FIG. 4 se puede excluir.

[0057] La FIG. 5 es un diagrama 500 que ilustra un ejemplo de transmisor de codificación de polaridad de M cables y N fases, configurado para $M=3$ y $N=3$. Los principios y las técnicas divulgadas para codificadores de 3 cables y 3 fases se pueden aplicar en otras configuraciones de codificadores de polaridad de M cables y N fases.

[0058] Cuando se usa codificación de polaridad de N fases, unos conectores tales como los cables de señal 510a, 510b y 510c de un bus de M cables pueden no activarse, activarse en positivo o activarse en negativo. Un cable de señal no activado 510a, 510b o 510c puede estar en un estado de alta impedancia. Un cable de señal no activado 510a, 510b o 510c se puede sacar o activar al menos parcialmente a un nivel de tensión que se encuentra sustancialmente a medio camino entre los niveles de tensión positiva y negativa provistos en los cables de señal activados. Un cable de señal no activado 510a, 510b o 510c puede no tener corriente fluyendo su a través. En el ejemplo ilustrado en la FIG. 6, un conjunto de controladores 508 (FIG. 5) puede controlar el estado de cada cable de señal 510a, 510b y 510c para cada intervalo de transmisión de símbolo, de modo que cada cable de señal 510a, 510b y 510c puede estar en uno de tres estados (denotados por +1, -1 y 0) para un símbolo transmitido. En un ejemplo, los controladores 508 pueden incluir controladores de modo de corriente a nivel de unidad. En otro ejemplo, los controladores 508 pueden activar tensiones de polaridad opuesta en dos señales 510a y 510b, mientras que la tercera señal 510c está a alta impedancia y/o puesta a tierra. Para cada intervalo de transmisión de símbolo, al menos una señal está en el estado no activado (0), mientras que el número de señales activadas en positivo (estado +1) es igual al número de señales activadas en negativo (estado -1), de modo que la suma de la corriente que fluye al receptor es siempre cero. Para cada par de intervalos de transmisión de símbolo consecutivos, al menos un cable de señal 510a, 510b o 510c tiene un estado diferente en los dos intervalos de transmisión de símbolo.

[0059] En el ejemplo representado en la FIG. 5, se introducen datos de 16 bits 418 en un mapeador 502, que mapea los datos de entrada 518 a 7 símbolos 512 para transmitir secuencialmente a través de los cables de señal 510a, 510b y 510c. Los 7 símbolos 512 se pueden poner en serie, usando convertidores paralelo-serie 504, por ejemplo. Un codificador de 3 cables y 3 fases 406 recibe 7 símbolos 512 generados por el mapeador de uno en uno y calcula el estado de cada cable de señal 510a, 510b y 510c para cada intervalo de símbolo. El codificador 506 selecciona los estados de los cables de señal 510a, 510b y 510c en base al símbolo de entrada y los estados previos de los cables de señal 510a, 510b y 510c.

[0060] El uso de codificación de M cables y N fases permite que se codifique un número de bits en una pluralidad de símbolos, donde los bits por símbolo no son un entero. En el ejemplo simple de sistema de 3 cables, hay 3 combinaciones disponibles de 2 cables, que se pueden activar simultáneamente, y 2 combinaciones posibles de polaridad en el par de cables activados simultáneamente, proporcionando 6 posibles estados. Puesto que cada transición se produce desde un estado actual, hay 5 de los 6 estados disponibles en cada transición. Se requiere que el estado de al menos un cable cambie en cada transición. Con 5 estados, se pueden codificar $\log_2(5) \cong 2,32$ bits por símbolo. En consecuencia, un mapeador puede aceptar una palabra de 16 bits y convertirla en 7 símbolos, ya que 7 símbolos que transportan 2,32 bits por símbolo pueden codificar 16,24 bits. En otras palabras, una combinación de siete símbolos que codifica cinco estados tiene 5^7 (78.125) permutaciones. En consecuencia, los 7 símbolos se pueden usar para codificar las 2^{16} (65.536) permutaciones de 16 bits.

[0061] La FIG. 6 ilustra un ejemplo de señalización 600 que emplea un sistema de codificación de datos de modulación de tres fases basado en el diagrama de transición de estados circular 650. De acuerdo con el sistema de codificación de datos, una señal de tres fases puede girar en dos direcciones y se puede transmitir en tres conductores 510a, 510b y 510c. Cada una de las tres señales se activa independientemente en los conductores 510a, 510b, 510c. Cada una de las tres señales incluye la señal de tres fases, estando la señal en cada conductor 510a, 510b y 510c desfasada 120 grados en relación con las señales de los otros dos conductores 510a, 510b y 510c. En cualquier momento, cada uno de los tres conductores 510a, 510b, 510c está en un estado diferente de los estados {+1, 0, -1}. En cualquier momento, cada uno de los tres conductores 510a, 510b, 510c de un sistema de 3 cables está en un estado diferente al de los otros dos cables. Sin embargo, cuando se usan más de tres conductores o cables, dos o más pares de cables pueden estar en el mismo estado. El sistema de codificación ilustrado también codifica

información en la polaridad de los dos conductores 510a, 510b y/o 510c que se activan de forma activa a los estados +1 y -1. En 608 se indica la polaridad para la secuencia de estados representados.

5 **[0062]** En cualquier estado de fase en el ejemplo ilustrado de tres cables, exactamente dos de los conductores 510a, 510b, 510c transportan una señal que es efectivamente una señal diferencial para ese estado de fase, mientras que el tercer conductor 510a, 510b o 510c no se activa. El estado de fase para cada conductor 510a, 510b, 510c se puede determinar mediante la diferencia de tensión entre el conductor 510a, 510b o 510c y al menos uno de otro conductor 510a, 510b y/o 510c, o mediante la dirección del flujo de corriente, o la ausencia de flujo de corriente, en el conductor 510a, 510b o 510c. Como se muestra en el diagrama de transición de estado 550, se definen tres estados de fase (S_1 , S_2 y S_3). Una señal puede fluir en sentido horario desde el estado de fase S_1 hasta el estado de fase S_2 , desde el estado de fase S_2 hasta el estado de fase S_3 , y/o desde el estado de fase S_3 hasta el estado de fase S_1 y la señal puede fluir en sentido antihorario desde el estado de fase S_1 hasta el estado de fase S_3 , desde el estado de fase S_3 al estado de fase S_2 y/o desde el estado de fase S_2 hasta el estado de fase S_1 . Para otros valores de N , las transiciones entre los N estados se pueden definir opcionalmente de acuerdo con un diagrama de estados correspondiente para obtener la rotación circular entre las transiciones de estado.

20 **[0063]** En el ejemplo de un enlace de comunicaciones de tres cables y tres fases, se pueden usar rotaciones en sentido horario (S_1 a S_2), (S_2 a S_3) y/o (S_3 a S_1) en una transición de estado para codificar un 1 lógico, mientras que se pueden usar rotaciones en sentido antihorario (S_1 a S_3), (S_3 a S_2) y/o (S_2 a S_1) en la transición de estado para codificar un 0 lógico. En consecuencia, se puede codificar un bit en cada transición controlando si la señal está "girando" en sentido horario o antihorario. Por ejemplo, se puede codificar un 1 lógico cuando los tres cables 510a, 510b, 510c realizan una transición del estado de fase S_1 al estado de fase S_2 y se puede codificar un 0 lógico cuando los tres cables 510a, 510b, 510c realizan una transición del estado de fase S_1 al estado de fase S_3 . En el ejemplo simple representado de tres cables, la dirección de rotación se puede determinar fácilmente en base a cuál de los tres cables 510a, 510b, 510c no se activa antes y después de la transición.

30 **[0064]** También se puede codificar información en la polaridad de los conductores activados 510a, 510b, 510c o en la dirección del flujo de corriente entre dos conductores 510a, 510b, 510c. Las señales 602, 604 y 606 ilustran unos niveles de tensión aplicados a los conductores 510a, 510b, 510c, respectivamente, en cada estado de fase en un enlace de tres cables y tres fases. En cualquier momento, un primer conductor 510a, 510b, 510c está acoplado a una tensión positiva (+V, por ejemplo), un segundo conductor 510a, 510b, 510c está acoplado a una tensión negativa (-V, por ejemplo), mientras que el tercer conductor 510a, 510b, 510c puede estar en circuito abierto o no estar activado de otro modo. Así pues, un estado de codificación de polaridad se puede determinar mediante el flujo de corriente entre el primer y el segundo conductor 510a, 510b, 510c o las polaridades de tensión del primer y el segundo conductores 510a, 510b, 510c. En algunos modos de realización, se pueden codificar dos bits de datos en cada transición de fase. Un descodificador puede determinar la dirección de rotación de fase de la señal para obtener el primer bit, y el segundo bit se puede determinar en base a la diferencia de polaridad entre dos de las señales, 602, 604 y 606. El descodificador que tiene una dirección de rotación determinada puede determinar el estado de fase actual y la polaridad de la tensión aplicada entre los dos conductores activos 510a, 510b y/o 510c, o la dirección del flujo de corriente a través de los dos conductores activos 510a, 510b y/o 510c.

45 **[0065]** En el ejemplo del enlace de tres cables y tres fases descrito en el presente documento, se puede codificar un bit de datos en la rotación o se puede codificar un cambio de fase en el enlace de tres cables y tres fases y un bit adicional en la polaridad de los dos cables activados. En determinados modos de realización, se pueden codificar más de dos bits en cada transición de un sistema de codificación de tres cables y tres fases, permitiendo una transición a cualquiera de los estados posibles desde un estado actual. Dadas tres fases de rotación y dos polaridades para cada fase, se definen 6 estados, de modo que hay 5 estados disponibles desde cualquier estado actual. En consecuencia, puede haber $\log_2(5) \cong 2,32$ bits por símbolo (transición) y el mapeador puede aceptar una palabra de 16 bits y convertirla en 7 símbolos.

55 **[0066]** La FIG. 7 es un dibujo esquemático de bloques 700 que ilustra un receptor ejemplar en una interfaz de 3 fases. Una pluralidad de comparadores 702 y un descodificador 704 están configurados para proporcionar una representación digital del estado de cada una de las tres líneas de transmisión o conductores 712a, 712b y 712c, así como el cambio en el estado de las tres líneas de transmisión en comparación con el estado transmitido en el período de símbolo previo. Como se puede ver en el ejemplo ilustrado, la tensión de cada conector 712a, 712b o 712c se puede comparar con las tensiones de los otros dos conductores 712a, 712b y/o 712c para determinar el estado de cada conductor 712a, 712b o 712c, de modo que el descodificador 704 puede detectar y descodificar la presencia de una transición en base a las salidas de los comparadores 702. Unos convertidores o deserializadores serie-paralelo 706 ensamblan siete estados consecutivos, lo que genera conjuntos de 7 símbolos que un desmapeador 708 va a procesar para obtener 16 bits de datos que se pueden almacenar en un búfer primero en llegar, primero en salir (FIFO) 710. El descodificador 704 puede incluir un circuito de CDR 714 configurado para extraer un reloj de

recepción 716 de unas transiciones en los estados de señalización entre pares consecutivos de símbolos transmitidos.

Tabla 1.

5

Estado	Amplitud de cable			Salida de Rx dif.			Salida digital de receptor		
	A	B	C	A-B	B-C	C-A	Rx AB	Rx BC	Rx CA
+x	+V	0	+V/2	+V	-V/2	-V/2	1	0	0
-x	0	+V	+V/2	-V	+V/2	+V/2	0	1	1
+y	+V/2	+V	0	-V/2	+V	-V/2	0	1	0
-y	+V/2	0	+V	+V/2	-V	+V/2	1	0	1
+z	0	+V/2	+V	-V/2	-V/2	+V	0	0	1
-z	+V	+V/2	0	+V/2	+V/2	-V	1	1	0

[0067] La tabla 1 ilustra el funcionamiento de los receptores diferenciales 702. En el ejemplo, los estados de hilo se pueden codificar en la amplitud de tensión en los tres cables 712a, 712b y 712c de modo que el estado +1 de un hilo se representa como una tensión de +V voltios, el estado -1 del hilo se representa como 0 voltios y el estado no activado se representa o se calcula aproximadamente como +V/2 voltios. En particular, la tabla 1 ilustra las salidas de los receptores diferenciales 702 para cada hilo en el sistema de codificación de polaridad de 3 cables y 3 fases. Un receptor/descodificador puede estar configurado para generar un código en la salida digital del receptor para cada símbolo descodificado.

10

15

[0068] Determinadas interfaces de N cables pueden estar adaptadas para proporcionar un ancho de banda incrementado a través del uso de temporización de DDR, con lo que se transmite un nuevo símbolo en los flancos ascendente y descendente de un reloj de transmisión. Sin embargo, es posible que los circuitos de CDR convencionales no puedan responder a la temporización de DDR, y/o los CDR convencionales pueden limitar la velocidad de funcionamiento máxima posible de una interfaz de N cables o de N fases.

20

Primer circuito de recuperación de reloj y de datos ejemplar

[0069] La FIG. 8 es un diagrama esquemático 800 que incluye un circuito de CDR ejemplar 808 que ilustra determinados aspectos de la recuperación de reloj y de datos desde una interfaz de múltiples cables.

25

[0070] La FIG. 9 ilustra un ejemplo de temporización de determinadas señales generadas por el circuito de CDR 808. El circuito de CDR 808 se puede usar con una variedad de interfaces de múltiples cables, incluyendo interfaces que usan codificación M!, codificación de N fases y otros sistemas de codificación que usan temporización de transición de símbolos, incluyendo las interfaces que emplean enlaces de comunicación de múltiples cables y de un solo extremo.

30

[0071] Un circuito receptor 800 puede incluir una red de terminación de cuatro cables 804, una pluralidad de receptores (Rcvrs) 806 y un circuito de recuperación de reloj y de datos 808. En un ejemplo, un reloj está incluido en unas transiciones de símbolo dentro de una señal ensanchada distribuida a través de cuatro cables o conductores 802. El circuito de CDR 808 puede estar configurado para extraer un reloj y unos símbolos de datos de la señal ensanchada recibida a través de los cuatro cables o conductores 802. La señal ensanchada se puede definir mediante una pluralidad de señales de transición que incluyen una primera señal a través de una primera interfaz de línea, conductor o cable. El circuito de CDR 808 puede incluir un comparador 810, un biestable de activación-desactivación 814, un primer dispositivo de retardo analógico S 818 y un segundo dispositivo de retardo analógico T 822. El comparador 810, un biestable de activación-desactivación 814 y un primer dispositivo de retardo analógico S 818 pueden definir un circuito de extracción de reloj 809. El circuito de extracción de reloj 809 puede estar adaptado para extraer una señal que se puede usar para obtener una señal de reloj a partir de la transición de estado en la primera señal recibida. Dado que la señal ensanchada transporta símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estas transiciones se detectan y se usan para generar la señal de reloj. La señal de reloj se puede obtener usando compensación de fluctuación de fase y sirve para muestrear símbolos de la señal ensanchada distribuida a través de la pluralidad de receptores 806.

35

40

45

[0072] El comparador 810 puede comparar una primera muestra de la primera señal (SI) 830 y una segunda muestra retardada de la primera señal (SD) 832 (es decir, retardada por el segundo dispositivo de retardo analógico T 822), y el comparador 810 genera una señal de comparación (señal NE) 812. El biestable de activación-desactivación 814 puede recibir la señal NE 812 desde el comparador 810 y proporcionar una versión filtrada de la señal de comparación (señal NEFLT) 816. El primer dispositivo de retardo analógico S 818 recibe la señal NEFLT 816 y genera una muestra retardada de la señal NEFLT 816

50

55

como la señal NEFLTD 820. La señal NEFLTD 820 sirve como entrada de desactivación para el biestable de activación-desactivación 814, de modo que la salida del biestable de activación-desactivación 814 se desactiva después de un retardo S. En un ejemplo, la señal NEFLT 816 se puede usar como la señal de reloj para muestrear símbolos.

5

[0073] El segundo dispositivo de retardo analógico 822 puede recibir la primera muestra de la primera señal (SI) 830 y proporciona una segunda muestra retardada de la primera señal (SD) 832 al comparador 810. En un ejemplo, la señal ensanchada está distribuida a través de la pluralidad de cables o conductores 802 y puede incluir, o se define, una pluralidad de señales de transición de estado distintas que, cuando se combinan, transportan símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. Por ejemplo, para el caso de tres conductores que usan señalización diferencial en la FIG. 3, la señal ensanchada se puede definir mediante la combinación de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318. La primera señal puede ser una de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318. La primera muestra de la primera señal (SI) 830 puede comprender, por ejemplo, toda o una parte/segmento de cualquiera de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318.

10

15

[0074] Un dispositivo biestable 826 también puede recibir la segunda muestra retardada de la primera señal (SD) 832 y generar un símbolo (S) 834 activado por la señal NEFLT 816. Es decir, el dispositivo biestable 826 se activa mediante un flanco ascendente de la señal NEFLT 816. En consecuencia, el segundo dispositivo de retardo analógico 822 sirve para generar la señal NE 812. A su vez, la señal NE 812 sirve para generar la señal NEFLT 816 que sirve como reloj de enclavamiento para el dispositivo biestable 826.

20

25

[0075] En funcionamiento, cuando se produce una transición entre un símbolo actual (S_0) 904 y un símbolo siguiente (S_1) 906, el estado de la señal SI 830 comienza a cambiar. La señal NE 812 realiza una transición a alto cuando el comparador 810 detecta por primera vez una diferencia entre la señal SI 830 y la señal SD 832, lo que hace que el biestable de activación-desactivación 814 se active de forma asíncrona. En consecuencia, la señal NEFLT 816 hace una transición a alto, y este estado alto se mantiene hasta que el biestable de activación-desactivación 814 se desactiva cuando la señal NEFLTD 820 pasa a alto. La señal NEFLT 816 realiza una transición a un estado alto como respuesta al flanco ascendente de la señal NE 812, y la señal NEFLT 816 realiza una transición a un estado bajo como respuesta al flanco ascendente de la señal NEFLTD 820 después de un retardo atribuible al primer dispositivo de retardo analógico S 818.

30

35

[0076] A medida que se producen transiciones entre símbolos 902, 904, 906, 908 y 910, se pueden producir uno o más estados intermedios o indeterminados 920, 924, 926, 928 en la señal SI 830 debido sesgo entre cables, sobreimpulso de señal, subimpulso de señal, diafonía, etc. Los estados intermedios en la SI 830 se pueden considerar datos no válidos, y estos estados intermedios pueden causar impulsos parásitos 944, 946, 948 y 950 en la señal NE 812 a medida que la salida del comparador 810 vuelve a un estado bajo durante cortos períodos de tiempo. Los impulsos parásitos 944, 946, 948 y 950 no afectan a la señal NEFLT 816 generada por el biestable de activación-desactivación 814. El biestable de activación-desactivación 814 bloquea y/o elimina por filtrado eficazmente los impulsos parásitos 944, 946, 948 y 950 en la señal NE 812 de la señal NEFLT 816.

40

45

[0077] El dispositivo biestable 826 puede tener un tiempo de espera negativo (-ht), ya que los símbolos de entrada 902, 904, 906, 908 y 910 en la señal SI 830 pueden cambiar antes de que el dispositivo biestable 826 enclave o capture el símbolo. Por ejemplo, el dispositivo biestable 826 establece o captura cada símbolo 902', 904', 906' y 908' de la señal SD 832 en el flanco ascendente de reloj de la señal NEFLT 816, que aparece después de que los símbolos de entrada 902, 904, 906, 908 y 910 han cambiado en la señal SI 830.

50

[0078] Diversos subcircuitos pueden implementar diversos elementos ilustrados en el circuito de CDR 808. Por ejemplo, el biestable de activación-desactivación 814 se puede implementar como un primer circuito lógico 814', el dispositivo de retardo analógico S 818 se puede implementar como una serie de inversores 818', y el comparador 810 se puede implementar como un segundo circuito lógico 810'.

55

[0079] El primer circuito lógico 814' puede incluir un inversor 840, una compuerta OR 842, una primera compuerta NAND 844 y una segunda compuerta NAND 846.

60

[0080] El segundo circuito lógico 810' puede incluir una pluralidad de compuertas XNOR 848 cuyas salidas sirven todas como entradas a una compuerta NAND 850. La salida de la compuerta NAND 850 puede servir de señal NE 812. Cada señal de entrada SI[x] en cada una de las compuertas XNOR 848 puede corresponder a una señal de transición de estado distinta que transporta parte de la señal ensanchada. Por ejemplo, en el caso de señalización diferencial de la FIG. 3, la primera señal SI[0] puede ser la primera señal diferencial RX_AB 314, una segunda señal SI[1] puede ser la segunda señal diferencial RX_BC 316 y una tercera señal SI[2] puede ser la tercera señal diferencial RX_CA 318.

65

[0081] Aunque el circuito de CDR 808 es tolerante a la fluctuación de fase, esto se consigue usando solo nC_2 retardos analógicos y $2x_nC_2$ comparadores de entrada sin la necesidad de $2x_nC_2$ biestables, donde nC_2 es el número de combinaciones disponibles de pares de cables (n). Por ejemplo, en la patente de EE. UU. n.º 8064535, la FIG. 13 ilustra un circuito de recuperación de reloj y de datos que usa $2x_nC_2$ biestables (es decir, doce biestables para una combinación de seis pares de cables) y $nC_2 + 1$ retardos analógicos (es decir, siete retardos analógicos para una combinación de seis pares de cables). Tanto los biestables como los retardos analógicos son recursos costosos de incluir en un circuito de CDR, por lo que es deseable reducir al mínimo su uso. En comparación, en la FIG. 8, el circuito de CDR 808 se puede implementar usando $nC_2 + 1$ retardos analógicos 818 y 822 (es decir, siete retardos analógicos para una combinación de seis pares de cables) y nC_2 compuertas XNOR 848 (es decir, seis compuertas de comparador para una combinación de seis pares de cables).

Segundo circuito de recuperación de reloj y de datos ejemplar

[0082] La FIG. 10 es un diagrama de bloques 1000 que incluye un circuito de CDR ejemplar 1008 que ilustra determinados aspectos la recuperación de reloj y de datos desde una interfaz de múltiples cables.

[0083] La FIG. 11 es un diagrama de temporización 1100 que ilustra el funcionamiento del circuito de CDR 1008 en condiciones de funcionamiento típicas. El circuito de CDR 1008 se puede usar con una variedad de interfaces de múltiples cables, incluyendo interfaces que usan codificación $N!$, codificación de N fases y otros sistemas de codificación que usan temporización de transición de símbolos, incluyendo interfaces que emplean enlaces de comunicación de múltiples cables y de un solo extremo.

[0084] Un circuito receptor 1000 puede incluir una red de terminación de cuatro cables 1004, una pluralidad de receptores 1006 y un circuito de recuperación de reloj y de datos 1008. En un ejemplo, un reloj está incluido en unas transiciones de símbolo dentro de una señal ensanchada distribuida a través de cuatro cables o conductores 1002.

[0085] El circuito de CDR 1008 puede estar configurado para extraer un reloj y unos símbolos de datos de la señal ensanchada recibida a través de los cuatro cables o conductores 1002. La señal ensanchada se puede definir mediante una pluralidad de señales de transición que incluyen una primera señal a través de una primera interfaz de línea, conductor o cable. El circuito de CDR 1008 incluye un comparador 1010, un circuito de biestable de activación-desactivación 1014, un primer dispositivo de retardo analógico S 1018, un segundo dispositivo de retardo analógico T 1022 y un biestable de nivel 1028. El comparador 1010, un biestable de activación-desactivación 1014 y un primer dispositivo de retardo analógico S 1018 pueden definir un circuito de extracción de reloj 1009. El circuito de extracción de reloj 1009 puede estar adaptado para extraer una señal que se puede usar para obtener una señal de reloj de las transiciones de estado dentro de la primera señal recibida. Dado que la señal ensanchada recibida transporta símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estas transiciones se detectan y se usan para generar la señal de reloj. La señal de reloj se puede obtener usando compensación de fluctuación de fase y sirve para muestrear símbolos de la señal ensanchada distribuida a través de la pluralidad de receptores 1006.

[0086] El comparador 1010 puede comparar una primera muestra de la primera señal (SI) 1030 y una segunda muestra retardada de la primera señal (SD) 1032, y el comparador 1010 genera una señal de comparación (señal NE) 1012. El biestable de activación-desactivación 1014 puede recibir la señal NE 1012 desde el comparador 1010 y proporcionar una versión filtrada de la señal de comparación (señal NEFLT) 1016. El primer dispositivo de retardo analógico S 1018 recibe la señal NEFLT 1016 y genera una muestra retardada de la señal NEFLT 1016 como la señal NEFLTD 1020. La señal NEFLTD 1020 sirve de entrada de desactivación para el biestable de activación-desactivación 1014, de modo que la salida del biestable de activación-desactivación 1014 se desactiva después de un retardo S. En un ejemplo, la señal NEFLT 1016 se puede usar como la señal de reloj para muestrear símbolos.

[0087] Diversos subcircuitos pueden implementar diversos elementos ilustrados en el circuito de CDR 1008. Por ejemplo, el biestable de activación-desactivación 1014 puede estar implementado como un primer circuito lógico 814' (FIG. 8), el dispositivo de retardo analógico S 1018 puede estar implementado como una serie de inversores 818', y el comparador 1010 puede estar implementado como un segundo circuito lógico 810' (FIG. 8).

[0088] En un ejemplo, la señal ensanchada distribuida a través de los cables o conductores 1002 puede incluir una pluralidad de señales de transición distintas que, cuando se combinan, transportan símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. Por ejemplo, para el caso de tres conductores que usan señalización diferencial en la FIG. 3, la señal ensanchada se puede definir mediante la combinación de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318. La primera señal puede ser una de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318. La primera

muestra de la primera señal (SI) 830 puede comprender, por ejemplo, toda o una parte/segmento de cualquiera de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318.

5 **[0089]** Un biestable de nivel 1028 recibe la primera muestra de la primera señal (SI) 1030 y proporciona la segunda muestra retardada de la primera señal (SD) 1032 al comparador 1010. El biestable de nivel 1028 se activa mediante una muestra retardada de la señal NE 1012. Un dispositivo biestable 1026 también puede recibir la segunda muestra retardada de la primera señal (SD) 1032 y generar un símbolo (S) 1034 activado por la señal NEFLT 1016. Es decir, el dispositivo biestable 1026 se activa mediante un flanco ascendente de la señal NEFLT 1016. En consecuencia, el biestable de nivel 1028 y el segundo dispositivo de retardo analógico 1022 sirven para generar la señal NE 1012. A su vez, la señal NE 1012 sirve para generar la señal NEFLT 1016 que sirve como reloj de enclavamiento para el dispositivo biestable 1026.

15 **[0090]** En funcionamiento, cuando se produce una transición entre un símbolo actual (S_0) 1104 y un símbolo siguiente (S_1) 1106, el estado de la señal SI 1030 comienza a cambiar. La señal NE 1012 realiza una transición a alto cuando el comparador 1010 detecta por primera vez una diferencia entre la señal SI 1030 y la señal SD 1032, lo que hace que el biestable de activación-desactivación 1014 se active de forma asíncrona. En consecuencia, la señal NEFLT 1016 hace una transición a alto, y este estado alto se mantiene hasta que el biestable de activación-desactivación 1014 se desactiva cuando la señal NEFLTD 1020 pasa a alto. La señal NEFLT 1016 realiza una transición a un estado alto como respuesta al flanco ascendente de la señal NE 1012, y la señal NEFLT 1016 realiza una transición a un estado bajo como respuesta al flanco ascendente de la señal NEFLTD 1020 después de un retardo atribuible al primer dispositivo de retardo analógico S 1018.

25 **[0091]** A medida que se producen transiciones entre símbolos 1102, 1104, 1106, 1108 y 1110, se pueden producir uno o más estados intermedios o indeterminados 1120, 1124, 1126, 1128 en la señal SI 1030 debido sesgo entre cables, sobreimpulso de señal, subimpulso de señal, diafonía, etc. Los estados intermedios en la señal SI 1030 se pueden considerar datos no válidos, y estos estados intermedios pueden causar impulsos parásitos 1144, 1146, 1148 y 1150 en la señal NE 1012 a medida que la salida del comparador 1010 vuelve a un estado bajo durante cortos períodos de tiempo. Los impulsos parásitos 1144, 30 1146, 1148 y 1150 no afectan a la señal NEFLT 1016 generada por el biestable de activación-desactivación 1014. El biestable de activación-desactivación 1014 bloquea y/o elimina por filtrado eficazmente los impulsos parásitos 1144, 1146, 1148 y 1150 en la señal NE 1012 de la señal NEFLT 1016.

35 **[0092]** El dispositivo biestable 1026 puede tener un tiempo de espera negativo (-ht), ya que los símbolos de entrada 1102, 1104, 1106, 1108 y 1110 en la señal SI 1030 pueden cambiar antes de que el dispositivo biestable 1026 enclave o capture el símbolo. Por ejemplo, el dispositivo biestable 1026 establece o captura cada símbolo 1102', 1104', 1106' y 1108' de la señal SD 1032 en el flanco ascendente de reloj de la señal NEFLT 1016, que aparece después de que los símbolos de entrada 1102, 1104, 1106, 1108 y 1110 han cambiado en la señal SI 1030.

40 **[0093]** En comparación con el primer circuito de CDR 808 de la FIG. 8, el segundo circuito de CDR 1008 de la FIG. 10 proporciona símbolos más anchos y/o más estables dentro de la señal SD 1032. En particular, al activar el biestable de nivel 1028 usando una versión retardada de la señal NE (señal NED 1024), una versión estable de la segunda muestra retardada de la primera señal (señal SD 1032) se puede enclavar más rápidamente, dando como resultado un símbolo estable más ancho. Por ejemplo, en la FIG. 9, un símbolo S1 906' puede tener una anchura A en la señal SD 832, mientras que en la FIG. 11 el símbolo correspondiente S1 1106' puede tener una anchura B en la señal SD 1032, donde anchura B > anchura A. Dado que la parte de símbolo estable de la señal SD 1032 es más ancha en este enfoque, esto proporciona un margen de muestreo más amplio, por lo que un enlace de transmisión más rápido puede ser posible en relación con el enfoque de las FIGS. 8 y 9.

55 **[0094]** En relación con el circuito de CDR de la FIG. 13 de la patente de EE. UU., n.º 8064535, que usa $2 \times nC_2$ básculas biestables y $nC_2 + 1$ retardos analógicos, el circuito de CDR 1008 de la FIG. 10 se implementa usando solo dos retardos analógicos 1018 y 1022, nC_2 biestables de nivel 1028 y nC_2 compuertas XNOR 848. En general, los biestables de nivel 1028 son menos costosos de implementar (en términos de recursos) que los retardos analógicos. Asimismo, un biestable de nivel es menos costoso que una báscula biestable en términos de recursos, ya que una báscula biestable requiere dos biestables de nivel para su implementación.

60 **Tercer circuito de recuperación de reloj y de datos ejemplar**

[0095] La FIG. 12 es un diagrama de bloques 1200 que incluye un circuito de CDR ejemplar 1208 que ilustra determinados aspectos la recuperación de reloj y de datos desde una interfaz de múltiples cables.

65 **[0096]** La FIG. 13 es un diagrama de temporización 1300 que ilustra el funcionamiento del circuito de CDR 1208 en condiciones de funcionamiento típicas. El circuito de CDR 1208 se puede usar con una

variedad de interfaces de múltiples cables, incluyendo interfaces que usan codificación N/I , codificación de N fases y otros sistemas de codificación que usan temporización de transición de símbolos, incluyendo interfaces que emplean enlaces de comunicación de múltiples cables y de un solo extremo.

- 5 **[0097]** Un circuito receptor 1200 puede incluir una red de terminación de cuatro cables 1204, una pluralidad de receptores 1206 y un circuito de recuperación de reloj y de datos 1208. En un ejemplo, un reloj está incluido en transiciones de símbolo dentro de una señal ensanchada recibida a través de cuatro cables o conductores 1202. La señal ensanchada se puede definir mediante una pluralidad de señales de transición que incluyen una primera señal a través de una primera interfaz de línea, conductor o cable. El
- 10 circuito de CDR 1208 puede estar configurado para extraer un reloj y unos símbolos de datos de la señal ensanchada recibida a través de los cuatro cables o conductores 1202. El circuito de CDR 1208 puede incluir un comparador 1210, un biestable de activación-desactivación 1214, un primer dispositivo de retardo analógico S 1218 y un biestable de nivel 1228. El comparador 1210, un biestable de activación-desactivación 1214 y un primer dispositivo de retardo analógico S 1218 pueden definir un circuito de
- 15 extracción de reloj 1209. El circuito de extracción de reloj 1209 puede estar adaptado para extraer una señal que se puede usar para obtener una señal de reloj de unas señales. La señal de reloj se puede obtener usando compensación de fluctuación de fase y sirve para muestrear símbolos de una transición de estado en la señal ensanchada recibida a través de la pluralidad de receptores 1206.
- 20 **[0098]** El comparador 1210 puede comparar una primera muestra de la primera señal (SI) 1230 y una segunda muestra retardada de la primera señal (SD) 1232, y el comparador 1210 genera una señal de comparación (señal NE) 1212. El biestable de activación-desactivación 1214 puede recibir la señal NE 1212 desde el comparador 1210 y proporcionar una versión filtrada de la señal de comparación (señal NEFLT) 1216. El primer dispositivo de retardo analógico S 1218 recibe la señal NEFLT 1216 y genera una muestra retardada de la señal NEFLT 1216 como la señal NEFLTD 1220. La señal NEFLTD 1220 sirve de entrada de desactivación para el biestable de activación-desactivación 1214, de modo que la salida del biestable de activación-desactivación 1214 se desactiva después de un retardo S. En un ejemplo, la señal NEFLT 1216 se puede usar como la señal de reloj para muestrear símbolos.
- 25 **[0099]** Diversos subcircuitos pueden implementar diversos elementos ilustrados en el circuito de CDR 1008. Por ejemplo, el biestable de activación-desactivación 1214 puede estar implementado como un primer circuito lógico 814' (FIG. 8), el dispositivo de retardo analógico S 1218 puede estar implementado como una serie de inversores 818', y el comparador 1210 puede estar implementado como un segundo circuito lógico 810' (FIG. 8).
- 30 **[0100]** En un ejemplo, la señal ensanchada distribuida a través de los cables o conductores 1202 puede incluir una pluralidad de señales de transición distintas que, cuando se combinan, transportan símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. Por ejemplo, para el caso de tres conductores que usan señalización diferencial en la FIG. 3, la señal ensanchada se puede definir mediante la combinación de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318. La primera muestra de la primera señal (SI) 830 puede comprender, por ejemplo, toda o una parte/segmento de cualquiera de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318.
- 35 **[0101]** Un biestable de nivel 1228 recibe la primera muestra de la primera señal (SI) 1230 y proporciona la segunda muestra retardada de la primera señal (SD) 1232. El biestable de nivel 1228 es activado por la salida resultante NEFLT_COMP 1236 de una compuerta OR 1222 que tiene la señal NEFLT 1216 y NEFLTD 1220 como entradas.
- 40 **[0102]** Un biestable de nivel 1228 recibe la primera muestra de la primera señal (SI) 1230 y proporciona la segunda muestra retardada de la primera señal (SD) 1232 al comparador 1210. El biestable de nivel 1228 se activa mediante una muestra retardada de la señal NE 1212. Un dispositivo biestable 1226 también puede recibir la segunda muestra retardada de la primera señal (SD) 1232 y generar un símbolo (S) 1234 activado por la señal NEFLT 1216. Es decir, el dispositivo biestable 1226 se activa mediante un flanco ascendente de la señal NEFLT 1216. En consecuencia, el biestable de nivel 1228 sirve para generar la señal NE 1212. A su vez, la señal NE 1212 sirve para generar la señal NEFLT 1216 que sirve como reloj de enclavamiento para el dispositivo biestable 1226.
- 45 **[0103]** En funcionamiento, cuando se produce una transición entre un símbolo actual (S_0) 1304 y un símbolo siguiente (S_1) 1306, el estado de la señal SI 1230 comienza a cambiar. La señal NE 1212 realiza una transición a alto cuando el comparador 1210 detecta por primera vez una diferencia entre la señal SI 1230 y la señal SD 1232, lo que hace que el biestable de activación-desactivación 1214 se active de forma asíncrona. En consecuencia, la señal NEFLT 1216 hace una transición a alto, y este estado alto se mantiene hasta que el biestable de activación-desactivación 1214 se desactiva cuando la señal NEFLTD 1220 pasa a alto. La señal NEFLT 1216 realiza una transición a un estado alto como respuesta al flanco ascendente de la señal NE 1212, y la señal NEFLT 1216 realiza una transición a un estado bajo como respuesta al
- 50
55
60
65

flanco ascendente de la señal NEFLTD 1220 después de un retardo atribuible al primer dispositivo de retardo analógico S 1218.

[0104] A medida que se producen transiciones entre símbolos 1302, 1304, 1306, 1308 y 1310, se pueden producir uno o más estados intermedios o indeterminados 1320, 1324, 1326, 1328 en la señal SI 1230 debido sesgo entre cables, sobreimpulso de señal, subimpulso de señal, diafonía, etc. Los estados intermedios en la señal SI 1230 se pueden considerar datos no válidos, y estos estados intermedios pueden causar impulsos parásitos 1344, 1346, 1348 y 1350 en la señal NE 1212 a medida que la salida del comparador 1210 vuelve a un estado bajo durante cortos períodos de tiempo. Los impulsos parásitos 1344, 1346, 1348 y 1350 no afectan a la señal NEFLT 1216 generada por el biestable de activación-desactivación 1214. El biestable de activación-desactivación 1214 bloquea y/o elimina por filtrado eficazmente los impulsos parásitos 1344, 1346, 1348 y 1350 en la señal NE 1212 de la señal NEFLT 1216.

[0105] El dispositivo biestable 1226 puede tener un tiempo de espera negativo (-ht), ya que los símbolos de entrada 1302, 1304, 1306, 1308 y 1310 en la señal SI 1230 pueden cambiar antes de que el dispositivo biestable 1226 enclave o capture el símbolo. Por ejemplo, el dispositivo biestable 1226 establece o captura cada símbolo 1302', 1304', 1306' y 1308' de la señal SD 1232 en el flanco ascendente de reloj de la señal NEFLT 1216, que aparece después de que los símbolos de entrada 1302, 1304, 1306, 1308 y 1310 han cambiado en la señal SI 1230.

[0106] En comparación con el primer circuito de CDR 808 de la FIG. 8 y el segundo circuito de CDR 1008 de la FIG. 10, este tercer circuito de CDR 1208 está implementado sin el segundo dispositivo de retardo analógico T mientras sigue proporcionando símbolos más anchos o más estables dentro de la señal SD 1232 en relación con los enfoques de la FIG. 8 y la FIG. 10. El circuito de CDR 1208 de la FIG. 12 es una forma de lograr un retardo mínimo garantizando al mismo tiempo que se muestreen datos válidos para generar el símbolo (S) 1234. Se debe tener en cuenta que el circuito de CDR 1008 de la FIG. 10 no tiene forma de hacer que el retardo T (es decir, el segundo dispositivo de retardo analógico T 1022) sea tan pequeño como el retardo (es decir, el retardo causado por la compuerta OR 1222) de la FIG. 12, dado que el retardo T de la FIG. 10 debe tener un margen de seguridad para tener en cuenta variaciones de retardo debidas a variaciones en los procesos de fabricación, longitudes del trayecto eléctrico, temperatura, etc.

[0107] En particular, al activar el biestable de nivel 1228 usando una versión retardada de la señal NE (señal NEFLT_COMP 1236), una versión estable de la segunda muestra retardada de la primera señal (señal SD 1232) se puede enclavar más rápidamente, dando como resultado un símbolo estable más ancho. Por ejemplo, en la FIG. 9, un símbolo S1 906' puede tener una anchura A en la señal SD 832, mientras que en la FIG. 13 el símbolo correspondiente S1 1306' puede tener una anchura B en la señal SD 1232, donde anchura B > anchura A. Dado que la parte de símbolo estable de la señal SD 1232 es más ancha en este enfoque, esto proporciona un margen de muestreo más amplio, por lo que un enlace de transmisión más rápido puede ser posible en relación con el enfoque de las FIGS. 8 y 9.

[0108] En relación con el circuito de CDR de la FIG. 13 de la patente de EE. UU. n.º 8064535, que usa $2 \times nC_2$ básculas biestables y $nC_2 + 1$ retardos analógicos, el circuito de CDR 1208 de la FIG. 12 se implementa usando solo una señal analógica 1218, nC_2 biestables de nivel 1228 y nC_2 compuertas XNOR 848. En general, los biestables de nivel 1228 son menos costosos de implementar (en términos de recursos) que los retardos analógicos.

Circuito de recuperación de reloj y de datos general ejemplar

[0109] La FIG. 14 es un diagrama esquemático 1400 que incluye un circuito de CDR ejemplar 1408 que ilustra determinados aspectos de recuperación de reloj y de datos desde una interfaz de múltiples cables. El circuito de CDR 1408 se puede usar con una variedad de interfaces de múltiples cables, incluyendo interfaces que transportan señales diferenciales y/o señales de un solo extremo. En diversos ejemplos, una señal codificada N factorial ($N!$), una señal codificada de tres fases y/o una señal codificada de N fases se recibe a través de la interfaz de múltiples cables. Adicionalmente, también se pueden usar otros sistemas de codificación que usan temporización de transición de símbolo para transmitir señales a través de la interfaz de múltiples cables.

[0110] Un circuito receptor 1400 puede incluir una red de terminación de cuatro cables 1404, una pluralidad de receptores 1406 y un circuito de recuperación de reloj y de datos 1408. En un ejemplo, los receptores 1406 pueden ser receptores diferenciales (por ejemplo, cuya salida es la diferencia entre dos señales de entrada). En otro ejemplo, los receptores 1406 pueden ser receptores de un solo extremo (por ejemplo, cuya salida es su señal de entrada en relación con una referencia, tal como tierra). Cuando se usan receptores de un solo extremo, la red de terminación 1404 se puede excluir.

[0111] En un ejemplo, un reloj está incluido en unas transiciones de símbolo a través de cuatro cables o conductores 1402. El circuito de CDR 1408 puede estar configurado para extraer un reloj y unos símbolos de datos de las señales recibidas a través de los cuatro cables o conductores 1402.

5 **[0112]** Una pluralidad de interfaces de línea (por ejemplo, definidas por la pluralidad de receptores 1406) pueden estar configuradas para recibir una señal ensanchada distribuida a través de la pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. La señal ensanchada se puede definir mediante una pluralidad de señales de transición que incluyen una primera señal a través de una primera interfaz de línea.
10 En un ejemplo, la primera señal puede ser una señal diferencial o una señal de un solo extremo. La señal ensanchada puede ser una de una señal codificada N factorial ($N!$), una señal codificada de tres fases y/o una señal codificada de N fases.

15 **[0113]** El circuito de CDR 1408 puede incluir un circuito de extracción de reloj 1410, un circuito de retardo 1422 y un circuito lógico de tiempo de espera negativo 1426. El circuito de extracción de reloj 1410 puede estar adaptado para obtener una señal de reloj de las transiciones de estado dentro de la señal ensanchada. La señal de reloj se puede obtener usando compensación de fluctuación de fase y sirve para muestrear símbolos de la señal ensanchada recibida distribuida a través de la pluralidad de receptores 1406. Por ejemplo, la señal de reloj puede estar basada en una comparación entre una primera muestra de una primera señal $SI[a]$ 1430 y una segunda muestra retardada de la primera señal $SD[a]$ 1432. Dado que la señal ensanchada transporta símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estas transiciones se detectan y se usan para generar la señal de reloj. Se debe tener en cuenta que la segunda muestra retardada de la primera señal $SD[a]$ 1432 se puede obtener mediante un circuito de retardo 1422 (por ejemplo, el dispositivo de retardo T 822 en la FIG. 8, el segundo dispositivo de retardo analógico T 1022 y el biestable de nivel 1028 en la FIG. 10, y/o la compuerta OR 1222 y el biestable de nivel 1228 en la FIG. 12).
20
25

[0114] En las FIGS. 8, 10 y 11 se encuentran diversos ejemplos del circuito de extracción de reloj 1410, donde la señal NEFLT 816, 1016 y/o 1216 puede servir de señal de reloj.
30

[0115] El circuito de extracción de reloj 1410 puede estar adaptado para generar una señal de reloj en base a una comparación entre una primera muestra de una primera señal $SI[a]$ 1430 y una segunda muestra retardada de la primera señal $SD[a]$ 1432. Por ejemplo, se genera una señal NEFLT 816, 1016 y/o 1216 en las FIGS. 8, 10 y 12 que puede servir de señal de reloj de muestreo para la extracción de símbolos.
35

[0116] En un ejemplo, la señal ensanchada se distribuye por los cables o conductores 1002 y puede incluir una pluralidad de señales de transición distintas que, cuando se combinan, transportan símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos. Por ejemplo, para el caso de tres conductores que usan señalización diferencial en la FIG. 3, la primera señal se puede definir mediante la combinación de las señales diferenciales RX_AB 314, RX_BC 316 y RX_CA 318. La primera muestra de la primera señal (SI) 830 puede comprender, por ejemplo, cualquiera de las señales diferenciales RX_AB 314, RX_BC 316 o RX_CA 318.
40

[0117] En una implementación, el circuito de extracción de reloj 1410 puede estar adaptado además para generar la señal de reloj 1414 en base a unas comparaciones adicionales entre una primera muestra de una segunda señal $SI[b]$, dentro de la pluralidad de señales de transición de estado, y una segunda muestra retardada de la segunda señal $SD[b]$, y la primera señal $SI[a]$ y la segunda señal $SI[b]$ pueden ser señales concurrentes recibidas a través de diferentes interfaces de línea (pluralidad de receptores 1406).
45

50 **[0118]** Un circuito lógico de tiempo de espera negativo 1426 puede estar adaptado para muestrear la segunda muestra retardada de la primera señal $SD[a]$ 1432 en base a la señal de reloj y proporcionar una salida de símbolo $S[a]$ 1434. En una implementación, el circuito lógico de tiempo de espera negativo 1426 incluye un dispositivo lógico de tiempo de espera negativo separado para cada una de la pluralidad de interfaces de línea, en la que cada dispositivo lógico de tiempo de espera negativo puede estar adaptado para muestrear concurrentemente una muestra retardada de una señal distinta $SD[a]$, $SD[b]$, $SD[c]$, ..., $SD[n]$ en base a la señal de reloj/activación 1414 y proporcionar salidas de símbolo distintas $S[a]$, $S[b]$, $S[c]$, ..., $S[n]$.
55

60 **[0119]** La FIG. 15 ilustra un procedimiento para la recuperación de reloj y de datos. Se puede recibir una señal ensanchada distribuida a través de la pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estando definida la señal ensanchada por una pluralidad de señales de transición que incluyen una primera señal a través de una primera interfaz de línea 1502. En diversas implementaciones, la primera señal puede ser una señal diferencial o una señal de un solo extremo. En algunos ejemplos, la señal ensanchada puede ser una de una señal codificada N factorial ($N!$), una señal codificada de tres fases y/o una señal codificada de N fases.
65

[0120] Se puede obtener una señal de reloj en base a una comparación entre una primera muestra de la primera señal y una segunda muestra retardada de la primera señal 1504. La segunda muestra retardada de la primera señal se puede muestrear en base a la señal de reloj para proporcionar una salida de símbolo 1506. El muestreo de la segunda muestra retardada de la primera señal se puede realizar usando un circuito lógico de tiempo de espera negativo.

[0121] La señal de reloj se puede generar en base a unas comparaciones adicionales entre una primera muestra de una segunda señal, dentro de la pluralidad de señales de transición de estado, y una segunda muestra retardada de la segunda señal, y la primera señal y la segunda señal pueden ser señales concurrentes recibidas a través de diferentes interfaces de línea. Una muestra retardada de una pluralidad de señales recibidas distintas se puede muestrear concurrentemente en base a la señal de reloj y para proporcionar salidas de símbolo distintas.

[0122] En un ejemplo, obtener una señal de reloj puede incluir: (a) comparar la primera muestra de la primera señal (SI) y la muestra retardada de la primera señal (SD) para proporcionar una señal de comparación (NE); (b) enclavar la señal de comparación (NE) para obtener una versión filtrada de la señal de comparación (NEFLT); y/o (c) retardar la versión filtrada de la señal de comparación (NEFLT) para proporcionar una versión filtrada retardada de la señal de comparación (NEFLTD), donde la versión filtrada retardada de la señal de comparación (NEFLTD) sirve para enclavar la señal de comparación (NE).

[0123] De acuerdo con un primer aspecto, ilustrado en las FIGS. 8 y 9, el procedimiento puede incluir además retardar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal.

[0124] De acuerdo con un segundo aspecto, ilustrado en las FIGS. 10 y 11, el procedimiento puede incluir además: (a) capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal; y/o (b) retardar la señal de comparación (NE) y usar la señal de comparación retardada (NED) para activar el enclavamiento de la señal de comparación (NE).

[0125] De acuerdo con un tercer aspecto, ilustrado en las FIGS. 12 y 13, el procedimiento puede incluir además capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal, mientras que la versión filtrada de la señal de comparación (NEFLT) o la versión filtrada retardada de la señal de comparación (NEFLTD) está en un estado lógico alto.

[0126] Se entiende que el orden o la jerarquía específicos de las etapas de los procesos divulgados es una ilustración de enfoques ejemplares. En base a las preferencias de diseño, se entiende que el orden o la jerarquía específicos de las etapas de los procesos se pueden reorganizar. Las reivindicaciones de procedimiento adjuntas presentan elementos de las diversas etapas en un orden de muestra y no se pretenden limitar al orden o la jerarquía específicos presentados.

[0127] Aunque los aspectos, disposiciones y modos de realización analizados anteriormente se analizan con detalles y particularidades específicas, uno o más de los componentes, etapas, características y/o funciones ilustradas en las FIGS. 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14 y/o 15 se pueden reorganizar y/o combinar en un único componente, etapa, característica o función o incorporar en varios componentes, etapas o funciones. También se pueden añadir o no utilizar elementos, componentes, etapas y/o funciones adicionales sin apartarse de la presente divulgación. El aparato, los dispositivos y/o los componentes ilustrados en las FIGS. 1, 2, 4, 5, 7, 8, 10, 12 y/o 14 pueden estar configurados para realizar o emplear uno o más de los procedimientos, características, parámetros y/o etapas descritas en las FIGS. 3, 6, 9, 11, 13 y/o 15. Los algoritmos novedosos descritos en el presente documento también se pueden implementar eficazmente en software y/o incluir en hardware.

[0128] Asimismo, cabe destacar que al menos algunas implementaciones se han descrito como un proceso que se representa como un organigrama, un diagrama de flujo, un diagrama estructural o un diagrama de bloques. Aunque un diagrama de flujo puede describir las operaciones como un proceso secuencial, muchas de las operaciones se pueden realizar en paralelo o concurrentemente. Además, el orden de las operaciones se puede reorganizar. Un proceso se termina cuando sus operaciones se acaban. Un procedimiento puede corresponder a un procedimiento, una función, un procedimiento, una subrutina, un subprograma, etc. Cuando un procedimiento corresponde a una función, su finalización corresponde a un retorno de la función a la función de llamada o a la función principal. Los diversos procedimientos descritos en el presente documento se pueden implementar parcial o totalmente mediante programación (por ejemplo, instrucciones y/o datos) que se puede almacenar en un medio de almacenamiento no transitorio legible por máquina, legible por ordenador y/o legible por procesador, y ejecutar mediante uno o más procesadores, máquinas y/o dispositivos.

5 **[0129]** Los expertos en la técnica apreciarán además que los diversos bloques lógicos, módulos, circuitos y etapas de algoritmo ilustrativos descritos en relación con los modos de realización divulgados en el presente documento se pueden implementar como hardware, software, firmware, middleware, microcódigo o cualquier combinación de los mismos. Para ilustrar claramente esta intercambiabilidad, anteriormente se han descrito, en general, diversos componentes, bloques, módulos, circuitos y etapas ilustrativas en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de las restricciones particulares de aplicación y de diseño impuestas al sistema global.

10 **[0130]** Las diversas características asociadas a los ejemplos descritos en el presente documento y mostradas en los dibujos adjuntos se pueden implementar en diferentes ejemplos e implementaciones sin apartarse del alcance de la presente divulgación. Por lo tanto, aunque determinadas estructuras y disposiciones específicas se han descrito y mostrado en los dibujos adjuntos, dichos modos de realización son meramente ilustrativos y no restrictivos del alcance de la divulgación, puesto que otras diversas adiciones y modificaciones a, y omisiones de, los modos de realización descritos resultarán evidentes para los expertos en la técnica. Por tanto, el alcance de la divulgación solo está determinado por las reivindicaciones que siguen.

15

REIVINDICACIONES

1. Un procedimiento de funcionamiento en un circuito receptor, que comprende:
 - 5 recibir una señal ensanchada distribuida a través de una pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estando definida la señal ensanchada por una pluralidad de señales de transición de estado que incluyen una primera señal a través de una primera interfaz de línea y una segunda señal a través de una segunda interfaz de línea;
 - 10 obtener una señal de reloj en base a una comparación de transiciones entre una primera muestra de la primera señal y una segunda muestra retardada de la primera señal, y una comparación de transiciones entre una primera muestra de la segunda señal y una segunda muestra retardada de la segunda señal; y
 - 15 muestrear la segunda muestra retardada de la primera señal en base a la señal de reloj para proporcionar una salida de símbolo.
2. El procedimiento de la reivindicación 1, en el que la primera señal es una señal diferencial.
- 20 3. El procedimiento de la reivindicación 1, en el que la primera señal es una señal de un solo extremo.
4. El procedimiento de la reivindicación 1, en el que la señal ensanchada es una de una señal codificada N factorial ($N!$), una señal codificada de tres fases o una señal codificada de N fases que tiene tres o
- 25 más fases.
5. El procedimiento de la reivindicación 1, en el que el muestreo de la segunda muestra retardada de la primera señal se realiza usando un circuito lógico de tiempo de espera negativo.
- 30 6. El procedimiento de la reivindicación 1, en el que la primera señal y la segunda señal son señales concurrentes recibidas a través de diferentes interfaces de línea.
7. El procedimiento de la reivindicación 1, que comprende además:
 - 35 muestrear concurrentemente una muestra retardada de una pluralidad de señales distintas, dentro de la pluralidad de señales de transición de estado, en base a la señal de reloj para proporcionar salidas de símbolo distintas.
8. El procedimiento de la reivindicación 1, en el que obtener la señal de reloj incluye:
 - 40 comparar la primera muestra de la primera señal (SI) y la segunda muestra retardada de la primera señal (SD) para proporcionar una señal de comparación (NE);
 - 45 enclavar la señal de comparación (NE) para obtener una versión filtrada de la señal de comparación (NEFLT); y
 - 50 retardar la versión filtrada de la señal de comparación (NEFLT) para proporcionar una versión filtrada retardada de la señal de comparación (NEFLTD), en el que la versión filtrada retardada de la señal de comparación (NEFLTD) sirve para enclavar la señal de comparación (NE).
9. El procedimiento de la reivindicación 8, que comprende además:
 - 55 retardar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal.
10. El procedimiento de la reivindicación 8, que comprende además:
 - 60 capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal; y
 - 65 retardar la señal de comparación (NE) y usar la señal de comparación retardada (NED) para activar el enclavamiento de la señal de comparación (NE).
11. El procedimiento de la reivindicación 8, que comprende además:

capturar la primera muestra de la primera señal para obtener la segunda muestra retardada de la primera señal mientras la versión filtrada de la señal de comparación (NEFLT) o la versión filtrada retardada de la señal de comparación (NEFLTD) está en un estado lógico alto.

5 12. Un circuito receptor (800, 1000, 1200, 1400), que comprende:

10 medios para recibir (806, 1006, 1206, 1406) una señal ensanchada distribuida a través de una pluralidad de interfaces de línea, transportando la señal ensanchada símbolos con transiciones de estado de símbolo a símbolo garantizadas entre símbolos consecutivos, estando definida la señal ensanchada por una pluralidad de señales de transición de estado que incluyen una primera señal a través de una primera interfaz de línea y una segunda señal a través de una segunda interfaz de línea;

15 medios para obtener (809, 1009, 1209, 1408) una señal de reloj en base a una comparación de transiciones entre una primera muestra de la primera señal y una segunda muestra retardada de la primera señal, y una comparación de transiciones entre una primera muestra de la segunda señal y una segunda muestra retardada de la segunda señal; y

20 medios para muestrear (826, 1026, 1226, 1426) la segunda muestra retardada de la primera señal en base a la señal de reloj para proporcionar una salida de símbolo.

13. El circuito receptor de la reivindicación 12, en el que la primera señal y la segunda señal son señales concurrentes recibidas a través de diferentes interfaces de línea.

25 14. El circuito receptor de la reivindicación 12, que comprende además:

30 medios para muestrear concurrentemente una muestra retardada de una pluralidad de señales distintas, dentro de la pluralidad de señales de transición de estado, en base a la señal de reloj para proporcionar salidas de símbolo distintas.

15. El circuito receptor de la reivindicación 12, en el que los medios para obtener la señal de reloj incluyen:

35 medios para comparar la primera muestra de la primera señal (SI) y la segunda muestra retardada de la primera señal (SD) para proporcionar una señal de comparación (NE);

medios para enclavar la señal de comparación (NE) para obtener una versión filtrada de la señal de comparación (NEFLT); y

40 medios para retardar la versión filtrada de la señal de comparación (NEFLT) para proporcionar una versión filtrada retardada de la señal de comparación (NEFLTD), en el que la versión filtrada retardada de la señal de comparación (NEFLTD) sirve para enclavar la señal de comparación (NE).

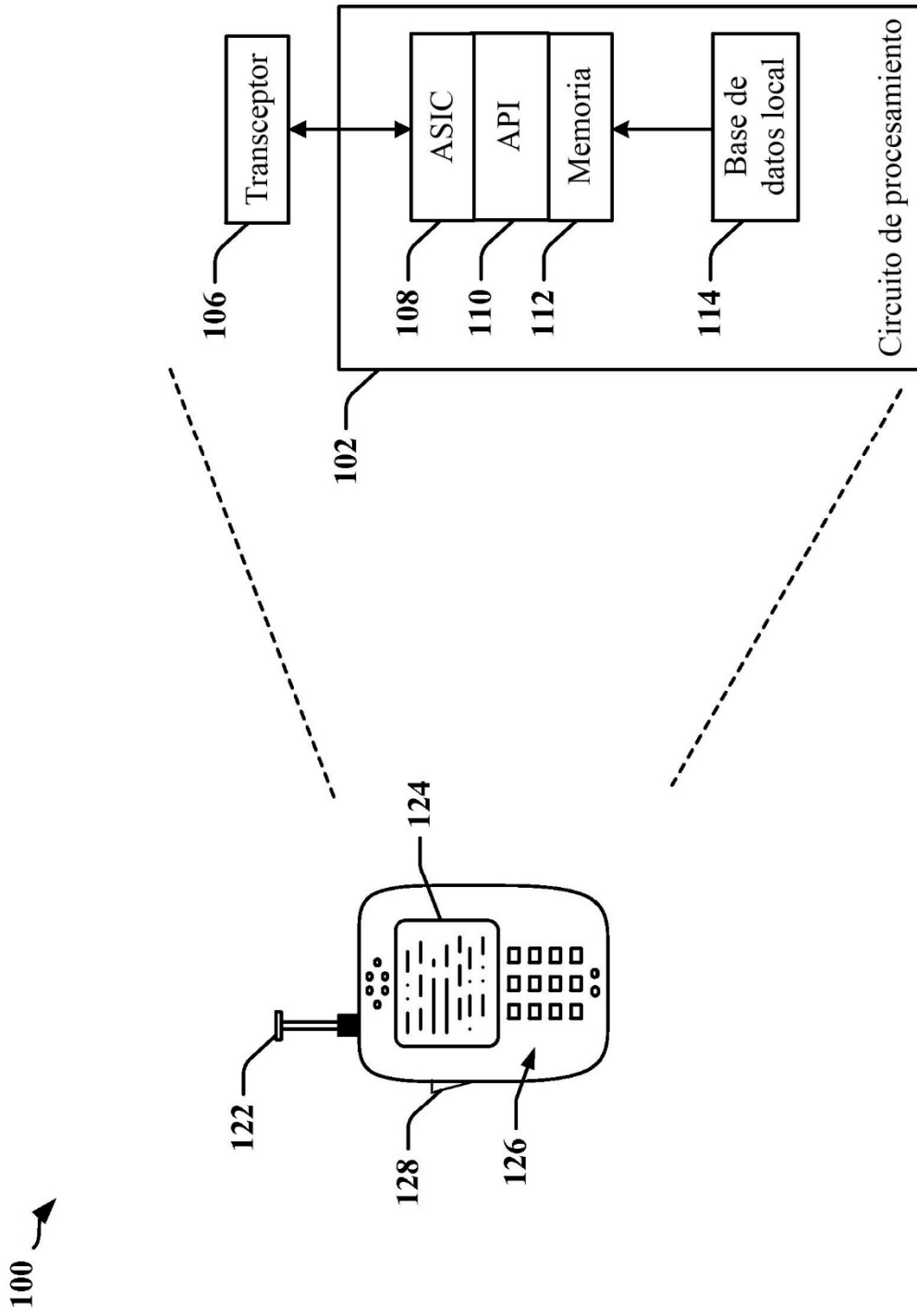


FIG. 1

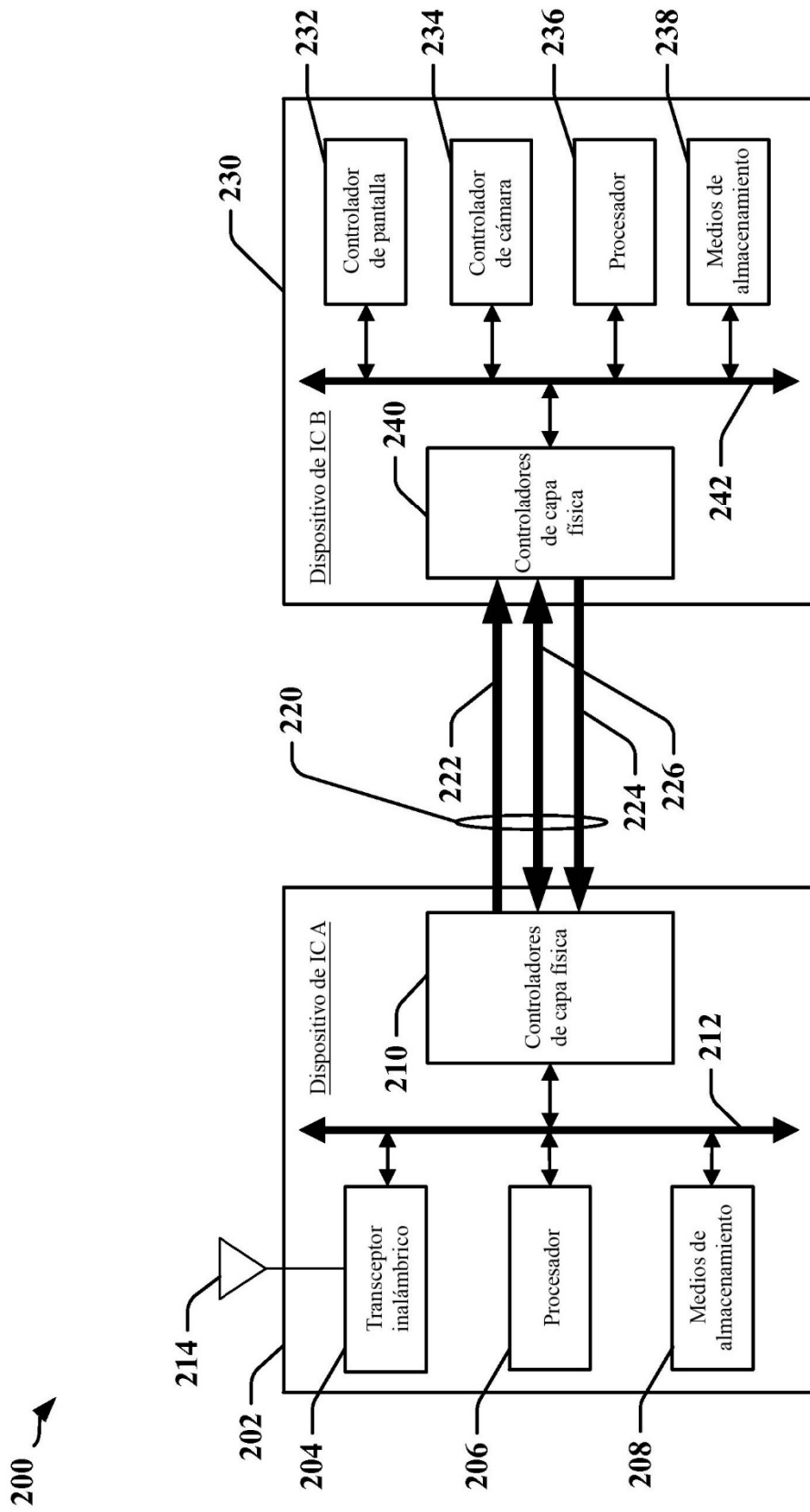
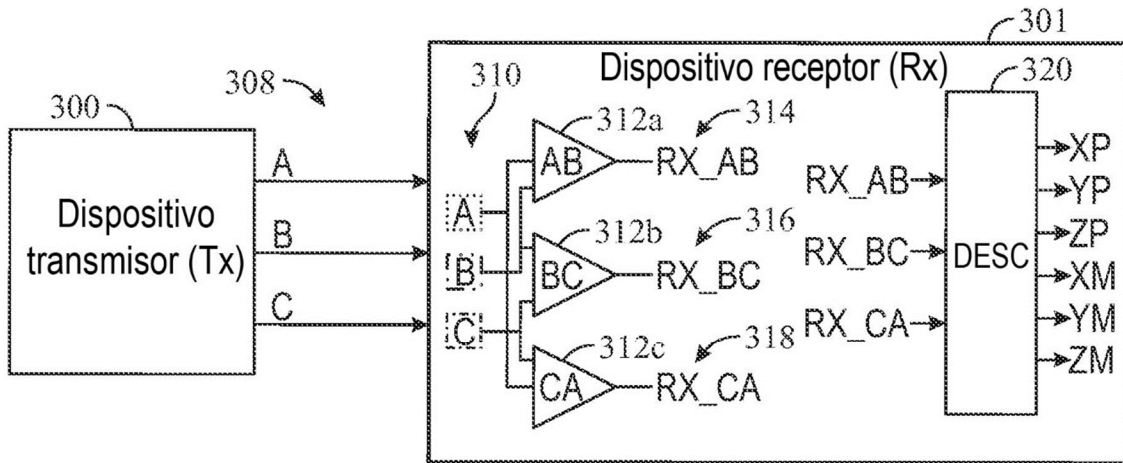


FIG. 2



Estados

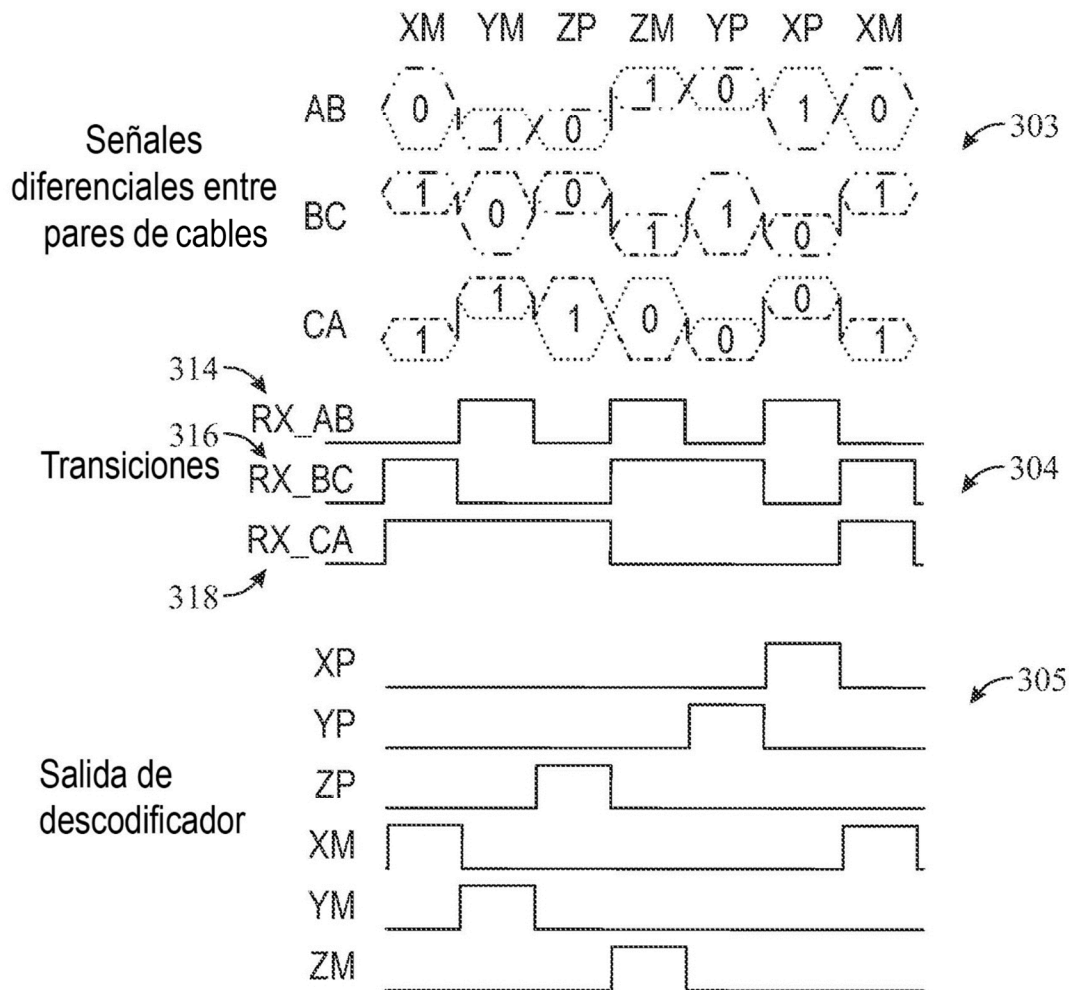


FIG. 3

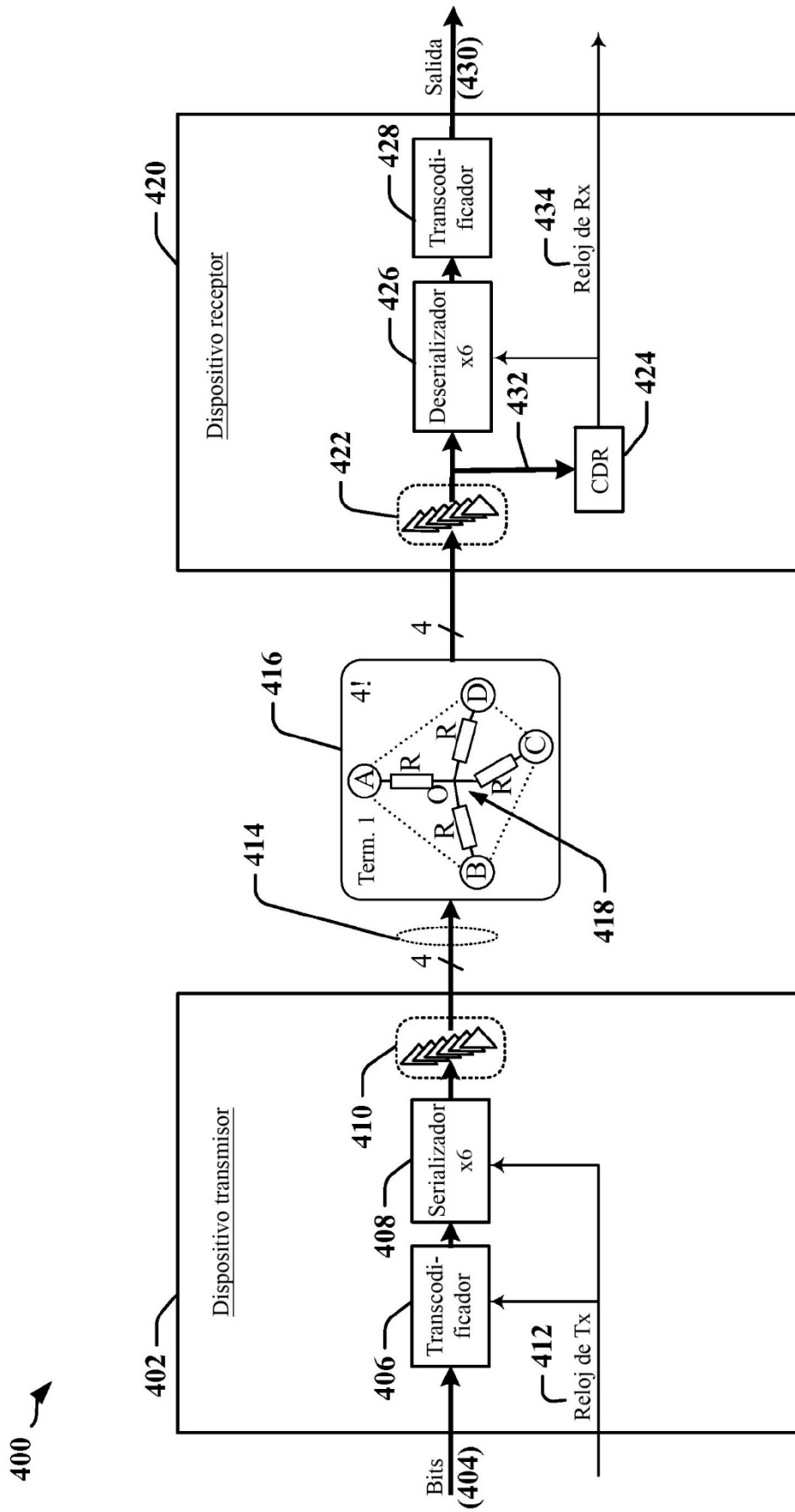


FIG. 4

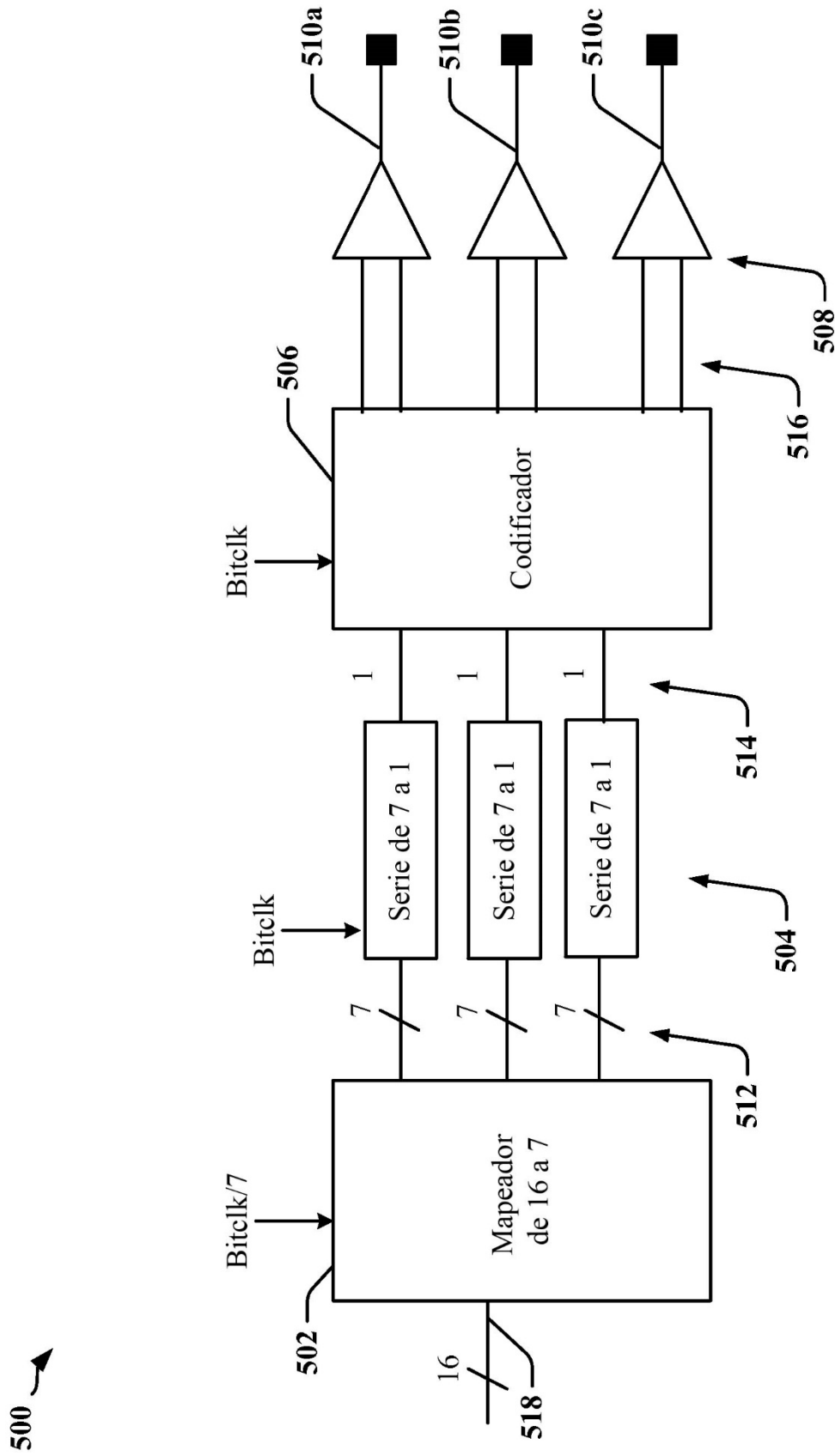


FIG. 5

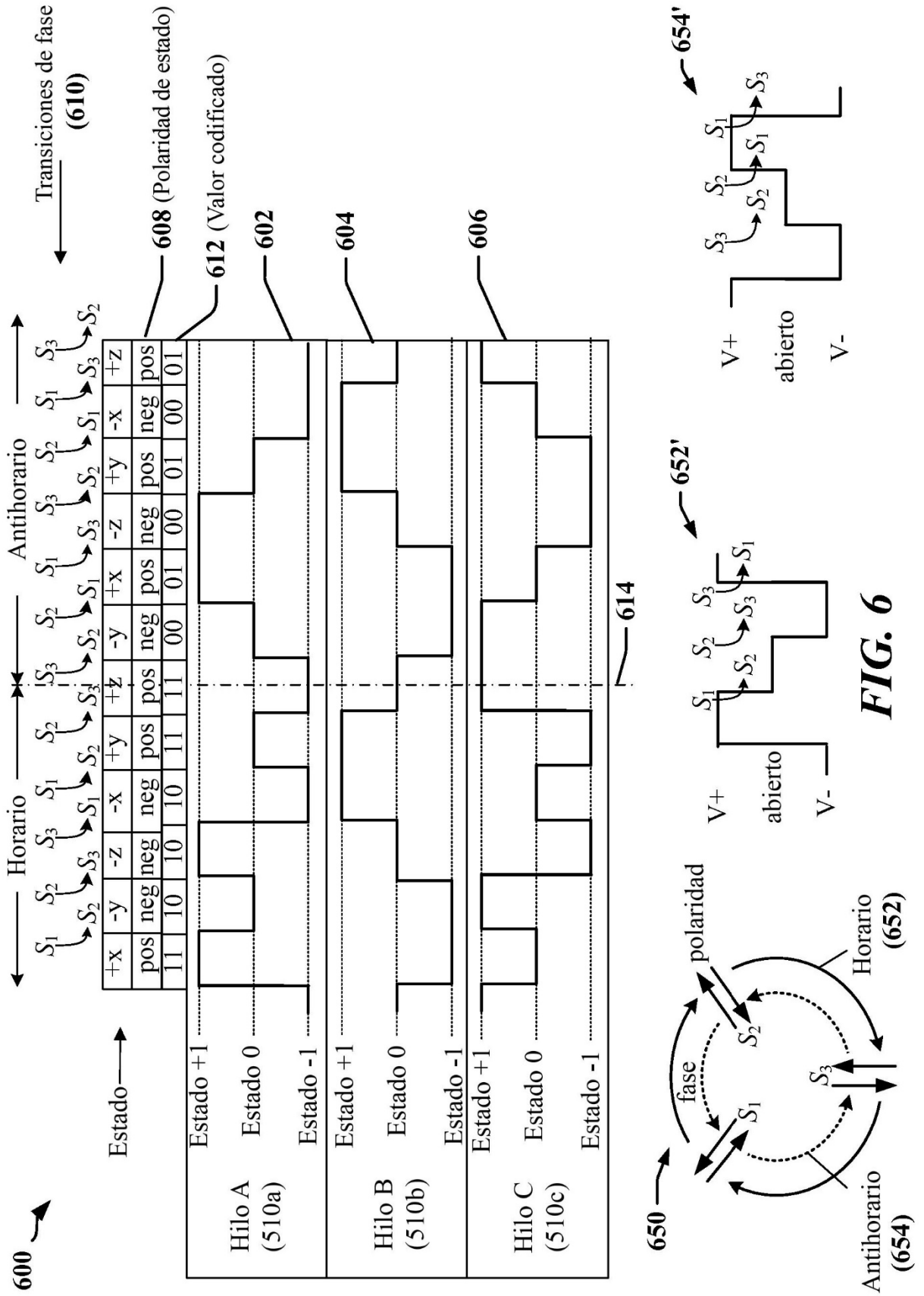


FIG. 6

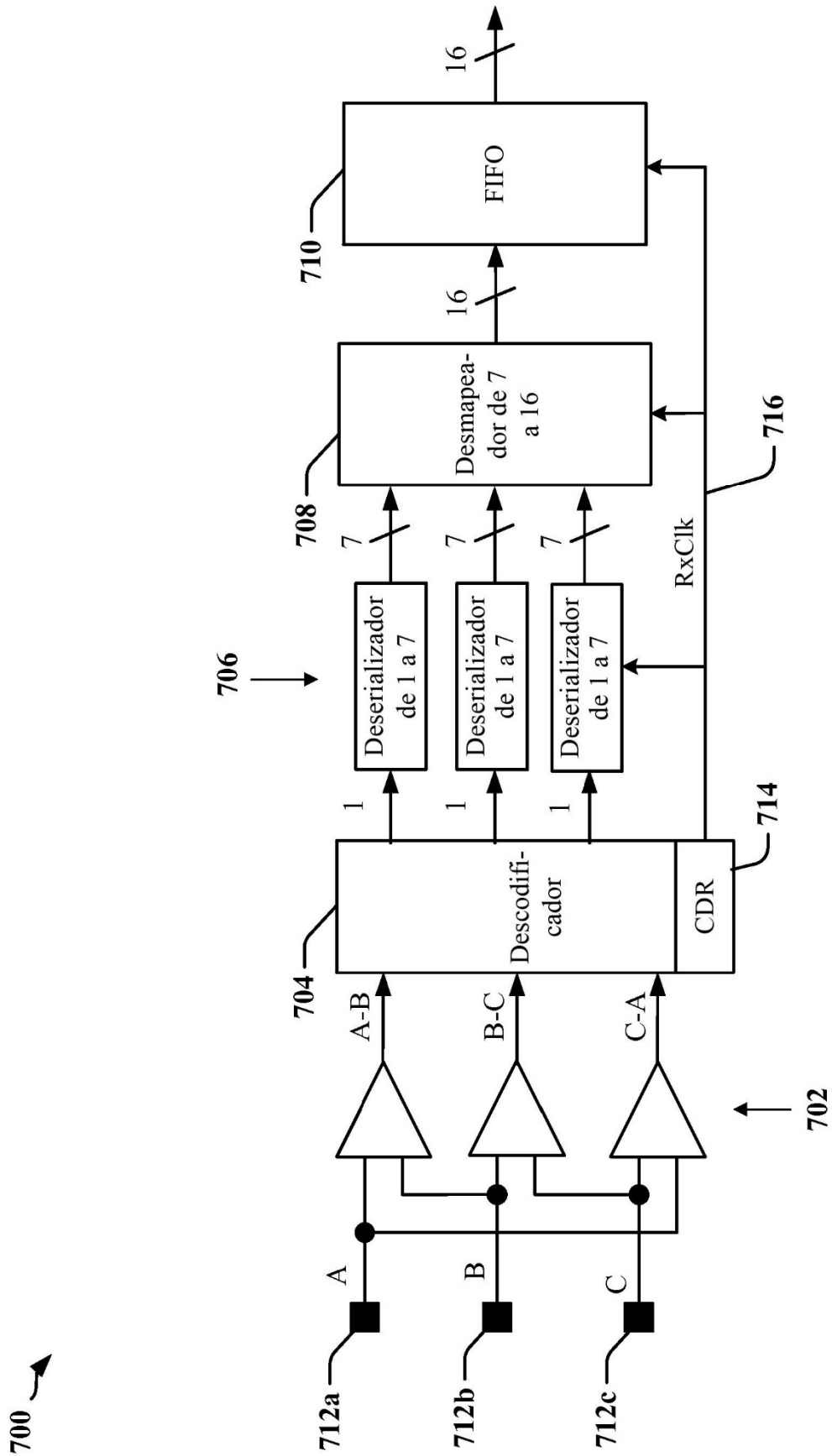


FIG. 7

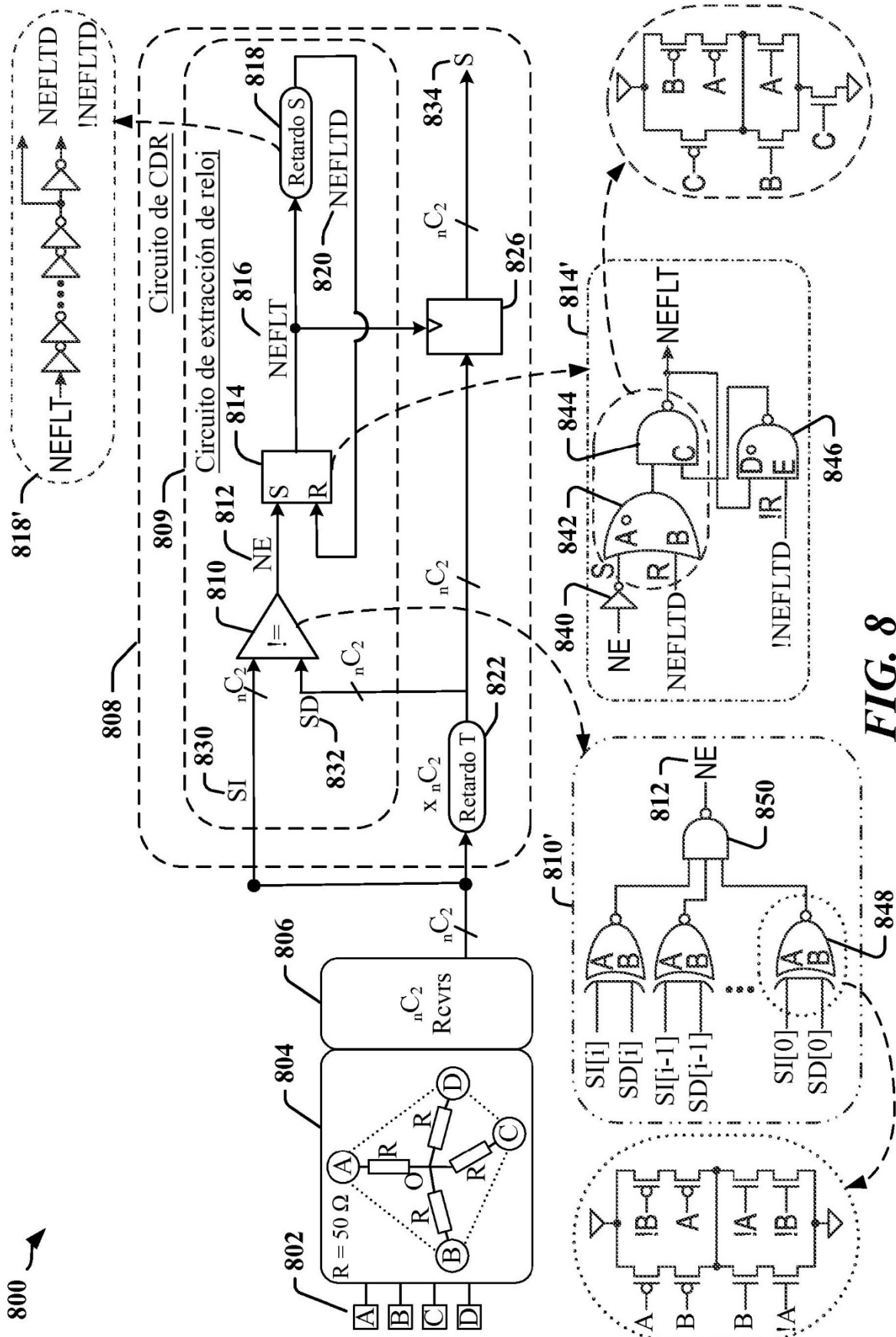


FIG. 8

900 ↗

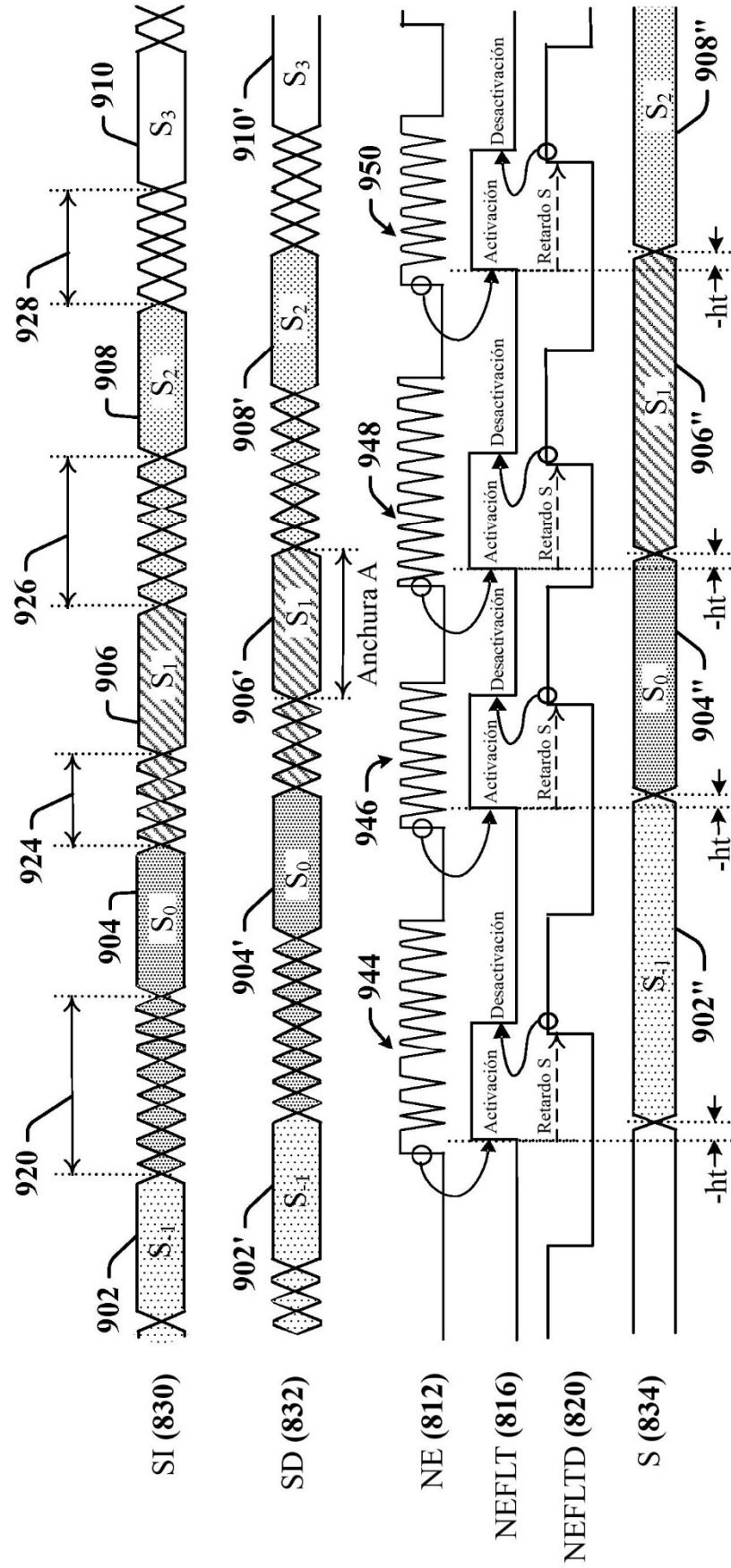


FIG. 9

1000 ↗

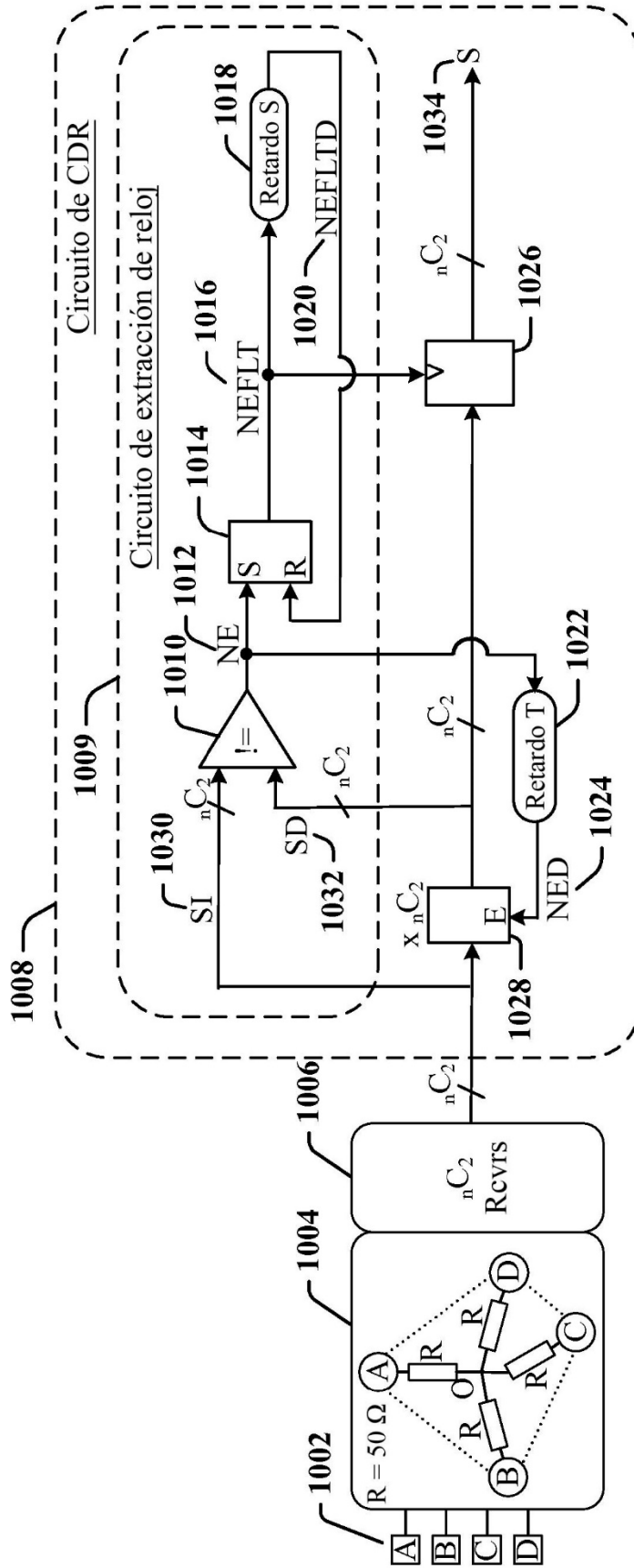


FIG. 10

1100 ↗

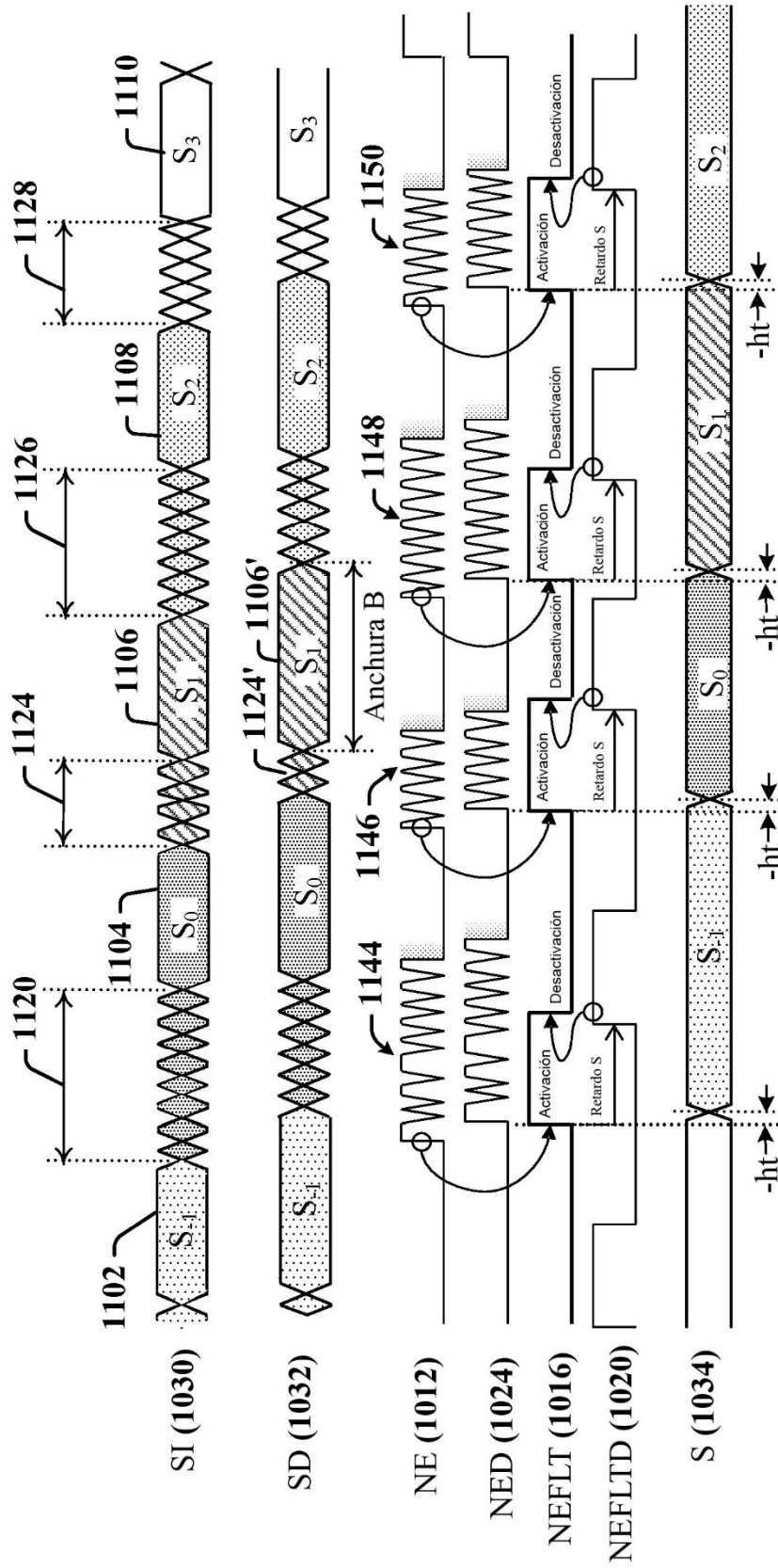


FIG. 11

1200 ↗

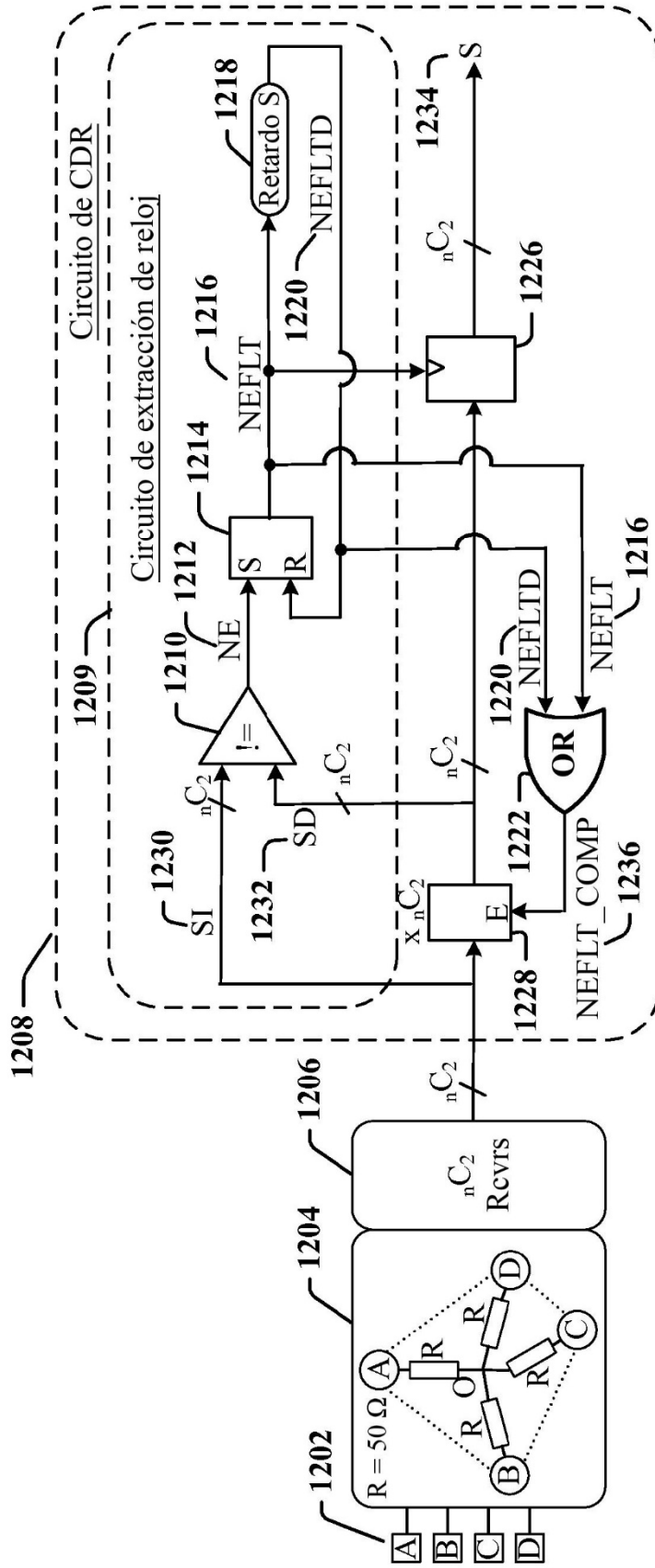


FIG. 12

1300 ↗

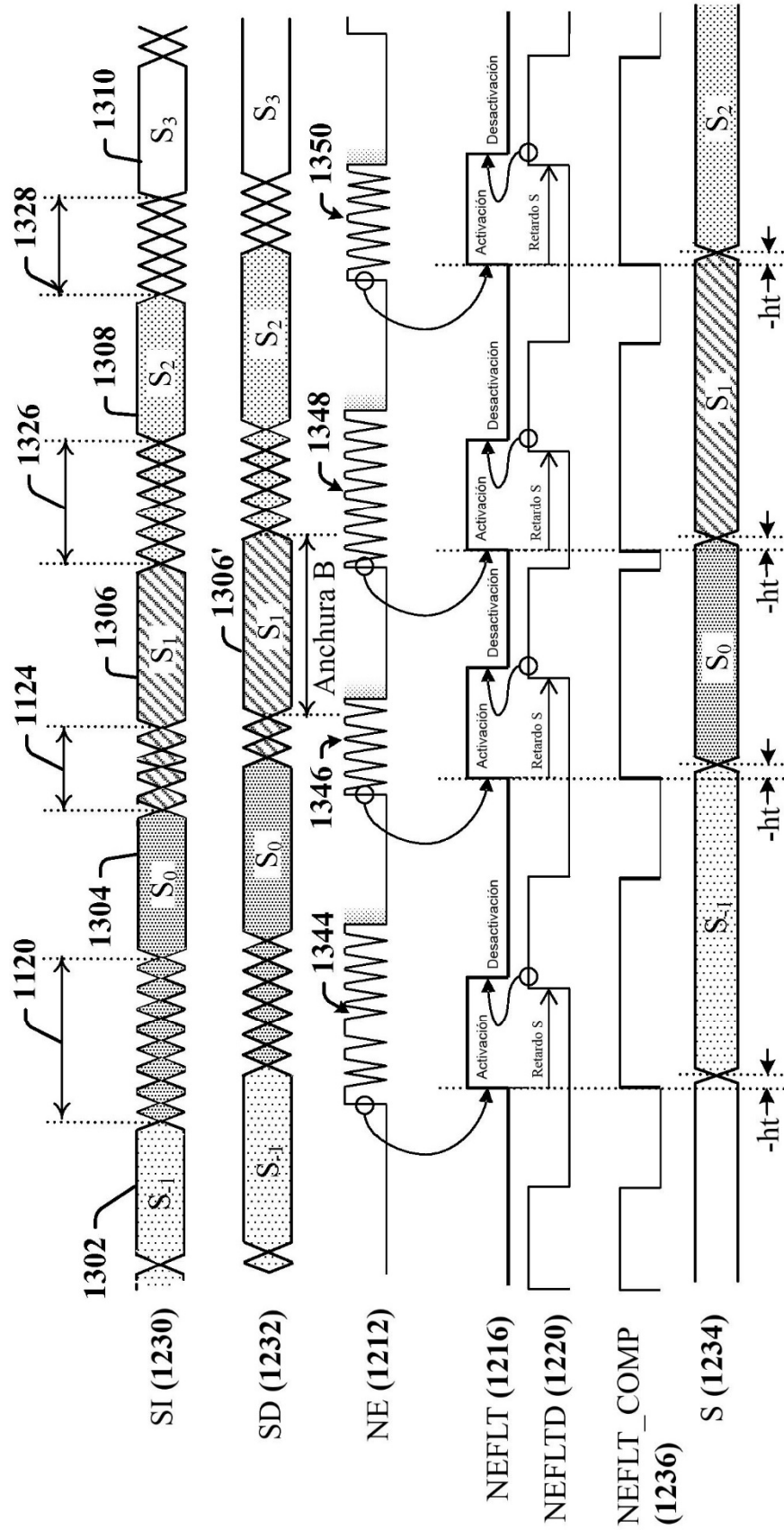


FIG. 13

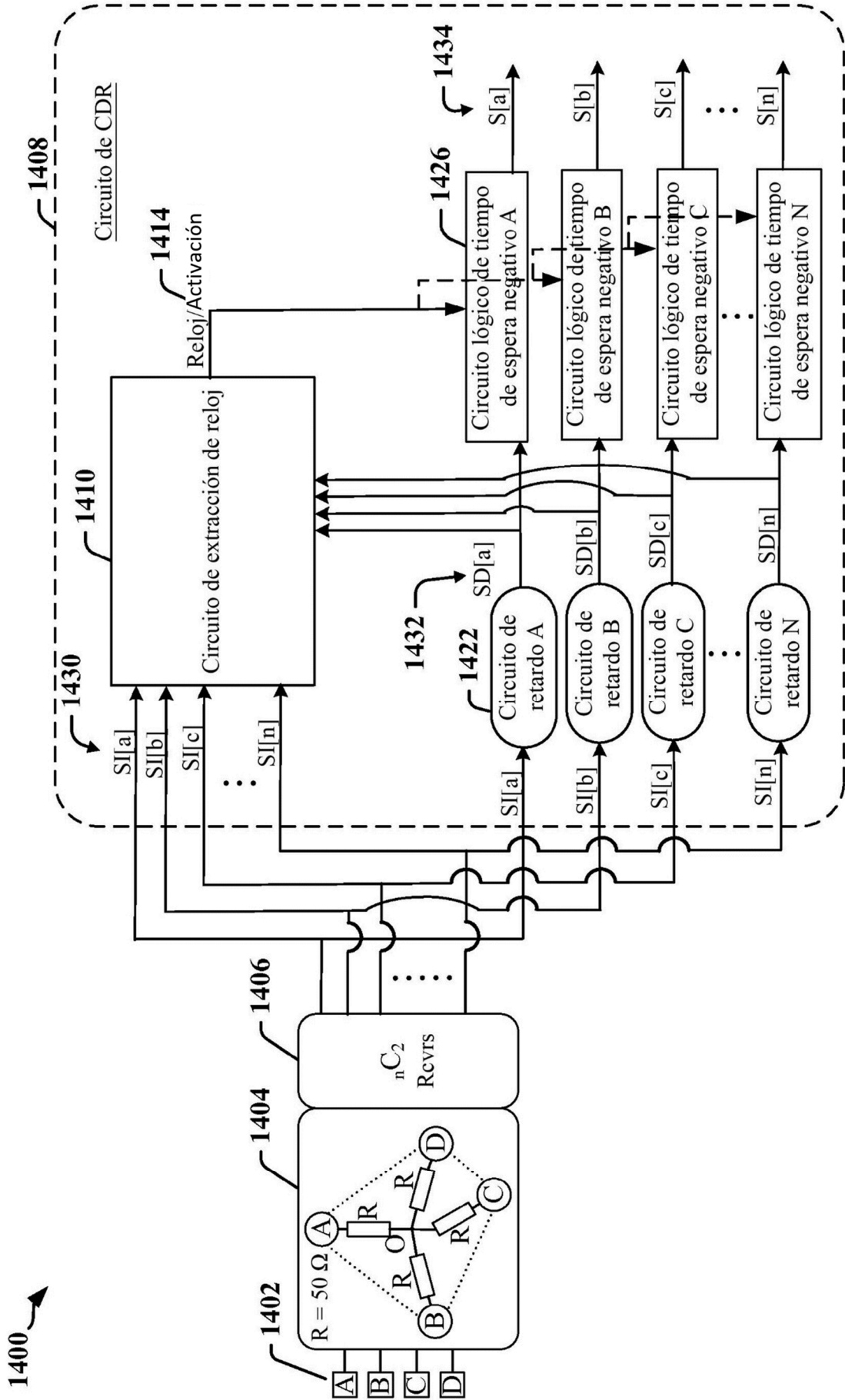


FIG. 14

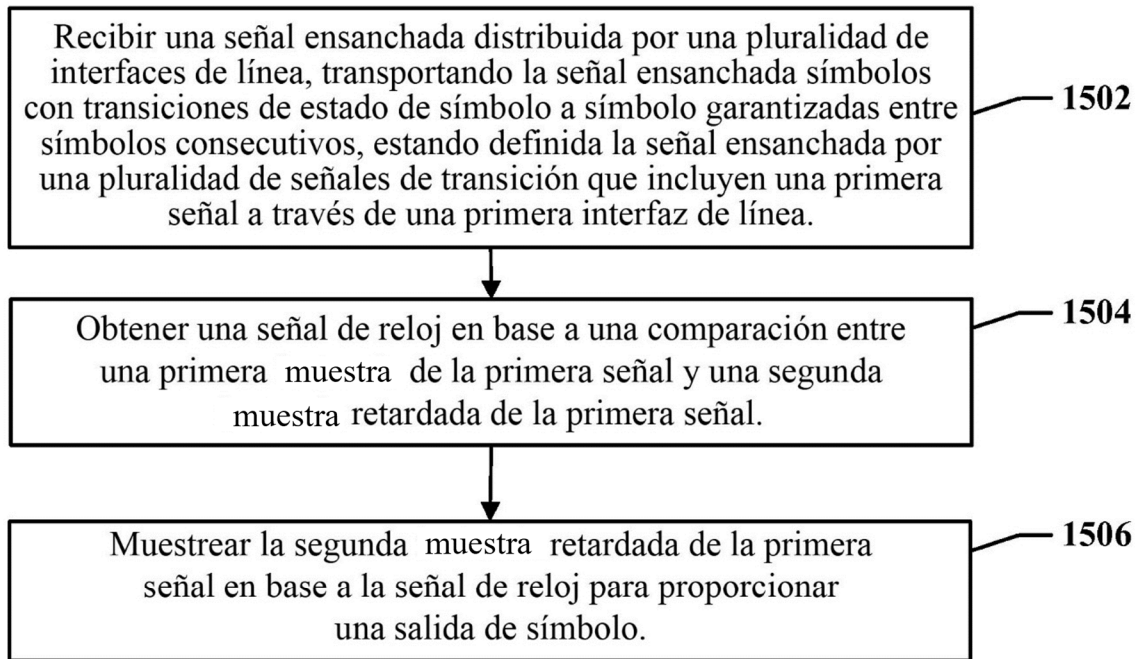


FIG. 15