

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7684320号
(P7684320)

(45)発行日 令和7年5月27日(2025.5.27)

(24)登録日 令和7年5月19日(2025.5.19)

(51)国際特許分類	F I			
H 0 1 L 25/07 (2006.01)	H 0 1 L	25/04	C	
H 0 1 L 25/18 (2023.01)	H 0 1 L	23/56	D	
H 0 1 L 23/58 (2006.01)	H 0 1 L	23/56	C	

請求項の数 14 (全15頁)

(21)出願番号	特願2022-546497(P2022-546497)	(73)特許権者	523380173
(86)(22)出願日	令和3年1月28日(2021.1.28)		ヒタチ・エナジー・リミテッド
(65)公表番号	特表2023-512274(P2023-512274 A)		H I T A C H I E N E R G Y L T D
(43)公表日	令和5年3月24日(2023.3.24)		スイス、8 0 5 0 チューリッヒ、ブラ
(86)国際出願番号	PCT/EP2021/052004	(74)代理人	110001195
(87)国際公開番号	WO2021/152021		弁理士法人深見特許事務所
(87)国際公開日	令和3年8月5日(2021.8.5)	(72)発明者	シュダーラー、ユルゲン
審査請求日	令和6年1月18日(2024.1.18)		スイス、8 0 4 7 チューリッヒ、シュ
(31)優先権主張番号	20154510.0		ツェンライン、2
(32)優先日	令和2年1月30日(2020.1.30)	(72)発明者	キチン、スラボ
(33)優先権主張国・地域又は機関	欧州特許庁(EP)		スイス、8 0 4 9 チューリッヒ、ビル
		(72)発明者	デンシュトラーク、1 1
			モーン、ファビアン
			スイス、5 4 0 8 エネットバーデン、
			最終頁に続く

(54)【発明の名称】 自由構成可能なパワー半導体モジュール

(57)【特許請求の範囲】

【請求項 1】

パワー半導体モジュール（10）であって、
少なくとも2つの半導体チップ（24）を含む少なくとも1つの半導体ボード（16）を備え、各半導体チップ（24）は2つのパワー電極（26、28）を有し、前記パワー半導体モジュール（10）はさらに、
前記少なくとも2つの半導体チップ（24）の上方で前記半導体ボード（16）に取り付けられたアダプタボード（14）を備え、前記アダプタボード（14）は、前記半導体ボード（16）から遠い方の側に、各半導体チップ（24）のための端子エリア（46）を含み、
前記アダプタボード（14）は、各端子エリア（46）において、前記端子エリア（46）に関連付けられた前記半導体チップ（24）の各パワー電極（26、28）のためのパワー端子（42）を提供し、
各パワー端子（42）は、前記端子エリア（46）の下方の導電性の垂直ポスト（34、36）を介して、前記半導体チップ（24）と電気的に接続され、
前記パワー端子（42）の各々は、少なくとも2つのプラグコネクタ（52）を有し、
前記アダプタボード（14）は、異なる半導体チップ（24）のパワー電極（26、28）を電気的に接続するための2つのプラグコネクタ（52）を相互接続するためのジャンパーコネクタ（50）を含む、パワー半導体モジュール（10）。

【請求項 2】

前記アダプタボード（１４）は、前記端子エリア（４６）に関連付けられた前記半導体チップ（２４）のうちの少なくとも１つの前記端子エリア（４６）において、少なくとも１つの補助端子（４４）を提供し、その補助端子（４４）は、前記端子エリア（４６）の下方の導電性の垂直ポスト（３８、４０）に接続される、請求項１に記載のパワー半導体モジュール（１０）。

【請求項３】

前記端子エリア（４６）に関連付けられた前記半導体チップ（２４）のうちの少なくとも１つは制御電極（３０）を含み、前記補助端子（４４）のうちの１つは、その導電性の垂直ポスト（３８）を用いて、前記半導体チップ（２４）の前記制御電極（３０）と電氣的に接続される、請求項２に記載のパワー半導体モジュール（１０）。

10

【請求項４】

前記半導体ボード（１６）は、前記端子エリア（４６）に関連付けられた前記半導体チップ（２４）のうちの少なくとも１つのためのセンサ（３２）を含み、

補助端子（４４）は、その導電性の垂直ポスト（４０）を介して、前記センサ（３２）に電氣的に接続される、請求項２または３に記載のパワー半導体モジュール（１０）。

【請求項５】

前記センサ（３２）は、温度センサおよび電流センサのうちの１つである、請求項４に記載のパワー半導体モジュール（１０）。

【請求項６】

補助端子（４４）は、導電性の垂直ポスト（３４、３６）を介して、前記端子エリア（４６）に関連付けられた前記半導体チップ（２４）のうちの少なくとも１つのパワー電極（２６、２８）と電氣的に接続される、請求項２～５のいずれか１項に記載のパワー半導体モジュール（１０）。

20

【請求項７】

パワー端子（４２）は、それぞれの前記端子エリア（４６）の外側領域（４６ｃ）に配置され、前記外側領域（４６ｃ）は、前記アダプタボード（１４）の境界に配置される、請求項１～６のいずれか１項に記載のパワー半導体モジュール（１０）。

【請求項８】

少なくとも１つの補助端子（４４）は、前記端子エリア（４６）の内側領域（４６ａ）に配置され、前記外側領域（４６ｃ）は、前記アダプタボード（１４）の前記境界と前記内側領域（４６ａ）との間に配置される、請求項７に記載のパワー半導体モジュール（１０）。

30

【請求項９】

前記端子エリア（４６）は、前記アダプタボード（１４）上に少なくとも１列（４８）で配置される、請求項１～８のいずれか１項に記載のパワー半導体モジュール（１０）。

【請求項１０】

前記半導体ボード（１６）は、前記少なくとも２つの半導体チップ（２４）が接合される構造化金属化層（２０）を有する基板（１８）を含む、請求項１～９のいずれか１項に記載のパワー半導体モジュール（１０）。

【請求項１１】

前記垂直ポスト（３４、３６）はピンであり、各ピンのヘッドが前記半導体ボード（１６）および前記少なくとも２つの半導体チップ（２４）のそれぞれの接触エリア（２８、３０、３３）に接合されるように、前記ピンは前記アダプタボード（１４）に接続され、前記半導体ボード（１６）および前記少なくとも２つの半導体チップ（２４）によって提供された前記接触エリア（２８、３０、３３）上に押し込まれる、請求項１０に記載のパワー半導体モジュール（１０）。

40

【請求項１２】

前記半導体ボード（１６）は、各半導体チップ（２４）のためのチップスケールパッケージ（６４）を含み、

各チップスケールパッケージ（６４）は、少なくとも１つの半導体チップ（２４）と、

50

前記半導体チップ（２４）に接続された前記垂直ポスト（３４、３６）と、前記半導体チップ（２４）および前記垂直ポスト（３４、３６）が埋め込まれる成形カプセル封入（６６）とを含み、

各チップパッケージ（６４）は、前記垂直ポスト（３４、３６）が電氣的に接続される接合エリア（６８）を提供し、

前記アダプタボード（１４）は、前記チップスケールパッケージ（６４）の前記接合エリア（６８）に接合される、請求項１～９のいずれか１項に記載のパワー半導体モジュール（１０）。

【請求項１３】

前記アダプタボード（１４）および前記半導体ボード（１６）は、前記少なくとも２つの半導体チップ（２４）が埋め込まれた多層回路基板（７０）によって提供され、

前記垂直ポスト（３４、３６）は、前記多層回路基板（７０）の貫通ビアである、請求項１～９のいずれか１項に記載のパワー半導体モジュール（１０）。

【請求項１４】

前記アダプタボード（１４）に取り付けられたゲートドライバボード（１２）をさらに含み、

垂直ピンが、前記ゲートドライバボード（１２）を、前記アダプタボード（１４）上の補助端子（４４）と相互接続し、

前記ゲートドライバボード（１２）は、前記端子エリア（４６）の前記パワー端子（４２）の一部のみを覆う、請求項１～１３のいずれか１項に記載のパワー半導体モジュール（１０）。

【発明の詳細な説明】

【技術分野】

【０００１】

発明の分野

この発明は、パワーエレクトロニクスの分野に関する。特に、この発明は、パワー半導体モジュールに関する。

【背景技術】

【０００２】

発明の背景

マルチチップパワー半導体モジュールは通常、（ハーフブリッジ構成などの）定義されたトポロジのために設計されており、パワー半導体チップ同士が並列に接続されて制御されるため、チップの個々の情報を抽出することを可能にしないかもしれない。さまざまな個々のモジュールを使用することによって、複雑なトポロジを実現する必要がある。パワーモジュール端子は典型的には、（搭載温度およびチップ電流などの）チップ個々の診断信号の抽出を可能にしないかもしれない基本接続に制限されている。

【０００３】

US 2017 077 068 A1は、チップが接合される基板と、導電性ポストを介して基板と接続されるプリント回路基板とを有する、半導体モジュールを示す。

【０００４】

US 2019 / 150 268 A1は、半導体モジュールを示す。半導体モジュールは、その上にスイッチング素子を有する２つの基板を有し、それらは垂直ポストを介して上方の回路基板と接続され、それは２つの基板を互いに接続する。回路基板は、垂直ポストに接続されたいくつかの導電性エリアを含む。

【０００５】

US 2017 / 047 923 A1は、基板上に半導体スイッチを有するパワー半導体モジュールを示す。半導体スイッチの一方の電極は、ポストを介して基板の上方の回路基板と接続される。

【０００６】

US 2017 / 112 005 A1は、取外し可能なジャンパーを介して接続された

10

20

30

40

50

複数のサブモジュールを含むパワー半導体モジュールに関する。取外し可能なジャンパーは、サブモジュールにおける１つ以上のパワー半導体スイッチ間の接続が再構成されることを可能にする。

【発明の概要】

【発明が解決しようとする課題】

【０００７】

発明の説明

この発明の目的は、設置面積が小さく、浮遊インダクタンスが低い、構成可能なパワー半導体モジュールを提供することである。

【課題を解決するための手段】

【０００８】

この目的は、独立請求項の主題によって達成される。さらなる例示的な実施形態が、従属請求項および以下の説明から明らかである。

【０００９】

この発明は、パワー半導体モジュールに関する。半導体モジュールは、２つ以上の半導体チップを互いに、およびモジュールのハウジングによって露出され得る端子に、機械的および電氣的に相互接続するデバイスであり得る。ここおよび以下では、パワーという用語は、半導体モジュールおよび／または半導体モジュールのコンポーネントが１０Ａを上回る電流および／または１００Ｖを上回る電圧を処理する能力に関し得る。

【００１０】

この発明の一実施形態によれば、パワー半導体モジュールは、少なくとも２つの半導体チップを有する少なくとも１つの半導体ボードを含み、各半導体チップは２つのパワー電極を有する。半導体ボードは、半導体チップが基板の金属化層に接合された基板であり得る。半導体ボードは、半導体チップが取り付けられたプリント回路基板であり得る。

【００１１】

半導体チップは、トランジスタおよび／またはサイリスタなどの制御可能なデバイスであり得る。半導体チップのうちのいくつかがダイオードであるということもあり得る。半導体チップは、SiまたはSiCまたは別のワイドバンドギャップ材料ベースのものであり得る。半導体チップは、半導体ボードにおいて互いに並んで配置されてもよく、および／または、実質的に１層に配置されてもよい。

【００１２】

パワー電極は、エミッタおよびコレクタ、または、ソースおよびドレインであり得る。制御可能な半導体チップはまた、ゲート電極などの制御電極を含み得る。

【００１３】

この発明の一実施形態によれば、パワー半導体モジュールは、少なくとも２つの半導体チップの上方で半導体ボードに取り付けられたアダプタボードを含み、アダプタボードは、半導体ボードから遠い方の側に、各半導体チップのための端子エリアを含む。アダプタボードは、ハウジングを介して下方の半導体ボードに取り付けられてもよく、および／または、半導体ボードに電氣的に接続されてもよい。アダプタボードは、一方（外）側に端子を含み、他方（内）側に半導体ボードへの電氣的接続部を含む、プリント回路基板であり得る。

【００１４】

各半導体チップのために、端子エリアが、半導体エリアの上方に配置され得る。異なる半導体チップのための端子エリアは、等しく設計され得る。端子エリアは、半導体チップのすべての電極に、または少なくともパワー電極に個々に接続するための端子を提供し得る。半導体ボードおよびアダプタボードにおいて、半導体チップは、互いから電氣的および／または直流的に絶縁されるということがあり得る。端子の接続のみが、半導体チップ間の電氣的接続を生成し得る。

【００１５】

この発明の一実施形態によれば、アダプタボードは、各端子エリアにおいて、端子エリ

10

20

30

40

50

アに関連付けられた半導体チップの各パワー電極のためのパワー端子を提供する。オプションで、制御電極への、パワー電極への、および／または、半導体チップに関連付けられたセンサへの電氣的接続のための１つ以上の補助端子も、端子エリアにおいて提供され得る。

【００１６】

一般に、端子は、さらに別の導体に取り付けられ得る導電素子であり得る。

アダプタボードは、半導体チップの上に配置されてもよく、および／または、半導体チップのすべての制御信号およびセンサ信号に接合されてもよい。アダプタボードは、フレキシブルなトポロジ構成および／または診断信号抽出を可能にし得る。

【００１７】

この発明の一実施形態によれば、端子エリアに関連付けられた半導体チップのための各パワー端子は、端子エリアの下方の（および／またはパワー端子の下方の）導電性の垂直ポストを介して、半導体チップと電氣的に接続される。導電性のポストは、細長くまっすぐな金属体であり得る。垂直方向は、半導体ボードおよび／またはアダプタボードの延在によって定義される平面に直交し得る。垂直方向はまた、半導体チップが配置される平面に直交し得る。垂直ポストは、チップのパワー電極で、または、半導体ボードによって提供され、パワー電極に電氣的に接続される導体エリアで、直接終わり得る。

【００１８】

端子エリアを用いて、モジュールにおける半導体チップは、並列、直列、ハーフブリッジなどといったすべての所望のトポロジで相互接続され得る。相互接続は、ジャンパーおよび／またはブリッジを用いて行なわれ得る。端子エリアの下方の垂直ポストにより、モジュールはコンパクトに設計され、高いパワー密度を有し、低い浮遊インダクタンスを有し得る。

【００１９】

ここで、「～の下方」という用語は、垂直方向に沿った、半導体ボードへの、端子エリアの投影を指し得る。コンポーネントが投影エリアにある場合、それは、端子エリアの下方にあると見なされ得る。

【００２０】

マルチチップパワー半導体モジュールは、各半導体チップのパワー電極およびオプションの制御電極すべての別々の接続を提供してもよく、半導体チップはすべて、互いから直流的に絶縁されて配置され得る。これは、さまざまなトポロジおよび／またはコンバータ・イン・パッケージを構成することを可能にし得る。その事例では、補助端子も提供される場合、これは、チップごとの高度な感知および制御を追加で可能にし得る。

【００２１】

異なるトポロジについての例は、いくつかのハーフブリッジの中間点が星形結線されたインターリーブトポロジ、多相トポロジ、ハーフブリジトポロジ、フルブリジトポロジ、および／またはマルチレベルトポロジ、たとえばNPCブリッジなどである。また、たとえば制御された並列化を動作中に用いる適応型トポロジが可能であってもよく、それは、負荷プロファイルに関して効率を最適化するために使用され得る。

【００２２】

この発明の一実施形態によれば、アダプタボードは、端子エリアに関連付けられた半導体チップの端子エリアにおいて、少なくとも１つの補助端子を提供し、その補助端子は、端子エリアの下方の、および／または補助端子の下方の導電性の垂直ポストに接続される。補助端子は、パワー端子よりも小さくてもよく、および／または、より低い電流定格を有していてもよい。

【００２３】

この発明の一実施形態によれば、端子エリアに関連付けられた半導体チップは制御電極を含み、補助端子のうちの１つは、その導電性の垂直ポストを用いて、半導体チップの制御電極と電氣的に接続される。垂直ポストは、半導体チップのゲート電極に直接接続され得る。

10

20

30

40

50

【 0 0 2 4 】

この発明の一実施形態によれば、半導体ボードは、端子エリアに関連付けられた半導体チップのためのセンサを含む。センサは、温度センサおよび電流センサのうちの1つであり得る。温度センサは、半導体チップの温度を感知し得る。（搭載電流ミラーなどの）電流センサは、半導体チップを通る負荷電流を感知し得る。センサは、端子エリアの下方に配置され得る。補助端子は、その導電性の垂直ポストを介して、センサに電氣的に接続され得る。

【 0 0 2 5 】

この発明の一実施形態によれば、補助端子は、導電性の垂直ポストを介して、端子エリアに関連付けられた半導体チップのパワー電極と電氣的に接続される。そのような補助端子はアダプタボードを介して導電性の垂直ポストと接続され、導電性の垂直ポストはまた、それぞれのパワー端子をそれぞれのパワー電極に接続するということもあり得る。

10

【 0 0 2 6 】

この発明の一実施形態によれば、パワー端子の各々は、少なくとも2つのプラグコネクタを有する。プラグコネクタは、さらに別のプラグコネクタと機械的および電氣的に可逆接続されるように設計されたオスコネクタまたはメスコネクタであり得る。

【 0 0 2 7 】

アダプタボードは、異なる半導体チップのパワー電極を電氣的に接続するための2つのプラグコネクタを相互接続するためのジャンパーコネクタを含む。ジャンパーコネクタは、ジャンパーと見なされ得る。

20

【 0 0 2 8 】

しかしながら、異なるチップのパワー端子が、ブリッジおよび/またはブリッジ相互接続部と見なされ得る金属ストリップ、回線、および/またはケーブルなどの接合された相互接続部と接続されることも可能であり得る。

【 0 0 2 9 】

この発明の一実施形態によれば、パワー端子、パワー端子のうちのいくつか、またはすべてのパワー端子は、それぞれの端子エリアの外側領域に配置され、外側領域は、アダプタボードの境界に配置される。1つ以上のプラグコネクタを含み得るパワー端子のこの部分は、パワー半導体モジュールの端子を接続するために使用され得る。

【 0 0 3 0 】

この発明の一実施形態によれば、少なくとも1つの補助端子は、端子エリアの内側領域に配置され、外側領域は、アダプタボードの境界と内側領域との間に配置される。同様にパワー端子の一部が配置される、第2の外側領域または中間領域があってもよい。第2の外側領域または中間領域は、第1の外側領域と内側領域との間に配置され得る。

30

【 0 0 3 1 】

内側領域およびオプションで第2の外側領域が、ゲートドライバボードによって覆われるということがあり得る。ゲートドライバボードはその場合、垂直相互接続部によって補助端子と接続され得る。

【 0 0 3 2 】

ゲートドライバボードは、パワー端子がジャンパーおよび/またはブリッジと相互接続される第2の外側領域を覆い得る。ゲートドライバボードを用いて、チップごとの制御および/または診断が行なわれ得る。制御電極と相互接続された補助端子に、制御信号が適用され得る。パワー電極および/またはセンサと相互接続された補助端子から、測定信号が受信され得る。

40

【 0 0 3 3 】

この発明の一実施形態によれば、端子エリアは、アダプタボード上に少なくとも1列で配置される。また、半導体チップは、端子エリアの下方に1列以上で配置され得る。たとえば、2つの列が、パワー半導体モジュールの中央垂直面に対して鏡面对称に配置され得る。

【 0 0 3 4 】

50

半導体ボードはどのように設計され得るかについて、いくつかの可能性がある。たとえば、半導体ボードは、金属化層を有する基板に基づいて、プリント回路基板に基づいて、および/または、ベースプレートに取り付けられたチップパッケージに基づいて設計され得る。

【0035】

この発明の一実施形態によれば、半導体ボードは、少なくとも2つの半導体チップが接合される構造化金属化層を有する基板を含む。基板は、ポリマーおよび/またはセラミックスで作られてもよく、片面または両面が金属化層で覆われてもよい。また、分離された1つ以上のリードフレームが、基板として可能である。金属化層は、いくつかのエリアへと構造化され、すなわち分割されてもよく、いくつかのエリアは、1つ以上の半導体チップおよび/または垂直ポストを接続および/または接合するために使用され得る。

10

【0036】

この発明の一実施形態によれば、垂直ポストはピンであり、ピンは、アダプタボードに接続され、半導体ボードによって提供された接触エリア上に押し込まれる。各垂直ポストのヘッドは、半導体ボードのそれぞれの接触エリアに接合されるということもあり得る。接触エリアは、半導体チップ自体の電極であってもよく、または、金属化層の一部によって提供されてもよい。

【0037】

アダプタボードは、ピングリッドがその基板に接合されたプリント回路基板であり得る。ピングリッドによって、ピンおよび/または垂直ポストが提供され得る。ピングリッドは、半導体ボードに接合され得る。接合は、たとえば焼結、はんだ付け、または導電性接着剤接合によって、たとえばピン上の接着キャップによって実現され得る。

20

【0038】

この発明の一実施形態によれば、半導体ボードは、各半導体チップのためのチップスケールパッケージを含む。各チップスケールパッケージは、少なくとも1つの半導体チップと、半導体チップに接続された垂直ポスト（たとえば、電気めっきされたバイアおよび再分配層）と、半導体チップおよび垂直ポストが埋め込まれる成形またはPCBカプセル封入とを含み得る。各チップパッケージはまた、垂直ポストが電氣的に接続される接合エリアを提供し得る。アダプタボードは、チップスケールパッケージの接合エリアに接合される。チップスケールパッケージは、モジュールの共通のベースプレートに取り付けられ得る。接合エリアは、すべて同じ平面に配置され得るチップスケールパッケージの上面上に提供され得る。

30

【0039】

半導体チップは、たとえばはんだ付け、焼結、または導電性接着剤接合によってアダプタボードが接合され得る上側に接合エリアを有するチップスケールチップパッケージに予め実装され得る。

【0040】

この発明の一実施形態によれば、アダプタボードおよび半導体ボードは、少なくとも2つの半導体チップが埋め込まれた多層回路基板によって提供される。半導体ボードのみが多層回路基板によって提供されるということもあり得る。どちらの場合も、垂直ポストは、多層回路基板の貫通バイアとして提供されてもよく、貫通バイアは、多層回路基板の複数の層を通過し得る。

40

【0041】

多層回路基板は、いくつかのポリマー層と、それらの間および/または片側あるいは両側にある導電層とから作られてもよく、それらはともに積層される。半導体チップは、積層プロセス中に多層回路基板に埋め込まれ得る。

【0042】

この発明の一実施形態によれば、パワー半導体モジュールは、アダプタボードに取り付けられたゲートドライバボードを含み、垂直ピンが、ゲートドライバボードを、アダプタボード上の補助端子と相互接続する。プリント回路基板であり得るゲートドライバボード

50

は、半導体チップからの測定信号を処理してもよく、および／または、半導体チップに適用される制御信号を生成してもよい。ゲートドライバボードは、アダプタボード上／内に取り付けられ得る。

【 0 0 4 3 】

この発明の一実施形態によれば、ゲートドライバボードは、端子エリアのパワー端子の一部のみを、たとえば、内側領域におけるパワー端子のみを覆う。たとえば、ゲートドライバボードは、異なる半導体チップのパワー端子が相互接続される領域、および／または、補助端子が配置される領域を覆い得る。

【 0 0 4 4 】

要約すると、パワー半導体モジュールは、パワー端子およびオプションで補助端子を、モジュールの半導体チップのすべてに別々に提供する。露出された端子を用いて、各半導体チップは、工場でおよび／または使用時に個々に検査され得る。

10

【 0 0 4 5 】

垂直ポストにより、最小の基板面積で最大パワー密度に達することができ、ワイヤボンディングのための空間が必要とされず、対称的な熱拡散とより良好な信頼性とが達成され得る。さらに、垂直ポストは、低いインダクタンスと対称的な電磁設計とをもたらし得る。

【 0 0 4 6 】

この発明のこれらのおよび他の局面は、以下に説明される実施形態から明らかになり、当該実施形態を参照して解明されるであろう。

【 0 0 4 7 】

20

図面の簡単な説明

この発明の主題を、添付図面に示す例示的な実施形態を参照して、以下の文章においてより詳細に説明する。

【図面の簡単な説明】

【 0 0 4 8 】

【図 1】この発明の一実施形態に従ったパワー半導体モジュールの上面図を概略的に示す図である。

【図 2】この発明のさらに別の実施形態に従ったパワー半導体モジュールを通る断面を概略的に示す図である。

【図 3】この発明の一実施形態に従ったパワー半導体モジュールの一部の上面図を概略的に示す図である。

30

【図 4】この発明の一実施形態に従ったパワー半導体モジュールの一部の上面図を概略的に示す図である。

【図 5】この発明のさらに別の実施形態に従ったパワー半導体モジュールを通る断面を概略的に示す図である。

【図 6】この発明のさらに別の実施形態に従ったパワー半導体モジュールを通る断面を概略的に示す図である。

【図 7】この発明のさらに別の実施形態に従ったパワー半導体モジュールを通る断面を概略的に示す図である。

【発明を実施するための形態】

40

【 0 0 4 9 】

図面で使用される参照符号、およびそれらの意味を、参照符号のリストに要約形式で列挙する。原則として、図面では、同一部分には同じ参照符号が与えられる。

【 0 0 5 0 】

例示的な実施形態の詳細な説明

図 1 は、ゲートドライバボード 1 2 が取り付けられたパワー半導体モジュール 1 0 の上面図を示し、一方、図 2 は、パワー半導体モジュール 1 0 の断面図を示す。

【 0 0 5 1 】

図 2 に示すように、モジュール 1 0 はゲートドライバボード 1 2 から構成され、ゲートドライバボード 1 2 はアダプタボード 1 4 に取り付けられ、アダプタボード 1 4 は、半導

50

体ボード 16 に取り付けられている。

【0052】

半導体ボードは、DBC (direct bonded copper : 直接接合銅) 基板またはIMS (insulated metal substrate : 絶縁金属基板) といった、1つ以上の金属化層 20、22 を有する基板 18 を含み得る。金属化層 20 は、半導体ボード 16 に対して互いから直流的に絶縁されたエリア 20a、20b、20c へと構造化され得る。エリア 20a、20b、20c 上で、半導体チップ 24 が第 1 のパワー電極 26 を用いて接合される。半導体チップ 24 の各々の反対側は、第 2 のパワー電極 28 と制御電極 30 とを提供する。たとえば、半導体チップ 24 は、トランジスタおよび / またはサイリスタなどの Si および / または SiC デバイスであり得る。

10

【0053】

たとえば半導体チップ 24 の温度および / または半導体チップ 24 を通る電流を感知し得る 1 つ以上のセンサ 32 が、半導体チップ 24 に組込まれ、および / または取り付けられるということがあり得る。そのようなセンサ 32 は、アダプタボード 14 に面する接触エリア 33 を提供し得る。また、電極 28、30、および、チップ 24 によって覆われていないエリア 20a、20b、20c の一部も、アダプタボード 14 に面する接触エリアと見なされ得る。1 つ以上のセンサ 32 は、それぞれの半導体チップ 24 の搭載センサであってもよく、すなわち、それぞれの半導体チップ 24 へと一体化されてもよい。

【0054】

メタルコア PCB および / またはフレキシブル PCB などのプリント回路基板であり得るアダプタボード 14 は、半導体ボード 16 に面する側に、導電性の垂直ポスト 34、36、38、40 を含む。ポスト 34、36、38、40 は、アダプタボード 14 を半導体ボード 14 の接触エリア 28、30、33 と電氣的に相互接続し得る。

20

【0055】

図 1 に示される反対側に、アダプタボード 14 は、パワー端子 42 と補助端子 44 とを含む。端子 42、44 は、それぞれの半導体チップ 24 の上方に配置される端子エリア 46 に配置される。図 1 では、たった 1 つの端子エリア 46 と内部の端子とが描かれている。しかしながら、モジュール 10 が端子エリア 46 の 2 つの列 48 を有することが示されている。

【0056】

各端子エリア 46 では、1 つのパワー端子 42 は、1 つ以上のポスト 34 を介して、それぞれのエリア 20a、20b、20c および対応するパワー電極 26 と電氣的に接続され得る。1 つのパワー端子 42 は、1 つ以上のポスト 36 を介して、他方のパワー電極 28 と直接、電氣的に接続され得る。1 つの補助端子 44 は、ポスト 38 を介して、制御電極 30 と直接、電氣的に接続され得る。1 つの補助端子 44 は、ポスト 40 を介して、センサ 32 と直接、電氣的に接続され得る。1 つの補助端子 44 は、アダプタボード 14 を介して、パワー電極 28、30 のうちの 1 つと接続されるということもあり得る。

30

【0057】

半導体チップ 24 は、異なる半導体チップ 24 のパワー端子 44 を相互接続するコネクタ 50 を用いて、異なるトポロジになるよう相互接続され得る。パワー端子 44 はプラグコネクタ 52 を含むということ、および、コネクタ 50 は、これらのプラグコネクタ 52 に差し込まれ得るジャンパーコネクタであるということがあり得る。コネクタ 50 は、これらの端でパワー端子 42 と接合されるブリッジであるということもあり得る。コネクタ 50 を用いて、モジュール 10 内部の半導体チップは、直列、並列、ハーフブリッジなどといった異なるトポロジになるよう相互接続され得る。

40

【0058】

各端子エリア 46 は、補助端子 44 が配置される内側領域 46a と、パワー端子 42 の内側部分が配置される中間領域 46b と、パワー端子 42 の外側部分が配置される外側領域 46c とに分割され得る。

【0059】

50

外側領域 4 6 c はアダプタボード 1 4 の境界に提供されてもよく、端子 4 2 の外側部分（およびオプションで、この外側部分におけるプラグコネクタ 5 2）は、モジュール端子 5 4 をパワー端子 4 2 と接続するために使用され得る（図 2 参照）。

【 0 0 6 0 】

外側領域 4 6 c と内側領域 4 6 a との間の中間領域 4 6 b における端子 4 2 の内側部分（およびオプションで、この部分におけるプラグコネクタ 5 2）は、半導体チップ 2 4 を互いに相互接続するために使用され得る。

【 0 0 6 1 】

内側領域 4 6 a では、ゲートドライバボード 1 2 が補助端子 4 4 と接続され得る。

図 2 に戻って、補助端子は、ゲートドライバボード 1 2 から突出するピン 5 6 が差し込まれ得る圧入プラグを含み得る。ピン 5 6 は、垂直ポスト 3 4、3 6、3 8、4 0 と同様に、ボード 1 2、1 4、1 6 に対して垂直に整列され、および/または、ゲートドライバボード 1 2 のアダプタボード 1 4 に面する側から突出し得る。反対側に、ゲートドライバボード 1 2 は、制御コンポーネント、センサ信号を評価するためのコンポーネント、および/または、コンデンサおよび抵抗器などの受動素子といった、ゲートドライバコンポーネント 5 8 を含み得る。

【 0 0 6 2 】

ゲートドライバボード 1 2 は、アダプタボード 1 4 よりも小さくてもよく、および/または、端子エリア 4 6 の内側領域 4 6 a および中間領域 4 6 b においてアダプタボード 1 4 のみを覆い得る。

【 0 0 6 3 】

図 2 はまた、アダプタボード 1 4 と半導体ボード 1 6 とが、アダプタボード 1 4 および半導体ボード 1 6 に貼り付けられ得るハウジング 6 0 を介して、互いに機械的に相互接続され得ることを示す。

【 0 0 6 4 】

図 3 および図 4 は、異なる端子エリア 4 6 の可能性を示す。一般に、パワー端子 4 2 のプラグコネクタ 5 2 は、平行な 2 列で配置され得る。また、補助端子 4 4 は、パワー端子 4 2 と平行であり得る 1 列で配置され得る。図 1 および図 4 に示すように、補助端子 4 4 は、双方のパワー端子 4 4 の隣に配置され得る。しかしながら、図 3 に示すように、補助端子 4 4 はまた、パワー端子間に配置され得る。

【 0 0 6 5 】

図 5 は、ゲートドライバボード 1 2 が、圧入プラグとして設計された補助端子 4 4 に押し込まれ得るピン 5 6 を有する圧入ピンアレイを有し得ることを示す。さらに、垂直ポスト 3 4、3 6、3 8、4 0 は、接触エリア 2 8、3 0、3 3 に押し付けられるピンであり得る。そのようなピン 3 4、3 6、3 8、4 0 は、それぞれの接触エリア 2 8、3 0、3 3 に焼結されるために適合されたヘッドおよび/またはキャップ 6 2 を有し得る。たとえば、ピン 3 4、3 6、3 8、4 0 は Cu で作られてもよく、Ag で作られた焼結キャップを有し得る。

【 0 0 6 6 】

アダプタボード 1 4 と半導体ボード 1 6 とハウジング 6 0 との間のモジュール 1 0 の内部は、ゲルで充填されてもよく、および/または、樹脂で埋め込まれてもよい。

【 0 0 6 7 】

図 5 のモジュールは、まずチップ 2 4 を取り上げて基板 1 8 上に配置し、次にそれらを金属化層 2 0 に焼結することによって、製造され得る。その後、アダプタボード 1 4 が整列され、ピン 3 4、3 6、3 8、4 0 が焼結され得る。その後、モジュールはカプセル封入され得る。最後に、たとえばモジュール 1 0 の顧客が、ジャンパーコネクタ 5 0 およびゲートドライバボード 1 2 を押し込み得る。この製造は、埋め込みおよび/またはウェーハレベル処理が必要ないであろうという利益を有し得る。

【 0 0 6 8 】

図 6 は、半導体ボード 1 6 が各半導体チップ 2 4 のためのチップスケールパッケージ 6

10

20

30

40

50

4を含む、パワー半導体モジュール10を示す。半導体ボード16を形成するために、チップスケールパッケージ64は、構造化金属化層20を用いて基板18に接合され得る。

【0069】

各チップスケールパッケージ64は、半導体チップ24のうちの1つ以上と、半導体チップ24に接続された垂直ポスト(電気めっきされたCuパイアおよび/または再分配層など)34、36、38、40と、半導体チップ24および垂直ポスト34、36、38、40が埋め込まれる成形および/またはPCBカプセル封入66とを含み得る。各チップスケールパッケージはまた、チップパッケージをモジュール10の基板18に接合するためのリードフレームおよび/またはベースプレート65を含み得る。

【0070】

反対側で、各チップスケールパッケージ64は、垂直ポスト34、36、38、40が電氣的に接続される接合エリア68を提供し得る。アダプタボード14が次に、チップパッケージ64の接合エリア68に接合され得る。

【0071】

たとえば、各チップスケールパッケージ64には、搭載温度および電流センサを有する逆導通IGBT、フリーホイーリングダイオードを有するIGBT、または、2つの平行なSiCMOSFETが収容され得る。

【0072】

図5のモジュールは、まずチップスケールパッケージ64を取り上げて基板18上に配置し、次にそれらを金属化層20に焼結することによって、製造され得る。その後、アダプタボード14が整列され、接合エリアに接合され得る。最後に、たとえばモジュール10の顧客が、ジャンパーコネクタ50およびゲートドライバボード12を押し込み得る。この製造は、ボードを整列させることに関する精度問題が存在しないであろうという利益と、さらなるカプセル封入が必要ないであろうという利益とを有し得る。

【0073】

図6は、少なくとも2つの半導体チップ24が埋め込まれた多層回路基板70によってアダプタボード14および半導体ボード16が提供される、パワー半導体モジュール10を示す。多層回路基板70は、金属ベースプレート22と、半導体チップ24が接合されるリードフレーム72とから作られ得る。金属層22、72間には、ポリマー絶縁層が配置され得る。多層回路基板70の貫通パイアおよび金属化トラックによって、垂直ポスト34、36、38、40が提供され得る。

【0074】

図6のモジュールは、半導体チップ24を取り上げてリードフレーム72に配置し、次にそれらをリードフレーム72に焼結することによって、製造され得る。その後、金属層22、72間にPCB積層が配置されてもよく、アダプタボード14の金属層だけでなく、貫通パイア34、36、38、40、端子42、44などといった他のコンポーネントも含まれてもよく、すべてがともに積層され得る。最後に、たとえばモジュール10の顧客が、ジャンパーコネクタ50およびゲートドライバボード12を押し込み得る。この製造は、モジュールがかなり小さい高さを有し得るという利益と、ほんの少数の接合ステップおよび製造ステップしか必要ないであろうという利益とを有し得る。さらに、追加の基板18は必要ないであろう。

【0075】

この発明を図面および前述の説明において詳細に図示し説明してきたが、そのような図示および説明は、限定的ではなく例示的であると考えられるべきであり、この発明は、開示された実施形態に限定されない。開示された実施形態に対する他の変形例は、当該技術分野に精通し、請求されたこの発明を実践する当業者によって、図面、開示内容、および添付された請求項の研究から理解され、達成され得る。請求項において、「含む」という文言は他の要素またはステップを除外せず、また、単数は複数を除外しない。単一のプロセッサまたはコントローラまたは他のユニットが、請求項に記載されたいくつかの項目の機能を実現してもよい。互いに異なる従属請求項にある手段が記載されているという単な

10

20

30

40

50

る事実は、これらの手段の組合せを有利に使用することができないということを示さない。
。請求項におけるどの参照符号も、範囲を限定するものとして解釈されるべきでない。

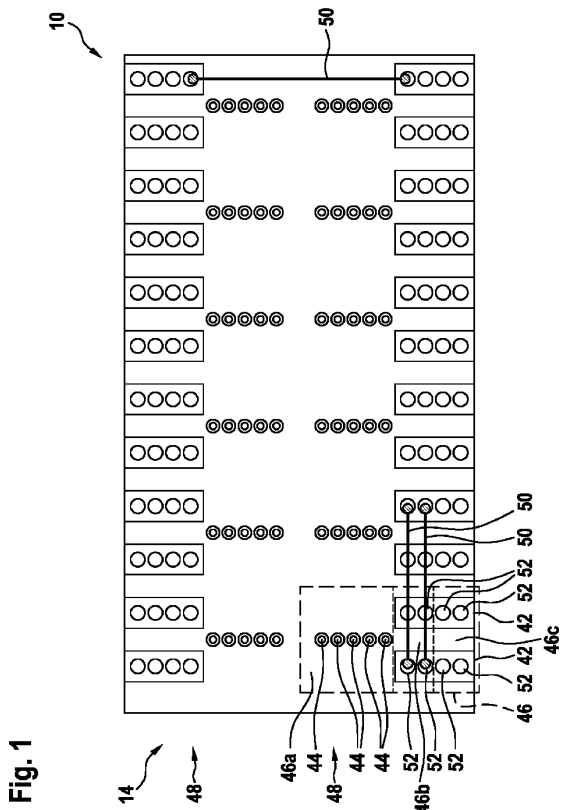
【符号の説明】

【 0 0 7 6 】

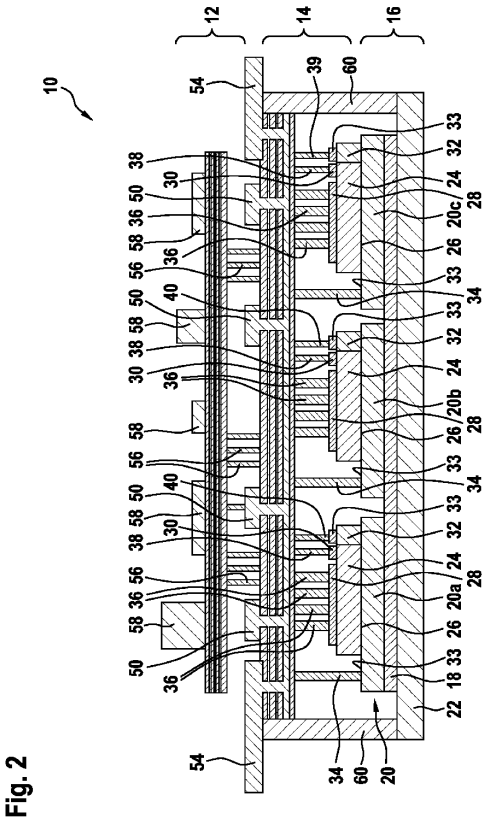
参照符号のリスト

1 0	パワー半導体モジュール	
1 2	ゲートドライバボード	
1 4	アダプタボード	
1 6	半導体ボード	
1 8	基板	10
2 0	金属化層	
2 0 a、2 0 b、2 0 c	エリア	
2 2	金属化層	
2 4	半導体チップ	
2 6	第 1 のパワー電極	
2 8	第 2 のパワー電極	
3 0	制御電極	
3 2	センサ	
3 3	接触エリア	
3 4	垂直ポスト	20
3 6	垂直ポスト	
3 8	垂直ポスト	
4 0	垂直ポスト	
4 2	パワー端子	
4 4	補助端子	
4 6	端子エリア	
4 6 a、4 6 b、4 6 c	領域	
4 8	列	
5 0	コネクタ	
5 2	プラグコネクタ	30
5 4	モジュール端子	
5 6	ピン	
5 8	ゲートドライバコンポーネント	
6 0	ハウジング	
6 2	ヘッド、キャップ	
6 4	チップスケールパッケージ	
6 5	リードフレームおよび / またはベースプレート	
6 6	成形および / または P C B カプセル封入	
6 8	接合エリア	
7 0	多層回路基板	40
7 2	リードフレーム。	

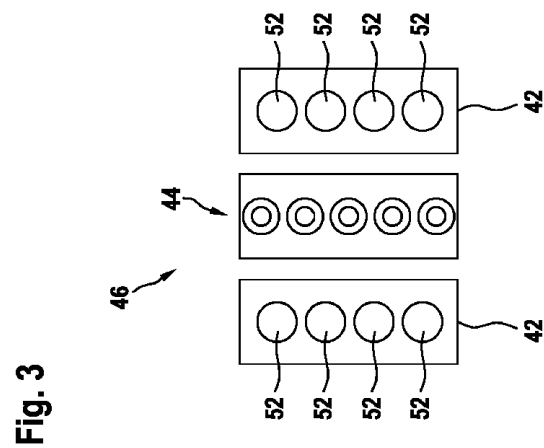
【図面】
【図 1】



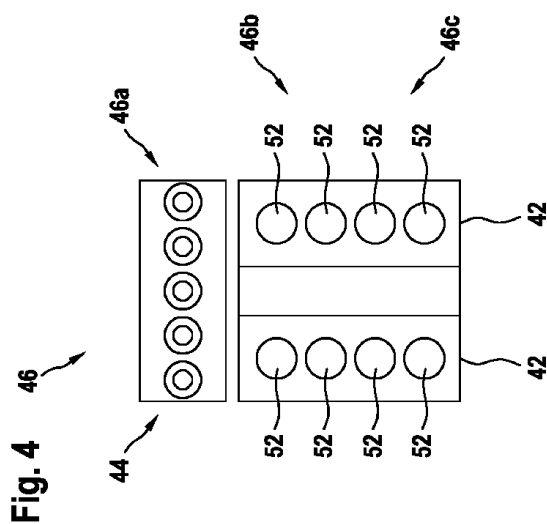
【図 2】



【図 3】



【図 4】



10

20

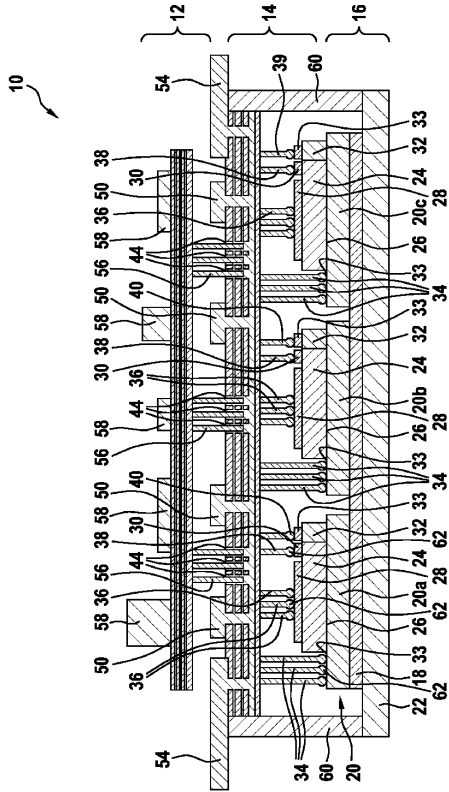
30

40

50

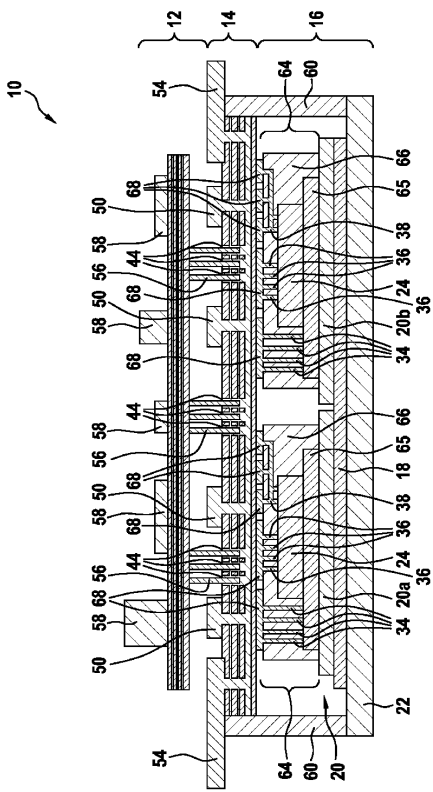
【図 5】

Fig. 5



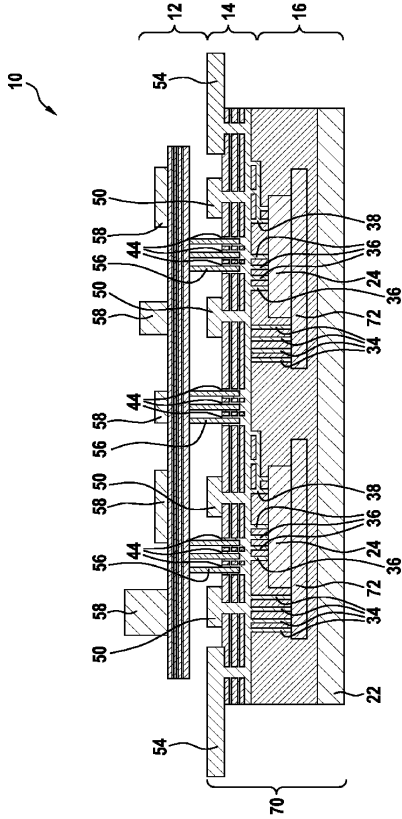
【図 6】

Fig. 6



【図 7】

Fig. 7



10

20

30

40

50

フロントページの続き

ヘルデンシュタインシュトラッセ、 1 5

(72)発明者 リーデル, ゲーアノート

スイス、 5 4 0 6 バーデン - リューティホーフ、 ユラシュトラッセ、 1

審査官 森岡 俊行

(56)参考文献 特表 2 0 1 8 - 5 3 1 5 7 6 (J P , A)

特開 2 0 1 9 - 0 9 6 5 0 8 (J P , A)

特開 2 0 1 8 - 0 7 3 9 2 3 (J P , A)

特開 2 0 0 5 - 2 4 3 7 1 3 (J P , A)

特開 2 0 1 1 - 1 1 4 0 3 9 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 3 / 2 9、 2 3 / 3 4 - 2 3 / 4 7 3

H 0 1 L 2 3 / 4 8

H 0 1 L 2 3 / 5 8

H 0 1 L 2 5 / 0 7

H 0 1 L 2 5 / 1 8

H 0 2 M 7 / 4 2 - 7 / 9 8