



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0070118
(43) 공개일자 2023년05월22일

(51) 국제특허분류(Int. Cl.)

H01B 13/00 (2006.01)

(52) CPC특허분류

H01B 13/0026 (2013.01)

H01B 13/0036 (2013.01)

(21) 출원번호 10-2021-0156103

(22) 출원일자 2021년11월12일

심사청구일자 2021년11월12일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

원광대학교산학협력단

전라북도 익산시 익산대로 460 (신동)

(72) 발명자

정원석

대전광역시 유성구 죽동로 321 (예미지아파트)
103동 2302호

최세진

전라북도 익산시 선화로1길 57-33, 202동 1804호
(뒷면에 계속)

(74) 대리인

김태완, 박진호, 이재명

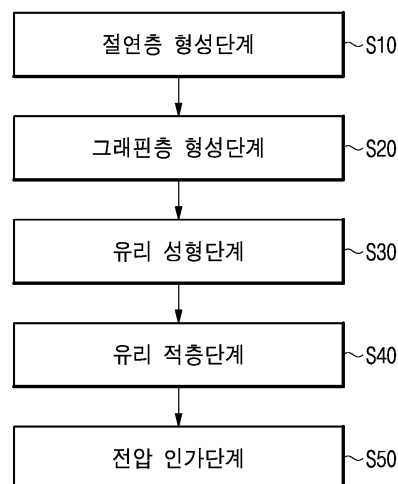
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 그래핀 패터닝 방법

(57) 요약

본 발명은 그래핀 패터닝 방법에 관한 것으로서, 절연층 형성단계, 그래핀층 형성단계, 유리 성형단계, 유리 적층단계, 전압 인가단계를 포함한다. 절연층 형성단계는 기판 상에 절연층을 형성한다. 그래핀층 형성단계는 절연층 상에 그래핀층을 형성한다. 그래핀층은 전기가 통하게 되는 전극 영역과, 전기가 통하지 않게 되는 비전극 영역으로 구획된다. 유리 성형단계는 유리 웨이퍼를 비전극 영역의 형상에 맞게 성형한다. 유리 웨이퍼는 Na_2O 또는 K_2O 를 포함한다. 유리 적층단계는 비전극 영역에 유리 웨이퍼를 적층한다. 전압 인가단계는 기판과 유리 웨이퍼 사이에 전압을 인가한다. 그래핀층과 유리 웨이퍼 사이에서 그래핀층의 탄소 원자와 유리 웨이퍼의 산소 원자가 결합되어 C-O 본딩이 형성됨으로써, 유리 웨이퍼가 적층된 영역에는 상기 비전극 영역이 형성되고, 유리 웨이퍼가 적층되지 않은 영역에는 전극 영역이 형성된다.

대표도 - 도1



(72) 발명자

김성훈

전라북도 익산시 무왕로25길 12, 701동 901호 (부송동, 부송동제일아파트)

고혜민

전라북도 익산시 고봉로34길 5-2, 105동 701호

성호

대전광역시 유성구 문화원로6번길 11, 101

임태욱

세종특별자치시 달빛로 211, 1021동 501호 (아름동, 범지기마을10단지)

호걸

대전광역시 유성구 대학로155번길 56, 301호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711135178
과제번호	2020R1A4A3079595
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기초연구실 개척형
연구과제명	생체모방 자가회복형 나노소재 건설기술 융복합 연구실
기 여 율	1/1
과제수행기관명	원광대학교 산학협력단
연구기간	2021.06.01 ~ 2022.02.28

명세서

청구범위

청구항 1

기판 상에 절연층을 형성하는 절연층 형성단계;

상기 절연층 상에 그래핀층을 형성하는 그래핀층 형성단계;

상기 그래핀층은 전기가 통하게 되는 전극 영역과, 전기가 통하지 않게 되는 비전극 영역으로 구획되고, 유리 웨이퍼를 상기 비전극 영역의 형상에 맞게 성형하는 유리 성형단계;

상기 비전극 영역에 상기 유리 웨이퍼를 적층하는 유리 적층단계; 및

상기 기판과 상기 유리 웨이퍼 사이에 전압을 인가하는 전압 인가단계;를 포함하고,

상기 유리 웨이퍼는 Na_2O 또는 K_2O 를 포함하고,

상기 그래핀층과 상기 유리 웨이퍼 사이에서 상기 그래핀층의 탄소 원자와 상기 유리 웨이퍼의 산소 원자가 결합되어 C-O 본딩이 형성됨으로써, 상기 유리 웨이퍼가 적층된 영역에는 상기 비전극 영역이 형성되고, 상기 유리 웨이퍼가 적층되지 않은 영역에는 상기 전극 영역이 형성되는 것을 특징으로 하는 그래핀 패터닝 방법.

청구항 2

기판 상에 절연층을 형성하는 절연층 형성단계;

상기 절연층 상에 그래핀층을 형성하는 그래핀층 형성단계;

상기 그래핀층은 전기가 통하게 되는 전극 영역과, 전기가 통하지 않게 되는 비전극 영역으로 구획되고, 상기 전극 영역과 접촉되지 않는 채널부와 상기 비전극 영역과 접촉되는 접촉부를 가지도록 유리 웨이퍼의 형상을 성형하는 유리 성형단계;

상기 비전극 영역에 상기 유리 웨이퍼를 적층하는 유리 적층단계; 및

상기 기판과 상기 유리 웨이퍼 사이에 전압을 인가하는 전압 인가단계;를 포함하고,

상기 유리 웨이퍼는 Na_2O 또는 K_2O 를 포함하고,

상기 그래핀층과 상기 유리 웨이퍼 사이에서 상기 그래핀층의 탄소 원자와 상기 유리 웨이퍼의 산소 원자가 결합되어 C-O 본딩이 형성됨으로써, 상기 유리 웨이퍼와 접촉하는 영역에는 상기 비전극 영역이 형성되고, 상기 유리 웨이퍼와 접촉하지 않은 영역에는 상기 전극 영역이 형성되는 것을 특징으로 하는 그래핀 패터닝 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 그래핀층은 단일층으로 형성된 것을 특징으로 하는 그래핀 패터닝 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 전압 인가단계에는 상기 기판 및 상기 유리 웨이퍼를 가압하고, 히팅하면서 전압을 인가하는 것을 특징으로 하는 그래핀 패터닝 방법.

청구항 5

제1항 또는 제2항에 있어서,

상기 기판과 상기 유리 웨이퍼 각각에 형성되는 도전성판을 포함하는 것을 특징으로 하는 그래핀 패터닝 방법.

청구항 6

제5항에 있어서,

상기 도전성판은 구리(Cu)전극인 것을 특징으로 하는 그래핀 패터닝 방법.

발명의 설명

기술 분야

[0001] 본 발명은 그래핀 패터닝 방법에 관한 것으로서, 더욱 상세하게는 그래핀 기반 전극 소자에 응용 할 수 있는 그래핀 패터닝 방법에 관한 것이다.

배경 기술

[0002] 그래핀은 2차원의 탄소 나노물로로서 낮은 면저항, 높은 전기전도도, 높은 투과도 및 높은 기계적 강도로 인하여 플렉시블 디스플레이, 터치패널 등의 차세대 디스플레이 분야와 태양전지 등의 에너지 산업분야 및 스마트 윈도우, RFID 등의 다양한 전자 산업분야에서 신소재로 활용도가 확대되고 있다.

[0003] 그래핀은 최근 수년간 기초적인 학문으로 발전뿐만 아니라, 산업적인 기술을 성장시킬 가능성 때문에 많은 관심을 받고 있다. 특히 최근에는 그래핀의 대면적 제작기술이 개발되면서 다양한 산업분야에 그 응용 가능성이 확대되고 있다.

[0004] 현재 그래핀의 전사후 그래핀을 패터닝하는 기술은 계속해서 발전해 오고 있다. 주목할 만한 패터닝 공정 방법으로는 반도체 공정에서 사용되는 포토리소그래피 공정이 있다. 포토리소그래피는 반도체 웨이퍼 위에 감광 성질이 있는 포토레지스트(Potoresist; PR)를 얇게 바른 후, 원하는 마스크 패턴을 올려놓고 빛을 가해 식각하여 회로를 형성하는 방법이다.

[0005] 하지만 이러한 종래의 방법은 PR을 제거하는 공정에서 있어서 PR이 완전히 제거가 되지 않아 그래핀에 잔여물이 남아있거나, 에칭 공정에 있어서 그래핀이 같이 박리되어 그래핀 품질 저하 등의 문제점이 있다.

[0006] 또한, 종래의 그래핀 패터닝 제작방법은, 마스크 패턴을 제작하는데 있어 원하는 길이와 폭의 비율을 가지는 마스크 패턴을 제작하는데 어려움이 있고 제작이 불가능한 비율도 존재하는 문제점이 있다.

선행기술문헌

[0007] 한국등록특허공보 제 10-1974280호(2019.04.24 등록, 발명의 명칭 : 그래핀 패터닝 방법 및 그 장치)

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명이 해결하고자 하는 과제는 이와 같은 종래의 문제점을 해결하기 위한 것으로서, 양극 집합 기술을 활용하여 에칭 공정 필요없이 양극 집합 기술을 활용하여 고품질의 그래핀 패터닝 방법을 제공함에 있다.

과제의 해결 수단

[0009] 상기와 같은 목적을 달성하기 위하여 그래핀 패터닝 방법은, 기관 상에 절연층을 형성하는 절연층 형성단계; 상기 절연층 상에 그래핀층을 형성하는 그래핀층 형성단계; 상기 그래핀층은 전기가 통하게 되는 전극 영역과, 전기가 통하지 않게 되는 비전극 영역으로 구획되고, 유리 웨이퍼를 상기 비전극 영역의 형상에 맞게 성형하는 유리 성형단계; 상기 비전극 영역에 상기 유리 웨이퍼를 적층하는 유리 적층단계; 및 상기 기관과 상기 유리 웨이퍼 사이에 전압을 인가하는 전압 인가단계;를 포함하고, 상기 유리 웨이퍼는 Na_2O 또는 K_2O 를 포함하고, 상기 그래핀층과 상기 유리 웨이퍼 사이에서 상기 그래핀층의 탄소 원자와 상기 유리 웨이퍼의 산소 원자가 결합되어 C-O 본딩이 형성됨으로써, 상기 유리 웨이퍼가 적층된 영역에는 상기 비전극 영역이 형성되고, 상기 유리 웨이퍼가 적층되지 않은 영역에는 상기 전극 영역이 형성되는 것을 특징으로 한다.

[0010] 상기와 같은 목적을 달성하기 위하여 그래핀 패터닝 방법은, 기관 상에 절연층을 형성하는 절연층 형성단계; 상기 절연층 상에 그래핀층을 형성하는 그래핀층 형성단계; 상기 그래핀층은 전기가 통하게 되는 전극 영역과, 전기가 통하지 않게 되는 비전극 영역으로 구획되고, 상기 전극 영역과 접촉되지 않는 채널부와 상기 비전극 영역

과 접촉되는 접촉부를 가지도록 유리 웨이퍼의 형상을 성형하는 유리 성형단계; 상기 비전극 영역에 상기 유리 웨이퍼를 적층하는 유리 적층단계; 및 상기 기관과 상기 유리 웨이퍼 사이에 전압을 인가하는 전압 인가단계;를 포함하고, 상기 유리 웨이퍼는 Na_2O 또는 K_2O 를 포함하고, 상기 그래핀층과 상기 유리 웨이퍼 사이에서 상기 그래핀층의 탄소 원자와 상기 유리 웨이퍼의 산소 원자가 결합되어 C-O 본딩이 형성됨으로써, 상기 접촉부에는 상기 비전극 영역이 형성되고, 상기 채널부에는 상기 전극 영역이 형성되는 것을 특징으로 한다.

[0011] 본 발명에 따른 그래핀 패터닝 방법은, 상기 그래핀층은 단일층으로 형성될 수 있다.

[0012] 본 발명에 따른 그래핀 패터닝 방법은, 상기 전압 인가단계에는 상기 기관 및 상기 유리 웨이퍼를 가압하고, 히팅하면서 전압을 인가할 수 있다.

[0013] 본 발명에 따른 그래핀 패터닝 방법은, 상기 기관과 상기 유리 웨이퍼 각각에 형성되는 도전성판을 포함할 수 있다.

[0014] 본 발명에 따른 그래핀 패터닝 방법은, 상기 도전성판은 구리(Cu)전극일 수 있다.

발명의 효과

[0015] 본 발명의 그래핀 패터닝 방법에 따르면, 에칭 공정을 통해 패터닝을 형성하지 않고, 양극 접합을 활용하여 패터닝이 형성되는 효과를 얻을 수 있다.

[0016] 또한, 본 발명의 그래핀 패터닝 방법에 따르면, 그래핀층에 손상없이 고품질의 전극소재를 얻는 효과를 얻을 수 있다.

[0017] 또한, 본 발명의 그래핀 패터닝 방법에 따르면, 유리 웨이퍼에 의해 전극 영역에서의 그래핀층이 보호되는 효과를 얻을 수 있다.

[0018] 또한, 본 발명의 그래핀 패터닝 방법에 따르면, C-O 본딩량을 제어함으로써, 비전극 영역에서의 그래핀층의 저항값 또한 제어하는 효과를 얻을 수 있다.

[0019] 또한, 본 발명의 그래핀 패터닝 방법에 따르면, 유리 웨이퍼를 성형하여 그래핀층에 적층함으로써, 전극 영역을 용이하게 구현하는 효과를 얻을 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 제1실시예에 따른 그래핀 패터닝 방법을 나타낸 흐름도이고,

도 2는 본 발명의 제1실시예에 따른 그래핀 패터닝 과정을 나타낸 모식도이고,

도 3은 본 발명의 제1실시예에 따른 그래핀층의 모습을 나타낸 도면이고,

도 4는 본 발명의 제1실시예에 따라 제조된 그래핀 소자의 길이 및 폭의 길이에 따른 저항값을 측정한 그래프이고,

도 5는 본 발명의 제1실시예에 따라 제조된 그래핀 소자의 라만 스펙트럼이고,

도 6은 본 발명의 제2실시예에 따라 제조된 그래핀 소자의 모습을 간략하게 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명에 따른 그래핀 패터닝 방법의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.

[0022] 도 1은 본 발명의 제1실시예에 따른 그래핀 패터닝 방법을 나타낸 흐름도이고, 도 2는 본 발명의 제1실시예에 따른 그래핀 패터닝 과정을 나타낸 모식도이고, 도 3은 본 발명의 제1실시예에 따른 그래핀층의 모습을 나타낸 도면이고, 도 4는 본 발명의 제1실시예에 따라 제조된 그래핀 소자의 길이 및 폭의 길이에 따른 저항값을 측정한 그래프이고, 도 5는 본 발명의 제1실시예에 따라 제조된 그래핀 소자의 라만 스펙트럼이고, 도 6은 본 발명의 제2실시예에 따라 제조된 그래핀 소자의 모습을 간략하게 도시한 도면이다.

[0023] 도 1 및 도 3을 참조하면, 본 발명에 따른 그래핀 패터닝 방법은 절연층 형성단계(S10), 그래핀층 형성단계(S20), 유리 성형단계(S30), 유리 적층단계(S40) 및 전압 인가단계(S50)를 포함한다.

[0024] 절연층 형성단계(S10)는 기관(110) 상에 절연층(120)을 형성하는 단계이다.

- [0025] 기판(110)은 베이스가 되는 기판으로 Si로 형성될 수 있고, 절연층(120)은 SiO₂로 형성될 수 있다. 기판(110) 및 절연층(120)은 접합력을 최대화하기 위해 표면의 거칠기 및 요철이 없는 것이 바람직하다.
- [0026] 그래핀층 형성단계(S20)는 절연층(120) 상에 그래핀층(130)을 형성하는 단계이다.
- [0027] 그래핀층(130)은 화학적 증착 방법(Chemical Vapor Deposition; CVD)을 이용하여 그래핀을 구리 호일(foil) 상에 성장시키고, 성장된 그래핀은 Cu 에칭제(etchant)를 이용한 습식 전사(Wet transfer) 공정을 통해 절연층(120) 상에 전사되어 그래핀층(130)이 형성될 수 있다.
- [0028] 이때, 그래핀층(130)은 단일층(monolayer)으로 형성될 수 있다. 단일층으로 형성된 그래핀층(130)은 절연층(120) 및 유리 웨이퍼(140) 사이의 결합 인터페이스에서 전기적인 힘을 강화할 수 있다.
- [0029] 또한, 도 3을 참조하며, 그래핀층(130)은 전기가 통하게 되는 전극 영역(A1)과 전기가 통하지 않게 되는 비전극 영역(A2)으로 구획된다. 즉, 그래핀층(130)은 회로의 전류를 방해하는 저항인 임피던스 값이 크게 상승된 부위인 비전극 영역(A2)과 임피던스 값이 상승되지 않은 전극 영역(A1)으로 구획된다.
- [0030] 유리 성형단계(S30)는 유리 웨이퍼(140)를 비전극 영역(A2)의 형상에 맞게 성형하는 단계이다.
- [0031] 유리 웨이퍼(140)는 Na₂O 또는 K₂O를 포함하는 파이렉스(Pyrex) 또는 붕규산 유리 계열(Boro33)이 사용될 수 있고, 비전극 영역(A2) 형태의 모양을 갖도록 에칭공정을 통해 성형될 수 있다. 그리고, 유리 웨이퍼(140)는 그래핀층(130)과 접합력을 최대화하기 위해 표면의 거칠기 및 요철이 없는 것이 바람직하다.
- [0032] 유리 성형단계(S30)는 유리 웨이퍼(140)를 비전극 영역(A2)의 형상에 맞게 성형함으로써, 그래핀층(130)에 전극 영역(A1)과 비전극 영역(A2)을 용이하게 구획할 수 있다.
- [0033] 구체적으로, 그래핀층(130)에서 원하는 길이와 폭의 비율을 가지는 전극 영역(A1)을 구획하고, 그래핀층(130)에서 전극 영역(A1)이 아닌 비전극 영역(A2)의 형상에 맞게 유리 웨이퍼(140)를 성형하여, 후술하는 유리 적층단계(S40)에서 비전극 영역(A2)에 유리 웨이퍼(140)를 적층함으로써, 그래핀층(130)에 전극 영역(A1)과 비전극 영역(A2)을 용이하게 구획할 수 있다.
- [0034] 유리 적층단계(S40)는 비전극 영역(A2)에 유리 웨이퍼(140)를 적층하는 단계로, 비전극 영역(A2) 형태의 모양으로 성형된 유리 웨이퍼(140)는 그래핀층(130)의 비전극 영역(A2)에 적층된다. 이처럼, 유리 웨이퍼(140)를 그래핀층(130)에 적층하여 그래핀층(130)에 손상을 입히지 않고 그래핀층에 전극 영역(A1)과 비전극 영역(A2)을 용이하게 구획할 수 있다.
- [0035] 한편, 기판(110)의 하부와 유리 웨이퍼(140)의 상부에는 각각에 도전성판(150)이 형성될 수 있다. 도전성판(150)은 낮은 전기적 저항을 가지고 있으며, 구리(Cu)전극일 수 있다.
- [0036] 전압 인가단계(S50)는 기판(110)과 유리 웨이퍼(140) 사이에 전압을 인가하는 단계이다. 기판(110)과 유리 웨이퍼(140) 양쪽에 약 200 ~ 1500볼트의 전위차를 발생시켜 정전기력에 의해 접합을 유도할 수 있다.
- [0037] 기판(110)의 하부 측에는 양극인 (+)극이 연결되고, 유리 웨이퍼(140)의 상부 측에는 음극인 (-)극이 연결된다. 이로 인해, 유리 웨이퍼(140)에 포함된 Na₂O의 Na⁺이온 또는 K₂O의 K⁺이온은 (-)극으로 이온이동이 진행되고, 그래핀층(130)과 유리 웨이퍼(140)의 계면사이에서는 그래핀층(130)의 C 원자와 유리 웨이퍼(140)의 O 원자가 O²⁻이온의 강한 전기력에 의해 결합되어 C-O 본딩(C-O bonding)이 형성된다.
- [0038] 이처럼, 그래핀층(130) 상에 유리 웨이퍼(140)가 적층된 영역에서는 C-O 본딩이 형성되어 저항값이 크게 증가하여 전기가 통하지 않는 비전극 영역(A2)이 되고, 그래핀층(130) 상에 유리 웨이퍼(140)가 적층되지 않은 영역에서는 그래핀의 전기적 및 기계적 특성이 유지되어 낮은 저항값을 가져 전기가 통하는 전극 영역(A1)이 될 수 있다.
- [0039] 이로 인해, C-O 본딩이 형성됨에 따라 종래의 에칭을 이용한 패터닝 공정 없이, 전극 영역(A1) 및 비전극 영역(A2)으로 패터닝될 수 있다. 종래의 에칭을 이용한 패터닝 공정은, 에칭을 하는 과정에서 그래핀이 같이 박리되거나, 감광액을 제거하는 과정에서 감광액의 완전제거가 힘들어 잔여물질이 남는 문제가 발생할 수 있다.
- [0040] 따라서, 그래핀 패터닝 방법을 통해 기존의 에칭 공정을 이용하여 패터닝을 형성하지 않고, 양극 접합을 활용하여 패터닝이 형성될 수 있다.

- [0041] 한편, 전압 인가단계(S50)에서 기관(110)과 유리 웨이퍼(140)를 가압하고, 히팅하면서 전압을 인가할 수 있다. 이때, 히팅 온도는 약 180 ~ 500℃ 사이의 범위일 수 있다. 고온 및 고압 상태에서 유리 웨이퍼(140)는 전해물질 상태가 되어, Na⁺이온 또는 K⁺이온이 (-)극으로 더 효과적으로 이온이동될 수 있다.
- [0042] 그리고, 전압 인가단계(S50)에서 압력, 히팅 및 전압 등의 조건을 변경하여 C-O 본딩량을 제어할 수 있다. C-O 본딩량을 제어함으로써, 비전극 영역(A2)에서의 그래핀층(130)의 저항값 또한 제어할 수 있다.
- [0043] 도 4을 참조하면, 상기 방법으로 제조된 그래핀 소자의 길이 및 폭의 길이에 따른 저항값을 측정한 그래프로, 그래핀 패터닝 방법에 의해 제작된 그래핀 소자는 전극 영역의 길이가 일정할 경우 전극 영역의 폭이 2.5mm일 때 저항값은 12.58kΩ으로 가장 크고, 전극 영역의 폭이 7.5mm일 때 저항값은 4.36kΩ으로 가장 작다. 그리고, 전극 영역의 폭이 일정할 경우 전극 영역의 길이가 25mm일 때 저항값은 6.16kΩ으로 가장 작고, 전극 영역의 길이가 65mm일 때 저항값은 111.97kΩ으로 가장 큰 것을 확인할 수 있다. 따라서, 그래핀 패터닝 방법에 의해 제작된 그래핀 소자의 저항값은 전극 영역의 길이에 비례하고, 전극 영역의 폭에 반비례한다.
- [0044] 도 5를 참조하면, 상기 방법으로 제조된 그래핀 소자의 라만 스펙트럼으로, CVD를 이용해 성장된 그래핀의 전사 전·후의 속성을 분석하며, 그래핀층(130)의 층수 및 품질을 검증하기 위하여 라만 스펙트럼을 관찰하였다.
- [0045] 라만 분광법은 그래핀의 특성화뿐만 아니라 그래핀 및 분자 도핑에서 전자-광자 커플링을 연구하는 강력한 방법이다. 그리고 이중 퇴화 지역 센터 E2g모드를 나타내는 존-에지 광자 샌드(zone-edge phonon sand) G피크(~1590cm⁻¹)에서 더블 공진 분산과정에 해당하는 2D 피크(~2700cm⁻¹)사이의 비율에 의해 그래핀의 층 수를 알 수 있다. 또한, 그래핀의 속성은 그래핀의 결합을 기반으로 하는 G피크(~1590cm⁻¹) 및 D피크(1350 cm⁻¹)에 의해 표시된다. 라만 스펙트럼은 514.5nm의 여기 파장(excitation wavelength)에서 고해상도 분산 라만 현미경(ARAMIS, Horiba JobinYvon)을 사용하여 획득한다.
- [0046] 검정색의 그래프는 전사 전의 그래핀의 특성으로서, 단일층을 나타내는 2D (2670 cm⁻¹대역) / G 피크 (1590 cm⁻¹대역)의 세기(intensity) 비율이 2.01로 동일하게 유지되는 것을 확인할 수 있다. 또한, 그래핀의 결합 요소를 판별할 수 있는 1350 cm⁻¹대역의 피크 값은 전사 전과 후에 동일하게 매우 작게 관측되는 것으로 보아 접합 이후에도 그래핀의 전기적 특성은 잘 유지되는 고품질의 전극소재임을 확인할 수 있다.
- [0047] 도 6은 본 발명의 제2실시예에 따라 제조된 그래핀 소자의 모습을 간략하게 도시한 도면으로, 본 실시예에서는 유리 웨이퍼가 채널부와 접촉부를 더 포함할 수 있으며, 다른 구성은 전술한 제1실시예와 동일하므로 반복되는 내용은 가급적 설명을 생략한다.
- [0048] 도 6을 참조하면, 본 실시예에 따른 유리 성형단계는 유리 웨이퍼(141)를 전극 영역(A1)과 접촉되지 않는 채널부(143)와 비전극 영역(A2)과 접촉되는 접촉부(142)를 가지도록 성형하는 단계이다.
- [0049] 그리고, 유리 적층단계는 비전극 영역(A2)에 유리 웨이퍼(141)를 적층하는 단계로, 접촉부(142)가 비전극 영역(A2)에 적층되고, 채널부(143)는 전극 영역(A1)의 상측에 배치된다.
- [0050] 접촉부(142)는 상기 그래핀층(130)과 접촉되어 상기 비전극 영역(A2)이 형성된다. 즉, 상기 그래핀층(130)의 탄소 원자와 상기 접촉부(142)의 산소 원자가 결합되고 C-O 본딩을 형성함으로써, 전기가 통하지 않는 비전극 영역(A2)이 형성된다.
- [0051] 채널부(143)는 상기 그래핀층(130)과 접촉되지 않아 상기 전극 영역(A1)이 형성된다. 즉, 상기 그래핀층(130)과 상기 채널부(143) 사이에는 C-O 본딩이 형성되지 않아, 전기가 통하는 전극 영역(A1)이 형성된다. 그리고, 채널부(143)는 상기 전극 영역(A1)의 상측에 배치됨으로써, 상기 전극 영역(A1)이 채널부(143)에 의해 보호될 수 있다. 이때, 채널부(143)는 전압 인가단계(S50)에서 기관(110)과 유리 웨이퍼(140)를 가압하는 압력에 의해 붕괴되지 않기 위해 일정한 두께를 가지는 것이 바람직하다.
- [0052] 상술한 바와 같이 구성된 본 발명의 그래핀 패터닝 방법은, 에칭 공정을 통해 패터닝을 형성하지 않고, 양극 접합을 활용하여 패터닝이 형성될 수 있다.
- [0053] 또한, 상술한 바와 같이 구성된 본 발명의 그래핀 패터닝 방법은, 그래핀층에 손상없이 고품질의 전극소재를 얻을 수 있다.
- [0054] 또한, 상술한 바와 같이 구성된 본 발명의 그래핀 패터닝 방법은, 유리 웨이퍼에 의해 전극 영역에서의 그래핀층이 보호될 수 있다.
- [0055] 또한, 상술한 바와 같이 구성된 본 발명의 그래핀 패터닝 방법은, C-O 본딩량을 제어함으로써, 비전극 영역에서

의 그래핀층의 저항값 또한 제어할 수 있다.

[0056] 또한, 상술한 바와 같이 구성된 본 발명의 그래핀 패터닝 방법은, 유리 웨이퍼를 성형하여 그래핀층에 적층함으로써, 전극 영역을 용이하게 구획할 수 있다.

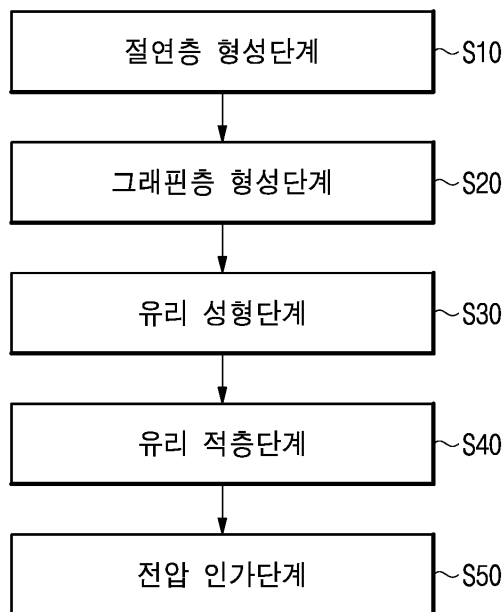
[0057] 본 발명의 권리범위는 상술한 실시예 및 변형례에 한정되는 것이 아니라 첨부된 특허청구범위 내에서 다양한 형태의 실시예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 변형 가능한 다양한 범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

부호의 설명

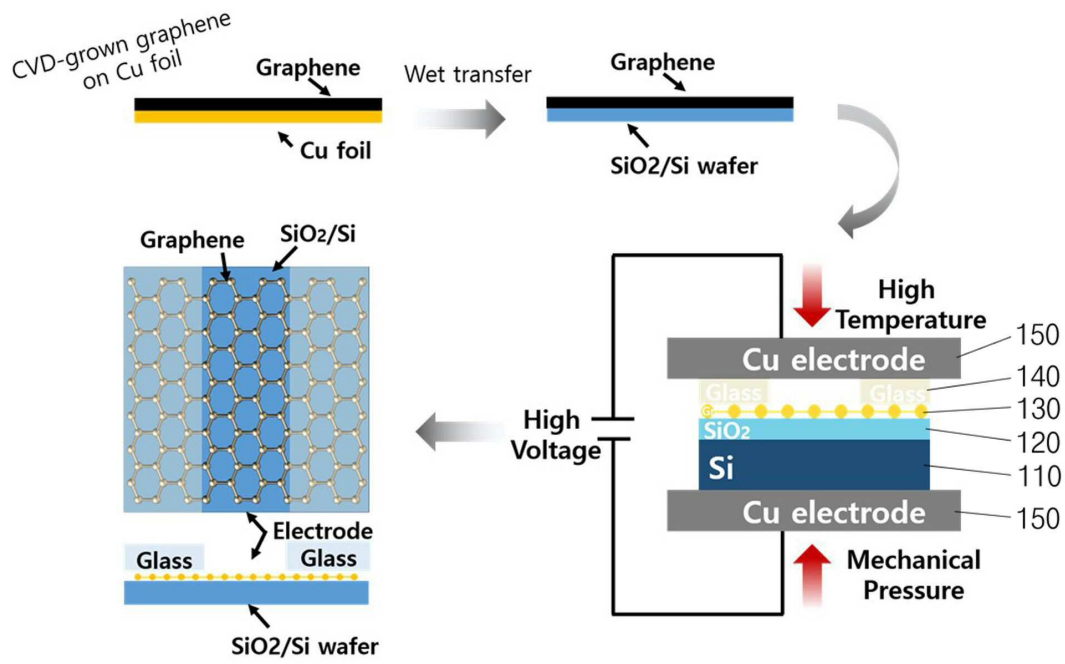
[0058] 110 : 기판
120 : 절연층
130 : 그래핀층
140 : 유리 웨이퍼
150 : 도전성판

도면

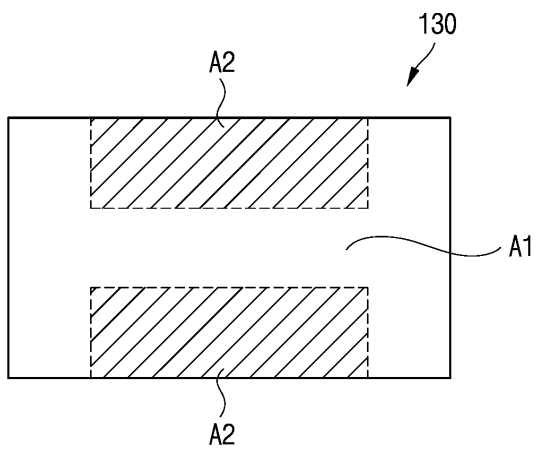
도면1



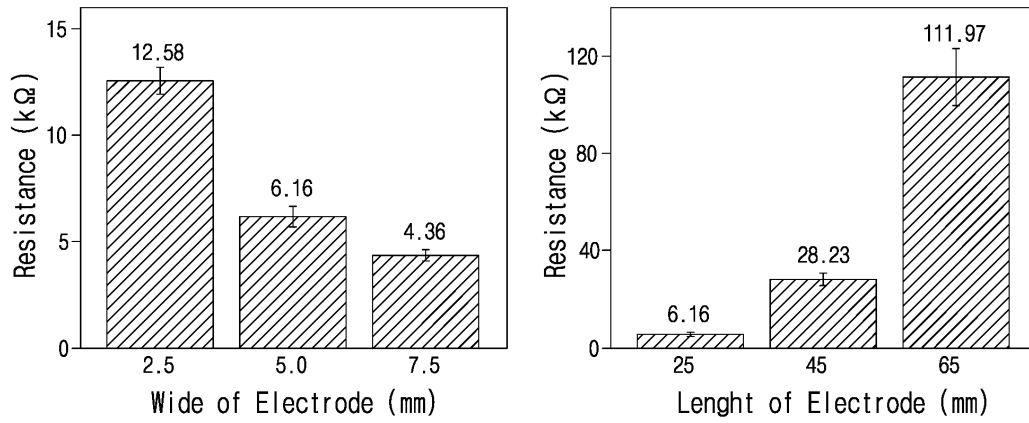
도면2



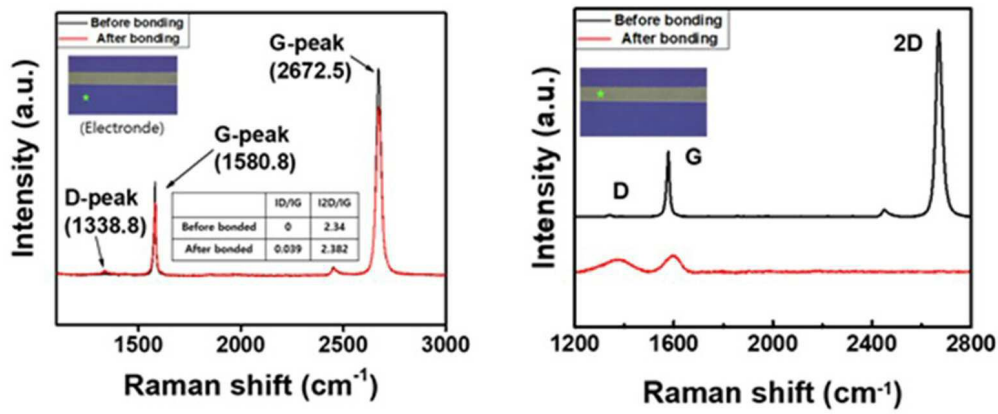
도면3



도면4



도면5



도면6

