

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月16日(16.08.2012)



(10) 国際公開番号
WO 2012/108301 A1

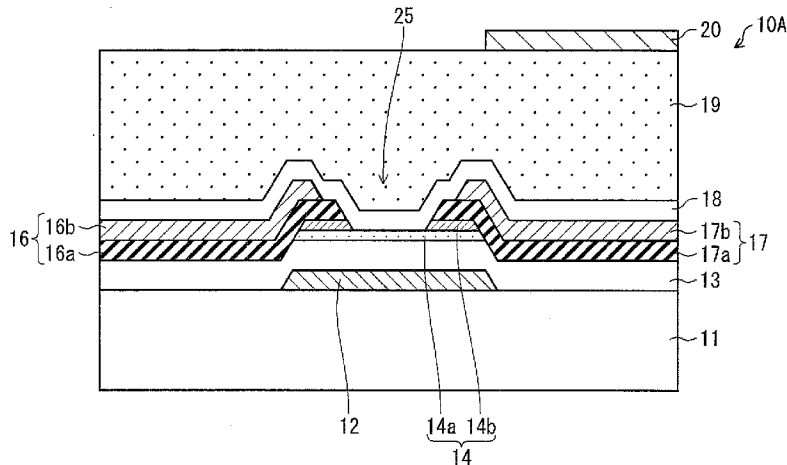
- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 29/41 (2006.01)
G02F 1/1368 (2006.01) H01L 29/417 (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052107
- (22) 国際出願日: 2012年1月31日(31.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-024299 2011年2月7日(07.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 勝井 宏充
(KATSUI, Hiromitsu), 近間 義雅 (CHIKAMA,
Yoshimasa), 中村 渉 (NAKAMURA, Wataru), 田中
哲憲 (TANAKA, Tetsunori), 紀藤 賢一 (KITOH,
Kenichi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE, DISPLAY PANEL, AND DISPLAY DEVICE

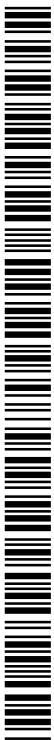
(54) 発明の名称: アクティブマトリクス基板、表示パネル及び表示装置

[図1]



(57) Abstract: In the present invention, a drain electrode (17) is provided with a lower layer drain electrode (17a) and an upper layer drain electrode (17b) layered so as to cover part of the upper surface of a semiconductor layer (14). The semiconductor layer (14), lower layer drain electrode (17a), and upper layer drain electrode (17b) are constituted in a stepped state, and in the parts constituted in the stepped state, the distance between the peripheral edge of the lower layer drain electrode (17a) and the peripheral edge of the upper layer drain electrode (17b) is greater than 0.4 μm and less than 1.5 μm.

(57) 要約: ドレイン電極 (17) は、半導体層 (14) の上面の一部を覆うように積層された下層ドレイン電極 (17a) と上層ドレイン電極 (17b) とを備え、半導体層 (14) と下層ドレイン電極 (17a) と上層ドレイン電極 (17b) とは階段状に構成されており、上記階段状に構成されている部分において、下層ドレイン電極 (17a) の周縁と上層ドレイン電極 (17b) の周縁との距離が、0.4 μm より大きく、1.5 μm より小さい。



WO 2012/108301 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

アクティブマトリクス基板、表示パネル及び表示装置

技術分野

[0001] 本発明は、薄膜トランジスタを備えたアクティブマトリクス基板、ならびにこのアクティブマトリクス基板を備えた表示パネル及び表示装置に関する。

背景技術

[0002] 近年、液晶表示装置は、C R T (Cathode-Ray-Tube) に比べて消費電力が少なく、小型化がしやすいため、急速に普及しつつある。これらの液晶表示装置の中でも、応答速度が速く、多階調表示が容易なアクティブマトリクス型の液晶表示装置が広く使用されている。

[0003] アクティブマトリクス型の液晶表示装置は、多数の画素がマトリクス状に配列されたアクティブマトリクス基板と、これに対向するように配置された対向基板とを備えており、さらにこれら2つの基板の間に表示媒体である液晶層が挟持された構造を有している。アクティブマトリクス基板には、複数の走査配線と複数の信号配線とが交差するように配置されており、その交差点近傍に薄膜トランジスタ (T F T) を有する画素部が形成されている。

[0004] 特許文献1には、アクティブ層上に位置して、互いに第1距離離隔されている第1及び第2オーミックコンタクト層と；前記第1及び第2オーミックコンタクト層上に各々位置して、互いに前記第1距離離隔し、その間に前記アクティブ層が露出される第1及び第2バリアパターンと；前記第1及び第2バリアパターン上に各々位置して、データ配線に連結されるソース電極と前記ソース電極から前記第1距離より大きい第2距離離隔されているドレイン電極と；を含む液晶表示装置用アレイ基板が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国公開特許公報「特開2008-166789号公報（2008年7月17日公開）」

発明の概要

発明が解決しようとする課題

[0006] 従来のアクティブマトリクス基板の例を、図13及び図14を参照して説明する。図14は、従来のアクティブマトリクス基板の一部の断面図を示す。なお、図14は、従来のアクティブマトリクス基板300のTFT325付近の一部分のみを示す。

[0007] 図14に示すように、従来のアクティブマトリクス基板300は、ガラス311、走査配線312、絶縁層313、半導体層314、信号電極316、ドレイン電極317、保護層318、層間絶縁層319、及び画素電極320を備えている。これらは、図14に示すように積層されることにより、TFT325を構成している。半導体層314は、チャンネル層314aと電極コンタクト層314bとにより構成されている。また、信号電極316は下層信号電極316aと上層信号電極316bとを備え、ドレイン電極317は下層ドレイン電極317aと上層ドレイン電極317bとを備えている。

[0008] 従来のアクティブマトリクス基板300における信号電極316及びドレイン電極317では、図14に示すように、上層が下層の上面の全てを覆うように積層されている。

[0009] ここで、アクティブマトリクス基板300の製造工程において、上層ドレイン電極317bに用いる材料が拡散する場合がある。上層ドレイン電極317bに用いる材料が拡散するおそれがあるプロセスとしては、例えばドレイン電極317をドライエッチングするプロセス、CVD法により保護層318の材料を成膜するプロセスなどが挙げられる。このように拡散した材料が半導体層314上に移動してしまうと、TFTの特性が低下してしまう。

[0010] 図13は、従来のアクティブマトリクス基板の製造方法を説明するための図であり、特にドレイン電極317のパターニングを行なった際の断面構造

を示す。従来のアクティブマトリクス基板300は、上層ドレイン電極317bと半導体層314との距離が近い。そのため、例えばドライエッチングなどによって上層ドレイン電極317bに用いる材料が拡散した場合に、図13に矢印で示すように、拡散した材料が半導体層314上に移動してしまうおそれが高い。

[0011] したがって、従来のアクティブマトリクス基板300においては、上層ドレイン電極317bに用いる材料が半導体層314上に移動することにより、TF T325の特性の低下を招いてしまうという問題が生じる。上述した特許文献1の技術においても、このような問題を解決するための方法は記載されていない。

[0012] また、特許文献1には、ソース電極及びドレイン電極をウェットエッチングによりパターンニングし、バリアパターンを乾式エッチングによりパターンニングすることによって、ソース電極及びドレイン電極がバリアパターンよりも大きくエッチング（オーバーエッチング）されることが記載されている。しかし、ソース電極及びドレイン電極がオーバーエッチングされる量については、全く規定されていない。そのため、オーバーエッチングされる量が少ない場合には、ソース電極及びドレイン電極に用いる材料が拡散して半導体層上に移動するという問題が生じる。また、オーバーエッチングされる量が多い場合には、レジストの剥がれが生じたり、細い配線を形成することが困難になったりするという問題が生じる。

[0013] 特許文献1には、これらの問題についても、これらの問題を解決する方法についても全く記載されていない。そのため、従来技術における配線構造では、安定な特性を有するTF Tを容易に形成させることが困難である。

[0014] 本発明は、上記の従来技術が有する問題に鑑みてなされたものであり、その目的は、安定な特性を有するTF Tを容易に形成させることが可能な配線構造を備えたアクティブマトリクス基板、ならびにこれを備えた表示パネル及び表示装置を提供することにある。

課題を解決するための手段

[0015] 上記の課題を解決するために、本発明の一態様に係るアクティブマトリクス基板は、半導体層と、当該半導体層に電氣的に接続されている電極とにより構成されている薄膜トランジスタを備えており、上記電極は、上記半導体層の上面の一部を覆うように積層された第1の金属層と、上記第1の金属層に積層された第2の金属層とを備え、上記半導体層と上記第1の金属層と上記第2の金属層とは、階段状に構成されており、上記階段状に構成されている部分において、上記第1の金属層の周縁と上記第2の金属層の周縁との距離が、 $0.4\ \mu\text{m}$ より大きく、 $1.5\ \mu\text{m}$ より小さいことを特徴とする。

[0016] 上記の構成であれば、第1の金属層を備え、かつ第1の金属層の周縁と第2の金属層の周縁との距離が $0.4\ \mu\text{m}$ より大きいことにより、半導体層と第2の金属層とを十分に離すことができる。そのため、アクティブマトリクス基板を製造する過程において、例えば電極をパターニングする際に、第2の金属層に用いる材料が半導体層に移動してしまうことを防ぐことができる。

[0017] したがって、TFTの特性の低下を防止し、安定な特性を得ることができる。また、TFTの特性を低下させることなく、第2の金属層にいかなる金属をも用いることができる。

[0018] また、第1の金属層の周縁と第2の金属層の周縁との距離が $1.5\ \mu\text{m}$ より小さいことにより、電極をパターニングする際に用いるレジストが剥がれることを防止することができ、細い配線であっても容易に形成させることができる。したがって、本発明であれば、安定な特性を有するTFTを容易に形成させることが可能なアクティブマトリクス基板とすることができる。

[0019] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

発明の効果

[0020] 本発明に係るアクティブマトリクス基板は、以上のように、半導体層と、当該半導体層に電氣的に接続されている電極とにより構成されている薄膜ト

ランジスタを備えており、上記電極は、上記半導体層の上面の一部を覆うように積層された第1の金属層と、上記第1の金属層に積層された第2の金属層とを備え、上記半導体層と上記第1の金属層と上記第2の金属層とは、階段状に構成されており、上記階段状に構成されている部分において、上記第1の金属層の上面は、上記半導体層の上面における上記第1の金属層に覆われていない部分に、上記第2の金属層よりも突出していることにより、上記第2の金属層に覆われていない部分を有しており、かつ、上記第1の金属層の周縁と上記第2の金属層の周縁との距離が、 $0.4\ \mu\text{m}$ より大きく、 $1.5\ \mu\text{m}$ より小さいので、安定な特性を有するTFTを容易に形成させることが可能な配線構造を備えたアクティブマトリクス基板を提供することができる。

図面の簡単な説明

- [0021] [図1]本発明の一実施形態におけるアクティブマトリクス基板の一部の断面図を示す。
- [図2]本発明の一実施形態におけるアクティブマトリクス基板の要部の断面図を示す。
- [図3]本発明の一実施形態における液晶表示装置を示す図である。
- [図4]図4の(a)～図4の(e)は、本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。
- [図5]図5の(a)～図5の(c)は、本発明の一実施形態における対向基板の製造方法を説明するための図である。
- [図6]図6の(a)～図6の(c)は、本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。
- [図7]図7の(a)～図7の(d)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。
- [図8]図8の(a)～図8の(e)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。
- [図9]図9の(a)～図9の(f)は、本発明の他の実施形態におけるアクテ

ィブマトリクス基板の製造方法を説明するための図である。

[図10]図10の(a)～図10の(f)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。

[図11]本発明の一実施例におけるアクティブマトリクス基板のTFT特性を示すグラフである。

[図12]本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図である。

[図13]従来のアクティブマトリクス基板の製造方法を説明するための図である。

[図14]従来のアクティブマトリクス基板の一部の断面図を示す。

[図15](a)～(d)は、第3工程のウェットエッチング終了時点におけるアクティブマトリクス基板の電子顕微鏡画像を表す図である。

発明を実施するための形態

[0022] [第1実施形態]

以下、本発明に係る液晶表示装置の第1実施形態について、詳細に説明する。

[0023] まず、本実施形態に係る液晶表示装置(表示装置)1の構成について説明する。

[0024] (液晶表示装置1の構成)

液晶表示装置1の構成について、図1～図3を参照して説明する。まず、液晶表示装置1の全体像について、図3を参照して説明する。図3は、本発明の一実施形態における液晶表示装置を示す図である。

[0025] 液晶表示装置1は、アクティブマトリクス型の液晶表示パネル(表示パネル)2を備えた液晶表示装置1である。液晶表示パネル2は、図3に示すように、アクティブマトリクス基板10Aと、対向基板30とが、液晶層(図示せず)を挟んで張り合わせられて形成されている。

[0026] アクティブマトリクス基板10Aは、図示しないが画素電極がマトリクス状に配置されており、観察者に視認される画像を表示する表示領域と、表示

領域の外側に設けられ、観察者に画像が視認されない非表示領域とに分けられる。非表示領域には、走査配線 12 が外部の信号を受けるための走査配線端子部 41 と、信号配線が外部の信号を受けるための信号配線端子部 42 とが設けられている。走査配線端子部 41 及び信号配線端子部 42 は、それぞれ走査配線 12 又は信号配線に接続されている端子配線 43 と接続されている。

[0027] アクティブマトリクス基板 10A には、複数の走査配線 12 と複数の信号配線とが交差するように配置されており、その交差部近傍に薄膜トランジスタ（以下、「TFT」ともいう。）25 が形成されている。TFT 25 は画素部を構成する。各 TFT 25 に対応して、信号電極（電極）16 とドレイン電極（電極）17 と画素電極 20 とが設けられている。TFT 25 の構造については後述する。

[0028] （TFT 25 の基本的な構造）

アクティブマトリクス基板 10A に形成されている TFT 25 の基本的な構成について、図 1 を参照して以下に説明する。図 1 は、本発明の一実施形態におけるアクティブマトリクス基板の一部の断面図を示す。なお、図 1 は、アクティブマトリクス基板 10A の TFT 25 付近の一部分のみを示す。

[0029] アクティブマトリクス基板 10A は、ガラス 11、走査配線 12、絶縁層 13、半導体層 14、信号電極 16、ドレイン電極 17、保護層 18、層間絶縁層 19、及び画素電極 20 を備えている。これらは、図 1 に示すように積層されることにより、TFT 25 を構成している。

[0030] TFT 25 は、逆スタガ型（ボトムゲート）の構造である。すなわち、TFT 25 において、最下層に走査配線 12 が配置され、走査配線 12 の上に絶縁層 13 と半導体層 14 とが形成され、絶縁層 13 と半導体層 14 との上に信号電極 16 及びドレイン電極 17 が形成されている。

[0031] 半導体層 14 は、チャンネル層 14a と電極コンタクト層 14b とにより構成されており、信号電極 16 とドレイン電極 17 とを導通させるための層である。

- [0032] チャネル層 14 a としては、例えば、アモルファスシリコンなどを用いてもよく、また、酸化亜鉛 (ZnO)、酸化インジウム-酸化ガリウム-酸化亜鉛の組成をもつアモルファス薄膜 (IGZO) 等の酸化物半導体を用いてもよい。
- [0033] 電極コンタクト層 14 b は、例えば n 型不純物が高濃度にドーパされた N⁺コンタクト層であってもよく、例えば N⁺アモルファスシリコンなどを用いることができる。
- [0034] 信号電極 16 は、信号配線に設けられている電極である。信号電極 16 は、下層信号電極 (第 1 の金属層) 16 a と上層信号電極 (第 2 の金属層) 16 b とを備え、半導体層 14 に電氣的に接続されている。
- [0035] ドレイン電極 17 は、下層ドレイン電極 (第 1 の金属層) 17 a と上層ドレイン電極 (第 2 の金属層) 17 b とを備え、半導体層 14 に電氣的に接続されている。ドレイン電極 17 は、信号電極 16 と、半導体層 14 を介して電氣的に接続されている。
- [0036] 下層信号電極 16 a 及び下層ドレイン電極 17 a に用いる材料としては、特に限定されないが、製造工程において拡散しにくい金属を用いることが好ましい。例えばチタン (Ti)、タンタル (Ta)、モリブデン (Mo)、又はこれらの合金などを用いることができる。このような構成であれば、製造工程において、下層信号電極 16 a 及び下層ドレイン電極 17 a に用いる金属が半導体層 14 に拡散しないため、良好な特性を有する TFT を形成させることができる。
- [0037] 上層信号電極 16 b 及び上層ドレイン電極 17 b に用いる材料としては、特に限定されないが、例えば銅 (Cu)、銅合金、アルミニウム (Al) などが挙げられ、銅又は銅合金が好ましい。銅又は銅合金であれば、抵抗が小さいため、信号電極 16 又はドレイン電極 17 の抵抗を小さくすることができる。
- [0038] 銅としては、例えば純銅などを用いることができる。また、銅合金としては、例えば、銅-マグネシウム合金 (CuMg)、銅-マンガン合金 (Cu

Mn)、銅-アルミニウム合金(CuAl)、銅-チタン合金(CuTi)、銅-ジルコニウム合金(CuZr)、銅-モリブデン合金(CuMo)などを用いることができる。

[0039] 走査配線12は、図1では図示しないが、下層走査配線12aと上層走査配線12bとを備えている。下層走査配線12aに用いる材料としては、下層信号電極16a及び下層ドレイン電極17aに用いることができる材料と同じものを用いることができる。また、上層走査配線12bに用いる金属としては、上層信号電極16b及び上層ドレイン電極17bに用いることができる材料と同じものを用いることができる。

[0040] 絶縁層としては、例えば、窒化シリコン(SiNx)、二酸化ケイ素(SiO₂)などを用いてもよく、また、SiNxとSiO₂とを積層してもよい。ゲート絶縁膜103の厚さは、1000~5000Åであることが好ましい。

[0041] 保護層18としては、例えば窒化シリコン(SiNx)、二酸化ケイ素(SiO₂)などを用いることができる。

[0042] 層間絶縁層19としては、フォト感光性を有するものを用いることが好ましく、例えば感光性アクリル樹脂などを用いることができる。

[0043] 画素電極20としては、例えば、酸化インジウムスズ(ITO)、酸化インジウム-酸化亜鉛(IZO)などの透明導電材料を用いることができる。

[0044] 次に、TF T 25における信号電極16及びドレイン電極17の構造について、より詳細に以下に説明する。

[0045] (信号電極16及びドレイン電極17の構造)

TF T 25における信号電極16及びドレイン電極17の構造について、図2を参照して説明する。図2は、本発明の一実施形態におけるアクティブマトリクス基板の要部の断面図を示す。なお、ここでは、TF T 25におけるドレイン電極17の構造について説明するが、TF T 25における信号電極16もドレイン電極17と同様に構成されている。

[0046] つまり、以下の説明において、ドレイン電極17は信号電極16に、下層

ドレイン電極 17 a は下層信号電極 16 a に、上層ドレイン電極 17 b は上層信号電極 16 b に、適宜置き換えることができる。

[0047] TFT 25 において、ドレイン電極 17 の下層ドレイン電極 17 a は、半導体層 14 の上面の一部を覆うように積層されている。ここでは下層ドレイン電極 17 a は、半導体層 14 における電極コンタクト層 14 b の上面の一部を覆うように積層されている。また、上層ドレイン電極 17 b は、下層ドレイン電極 17 a に積層されている。そして、チャンネル層 14 a と、電極コンタクト層 14 b と、下層ドレイン電極 17 a と、上層ドレイン電極 17 b とは、TFT 25 において、階段状に構成されている。

[0048] この階段状に構成されている部分において、下層ドレイン電極 17 a は、半導体層 14 の上面における下層ドレイン電極 17 a に覆われていない部分 14 a a 及び 14 b a のある方向に、上層ドレイン電極 17 b よりも突出していることにより、上層ドレイン電極 17 b に覆われていない部分 17 a a を有している。

[0049] また、この階段状に構成されている部分において、下層ドレイン電極 17 a の周縁と上層ドレイン電極 17 b の周縁との距離 A は、 $0.4 \mu\text{m}$ より大きく、 $1.5 \mu\text{m}$ より小さい。

[0050] ここで、「下層ドレイン電極 17 a の周縁」とは、下層ドレイン電極 17 a の上面又はこれに続く端面が半導体層 14 の上面に接触する部分をさす。また、「上層ドレイン電極 17 b の周縁」とは、上層ドレイン電極 17 b の上面又はこれに続く端面が下層ドレイン電極 17 a の上面に接触する部分をさす。

[0051] 本実施形態では、下層ドレイン電極 17 a を備え、かつ距離 A が $0.4 \mu\text{m}$ より大きいことにより、半導体層 14 と上層ドレイン電極 17 b とを十分に離すことができる。図 12 は、本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、特にドレイン電極 17 のパターニングを行なった際の断面構造を示す。図 12 に示すように、本実施形態におけるアクティブマトリクス基板 10 A では、上層ドレイン電極 1

7 bと半導体層14とが十分離れている。そのため、ドレイン電極17のパターニングの際に上層ドレイン電極17 bの材料が半導体層14に移動してしまうことを防ぐことができる。

そのため、本実施形態であれば、上層ドレイン電極17 bにいかなる金属を用いた場合でも、製造工程においてこの金属が半導体層14にまで移動することを防ぐことができる。したがって、TFTの特性の低下を防止し、安定な特性を得ることができる。換言すると、本実施形態であれば、TFTの特性を低下させることなく、上層ドレイン電極17 bにいかなる金属をも用いることができる。

[0052] また、距離Aが1.5 μm より小さいことにより、ドレイン電極17をパターニングする際に用いるレジストが剥がれることを防止することができ、細かい配線であっても容易に形成させることができる。したがって、本実施形態の配線構造であれば、安定な特性を有するTFTを容易に形成させることができる。

[0053] なお、下層ドレイン電極17 aは、電極コンタクト層14 bを完全に覆うように積層されていてもよい。この場合には、下層ドレイン電極17 aは、電極コンタクト層14 bとともに、チャンネル層14 aの上面の一部を覆うように積層され、チャンネル層14 aと下層ドレイン電極17 aと上層ドレイン電極17 bとが、階段状に構成される。

[0054] また、電極コンタクト層14 bがチャンネル層14 aを完全に覆っていてもよい。この場合には、下層ドレイン電極17 aは、電極コンタクト層14 bの上面の一部を覆うように積層され、電極コンタクト層14 bと下層ドレイン電極17 aと上層ドレイン電極17 bとが階段状に構成される。

[0055] 本実施形態に係るアクティブマトリクス基板は、表示装置における表示パネルに好適に用いることができる。

[0056] 次に、本実施形態に係る液晶表示装置1の製造方法について、以下に説明する。

[0057] まず、本実施形態におけるアクティブマトリクス基板10Aの製造工程に

ついて説明する。なお、本実施形態においては、下層走査配線 12 a、下層信号電極 16 a 及び下層ドレイン電極 17 a に T i を用い、上層走査配線 12 b、上層信号電極 16 b 及び上層ドレイン電極 17 b に C u を用いた場合を例にして説明する。

[0058] (アクティブマトリクス基板 10 A の製造工程)

本実施形態におけるアクティブマトリクス基板 10 A は、5 回のフォトリソグラフィ工程によって製造される。

[0059] ここで、図 4 の (a) ~ 図 4 の (e) を参照しながら、本実施形態のアクティブマトリクス基板 10 A の製造工程を工程順に (1) ~ (5) に説明する。図 4 の (a) ~ 図 4 の (e) は、本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、各工程が終了した時点での断面構造を示す。また、図 4 の (a) ~ 図 4 の (e) は、アクティブマトリクス基板 10 A の T F T 25 付近の一部分のみを示している。したがって、ここでは、T F T 25 付近の製造工程について説明する。

[0060] (1) 第 1 工程

第 1 工程では、図 4 の (a) に示すように、走査配線 12 を形成する。まず、ガラス 11 上にスパッタ法により下層走査配線 12 a として T i、及び上層走査配線 12 b として C u を連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチングを行い、下層走査配線 12 a 及び上層走査配線 12 b のパターンを形成した後、レジストを剥離洗浄する。

[0061] 本工程では、特に限定されないが、T i を 30 ~ 150 nm、C u を 200 ~ 500 nm 成膜することが好ましい。

[0062] (2) 第 2 工程

第 2 工程では、図 4 の (b) に示すように、絶縁層 13、チャネル層 14 a 及び電極コンタクト層 14 b を形成する。まず、C V D 法により、絶縁層 13 として窒化シリコン、チャネル層 14 a としてアモルファスシリコン、及び電極コンタクト層 14 b として n⁺アモルファスシリコンを連続して成膜

する。その後、フォトリソグラフィによりレジストパターンを形成する。その後、ドライエッチングを行い、チャンネル層 14 a 及び電極コンタクト層 14 b のパターンを形成した後、レジストを剥離洗浄する。

[0063] 本工程では、特に限定されないが、絶縁層 13 としての窒化シリコンを 200~500 nm、チャンネル層 14 a としてのアモルファスシリコンを 30~300 nm、電極コンタクト層 14 b としての n⁺アモルファスシリコンを 50~150 nm 成膜することが好ましい。

[0064] (3) 第3工程

第3工程では、図4の(c)に示すように、信号電極 16 及びドレイン電極 17 を形成する。信号電極 16 とドレイン電極 17 とは、同一の層に同時に成膜された後、パターニングによってそれぞれが形成される。

[0065] まず、スパッタ法により下層信号電極 16 a 及び下層ドレイン電極 17 a として Ti、上層信号電極 16 b 及び上層ドレイン電極 17 b として Cu を連続して成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、後述する方法によりウェットエッチングを行い、下層信号電極 16 a、上層信号電極 16 b、下層ドレイン電極 17 a、及び上層ドレイン電極 17 b それぞれのパターンを形成する。さらに、ドライエッチングにより、電極コンタクト層 14 b の一部を除去する。その後、レジストを剥離洗浄する。

[0066] 本工程では、特に限定されないが、Ti を 30~150 nm、Cu を 100~400 nm 成膜することが好ましい。

[0067] (4) 第4工程

第4工程では、図4の(d)に示すように、保護層 18 及び層間絶縁層 19 を形成する。まず、CVD法により、保護層 18 として窒化シリコンを成膜する。次いで、層間絶縁層 19 として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィによりパターン形成する。その後、ドライエッチングを行い、保護層 18 及び層間絶縁層 19 のパターンを形成する。

[0068] 本工程では、特に限定されないが、保護層 18 としての窒化シリコンを 1

00~700nm成膜することが好ましい。

[0069] (5) 第5工程

第5工程では、図4の(e)に示すように、画素電極20を形成する。まず、スパッタ法により画素電極20を形成するための膜として酸化インジウムスズ(ITO)または酸化インジウム-酸化亜鉛(IZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、画素電極20のパターンを形成した後、レジストを剥離洗浄する。

[0070] 本工程では、特に限定されないが、画素電極20としての透明導電材料を50~200nm成膜することが好ましい。

[0071] 以上の工程によって、アクティブマトリクス基板10Aが製造される。ただし、本発明では、上述したような材料や、各層の厚さに必ずしも限定されることはなく、アクティブマトリクス基板の材料として従来から一般的に使用されているものを使用することができる。

[0072] (ウェットエッチング方法)

本実施形態のTF T25における走査配線12、信号電極16及びドレイン電極17は、図4の(e)に示すように、下層と上層との2層構造であり、下層と上層とは階段状に構成されている。

[0073] このような構造にするために、本実施形態においては、上述した第1工程及び第3工程におけるウェットエッチングを、以下に説明する方法により行う。

[0074] 本実施形態の第1工程で行なうウェットエッチングの方法について、図6の(a)~図6の(c)を参照して説明する。図6の(a)~図6の(c)は、本発明の一実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、特に走査配線12をパターニングする際の各段階の断面図を示す。

[0075] 第1工程においては、以下(1)~(3)に説明する方法によりウェットエッチングを行ない、走査配線12をパターニングする。

- [0076] (1) 第1工程においてウェットエッチングを行なう直前には、図6の(a)に示すように、ガラス11上に下層走査配線12aとしてTi、及び上層走査配線12bとしてCuが成膜され、フォトリソグラフィによりレジスト50が形成されている。
- [0077] (2) 次に、過酸化水素(H₂O₂)とフッ素化合物とを含むエッチャントを用いて、ウェットエッチングを行い、図6の(b)に示すように、Ti及びCuを同時にエッチングする。
- [0078] 本実施形態においては、H₂O₂濃度が5%以上20%未満であり、かつフッ素化合物濃度が0.5%以上3%未満であるエッチャントを用いることが好ましい。これにより、Tiよりも早くCuをエッチングさせることができる。その結果、図6の(b)に示すように、Cuのシフト量(エッチングレート)をTiのシフト量よりも大きくさせることによって、下層走査配線12aと上層走査配線12bとを階段状に構成させることができる。
- [0079] なお、本実施形態に用いるエッチャントは、特に限定されないが、H₂O₂とフッ素化合物とを含むものであることが好ましい。このような構成であれば、エッチャントに含まれるH₂O₂の濃度によってCuのシフト量を調節することができ、一方フッ素化合物の濃度によってTiのシフト量を調節することができる。したがって、エッチャントに含まれるH₂O₂及びフッ素化合物の濃度を、Cu及びTiの望ましいシフト量に基づいて、適宜調整することが好ましい。
- [0080] (3) 続いて、レジスト50を剥離洗浄し、図6の(c)に示すような走査配線12のパターンを完成させる。
- [0081] 第3工程においても、以上の(1)～(3)に説明する方法によりウェットエッチングを行ない、信号電極16及びドレイン電極17をパターンニングすることができる。なお、第3工程においては、上述した方法の(2)において用いるエッチャントは、H₂O₂濃度が5%以上20%未満であり、かつフッ素化合物濃度が0.5%以上3%未満であることが好ましく、エッチング時間はジャストエッチング時間の1.3～3倍の時間行なうことが好ましい。

。なお、「ジャストエッチング時間」とは、信号電極 16 及びドレイン電極 17 の上層（ここでは Cu）がレジスト 50 の幅と同じ幅にてエッチングされる時間をいう。

[0082] これにより、信号電極 16 及びドレイン電極 17 のそれぞれにおける下層の周縁と上層の周縁との距離 A を、 $0.4\ \mu\text{m}$ より大きく、かつ $1.5\ \mu\text{m}$ より小さくすることができる。

[0083] （対向基板 30 の製造工程）

次に、図 5 の（a）～図 5 の（c）を参照しながら、本実施形態における対向基板 30 の製造工程について説明する。図 5 の（a）～図 5 の（c）は、本発明の一実施形態における対向基板の製造方法を説明するための図であり、各工程が終了した時点での断面構造を示す。

[0084] 対向基板 30 は、以下（1）～（3）に説明する 3 回のフォトリソグラフィ工程によって製造される。

[0085] （1）図 5 の（a）に示すように、ガラス 31 上に、感光性材料を用い、フォトリソグラフィによりブラックマトリクス 32、及び、赤、緑又は青のカラーフィルター 33 の各層を形成する。

[0086] （2）図 5 の（b）に示すように、スパッタ法により画素電極 34 を、厚さ $50\sim 200\ \text{nm}$ にて堆積した後、フォトリソグラフィ及びウェットエッチングによりパターンを形成することによって、対向電極を形成する。

[0087] （3）図 5 の（c）に示すように、感光性材料を用い、フォトリソグラフィにより、フォトスペーサ 35 を形成する。

[0088] （貼り合わせ工程）

さらに、アクティブマトリクス基板 10A と対向基板 30 とを貼り合わせて、液晶層を形成する、貼り合わせ工程について以下（1）～（3）に説明する。

[0089] （1）まず、アクティブマトリクス基板 10A 及び対向基板 30 に、配向膜としてポリイミドを印刷法により形成する。

[0090] （2）次に、アクティブマトリクス基板 10A 及び対向基板 30 を、シー

ル剤を印刷し、液晶を滴下した後に貼り合わせる。

[0091] (3) 貼り合わせた基板を、ダイシングにより分断する。

[0092] 以上の工程により、アクティブマトリクス基板10Aと対向基板30とを重ねて配置し、その間に液晶層が形成された、本実施形態の液晶表示装置1が製造される。

[0093] なお、本発明の一態様に係るアクティブマトリクス基板及び表示パネルは、上述した液晶表示装置に限定されず、例えば有機EL、無機EL、電気泳動等における表示装置などにも適用することができる。これにより、安定な特性を有するTFTを容易に形成させることができるアクティブマトリクス基板を備えているので、高品質な表示装置を容易に製造することができる。

[0094] [第2実施形態]

本発明に係る液晶表示装置の第2実施形態について、以下に説明する。

[0095] 本実施形態においては、アクティブマトリクス基板10Aの製造工程のみが第1実施形態と異なっており、他は第1実施形態と同様に構成されている。よって、本実施形態では、第1実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

[0096] 本実施形態においては、第1実施形態のアクティブマトリクス基板10Aの製造工程における第3工程において、信号電極16及びドレイン電極17をウェットエッチング及びドライエッチングによってパターニングする。この点以外は、第1実施形態と同じ方法を用いる。本実施形態における走査配線12、信号電極16及びドレイン電極17のパターニングは、以下に説明する方法により行う。

[0097] (走査配線12のパターニング)

まず、本実施形態の第1工程で行なうウェットエッチングの方法について、図6の(a)～図6の(c)を参照して説明する。第1工程においては、以下(1)～(3)に説明する方法によりウェットエッチングを行ない、走査配線12をパターニングする。

[0098] (1) 第1工程においてウェットエッチングを行なう直前には、図6の(

a) に示すように、ガラス 11 上に下層走査配線 12 a として Ti、及び上層走査配線 12 b として Cu が成膜され、フォトリソグラフィによりレジスト 50 が形成されている。

[0099] (2) 次に、過酸化水素 (H_2O_2) とフッ素化合物とを含むエッチャントを用いて、ウェットエッチングを行い、図 6 の (b) に示すように、Ti 及び Cu を同時にエッチングする。

[0100] 本実施形態においては、 H_2O_2 濃度が 5% 以上 20% 未満であり、かつフッ素化合物濃度が 0.5% 以上 3% 未満であるエッチャントを用いることが好ましい。これにより、Ti よりも早く Cu をエッチングさせることができる。その結果、図 6 の (b) に示すように、Cu のシフト量 (エッチングレート) を Ti のシフト量よりも大きくさせることによって、下層走査配線 12 a と上層走査配線 12 b とを階段状に構成させることができる。

[0101] なお、本実施形態に用いるエッチャントは、特に限定されないが、 H_2O_2 とフッ素化合物とを含むものであることが好ましい。このような構成であれば、エッチャントに含まれる H_2O_2 の濃度によって Cu のシフト量を調節することができ、一方フッ素化合物の濃度によって Ti のシフト量を調節することができる。したがって、エッチャントに含まれる H_2O_2 及びフッ素化合物の濃度を、Cu 及び Ti の望ましいシフト量に基づいて、適宜調整することが好ましい。

[0102] (3) 続いて、レジスト 50 を剥離洗浄し、図 6 の (c) に示すような走査配線 12 のパターンを完成させる。

[0103] (信号電極 16 及びドレイン電極 17 のパターニング)

次に、本実施形態の第 3 工程で行なうウェットエッチング及びドライエッチングの方法について、図 7 の (a) ~ 図 7 の (d) を参照して説明する。図 7 の (a) ~ 図 7 の (d) は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、特に信号電極 16 をパターニングする際の各段階の断面図を示す。ここに示す方法によって、信号電極 16 及びドレイン電極 17 をパターニングする。

- [0104] 第3工程においては、以下(4)～(7)に説明する方法によりウェットエッチング及びドライエッチングを行ない、信号電極16及びドレイン電極17をパターニングする。
- [0105] (4) 第3工程においてウェットエッチング及びドライエッチングを行なう直前には、図7の(a)に示すように、下地上に下層信号電極16aとしてTi、及び上層信号電極16bとしてCuが成膜され、フォトリソグラフィによりレジスト50が形成されている。
- [0106] (5) 次に、過酸化水素(H₂O₂)を含むエッチャントを用いて、ウェットエッチングを行い、図7の(b)に示すように、Cuをエッチングする。
- [0107] (6) 続いて、ドライエッチングを行い、図7の(c)に示すように、Tiをエッチングする。これにより、Tiは、レジスト50の幅と同じ幅にてエッチングされる。
- [0108] (7) レジスト50を剥離洗浄し、図7の(d)に示すような信号電極16のパターンを完成させる。
- [0109] 本実施形態においては、ウェットエッチングにおいてレジスト50がエッチングされないので、Cuがレジスト50の幅よりも狭くエッチングされ、その後のドライエッチングにおいては、Tiがレジスト50と同じ幅にてエッチングされる。そのため、CuとTiとのシフト量差を大きくすることができる。なお、本実施形態におけるウェットエッチングする時間は、特に限定されないが、Cu及びTiの望ましいシフト量差に基づいて、適宜調整することが好ましい。
- [0110] このように、本実施形態においては、Cuのシフト量をTiのシフト量よりも大きくさせることによって、下層信号電極16aと上層信号電極16bとを階段状に構成させることができる。
- [0111] なお、第3工程においては、上述した方法の(5)のウェットエッチングにおいて用いるエッチャント及びエッチング時間は、信号電極16及びドレイン電極17における下層の周縁と上層の周縁との距離Aが0.4μmより大きく、かつ1.5μmより小さくなるように調整されることが好ましい。

例えば、上層が銅により構成されている場合、 H_2O_2 濃度が5%以上10%未満であるエッチャントを用いて、ジャストエッチング時間の2~4倍の時間、エッチングを行なうことが好ましい。これにより、信号電極16及びドレイン電極17における下層の周縁と上層の周縁との距離Aを、 $0.4\mu m$ より大きく、かつ $1.5\mu m$ より小さくすることができる。

[0112] [第3実施形態]

本発明に係る液晶表示装置の第3実施形態について、以下に説明する。

[0113] 本実施形態においては、アクティブマトリクス基板10Bに層間絶縁層19が備えられていない点のみが第1実施形態及び第2実施形態と異なっており、他は第1実施形態及び第2実施形態と同様に構成されている。よって、本実施形態では、第1実施形態及び第2実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

[0114] 以下に、図8の(a)~図8の(e)を参照しながら、本実施形態におけるアクティブマトリクス基板10Bの製造工程を工程順に(1)~(5)に説明する。図8の(a)~図8の(e)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、各工程が終了した時点での断面構造を示す。また、図8の(a)~図8の(e)は、アクティブマトリクス基板10AのTFT25付近の一部分のみを示している。したがって、ここでは、TFT25付近の製造工程について説明する。

[0115] (1) 第1工程

第1工程では、第1実施形態及び第2実施形態における第1工程と同じ方法を用いて、図8の(a)に示すように、走査配線12を形成する。

[0116] (2) 第2工程

第2工程では、第1実施形態及び第2実施形態における第2工程と同じ方法を用いて、図8の(b)に示すように、絶縁層13、チャンネル層14a及び電極コンタクト層14bを形成する。

[0117] (3) 第3工程

第3工程では、第1実施形態及び第2実施形態における第3工程と同じ方

法を用いて、図8の(c)に示すように、信号電極16及びドレイン電極17を形成する。

[0118] (4) 第4工程

第4工程では、図8の(d)に示すように、保護層18を形成する。まず、CVD法により、保護層18として窒化シリコンを成膜した後に、フォトリソグラフィによりレジストパターンを形成する。ドライエッチングにより、保護層18のパターンを形成した後、レジストを剥離洗浄する。

[0119] 本工程では、特に限定されないが、保護層18としての窒化シリコンを100～700nm成膜することが好ましい。

[0120] (5) 第5工程

第5工程では、第1実施形態及び第2実施形態における第5工程と同じ方法を用いて、図8の(e)に示すように、画素電極20を形成する。

[0121] 以上の工程によって、アクティブマトリクス基板10Bが製造される。

[0122] [第4実施形態]

本発明に係る液晶表示装置の第4実施形態について、以下に説明する。

[0123] 本実施形態においては、アクティブマトリクス基板10Cにチャンネル保護層21が備えられている点が第1実施形態及び第2実施形態と異なっており、他は第1実施形態及び第2実施形態と同様に構成されている。よって、本実施形態では、第1実施形態及び第2実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

[0124] 以下に、図9の(a)～図9の(f)を参照しながら、本実施形態におけるアクティブマトリクス基板10Cの製造工程を工程順に(1)～(5)に説明する。図9の(a)～図9の(f)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、各工程が終了した時点での断面構造を示す。また、図9の(a)～図9の(f)は、アクティブマトリクス基板10CのTFT25付近の一部分のみを示している。したがって、ここでは、TFT25付近の製造工程について説明する。

[0125] (1) 第1工程

第1工程では、第1実施形態及び第2実施形態における第1工程と同じ方法を用いて、図9の(a)に示すように、走査配線12を形成する。

[0126] (2) 第2工程

第2工程では、図9の(b)に示すように、絶縁層13、チャンネル層14a及びチャンネル保護層21を形成する。まず、CVD法により、絶縁層13として窒化シリコン、チャンネル層14aとしてアモルファスシリコン、及びチャンネル保護層21として窒化シリコンを連続して成膜する。その後、フォトリソグラフィによりレジストパターンを形成し、ドライエッチングを行ない、チャンネル保護層21のパターンを形成した後、レジストを剥離洗浄する。

[0127] 本工程では、特に限定されないが、絶縁層13としての窒化シリコンを200～500nm、チャンネル層14aとしてのアモルファスシリコンを30～300nm、チャンネル保護層21としての窒化シリコンを100～300nm成膜することが好ましい。

[0128] (3) 第3工程

第3工程では、電極コンタクト層14b、信号電極16、及びドレイン電極17を形成する。信号電極16とドレイン電極17とは、同一の層に同時に成膜された後、パターニングによってそれぞれが形成される。

[0129] まず、図9の(c)に示すように、CVD法により、電極コンタクト層14bとしてn⁺アモルファスシリコンを成膜する。次に、図9の(d)に示すように、スパッタ法により下層信号電極16a及び下層ドレイン電極17aとしてTi、上層信号電極16b及び上層ドレイン電極17bとしてCuを連続して成膜する。次に、フォトリソグラフィによりレジストパターンを形成する。その後、第1実施形態又は第2実施形態に記載した方法により、下層信号電極16a、上層信号電極16b、下層ドレイン電極17a、及び上層ドレイン電極17bそれぞれのパターンを形成する。さらに、ドライエッチングにより、チャンネル保護層21上の電極コンタクト層14bの一部を除去する。その後、レジストを剥離洗浄する。

[0130] 本工程では、特に限定されないが、電極コンタクト層14bとしてのn+アモルファスシリコンを50~150nm、Tiを30~150nm、Cuを100~400nm成膜することが好ましい。

[0131] (4) 第4工程

第4工程では、第1実施形態及び第2実施形態における第4工程と同じ方法を用いて、図9の(e)に示すように、保護層18及び層間絶縁層19を形成する。

[0132] (5) 第5工程

第5工程では、第1実施形態及び第2実施形態における第5工程と同じ方法を用いて、図9の(f)に示すように、画素電極20を形成する。

[0133] 以上の工程によって、アクティブマトリクス基板10Cが製造される。

[0134] [第5実施形態]

本発明に係る液晶表示装置の第5実施形態について、以下に説明する。

[0135] 本実施形態においては、アクティブマトリクス基板10Dにおいて、保護層18と層間絶縁層19との間にブラックマトリクス22及びカラーフィルター23の層が形成されている点、並びに対向基板において、ブラックマトリクス32及びカラーフィルター33の層が形成されていない点、が第1実施形態及び第2実施形態と異なっており、他は第1実施形態及び第2実施形態と同様に構成されている。よって、本実施形態では、第1実施形態及び第2実施形態と異なる点のみについて説明し、同様の構成の部材には同じ部材番号を付してその説明は省略する。

[0136] 以下に、図10の(a)~図10の(f)を参照しながら、本実施形態におけるアクティブマトリクス基板10Dの製造工程を工程順に(1)~(6)に説明する。図10の(a)~図10の(f)は、本発明の他の実施形態におけるアクティブマトリクス基板の製造方法を説明するための図であり、各工程が終了した時点での断面構造を示す。また、図10の(a)~図10の(f)は、アクティブマトリクス基板10DのTFT25付近の一部分のみを示している。したがって、ここでは、TFT25付近の製造工程につい

て説明する。

[0137] (1) 第1工程、(2) 第2工程、及び(3) 第3工程は、第1実施形態及び第2実施形態と全く同じであるため、ここでは省略する。これらの各工程が終了した時点での断面構造を、図10の(a)～図10の(c)に示す。

[0138] (4) 第4工程

第4工程では、図10の(d)に示すように、保護層18、ブラックマトリクス22及びカラーフィルター23を形成する。まず、CVD法により、保護層18として窒化シリコンを成膜する。次いで、感光性材料を用い、フォトリソグラフィにより、ブラックマトリクス22、及び、赤、緑、青のカラーフィルター23の層を形成する。

[0139] 本工程では、特に限定されないが、保護層18としての窒化シリコンを100～700nm成膜することが好ましい。

[0140] (5) 第5工程

第5工程では、図10の(e)に示すように、層間絶縁層19を形成する。層間絶縁層19として感光性層間絶縁膜材料を成膜した後に、フォトリソグラフィによりパターン形成する。その後、ドライエッチングを行ない、層間絶縁層19のパターンを形成する。

[0141] (6) 第6工程

第6工程では、図10の(f)に示すように、画素電極20を形成する。まず、スパッタ法により画素電極20を形成するための膜としてITO(又はIZO)などの透明導電材料を成膜した後に、フォトリソグラフィによりレジストパターンを形成する。その後、ウェットエッチングにより、画素電極20のパターンを形成した後、レジストを剥離洗浄する。

[0142] 本工程では、特に限定されないが、画素電極20としての透明導電材料を50～200nm成膜することが好ましい。

[0143] 以上の工程によって、アクティブマトリクス基板10Dが製造される。

[0144] 本実施形態においては、アクティブマトリクス基板10Dがブラックマト

リクス 2 2 及びカラーフィルター 2 3 を備えているので、対向基板がブラックマトリクス及びカラーフィルターの層を備える必要がない。したがって、図示していないが、本実施形態の対向基板は、ブラックマトリクス及びカラーフィルターを備えない構成となっている。

[0145] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

実施例

[0146] [実施例 1]

図 1 に示す構造と同様の構造の T F T を有するアクティブマトリクス基板を作製し、T F T 特性を測定した。アクティブマトリクス基板は、第 2 実施形態において説明した方法を用いて作製した。すなわち、第 3 工程において、信号電極 1 6 及びドレイン電極 1 7 のパターンニングを、ウェットエッチング及びドライエッチングによって行なった。

[0147] 第 3 工程では、3 種類の条件によってウェットエッチングを行ない、3 種類のアクティブマトリクス基板を作製した。3 種類の条件とは、適切な H₂O₂ 濃度のエッチャントを用い、ウェットエッチングを行なう時間をそれぞれジヤストエッチング時間の 1.5 倍、1.75 倍、2 倍の時間とした。これにより、各アクティブマトリクス基板において、信号電極 1 6 及びドレイン電極 1 7 における下層の周縁と上層の周縁との距離 A がそれぞれ 0.2 μm、0.3 μm、0.45 μm である T F T を形成させた。

[0148] これらのアクティブマトリクス基板を用いて、T F T 特性を調べた。T F T 特性は、マニュアルプローバー、及び、半導体パラメータアナライザ（アジレント社製）を用いて測定した。

[0149] この結果を図 1 1 に示す。図 1 1 は、本発明の一実施例におけるアクティブマトリクス基板の T F T 特性を示すグラフである。図 1 1 に示すように、距離 A が 0.5 μm 以下の場合、すなわち 0.2 μm 又は 0.3 μm の場合

には、TF T特性が大きくプラス側にシフトした。一方、距離Aが0.45 μm の場合には、良好なTF T特性が得られた。

[0150] [実施例2]

図1に示す構造と同様の構造のTF Tを有するアクティブマトリクス基板を作製し、その作製条件について評価した。アクティブマトリクス基板は、第1実施形態において説明した方法を用いて作製した。すなわち、第3工程において、信号電極16及びドレイン電極17のパターニングを、ウェットエッチングのみによって行なった。

[0151] 第3工程では、3種類の条件によってウェットエッチングを行ない、3種類のアクティブマトリクス基板を作製した。

[0152] 3種類の条件とは、エッチャント中の H_2O_2 濃度を3段階に設定した3種類のエッチャントを作製し、それぞれのエッチャントを用いてエッチングを行なうものである。これにより、各アクティブマトリクス基板において、信号電極16及びドレイン電極17における下層の周縁と上層の周縁との距離Aがそれぞれ1.0 μm 、1.3 μm 、1.6 μm であるTF Tを形成させた。

[0153] 第3工程のウェットエッチング終了時点において、各アクティブマトリクス基板におけるドレイン電極17及びレジスト50（フォトレジスト）の断面形状を電子顕微鏡により観察した。その結果を図15の(a)～(c)に示す。

[0154] 図15の(a)～(d)は、第3工程のウェットエッチング終了時点におけるアクティブマトリクス基板の電子顕微鏡画像を表す図である。なお、図15の(a)は距離Aが1.0 μm であるアクティブマトリクス基板の断面、図15の(b)は距離Aが1.3 μm であるアクティブマトリクス基板の断面、図15の(c)は距離Aが1.6 μm であるアクティブマトリクス基板の断面を示す。また、図15の(d)は、図15の(c)に示すアクティブマトリクス基板からレジスト50を除いたものを上から見た図である。

[0155] 図15の(a)又は図15の(b)に示す、距離Aが1.0 μm 又は1.

3 μm のアクティブマトリクス基板では、レジスト50が安定して残っていた。このアクティブマトリクス基板は、ウェットエッチング後に続けてドライエッチングを行なうことが可能であった。

[0156] しかし、図15の(c)～(d)に示す、距離Aが1.6 μm のアクティブマトリクス基板では、ドレイン電極17の幅が細い部分においてレジスト50が剥離している箇所があった。このアクティブマトリクス基板は、ウェットエッチング後に続けてドライエッチングを行なうことはできない状態であった。

[0157] 本実施例より、距離Aが1.0 μm 又は1.3 μm の場合には、ドレイン電極17をパターニングする際に用いるレジスト50が剥がれることを防止することができることが示された。すなわち、距離Aが1.5 μm より小さいことにより、レジストが剥がれることを防止することができ、細い配線であっても容易に形成させることができることが強く示唆された。

[0158] また、本発明の一態様に係るアクティブマトリクス基板では、上記第2の金属層が、銅又は銅合金を含んでいることが好ましい。

[0159] 上記の構成であれば、銅又は銅合金は抵抗が低いため、電極の抵抗を低くすることができる。また、アクティブマトリクス基板を製造する際、この銅又は銅合金が半導体層に移動してしまうことを防ぐことができるため、TFTの特性の低下を防止し、安定な特性を得ることができる。

[0160] また、本発明の一態様に係るアクティブマトリクス基板では、上記第1の金属層が、チタン、タンタル、モリブデン、及びこれらの合金からなる群より選択される少なくとも1つを含んでいることが好ましい。

[0161] 上記の構成であれば、チタン、タンタル、モリブデン、及びこれらの合金は、ドライエッチングなどにより拡散しにくいいため、製造過程において半導体層上に移動することがない。したがって、TFTの特性の低下を防止し、安定な特性を得ることができる。

[0162] また、本発明の一態様に係るアクティブマトリクス基板では、上記電極は、信号電極又はドレイン電極であることが好ましい。

- [0163] 上記の構成であれば、TFTの特性を低下させることなく、信号電極又はドレイン電極の第2の金属層にいかなる金属をも用いることができる。また、信号電極又はドレイン電極をパターニングする際に用いるレジストが剥がれることを防止することができ、信号電極又はドレイン電極が細い場合であっても容易に形成させることができる。
- [0164] また、本発明の一態様に係るアクティブマトリクス基板では、上記薄膜トランジスタは、上記電極を2個備えており、上記半導体層の上面における上記第1の金属層に覆われていない部分を挟んで、2個の上記電極のそれぞれの上記階段状に構成されている部分が向かい合って配置されていることが好ましい。
- [0165] 上記の構成であれば、安定な特性を有するTFTを提供することができる。
- [0166] また、本発明の一態様に係るアクティブマトリクス基板では、2個の上記電極のうち、一方が信号電極であり、他方がドレイン電極であることが好ましい。
- [0167] 上記の構成であれば、TFTの特性を低下させることなく、信号電極及びドレイン電極の第2の金属層にいかなる金属をも用いることができる。また、信号電極及びドレイン電極をパターニングする際に用いるレジストが剥がれることを防止することができ、信号電極及びドレイン電極が細い場合であっても容易に形成させることができる。
- [0168] 上記の課題を解決するために、本発明の一態様に係る表示パネルは、上述したいずれかのアクティブマトリクス基板を備えていることを特徴とする。また、本発明の一態様に係る表示装置は、上記表示パネルを備えていることを特徴とする。
- [0169] 上記の構成であれば、安定な特性を有するTFTを容易に形成させることが可能なアクティブマトリクス基板を備えた表示パネル及び表示装置を提供することができる。
- [0170] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は

、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用可能性

[0171] 本発明によれば、安定な特性を有するTFTを容易に形成させることが可能であるため、高品質のアクティブマトリクス基板及び液晶表示装置を製造する場合に好適に利用できる。

符号の説明

- [0172]
- 1 液晶表示装置（表示装置）
 - 2 液晶表示パネル（表示パネル）
 - 10A アクティブマトリクス基板
 - 14 半導体層
 - 16 信号電極（電極）
 - 16a 下層信号電極（第1の金属層）
 - 16b 上層信号電極（第2の金属層）
 - 17 ドレイン電極（電極）
 - 17a 下層ドレイン電極（第1の金属層）
 - 17b 上層ドレイン電極（第2の金属層）
 - 25 TFT（薄膜トランジスタ）

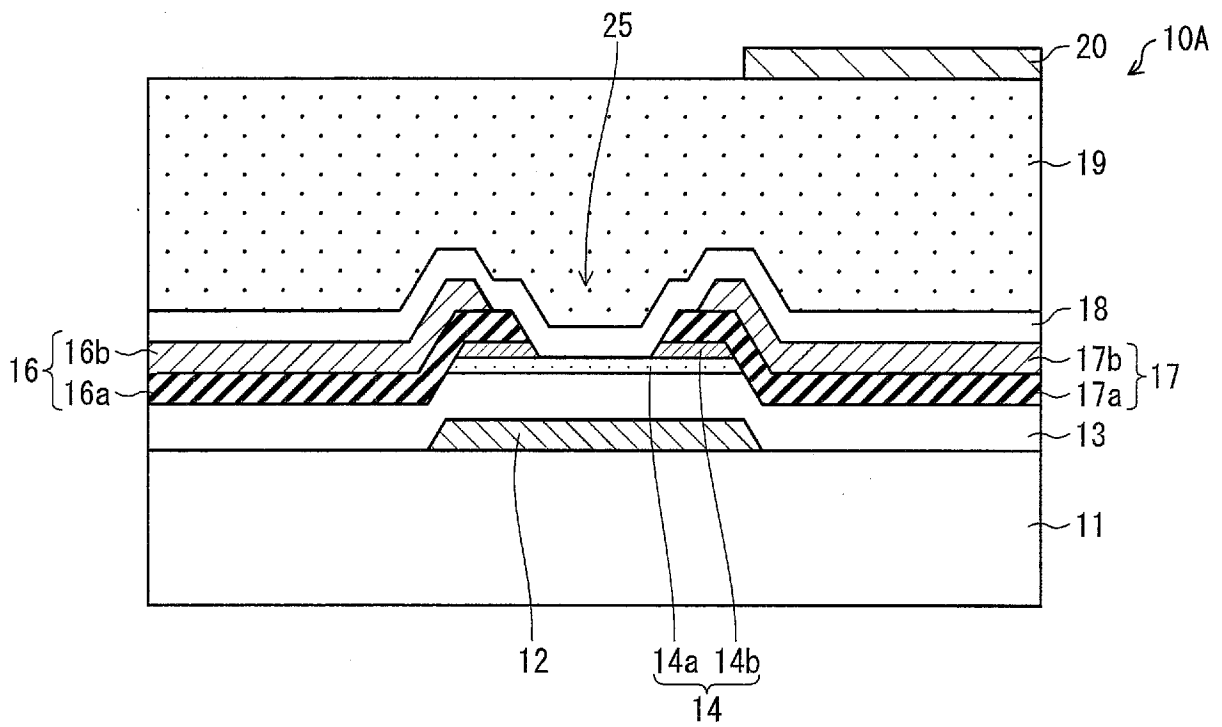
請求の範囲

- [請求項1] 半導体層と、当該半導体層に電氣的に接続されている電極とにより構成されている薄膜トランジスタを備えており、
上記電極は、
上記半導体層の上面の一部を覆うように積層された第1の金属層と、
上記第1の金属層に積層された第2の金属層とを備え、
上記半導体層と上記第1の金属層と上記第2の金属層とは、階段状に構成されており、
上記階段状に構成されている部分において、上記第1の金属層の周縁と上記第2の金属層の周縁との距離が、 $0.4\ \mu\text{m}$ より大きく、 $1.5\ \mu\text{m}$ より小さいことを特徴とするアクティブマトリクス基板。
- [請求項2] 上記第2の金属層が、銅又は銅合金を含んでいることを特徴とする請求項1に記載のアクティブマトリクス基板。
- [請求項3] 上記第1の金属層が、チタン、タンタル、モリブデン、及びこれらの合金からなる群より選択される少なくとも1つを含んでいることを特徴とする請求項1又は2に記載のアクティブマトリクス基板。
- [請求項4] 上記電極は、信号電極又はドレイン電極であることを特徴とする請求項1～3のいずれか1項に記載のアクティブマトリクス基板。
- [請求項5] 上記薄膜トランジスタは、上記電極を2個備えており、上記半導体層の上面における上記第1の金属層に覆われていない部分を挟んで、2個の上記電極のそれぞれの上記階段状に構成されている部分が向かい合って配置されていることを特徴とする請求項1～4のいずれか1項に記載のアクティブマトリクス基板。
- [請求項6] 2個の上記電極のうち、一方が信号電極であり、他方がドレイン電極であることを特徴とする請求項5に記載のアクティブマトリクス基板。
- [請求項7] 請求項1～6のいずれか1項に記載のアクティブマトリクス基板を

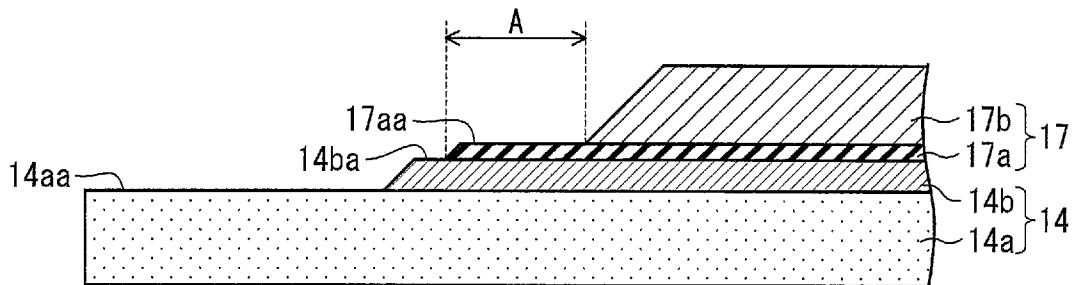
備えていることを特徴とする表示パネル。

[請求項8] 請求項7に記載の表示パネルを備えていることを特徴とする表示装置。

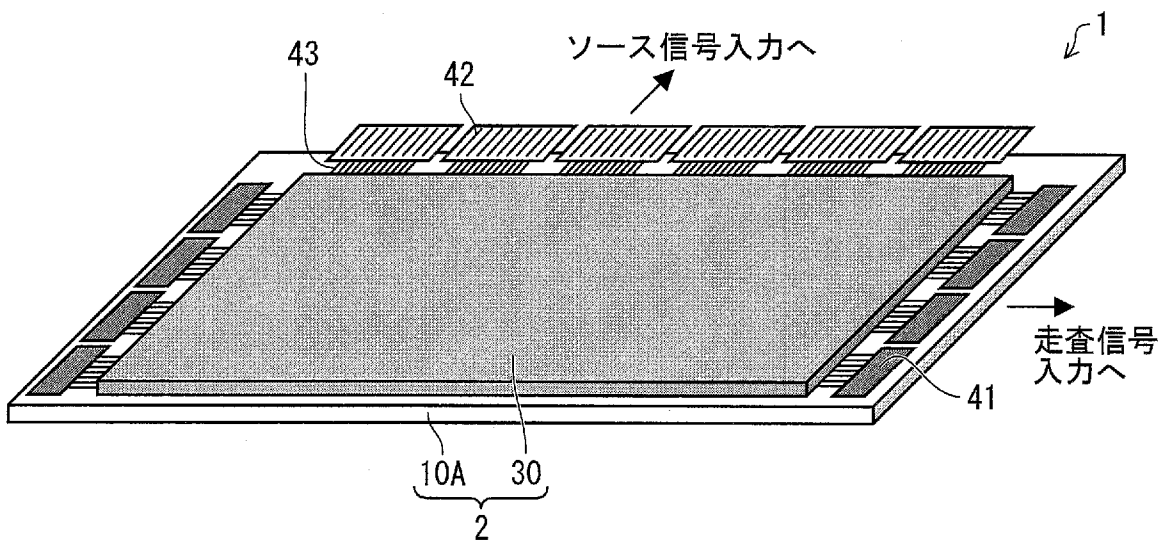
[図1]



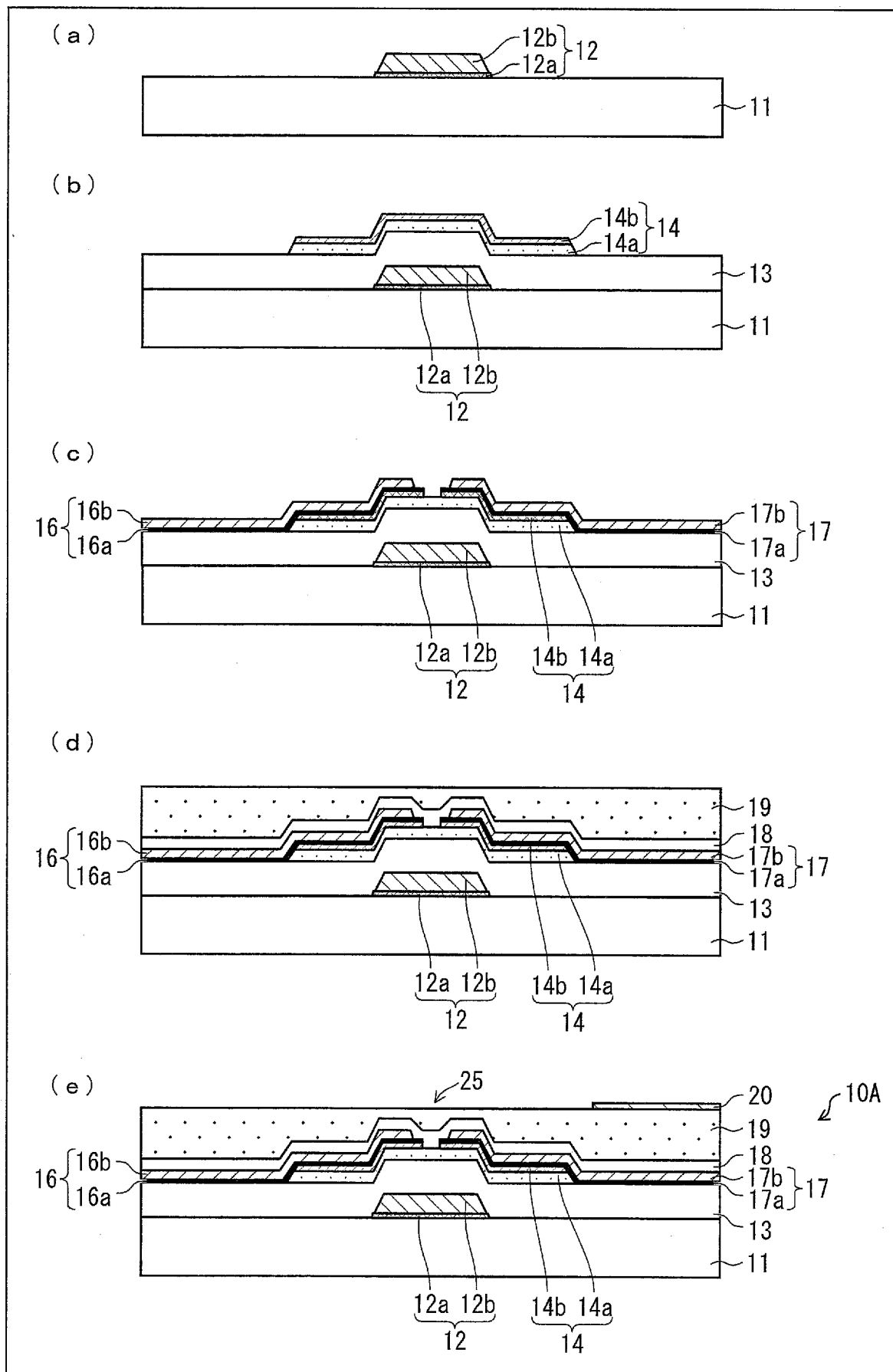
[図2]



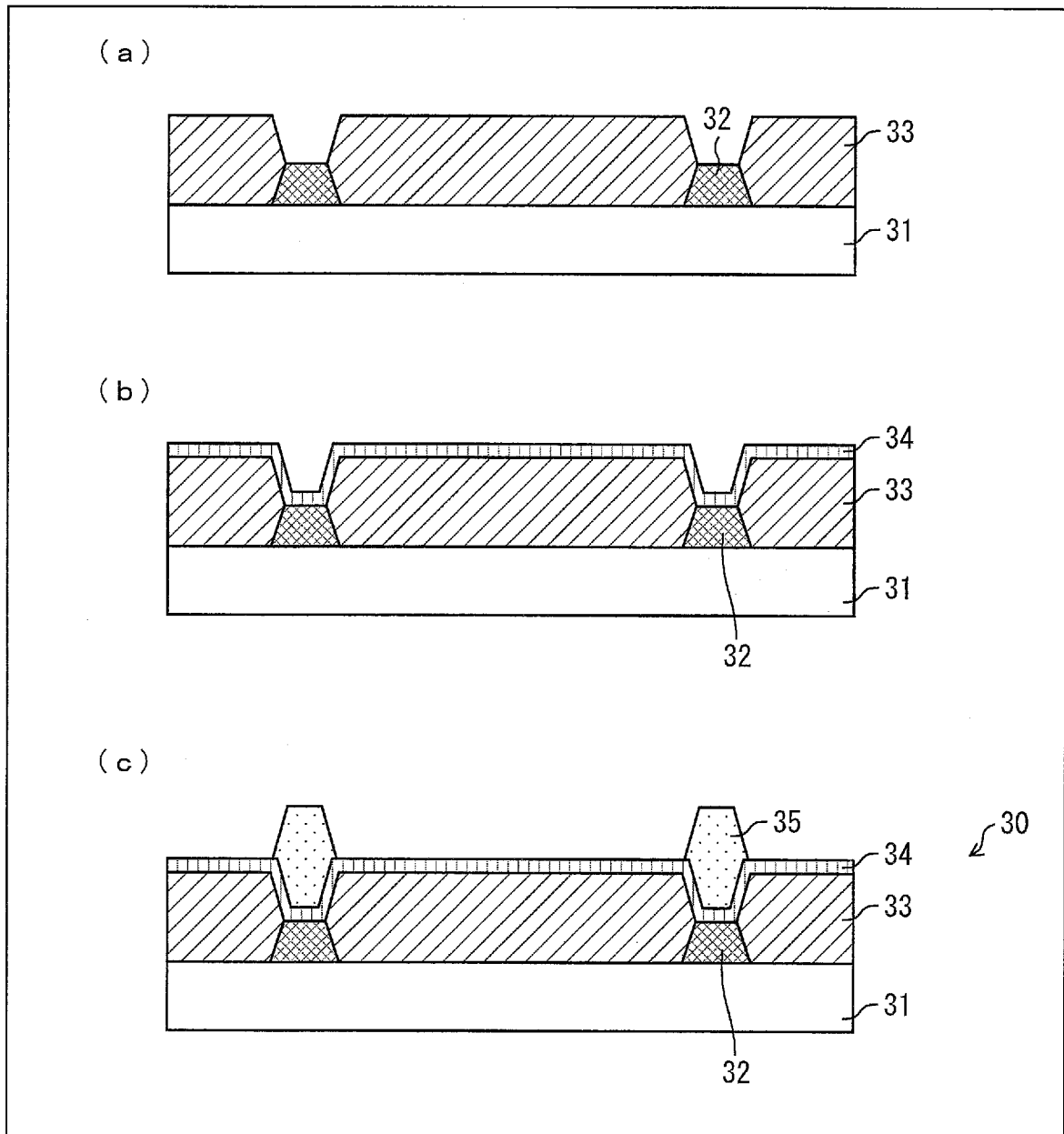
[図3]



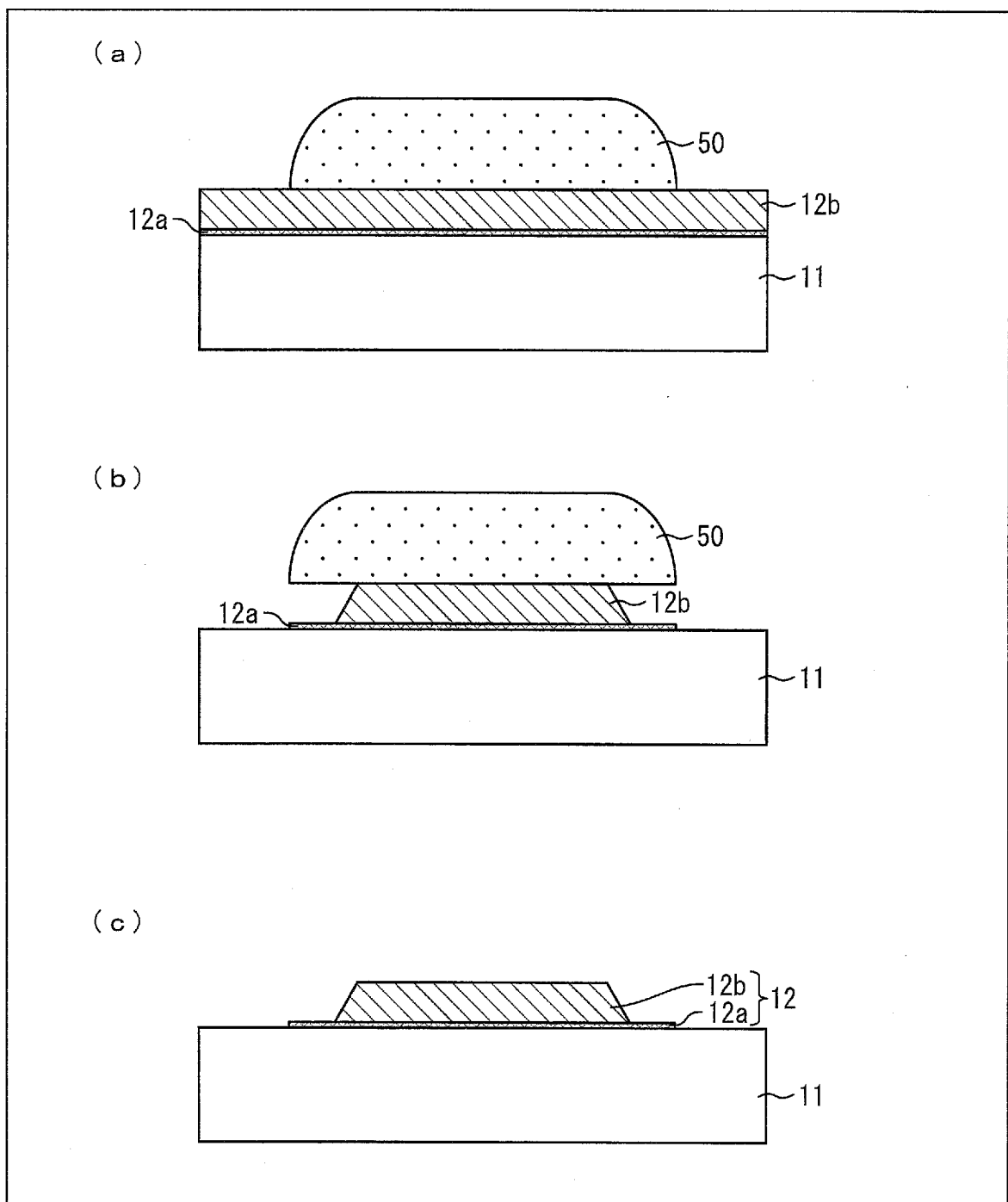
[図4]



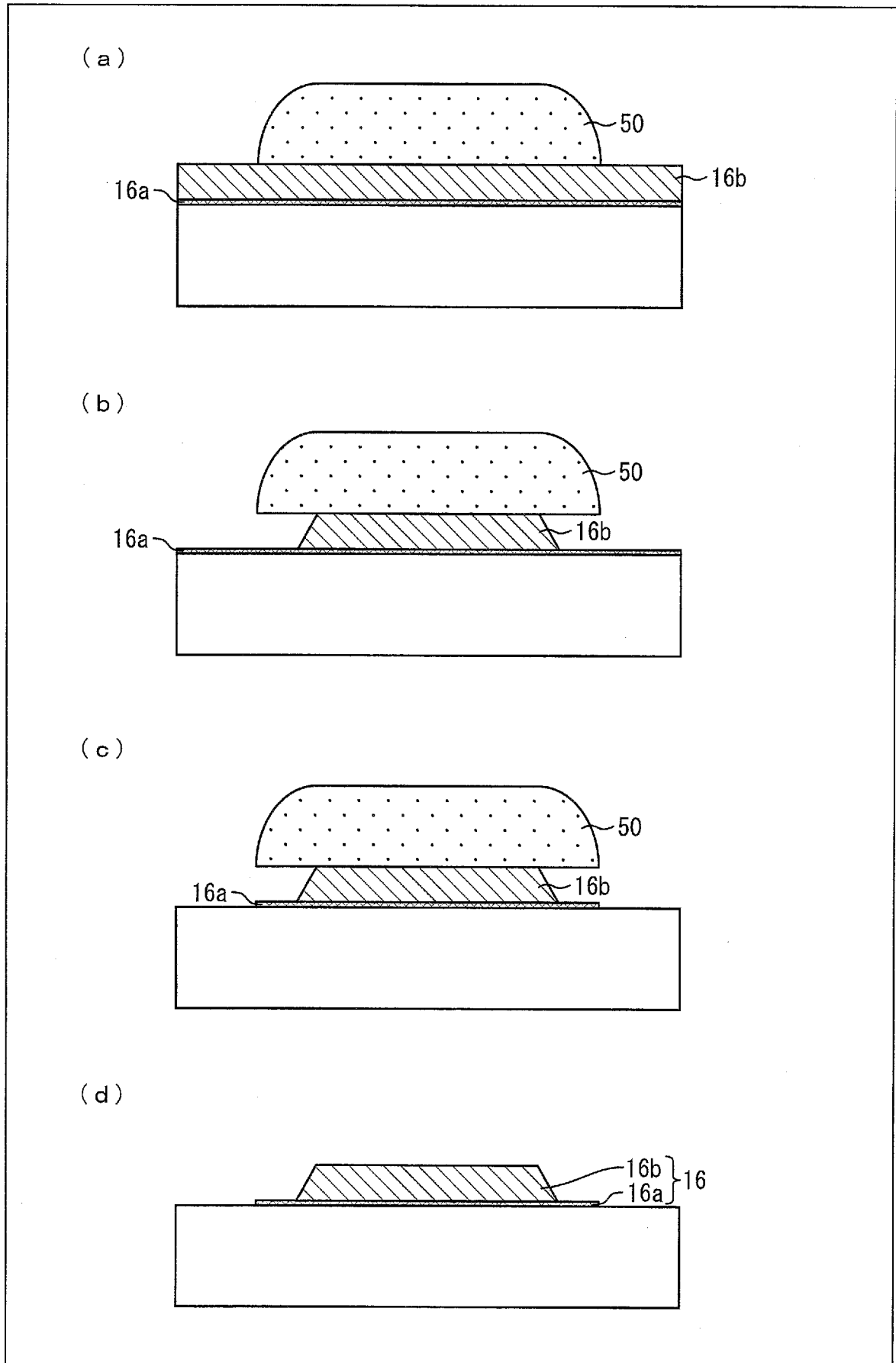
[図5]



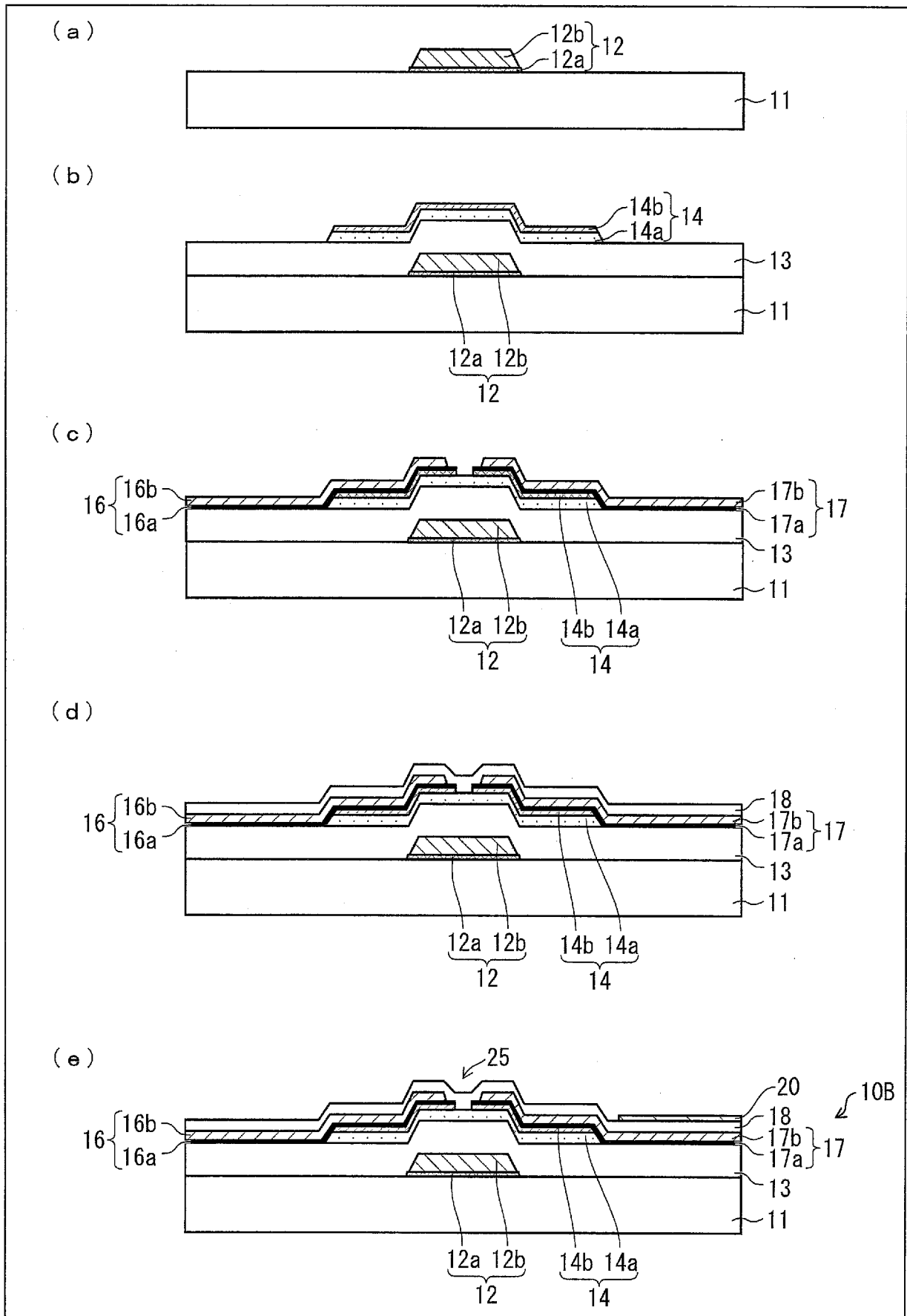
[図6]



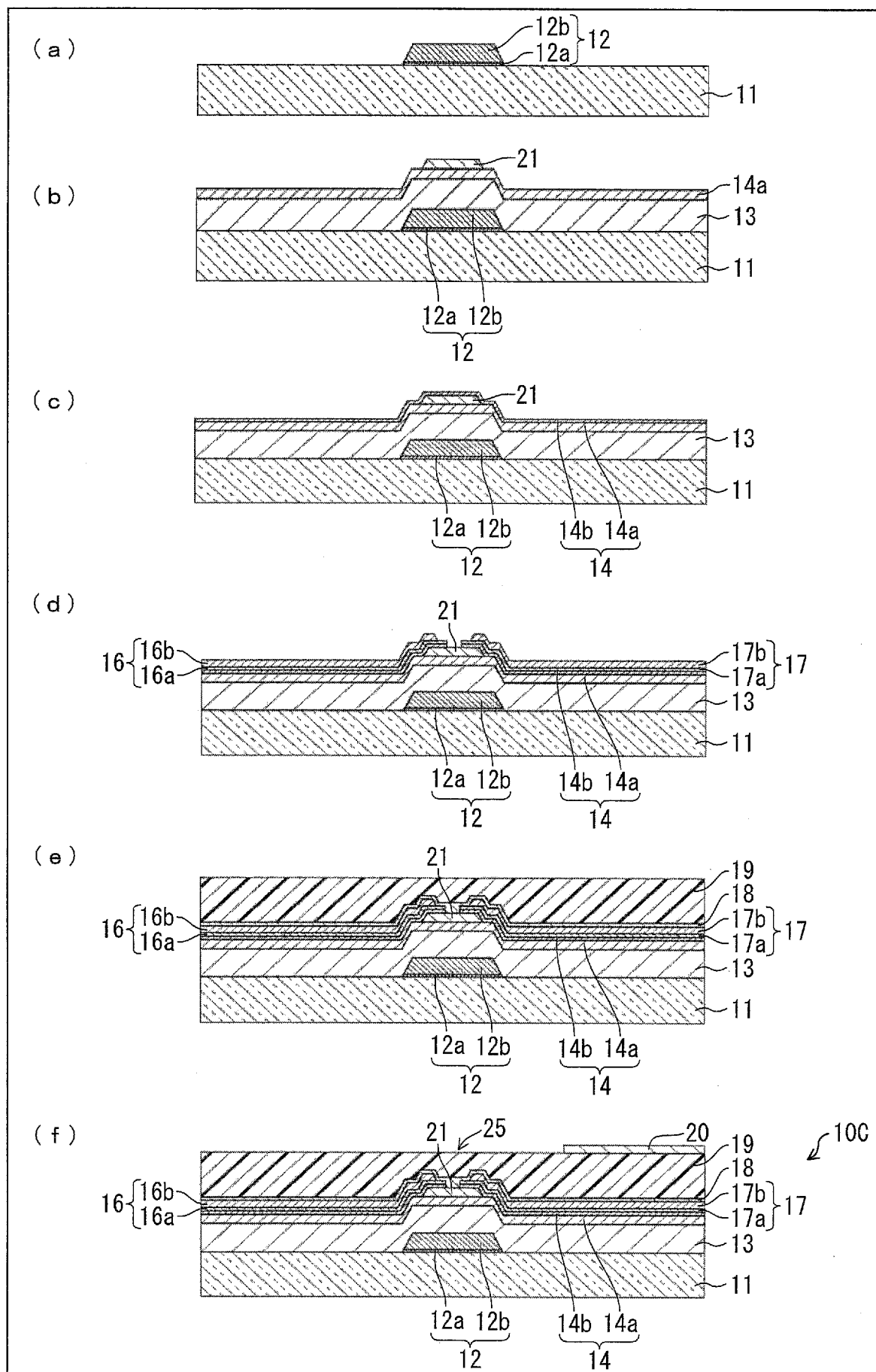
[図7]



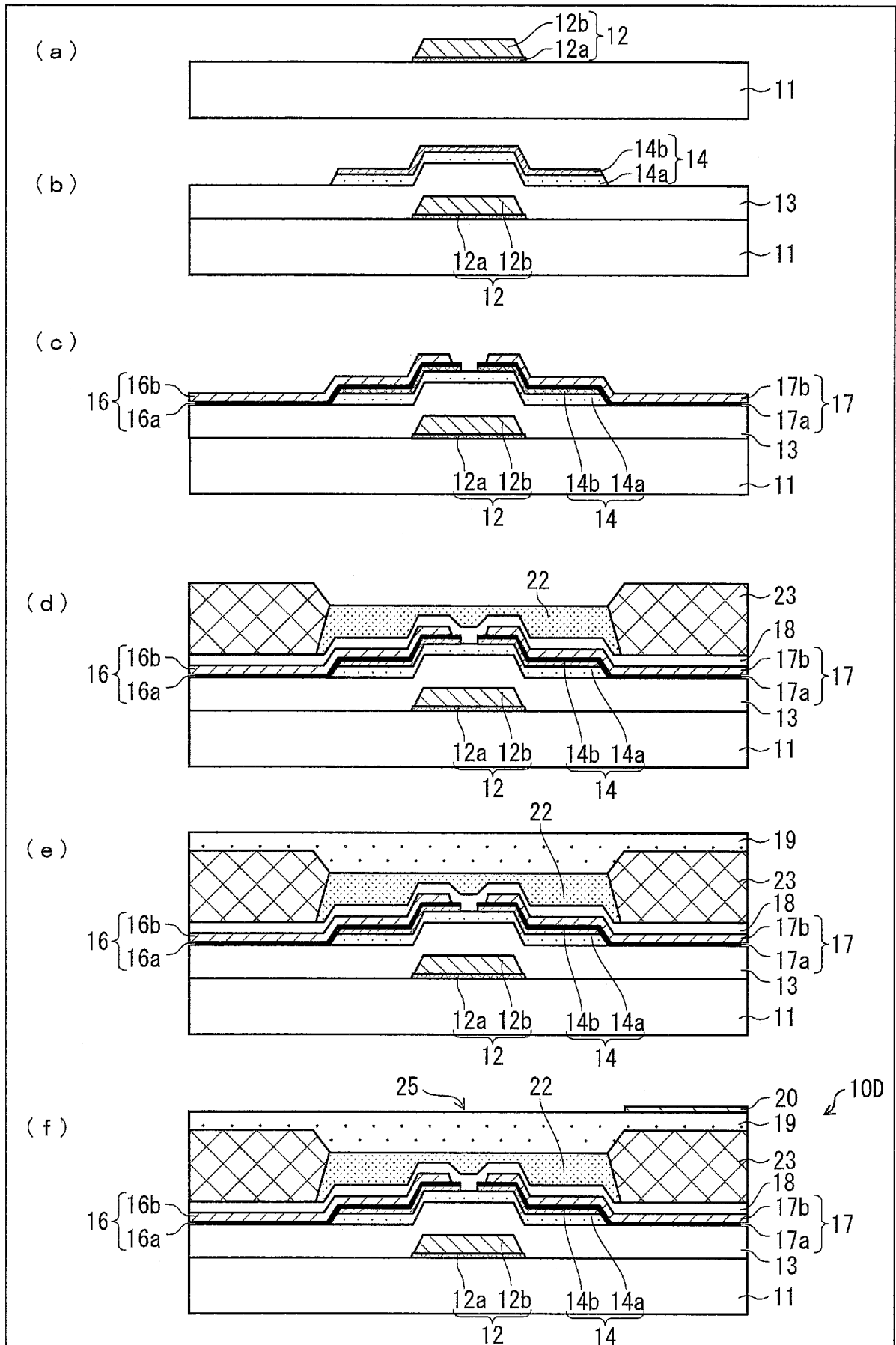
[図8]



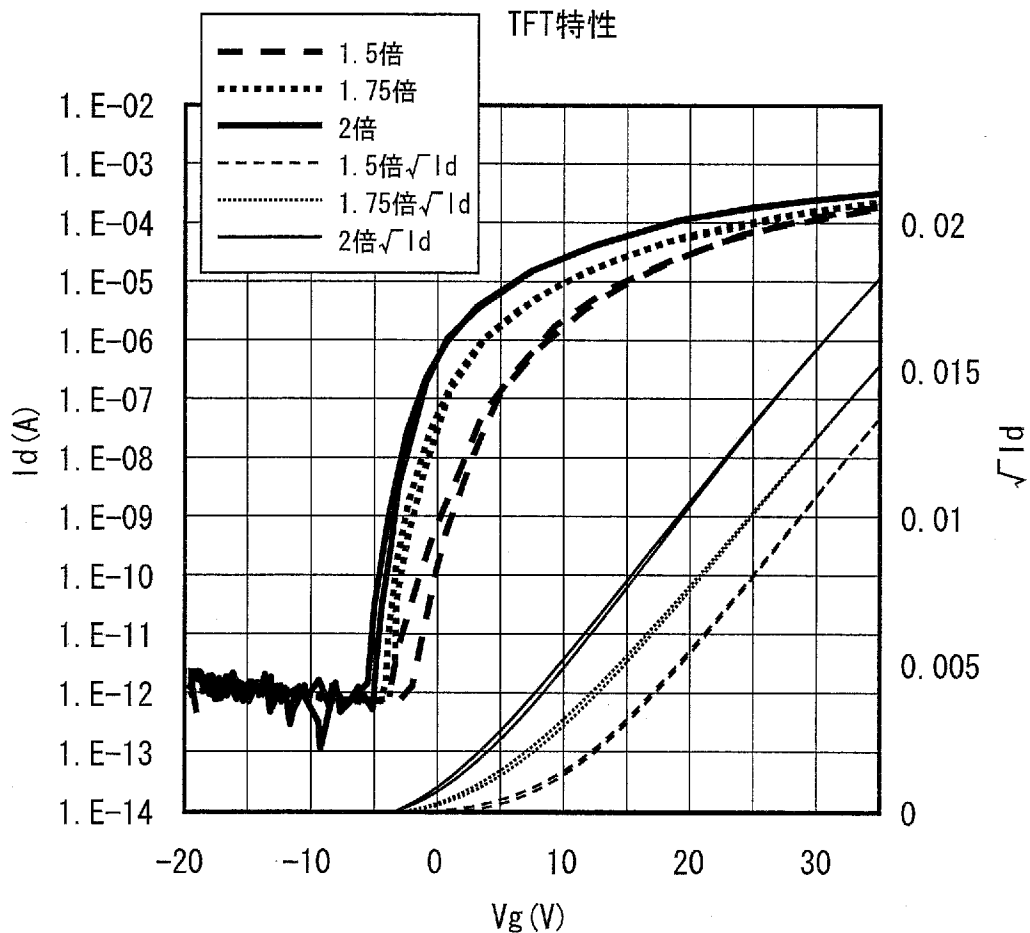
[図9]



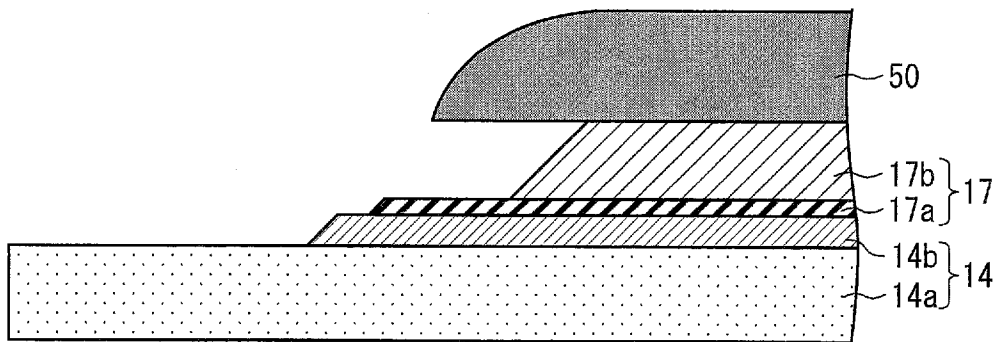
[図10]



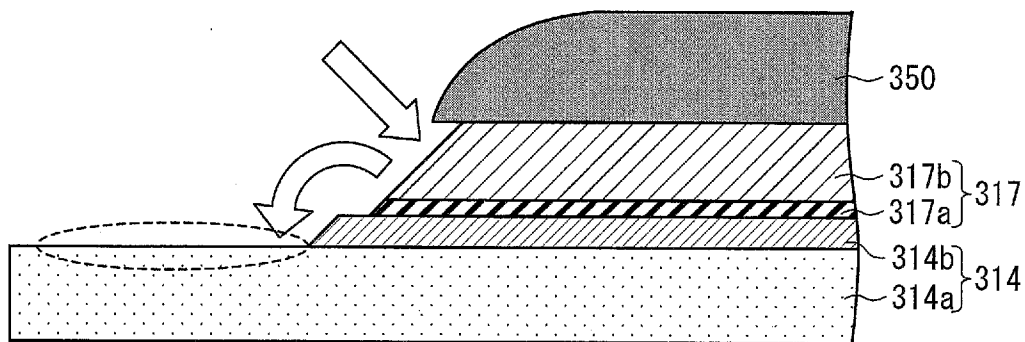
[図11]



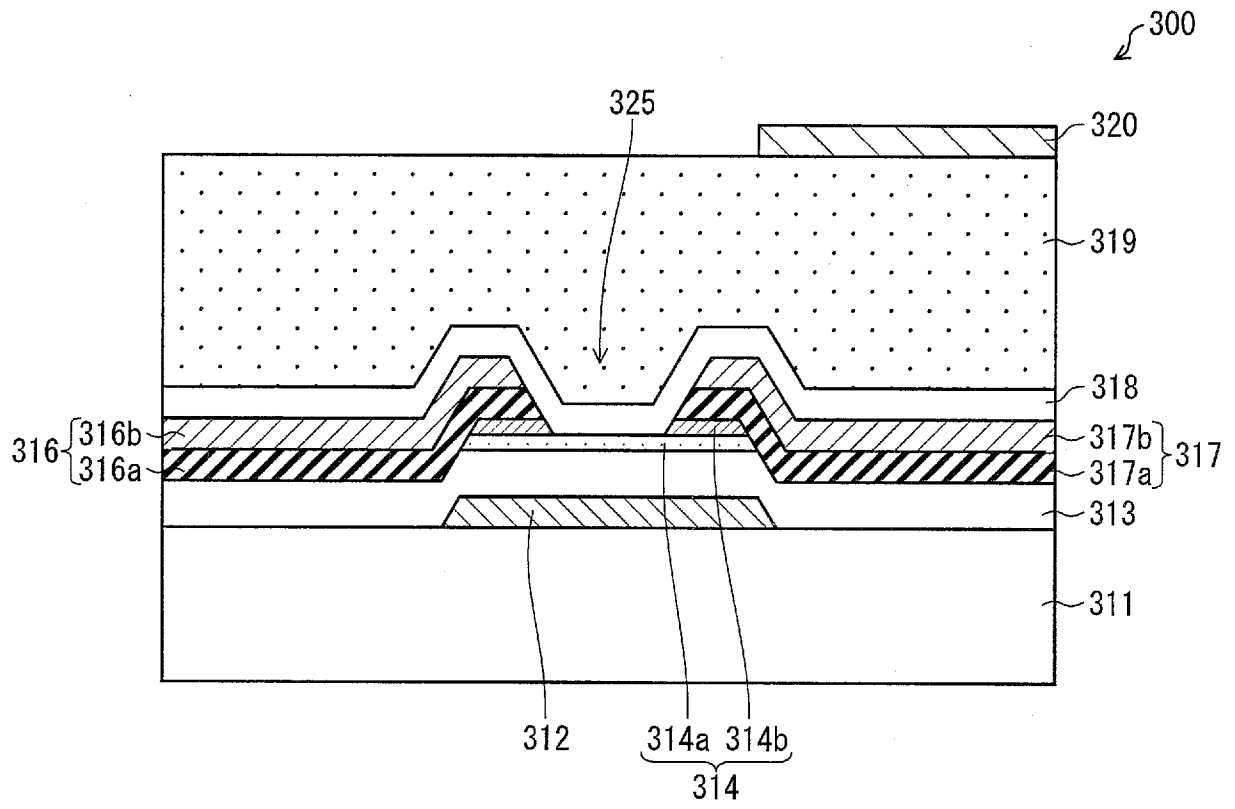
[図12]



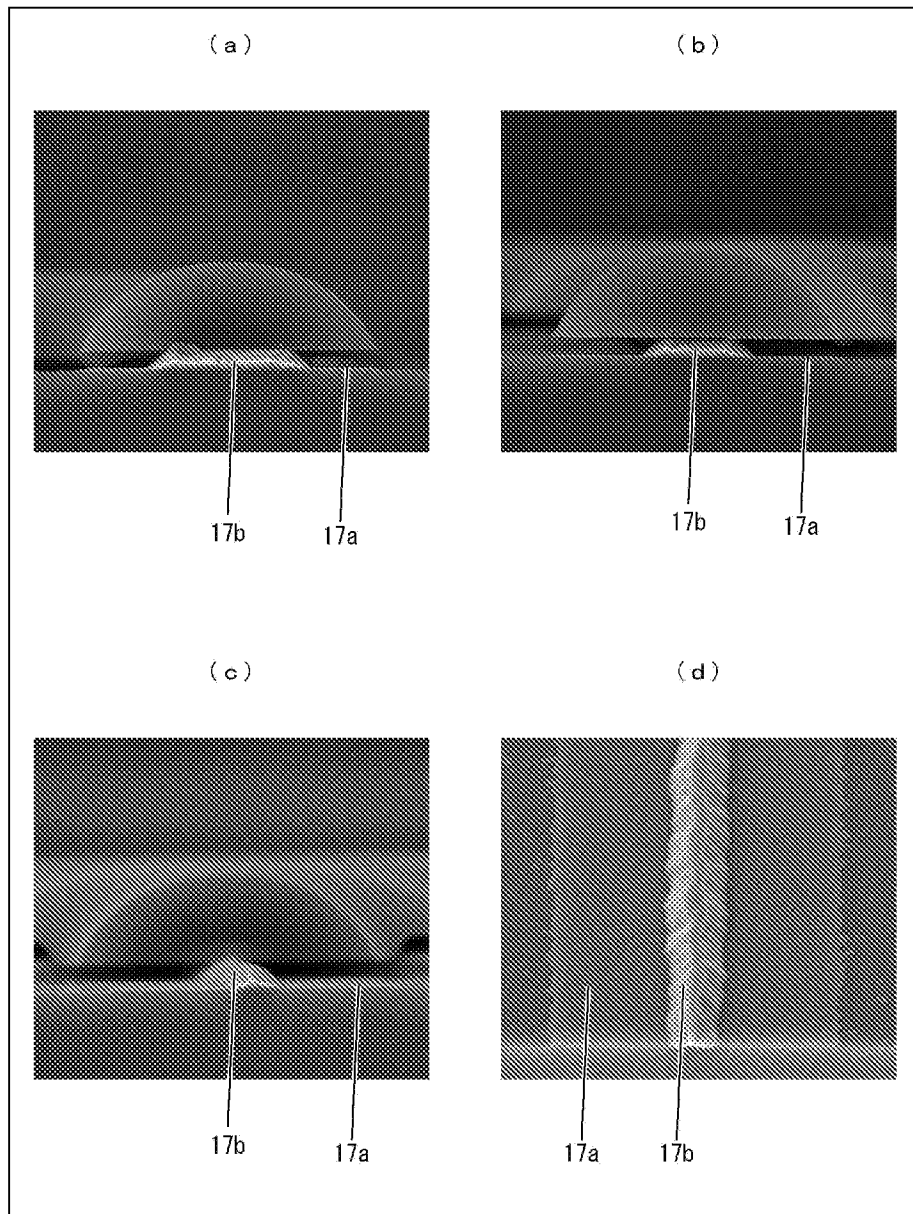
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052107

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i,
H01L29/41(2006.01)i, H01L29/417(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/28, H01L29/41, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2009-71285 A (Semiconductor Energy Laboratory Co., Ltd.), 02 April 2009 (02.04.2009), all pages; all drawings & US 2009/0047775 A1 | 1-8 |
| A | JP 2006-261705 A (Sharp Corp.), 28 September 2006 (28.09.2006), all pages; all drawings (Family: none) | 1-8 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12 March, 2012 (12.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/786, G02F1/1368, H01L21/28, H01L29/41, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国实用新案公報 | 1922-1996年 |
| 日本国公開实用新案公報 | 1971-2012年 |
| 日本国实用新案登録公報 | 1996-2012年 |
| 日本国登録实用新案公報 | 1994-2012年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| A | JP 2009-71285 A (株式会社半導体エネルギー研究所) 2009.04.02, 全頁全図 & US 2009/0047775 A1 | 1-8 |
| A | JP 2006-261705 A (シャープ株式会社) 2006.09.28, 全頁全図 (ファミリーなし) | 1-8 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

12.03.2012

国際調査報告の発送日

27.03.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田代 吉成

電話番号 03-3581-1101 内線 3498

4L

9448