

204412

公告本

申請日期	81.10.22
案 號	81108412
類 別	161C 21/328

A4
C4

(以上各欄由本局填註)

(81108412)

發明
專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中 文	適用於低功率、低雜訊及高功率之微波異質結 切 雙極性電晶體及其製法
	英 文	MICROWAVE HETEROJUNCTION BIPOLAR TRANSISTORS SUITABLE FOR LOW-POWER, LOW-NOISE AND HIGH-POWER APPLICATIONS, AND METHOD FOR FABRICATING SAME
二、發明人 創作	姓 名	白布漢 (BURHAN BAYRAKTAROGU)
	籍 貫 (國籍)	美國
	住、居所	美國俄亥俄州赫伯區克勞德街6509號 6509 Cloud Ct, Huber Heights, OH 45424, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	籍 貫 (國籍)	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北中央高速道13500號 13500 North Central Expressway, Dallas, Texas 75265, U.S.A.
	代表人 姓 名	郝威廉 William E. Hiller

五、發明說明 (1)

申告：

*M*德州儀器公司1991版權(C)。此專利文件所披露的部份，係受版權及光罩著作的保護。此版權及光罩著作的所有人，不反對任何人對此專利文件或專利揭示內容備份因其呈現在專利及商標局上專利檔案或記錄中，除此之外，此版權及光罩著作的一切權利，將予以保留。

發明領域：

此發明乃是關於適用在低功率，低雜訊及高功率的微波異質接面雙極性電晶體。

發明背景：

迄今為止，在此領域中，異質接面雙極性電晶體(HBT)的製造方法，視HBT的特別用途而定。低功率電路像是數位電路，其需要小面積的元件以降低功率消耗。高功率電路，像是功率放大器需要最大的元件面積而不降低元件性能。另一方面，低雜訊元件像是接收器則需要在低基極電阻及低複合電流下操作。

過去已經報導有幾種HBT的製造方法能提供這些需求但其一次僅能提供一種特別的應用。

例如製造一個好的高功率元件，通常就無法做出好的低雜訊元件等，譬如說，大部份HBT功率放大器都做有多射極和平行指狀的基極，如圖1，這些指的大小及指與指之間的距離取決於功率增益及功率輸出(熱逸散)

五、發明說明 ()

的考量，在圖 1 這個例子，所有的射極指 10 和基極指 12 都彼此連接在半絕緣的基板 14 上，這個元件的主動區 16 是由離子佈值所定義的，雖然這種處理方式很適合功率元件的製造，但當其用在製造低功率和低雜訊元件上卻有幾個缺點包括了：

- (1) 主動區由離子佈植決定，會加強射－基極接面的複合電流導致增加 $1/f$ 的雜訊及降低電流增益。
- (2) 用此方法很難做出小元件面積（也就是射極指長度無法遠小於 $3-5 \mu m$ ）。
- (3) 因為基極電流只從射極區的邊緣注入所以與射極接觸的基極區所構成的基極串聯電阻將一直很大，降低此一電阻唯一可行的方法是降低指寬可依次降低功率密度。
- (4) 射極指長被在射極金屬中的電流極限所限制因為所有射極電流是從射極指的一端供應，所以在射極接觸金屬內的電子遷移電流超出指長 $30 \mu m$ 及超出射極金屬厚度 $0.6 \sim 1.0 \mu m$ 。

當 HBT 的技術成熟後，很明顯的高速（也就是微波）HBT 電路將需要在單一積體電路內有多項的功能其中一個例子便是雷達或通訊系統中的收發器晶片，這就要能夠製造有接收器的低雜訊低功率元件又同時，要有發報

五、發明說明()

器的功率元件。

因此，改進 HBT 的製造技術，使其能克服目前技術上的各種限制是很迫切的。

發明摘要：

在此間已知一適用於低功率、低雜訊及高功率用途的微波異質接面雙極性電晶體是需要的，而此發明的目的之一即是此一需要而告。

一般說來，此發明的其中一種型式也就是一適用於低功率雜訊及高功率用途的微波異質接面雙極性電晶體，其有一個射極，一個基極和一個集極，此射極由一個或更多的半導體材料島所構成，此半導體材料的能隙比基極寬，這些島不跨過此電晶體任何主動區的邊界，例如低功率，低雜訊元件可能只用一個島而中功率元件用兩個島，高功率元件用兩個以上的島，另一種做法的發明其也同樣適用於低功率，低雜訊及高功率的微波異質接面雙極性電晶體，這個發明包括了一個半絕緣的半導體基板，一個在基板上為第一導電類型的集極層一個在集極層上為第二導電類型的基極層，並於基板中，集極層，基極層和一個到多個的射極島中界定一個主動區，這些射極島是第一導電類型的，其能隙比基極層寬，且射極島配置在基極層上時不能交越到任何主動區的邊界，在各集極層，基極層和射極島上都有導電接點，而此項發明的另一種型式，也就

五、發明說明()

是單石微波積體電路(MMIC)，其與置於半絕緣性半導體基板之上的適用於低功率低雜訊和高功率的微波異質接面雙極性電晶體的電特性大致相同，其由以下所組成，一個置於基板上為第一傳導類型的集極層，一個置於集極層上為第二傳導體類型的集極層並於基板集極層，基極層和一個到多個的射極島中界定一個主動區，這些射極島是為第一傳導類型的，其能隙比基極層來得寬，且射極島配置在基極層上時不得跨越任何主動區的邊界在各集極層，基極層和射極島上都有導電接點。

此發明的優點之一就是僅使用單一元件的設計原理及過程即可製造出同時適用於低功率，低雜訊及高功率的元件。

附圖的簡略說明：

前述的發明及其更進一步的外觀皆有附圖說明，其中的組件也都有參考註標，分述如下：

圖1. HBT功率元件的平面簡圖。

圖2. 一個在圖3中第一個較佳之實體例的元件其基板及磊晶層的橫截面圖。

圖3. 本發明第一個較佳實體例的平面圖其未做金屬射極。

圖4A-E. 描述高功率HBT實體其製作步驟的橫截面圖。

圖5A-C. 描述第3個高功率HBT較佳的實體例其製作步驟的橫截面圖。

五、發明說明 ()

圖 6. 此發明第 4 個實體化的平面圖，其未做金屬射極。

實體例的詳細說明

目前此發明的製造技術是針對特定的用途去打散元件的主動區域，使其幾何面積最小並減少之間連結的浪費，第一個所提出實體化的方法；將描述一個高功率元件的製造方法之後一連串所提的實體化將描述其他型元件的製造方法。

圖 2 描繪了一個用來製造第一個較佳的實體元件的半導體晶圓的截面圖，一個半絕緣的半導體基板 20（如 (100) GaAs）在一個 n + 型的次集極層上 22，譬如 GaAs 是以磊晶成長的，其利用一恰當的過程（如有機金屬化學汽相沈積法，縮寫為 MOCVD）和以大約大於 2×10^{18} 的濃度的 Si 去摻雜，接下來，成長一個 n 型集極磊晶層 24，如 GaAs 並以大約 1×10^{16} 濃度的 Si 去摻雜，再來以磊晶成長一個 P 型基極層 26 如 GaAs，並以大約 $1 \sim 2 \times 10^{19}$ 濃度的 C 或 Zn 去摻雜最後，以磊晶成長一 n 型射極層 28，其為一種能隙比基極層 26 寬的半導體材料，例如，AlGaAs，並以大約 2×10^{17} 濃度的 Si 摻雜之，至此可了解，射極層 28 是由數個疊加的子層所組成，例如，接觸層 GaAs 或次級子層是與集極層 26 相比鄰的，在磊晶層 22 - 28 都長好後，再用高能量離子佈道須法處理晶圓，而由光阻 / Si₃N₄ / Au 光罩所保護的主動區域，就定為主動區 60，像是氧，銻，硼等離子都為適用於此步驟的離子，離子佈值會使得雜質反活化

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明。(6)

並且把佈值的非活性區轉變為高阻抗（半絕緣）狀況，要注意的是佈值離子在退火後並不能活性化。

圖 3 包含本發明第一個較佳實體例的平面圖，這個元件是建造在圖 2 中的基板 20 及磊晶層 22-28 之上的，此元件面積被分割成一連串的射極盤 30（雖然本發明使用了交互幾何形狀去定義射極的部份，例如，正方形，長方形等），其皆做在主動區域 60 內，射極盤 30 和射極導體 40 各包含了金屬接觸平鋪在一個半導體材質區域上，此材質的能隙比基極層 26 寬，之後的射極盤 30 和射極導體 40 可由一個空氣橋連接，基極金屬化接觸 50 將射極盤 30 完全包圍，此元件也包括了一個由離子佈值在基板所形成的主動區域 60 而集極接觸 70 也是如此。

接下來所提到實體將以不同的方法去連接射極盤 30 和射極導體 40，這是為了要達到不同的元件特性才如此做，藉由打散元件主動區小到最小的面積再將射極盤 30 以不同數量且有選擇性地與元件其他的部份相連接其可能以單一半導體過程在基板上去製造高功率，中功率和低功率，低雜訊的 HBT 元件射極面積不再橫越佈值邊緣去定出主動區面積 60，這是一個重大的優點，因為主動區域 60 邊緣（在有佈值與無佈值的界面上）大部份的複合電流會增加雜訊且降低電流增益，如果射極鋪在此界面上複合電流將增加，還有一個重點就是基極接點 50 將

五、發明說明()

射極主動區面積完全圍住，會減少基極接點電阻至少一個因素，這是由於基極接點是從一個標準射極指（如圖1中的10）的兩側做的，例如假設射極10是 $2\mu\text{m} \times 20\mu\text{m}$ 那麼，基—射極界面為 $40\mu\text{m}$ ，也就是兩側各 $20\mu\text{m}$ ，如果同樣的射極面積由直徑 $2\mu\text{m}$ 的13個射極盤30構成，那麼基極接點就會環繞在各個射極盤的整個周圍，所有的基—射極界面（所有盤30的周圍）為 $81.64\mu\text{m}$ ，因此，基—射極接面為兩倍長，基極電阻就為一半，而且元件的最大頻率也可提高40%左右。

本發明提出的2個較佳實體例是製造高功率異質接面雙極性電晶體(HBTs)的方法，其是利用圖3中的電路為基礎並包括了以下的步驟，這些步驟描繪在圖4A—4E的橫截面正視圖以圖3A-A為準軸。

(a) 圖4A這個過程中的起始基板材料，為了清楚起見，其所繪出的相對尺寸較為誇大，其由以下所組成，一個晶向為(100)的半絕緣半導體材質20（如GaAs）置於一個已磊晶成長的次集極層22，集極層24，基極層26和射極層28之上，如圖2所示的相對關係。

(b) 塗上光阻劑以此定出射極接點106的位置接著在光阻區和暴露區上蒸鍍AuGe/Ni/Au金屬到分別為500, 140和4000埃的厚度，然後將光阻除去，這樣除了106的部份所定義出射極點外，其餘的金屬也被去除，接點106

五、發明說明 (8)

在 435° 中 2 分鐘以形成合金，並可以成為一個歐姆接觸。

(c) 如同圖 4B 所示，將射極磊層 28 中沒有被射極點 106 罩住的部份蝕刻掉，並且在往下蝕刻基極磊層 26 就形成了射極盤 108 和射極接點支柱 110，蝕刻的方式可用反應性離子蝕刻法 (RIE 在 BCl_3 ， CCl_2F_2 或 CCl_4 中做) 或是用異向性蝕刻技術，在這步驟的最後，為了要形成一個射極磊層材料的小切口 (此將可以把射極盤 108 與下面步驟 (d) 的基極接點隔開)，通常用一點顯化學蝕刻 (例如用 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 以 1:8:160 的體積比例) 這樣也可以將 RIE 蝕刻所造成的損壞層去掉。

(d) 圖 3 中的基極接點是以光阻和合適的基極金屬如 Ti/Pt/Au 厚度分別為 500，250 和 2000 埃，依次蒸鍍在光阻和暴露區域上所定義出來的，如圖 4C 所示，接著將光阻去掉這樣除了 112 的部份所定義的基極接點和 113 的部份鋪在射極接點 106 的區域外，其餘金屬也被去除，因為在步驟 (1) 中以濕化學蝕刻所形成的射極切口，所以射極盤 108 和基極接點 112 會自動對齊而且彼此分隔大約 $0.1 \sim 0.2 \mu\text{m}$ 的距離。

(e) 集極接點 70 (在圖 4 中看不到) 的建立是先沈積一個光阻光罩去定出集極接點的面積，在 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (1:8:160) 溶液中以化學法往下蝕刻到次集極 22 磊層，

五、發明說明 (9)

然後依次分別以 500, 140 和 4000 埃的厚度蒸鍍 AuGe/Ni/Au, 當蒸鍍光罩去除時, 除了集極接點 70 的區域其餘的金屬皆同時被去掉。

(f) 如圖 4D 所示, 一正光阻 114 塗在晶圓上在外線照射下, 環繞在射極接點 106/113 的區域顯像後會曝光不足, 只有阻質 114 的部份會完全曝光, 顯像後, 射極接點金屬 106/113 的頂點暴露出來而射極結構的其他部份則覆蓋一層阻質, 在整個晶圓上濺鍍一層厚 200~500 埃的金膜 116 後再將剩餘的光阻 114 充分烘烤, 如此金膜層將可所有有的點 106/113 形成接觸。

(g) 另一層光阻塗在一個覆蓋於射極接點 106/113 的射極橋連接區域上, 再把光阻層和金膜 116 暴露的部份除去, 留下一個射極連接部分 118, 其是呈橋狀連接每個射極盤 106/108 和射極接點 106/110, 如圖 4E, 之後再將 2-3 μm 的金電鍍到已規劃好的區域裏。

(h) 這個電晶體制剩下來的部份是以標準的半導體製程技術來製造的另一個氣橋是用來連接所有的集極接點 70 和被動性元件如電容和傳輸線, 其視晶圓覆蓋的厚度及間隙而定這些步驟都是標準的製造技術。

本發明第 3 個所提較佳實體例的製造方法也是直接針對高功率 HBT 的製造方法, 此方法除了如下述的 (f) 與 (g) 點不同外其餘皆與第 2 個所提出實體化的方法完

五、發明說明 (10)

全相同。

(f) 如圖 5A 所示，塗一層厚約 $1.5 \sim 2.0 \mu m$ 的聚亞醯胺層 120，並且讓其完全乾燥，然後將 -Ge121 薄層 (500 埃) 蒸鍍到聚亞醯胺層 120 上，接下來在晶圓上塗上一層光阻 122，於是射極接點 106/113 上的區域就立即被界定出來了，在剩餘光阻 122 去掉後，Ge 層 121 暴露的區域利用 $CF_4 : O_2$ 電漿向下蝕刻至聚亞醯胺層 120，剩下的 Ge121 做為接下來要使用的氧 RIE 法中的罩子，此法將這些開口中的聚亞醯胺 120 向下蝕刻至射極接點 106/113，只有射極接點 106/113 的頂端會在此過程中暴露出來，然後剩下來的 Ge 層 121 用 $H_2 O_2$ 溶液或 $CF : O_2$ 電漿去除，如此產生的結構如圖 5B 所示。

(g) 整個晶圓濺鍍一層厚 200-500 埃的金膜 123，金膜層是用來與射極接點 106/113 相接觸的，塗上另一層光阻，覆在射極接點 106/113 上的一個射極橋連接區 124 就界定出來了，在光阻和金膜除去後，會留下一個射極連接部分 124，其是以橋狀去連接每個射極盤 106/118 和射極接點，如圖 5C，之後把 $2-3 \mu m$ 的金蒸鍍到已規劃好的區域內。

於此聚亞醯胺層 120 可以除去或是留下來當做保護層。

本發明第 4 個所提的較佳實體例如圖 6 所示，其是直

五、發明說明 (11)

接針對低功率、低雜訊 HBT 的製造方法，圖 6 的電路包含了一個射極盤 30，射極接點 40，金屬化基極 50，主動區 60 和集極接點 70，這件元件和圖 3 那個構造所標示的是類似的一個低功率、低雜訊的實體，只需要小面積的射極盤 30（例如圖 6 所示的盤 60），第 2 和第 3 個所提出的實體製造技術可用在圖 6 元件的製造而過程不需修正，各種不同光阻光罩的平面造形將決定是形成一個高功率元件或者是一個低功率—低雜訊元件而製程的步驟也取決於此。

本發明第 4 個所提較佳的實體例如圖 6，將提供一個改善目前所用元件的低功率，及低雜訊的性能原因是其射極區並不跨過佈值邊緣去定義主動區 60，此改良的優點已經達到了因為引起元件雜訊增加的複合電流，已經在主動區 60 邊緣發現到（介於佈值和未佈值的區域之間的介面），若是射極跨過這個邊界，複合電流會增加也導致元件雜訊增加，因此好的低雜訊性能，如同好的高功率性能一般，本發明的元件構造是可以達到的，相同的製程下可在同一個基板上製造兩種型式的元件，如同在一個單石微波積體電路（MMIC）一般，其不會犧牲任何一種元件的性能。

一些所提及的實體化過程已在以上詳述，而本發明的範圍也包含了有與上述不同的實體化過程，其可在聲

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (12)

明的部份中瞭解到。

內接和外接時，藉著電路的接入等等其可以是歐姆性的，電容性的直接或非直接的，成品預期可用在單獨的元件或是在矽，砷化鎵或其他電子材料族中完全積體化。

此發明已在手冊中描述了實體，但並未描述其所受的限制，所描述的實體化其不同的修正及組合，如同本發明的其他實體一般對於熟悉手冊所描述的人來說是非常顯而易見的，對於任何的修正及實體例其也有附加有聲明。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：

適用於低功率、低雜訊及高功率之微波異質接面雙極性電晶體及其製法

概言之，且依本發明的一種形式，係揭示一種適用於低功率、低雜訊和高功率的微波異質接面雙極性晶體，其具有一個射極、一個基極50和一個集極70，其中此射極由一個或多個半導體材料島30所構成，其能隙較基極50之能隙寬。此等島30係予以形成為不跨過電晶體主動區域60之任何邊界。

其他元件、系統及方法亦予以揭示。

英文發明摘要(發明之名稱：

MICROWAVE HETEROJUNCTION BIPOLAR TRANSISTORS SUITABLE FOR LOW-POWER, LOW-NOISE AND HIGH-POWER APPLICATIONS AND METHOD FOR FABRICATING SAME
ABSTRACT

Generally, and in one form of the invention, a microwave heterojunction bipolar transistor suitable for low-power, low-noise and high-power applications having an emitter, a base 50 and a collector 70 is disclosed, wherein the emitter composed of one or more islands 30 of semiconductor material having a wider energy bandgap than the base 50. The islands 30 are formed so that they do not cross any boundaries of the active area 60 of the transistor.

Other devices, systems and methods are also disclosed.

附註：本案已向 美國(地區) 申請專利，申請日期： 案號：

1991年 2月28日 662,093

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種適合用於低功率、低雜訊和高功率的微波異質
 接面雙極性電晶體，其具有一個射極，一個基極和
 一個集極，其中射極至少為一個半導體材料的島，
 此材料的能源隙較前述基極的能隙寬，而此島未跨
 過此電晶體的任可主動區域邊界。
2. 如申請專利範圍第1項之微波異質接面雙極性電晶
 體，其中至少一個射極島在一基-射極島界面之橫
 斷面處呈圓形。
3. 如申請專利範圍第1項之微波異質接面雙極性電晶
 體，其中至少一個射極島係由一氣橋接觸。
4. 如申請專利範圍第1項之微波異質接面雙極性電晶
 體，其中集極和基極為GaAs。
5. 如申請專利範圍第1項之微波異質接面雙極性電晶
 體，其中至少有一個射極島為AlGaAs。
6. 一種適合應用於低功率、低雜訊和高功率的微波異
 質接面雙極性電晶體，其包含：
 一個半絕緣的半導體基板；
 一個設置在基板上的第一導電類型的集極層；
 一個設置在集極層上的第二導電類型的基極層；
 一個界定在基板、集極層和基極層中的主動區域；
 至少一個第一導電類型的射極島，且其能隙比基極
 層寬，並且設置在基極層上而未跨越任何主動區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 的邊界；以及傳導接點，其設置在集極層、基極層和至少一個射極島上。
7. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中主動區域由離子佈值法界定。
8. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中至少一個射極島在基—射極島界面之橫斷面處呈圓形。
9. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中傳導接點為歐姆性。
10. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中做在至少一個射極島上的傳導接點是一個氣橋。
11. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中基板、集極層和基極層為GaAs。
12. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中至少一個射極島為AlGaAs。
13. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中集極層、基極層和至少一個射極島係以磊晶方式沈積。
14. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中集極層、基極層和至少一個射極島係在原處予摻雜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

15. 如申請專利範圍第6項之微波異質接面雙極性電晶體，其中第一導電類型係n型而第二導電類型係p型。
16. 一種單石的微波積體電路(MMIC)，其包含多數個做在半絕緣性半導體基板上適用於低功率、低雜訊和高功率且以電氣方式交互連接的微波異質接面雙極性電晶體，其中各該電晶體包含：
- 一個設置在基板上的第一導電類型的集極層；
 - 一個設置在集極層上的第二導電類型的基極層；
 - 一個界定在基板、集極層和基極層中的主動區域；
 - 至少一個第一導電類型的射極島，且其能隙比基極層之能隙寬，此射極島是設置在基極層上而未跨過任何主動區域的邊界；以及傳導接點，其設置在集極層、基極層和射極島上。
17. 如申請專利範圍第16項之單石微波積體電路，其中主動區域由離子佈值法界定。
18. 如申請專利範圍第16項之單石微波積體電路，其中至少一個射極島在一基-射極島界面之橫斷面處呈圓形。
19. 如申請專利範圍第16項之單石微波積體電路，其中傳導接點為歐姆性。
20. 如申請專利範圍第16項之單石微波積體電路，其中

六、申請專利範圍

設置在至少一個射極島上的傳導接點是一個氣橋。

21. 如申請專利範圍第16項之單石微波積體電路，其中基板、集極層和基極層為GaAs。
22. 如申請專利範圍第16項之單石微波積體電路，其中至少一個射極島是AlGaAs。
23. 如申請專利範圍第16項之單石微波積體電路，其中多數個彼此以電氣方式連接的微波異質接面雙極性電晶體之至少兩個電晶體不具有相同數目。
24. 如申請專利範圍第16項之單石微波積體電路，其中集極層、基極層和至少一個射極島係以磊晶方式沈積。
25. 如申請專利範圍第16項之單石微波積體電路，其中集極層、基極層和至少一個射極島係在原處予摻雜。
26. 如申請專利範圍第16項之單石微波積體電路，其中第一導電類型係n型而第二導電類型係p型。
27. 一種製造一個適用於低功率、低雜訊和高功率的微波異質接面雙極性電晶體之方法，包括諸步驟：
準備一個半絕緣性半導體基板；
在基板上沈積一第一導電類型的集極層；
在集極層上沈積一第二導電類型的基極層；
在集極層上沈積第一導電類型的射極層，其能源比

六、申請專利範圍

集極層之能隙寬；

在基板、集極層、基極層和射極層中界定一個主動區域；

在射極層中界定至少一個射極島，此射極島之邊界未跨主動區域的邊界；以及在集極層、基極層和至少一個射極島上形成傳導接點。

28. 如申請專利範圍第27項之製造一微波異質接面雙極性電晶體的方法中，另包括由離子佈值法界定主動區域。
29. 如申請專利範圍第27項之製造一微波異質接面雙極性電晶體的方法，另包括界定至少一個射極島在一基—射極島界面之橫斷面處呈圓形。
30. 如申請專利範圍第27項之製造一微波異質接面雙極性電晶體的方法，另包括將傳導接點形成為歐姆性。
31. 如申請專利範圍第27項之製造一微波異質接面雙極性電晶體的方法，另包括將設置在至少一個射極島上的傳導接點形成為一氣橋。
32. 如申請專利範圍第27項之製造一微波異質接面雙極性電晶體的方法，另包括以GaAs形成基板、集極層和基極層。
33. 如申請專利範圍第27項之製造一微波異質接面雙極

六、申請專利範圍

性電晶體的方法，另包括以 AlGaAs 形成射極層。

34. 如申請專利範圍第 27 項之製造一微波異質接面雙極性電晶體的方法，另包括以磊晶方式沈積集極層、基極層和射極島。

35. 如申請專利範圍第 27 項之製造一微波異質接面雙極性電晶體的方法，另包括將集極層、基極層和射極層在原處予以摻雜。

36. 如申請專利範圍第 27 項之製造一微波異質接面雙極性電晶體的方法，其中第一導電類型係 n 型而第二導電類型係 p 型。

37. 一種製造一個單石微波積體電路 (MMIC) 之方法，此積體電路包含多數個適用於低功率、低雜訊及高功率的微波異質接面雙極性電晶體，此方法包括諸步驟：

準備一個半絕緣性的半導體基板；

在基板上沈積一第一導電類型的集極層；

在集極層上沈積一第二導電類型的基極層；

在基極層上沈積第一導電類型的射極層，其能隙比基極層之能隙寬；

在電晶體的基板、集極層、基極層和射極層中，界定多數個與電晶體位置相對應之主動區域；

在各主動區域中的射極層中界定至少一個射極島，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

此射極島之邊界未跨過主動區域的邊界；

在集極層、基極層和射極島上形成傳導接點；以及在電晶體之間形成電氣交互連接。

38. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括由離子佈值法界定多數個主動區域。
39. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括界定射極島在一基一射極島界面之橫斷面處呈圓形。
40. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括將傳導接點形成為歐姆性。
41. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括將設置在射極島上的傳導接點形成為氣橋。
42. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括以GaAs形成基板、集極層和基極層。
43. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括以AlGaAs形成射極層。
44. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括將至少兩個微波異質接面雙極性電晶體形成為不具相同數目的射極島。

六、申請專利範圍

45. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，另包括以磊晶方式沈積集極層和基極層和射極層。
46. 如申請專利範圍第45項之製造一個單石微波積體電路的方法，另包括將集極層、基極層和射極層在原處予以摻雜。
47. 如申請專利範圍第37項之製造一個單石微波積體電路的方法，其中第一導電類型係n型而第2導電類型係為p型。

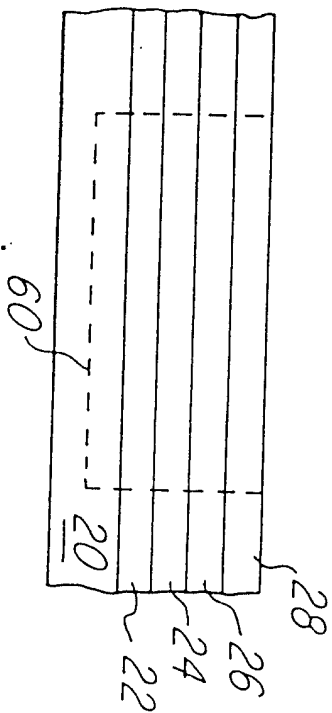
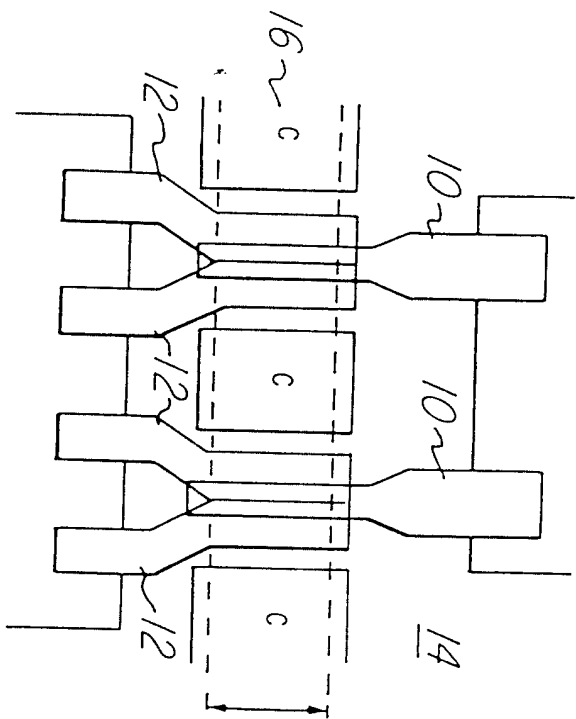
(請先閱讀背面之注意事項再填寫本頁)

裝

打

線

204412



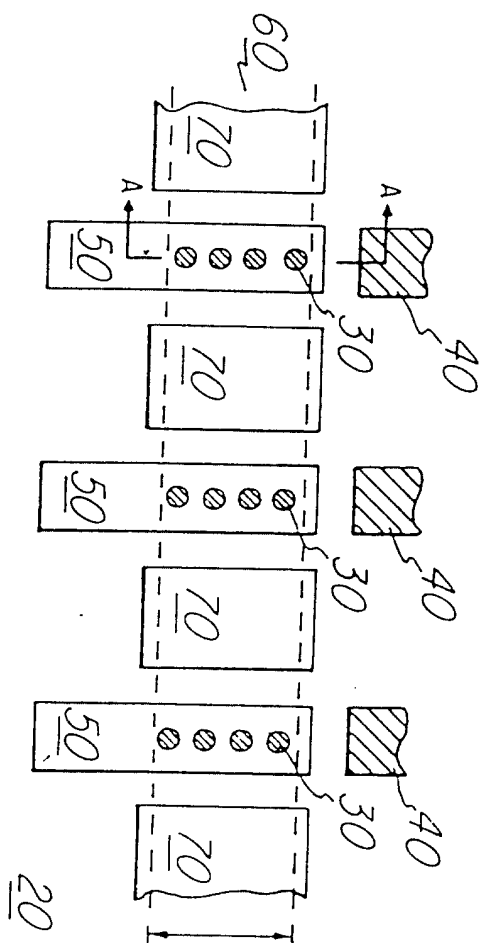


图 3

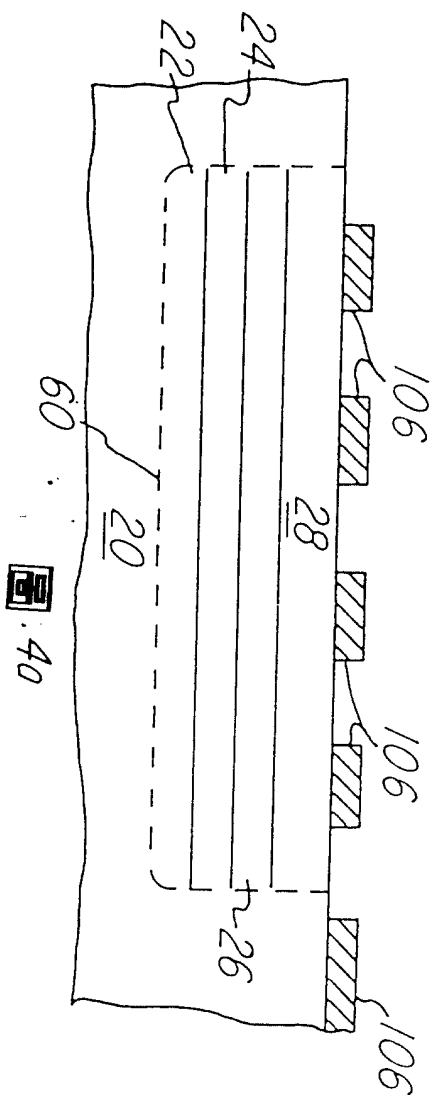
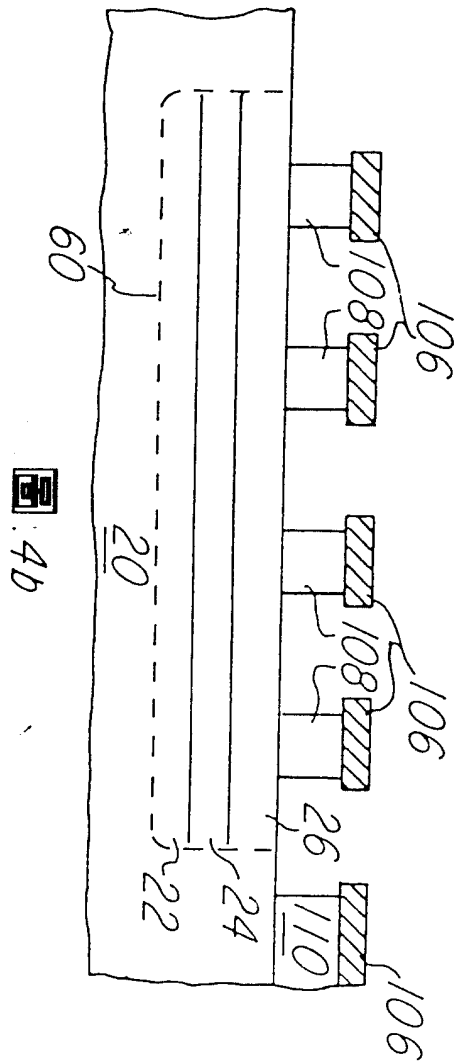
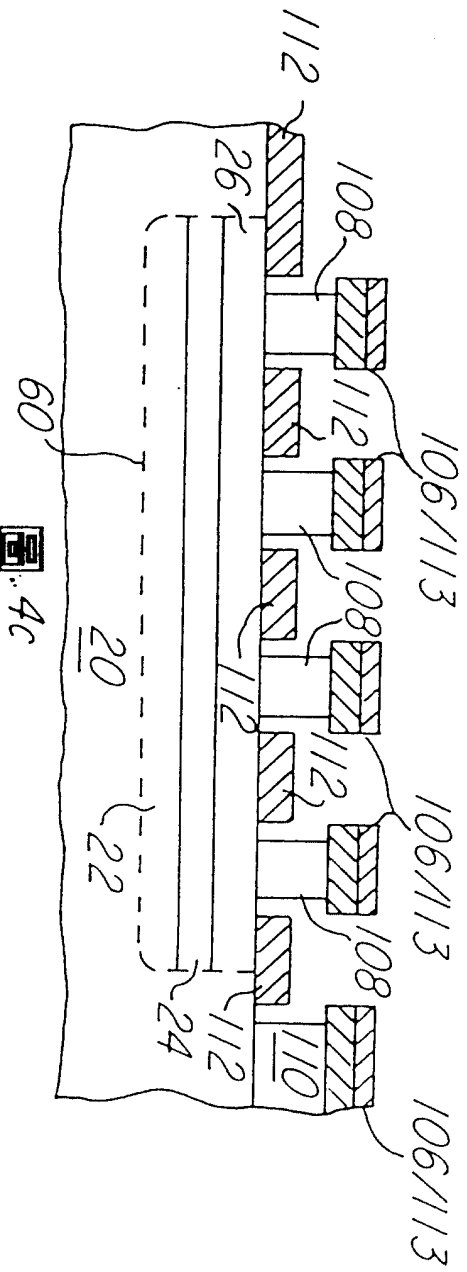


图 4



4b



4c

