(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3581053号
(P3581053)
(45)発行日　平成16年10月27日(2004.10.27)　(24)登録日　平成16年7月30日(2004.7.30)

(51)Int.Cl.[7]　F I
A63F 7/02　A63F 7/02 304Z
A63F 7/02 326Z
A63F 7/02 334

請求項の数 6　(全 44 頁)

(21)出願番号　特願平11-221649
(22)出願日　平成11年8月4日(1999.8.4)
(65)公開番号　特開2001-46598(P2001-46598A)
(43)公開日　平成13年2月20日(2001.2.20)
審査請求日　平成13年6月18日(2001.6.18)

(73)特許権者　000144153
株式会社三共
群馬県桐生市境野町６丁目４６０番地
(74)代理人　100103090
弁理士　岩壁　冬樹
(72)発明者　鵜川　詔八
群馬県桐生市相生町１丁目１６４番地の５
(72)発明者　近藤　武宏
群馬県桐生市境野町６丁目４６０番地　株式会社三共内

審査官　吉村　尚

最終頁に続く

(54)【発明の名称】遊技機

(57)【特許請求の範囲】
【請求項１】
特定入賞部への遊技媒体の入賞により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者に有利な遊技状態に制御可能な遊技機であって、
遊技機に対する電力供給が停止してもバックアップ電源によって記憶内容が保持されるＲＡＭを内蔵し遊技に供される遊技用装置を制御する遊技用装置制御マイクロコンピュータが搭載された複数の遊技用装置制御基板と、
前記複数の遊技装置制御基板とは別個に設けられ前記遊技装置制御基板で使用される各電圧を生成する電源基板とを備え、
前記電源基板に、遊技機の電源電圧が所定量低下したことを検出したときに、電源電圧が所定量低下したことを示す信号を出力する電源監視手段が設けられ、
前記電源監視手段は前記複数の遊技装置制御基板の前記遊技用装置制御マイクロコンピュータに接続され、単一の前記電源監視手段から前記複数の遊技用装置制御マイクロコンピュータに前記信号が出力され、
前記遊技用装置制御マイクロコンピュータは、
前記電源監視手段からの前記信号を割込端子に導入し、割込端子に前記信号が入力されたことに応じて、割込禁止状態に設定した後、レジスタのデータを、前記ＲＡＭに保存してから前記ＲＡＭへのアクセスを禁止し、
遊技機への電力供給が開始され、遊技状態を復帰させるときに、前記ＲＡＭに保存されていたデータをレジスタに復帰させる

ことを特徴とする遊技機。
【請求項２】
特定入賞部への遊技媒体の入賞により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者に有利な遊技状態に制御可能な遊技機であって、
遊技機に対する電力供給が停止してもバックアップ電源によって記憶内容が保持されるＲＡＭを内蔵し遊技に供される遊技用装置を制御する遊技用装置制御マイクロコンピュータが搭載された複数の遊技用装置制御基板と、
前記複数の遊技装置制御基板とは別個に設けられ前記遊技装置制御基板で使用される各電圧を生成する電源基板とを備え、
前記電源基板に、遊技機の電源電圧が所定量低下したことを検出したときに、電源電圧が所定量低下したことを示す信号を出力する電源監視手段が設けられ、
前記電源監視手段は前記複数の遊技装置制御基板の前記遊技用装置制御マイクロコンピュータに接続され、単一の前記電源監視手段から前記複数の遊技用装置制御マイクロコンピュータに前記信号が出力され、
前記遊技用装置制御マイクロコンピュータは、
前記電源監視手段からの前記信号を割込端子に導入し、割込端子に前記信号が入力されたことに応じて、ＲＡＭの記憶内容に関連した演算の結果得られるＲＡＭチェックデータを、前記ＲＡＭに保存してから前記ＲＡＭへのアクセスを禁止し、
遊技機への電力供給が開始されたときに、前記ＲＡＭチェックデータにもとづくＲＡＭのデータチェックを行い、チェック結果が正常であれば前記ＲＡＭの記憶内容を初期化せず、チェック結果が正常でなければ遊技状態を復帰させずに前記ＲＡＭの記憶内容を初期化する
ことを特徴とする遊技機。
【請求項３】
遊技用装置制御マイクロコンピュータは、ＲＡＭへのアクセスを禁止する前にレジスタのデータを前記ＲＡＭに保存する
請求項２記載の遊技機。
【請求項４】
遊技用装置制御マイクロコンピュータは、電源監視手段からの信号が割込端子に入力されたことに応じ、レジスタのデータをＲＡＭに保存する前に割込禁止状態に設定する
請求項３記載の遊技機。
【請求項５】
電源基板は、遊技用装置制御マイクロコンピュータにおけるＲＡＭの電源バックアップを行うためのバックアップ電源を備えた
請求項１から請求項４のうちいずれかに記載の遊技機。
【請求項６】
バックアップ電源は、遊技用装置制御基板における各制御回路を駆動するための電源のラインから蓄電される
請求項５記載の遊技機。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、パチンコ遊技機等の遊技機に関し、特に、遊技者の操作によって遊技領域に遊技媒体が発射され、遊技媒体が遊技領域に設けられた入賞領域に入賞すると所定の価値が遊技者に付与されるとともに、特定入賞部への遊技媒体の進入により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者に所定の遊技価値が付与可能となる遊技機に関する。
【０００２】
【従来の技術】
遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に

設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

【０００３】

特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当り」という。なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることである。

【０００４】

大当りが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当り遊技状態に移行する。そして、各開放期間において、所定個（例えば１０個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば１６ラウンド）に固定されている。なお、各開放について開放時間（例えば２９．５秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているＶゾーンへの入賞）が成立していない場合には、大当り遊技状態は終了する。

【０００５】

また、「大当り」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「リーチ」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。遊技者は、大当りをいかにして発生させるかを楽しみつつ遊技を行う。

【０００６】

遊技機における遊技進行はマイクロコンピュータ等による遊技制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、遊技制御手段からの表示制御コマンドデータに従って動作する表示制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、一般に、表示制御用のマイクロコンピュータとマイクロコンピュータの指示に応じて画像データを生成して可変表示装置側に転送するビデオディスプレイプロセッサ（ＶＤＰ）とによって制御されるが、表示制御用のマイクロコンピュータのプログラム容量は大きい。

【０００７】

従って、プログラム容量に制限のある遊技制御手段のマイクロコンピュータで可変表示装置に表示される識別情報等を制御することはできず、遊技制御手段のマイクロコンピュータとは別の表示制御用のマイクロコンピュータ（表示制御手段）が用いられる。よって、遊技の進行を制御する遊技制御手段は、表示制御手段に対して表示制御のためのコマンドを送信する必要がある。

【０００８】

また、そのような遊技機では、遊技盤にスピーカが設けられ、遊技効果を増進するために遊技の進行に伴ってスピーカから種々の効果音が発せられる。また、遊技盤にランプやＬＥＤ等の発光体が設けられ、遊技効果を増進するために遊技の進行に伴ってそれらの発光体が点灯されたり消灯されたりする。一般に、効果音を発生する音声制御は、遊技の進行を制御する遊技制御手段によって行われる。また、発光体の点灯／消灯制御は、遊技の進行を制御する遊技制御手段によって行われる。すると、遊技機の機種が異なると、効果音の発生の仕方も異なり、また、ランプやＬＥＤの点灯／消灯のパターン異なるので、それに応じて遊技制御手段の構成を変更しなければならない。従って、機種が異なると遊技制御手段を設計し直す必要があり、設計コストが増大するという問題がある。

【０００９】

そのような問題を回避するには、音声制御手段を搭載した音声制御基板を遊技制御手段と

は別に設けたり、発光体制御手段を搭載した発光体制御基板を遊技制御手段とは別に設けたりして、遊技の進行に応じて遊技制御手段から音声制御手段や発光体制御手段に制御コマンドを送る構成にすればよい。そのような構成によれば、音声制御手段や発光体制御手段が制御コマンドの解釈を変更することによって、異なる機種にも対応できる。音声制御基板および発光体制御基板以外の基板であって、制御用のマイクロプロセッサ（制御手段）を搭載した各制御基板に制御コマンドを送出する場合も、同様な構成をとることができる。なお、各制御手段における制御コマンドの解釈の変更は、ソフトウェア変更で容易に対応できる。

【００１０】

また、遊技者は、一般に、遊技媒体を遊技機を介して借り出す。その場合、遊技媒体貸出機構が遊技機に設けられる。遊技媒体貸出機構は、賞球払出を行う払出機構と共通化されることも多い。遊技媒体貸出機構と賞球払出機構とが共通化されている場合でも別個に設けられている場合でも、ともに遊技媒体を払い出す動作を行うのであるから、それらは、一般に、一つの賞球制御基板に搭載された賞球制御手段によって制御される。

【００１１】

遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、賞球制御基板に送信される。一方、遊技媒体の貸し出しは、遊技の進行とは無関係であるから、一般に、遊技制御手段を介さず賞球制御手段によって制御される。

【００１２】

【発明が解決しようとする課題】

以上のように、遊技機には、遊技制御手段の他に種々の制御手段が搭載されている。一般に、各制御手段はマイクロコンピュータで構成される。すなわち、ＲＯＭ等にプログラムが格納され、制御上一時的に発生するデータや制御進行に伴って変化するデータがＲＡＭに格納される。すると、遊技機に停電等による電源断状態が発生すると、ＲＡＭ内のデータは失われてしまう。よって、停電等からの復旧時には、最初の状態（例えば、遊技店においてその日最初に遊技機に電源投入されたときの状態）に戻さざるを得ないので、遊技者に不利益がもたらされる可能性がある。例えば、大当たり遊技中において電源断が発生し遊技機が最初の状態に戻ってしまうのでは、遊技者は大当たりの発生にもとづく利益を享受することができなくなってしまう。

【００１３】

そこで、本発明は、停電等の不測の電源断が発生したときに、必要なデータを保存して電源復旧時に電源断時の状態から遊技を再開できるとともに、必要なデータを確実に保存することができる遊技機を提供することを目的とする。

【００１４】

【課題を解決するための手段】

本発明による遊技機は、特定入賞部への遊技媒体の入賞により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者に有利な遊技状態に制御可能な遊技機であって、遊技に供される遊技用装置を制御するための遊技用装置制御基板を備え、遊技用装置制御基板には遊技用装置制御マイクロコンピュータが搭載され、遊技用装置制御マイクロコンピュータは、遊技機の電源電圧が所定量低下したことを示す信号を割込端子に導入し、割込端子に信号が入力されたことに応じてＲＡＭアクセスを禁止することを特徴とする。

【００１５】

遊技用装置制御マイクロコンピュータが、ＲＡＭアクセスを禁止する前にレジスタのデータをＲＡＭに保存するように構成されていてもよい。

【００１６】

遊技用装置制御マイクロコンピュータが、ＲＡＭアクセスを禁止する前にＲＡＭ記憶内容に関連した演算の結果得られるＲＡＭチェックデータをＲＡＭに保存するように構成されていてもよい。

【００１７】
遊技機は、遊技用装置制御基板で使用される各電圧を生成する電源基板が遊技用装置制御基板とは別個に設けられ、電源基板は、遊技用装置制御基板におけるＲＡＭの電源バックアップを行うためのバックアップ電源を備えた構成であってもよい。
【００１８】
バックアップ電源は、遊技用装置制御基板における各制御回路を駆動するための電源のラインから蓄電されるように構成されていてもよい。
【００１９】
【発明の実施の形態】
以下、本発明の一実施形態を図面を参照して説明する。
まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図１はパチンコ遊技機１を正面からみた正面図、図２はパチンコ遊技機１の内部構造を示す全体背面図、図３はパチンコ遊技機１の遊技盤を背面からみた背面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機等であってもよい。
【００２０】
図１に示すように、パチンコ遊技機１は、額縁状に形成されたガラス扉枠２を有する。ガラス扉枠２の下部表面には打球供給皿３がある。打球供給皿３の下部には、打球供給皿３からあふれた景品玉を貯留する余剰玉受皿４と打球を発射する打球操作ハンドル（操作ノブ）５が設けられている。ガラス扉枠２の後方には、遊技盤６が着脱可能に取り付けられている。また、遊技盤６の前面には遊技領域７が設けられている。
【００２１】
遊技領域７の中央付近には、複数種類の図柄を可変表示するための可変表示部９と７セグメントＬＥＤによる可変表示器１０とを含む可変表示装置８が設けられている。この実施の形態では、可変表示部９には、「左」、「中」、「右」の３つの図柄表示エリアがある。可変表示装置８の側部には、打球を導く通過ゲート１１が設けられている。通過ゲート１１を通過した打球は、玉出口１３を経て始動入賞口１４の方に導かれる。通過ゲート１１と玉出口１３との間の通路には、通過ゲート１１を通過した打球を検出するゲートスイッチ１２がある。また、始動入賞口１４に入った入賞球は、遊技盤６の背面に導かれ、始動口スイッチ１７によって検出される。また、始動入賞口１４の下部には開閉動作を行う可変入賞球装置１５が設けられている。可変入賞球装置１５は、ソレノイド１６によって開状態とされる。
【００２２】
可変入賞球装置１５の下部には、特定遊技状態（大当り状態）においてソレノイド２１によって開状態とされる開閉板２０が設けられている。この実施の形態では、開閉板２０が大入賞口を開閉する手段となる。開閉板２０から遊技盤６の背面に導かれた入賞球のうち一方（Ｖゾーン）に入った入賞球はＶカウントスイッチ２２で検出される。また、開閉板２０からの入賞球はカウントスイッチ２３で検出される。可変表示装置８の下部には、始動入賞口１４に入った入賞球数を表示する４個の表示部を有する始動入賞記憶表示器１８が設けられている。この例では、４個を上限として、始動入賞がある毎に、始動入賞記憶表示器１８は点灯している表示部を１つずつ増やす。そして、可変表示部９の可変表示が開始される毎に、点灯している表示部を１つ減らす。
【００２３】
遊技盤６には、複数の入賞口１９，２４が設けられている。遊技領域７の左右周辺には、遊技中に点滅表示される装飾ランプ２５が設けられ、下部には、入賞しなかった打球を吸収するアウト口２６がある。また、遊技領域７の外側の左右上部には、効果音を発する２つのスピーカ２７が設けられている。遊技領域７の外周には、遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃが設けられている。
【００２４】
そして、この例では、一方のスピーカ２７の近傍に、景品玉払出時に点灯する賞球ランプ

５１が設けられ、他方のスピーカ２７の近傍に、補給玉が切れたときに点灯する球切れランプ５２が設けられている。さらに、図１には、パチンコ遊技台１に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット５０も示されている。

【００２５】

カードユニット５０には、使用可能状態であるか否かを示す使用可表示ランプ１５１、カード内に記録された残額情報に端数（１００円未満の数）が存在する場合にその端数を打球供給皿３の近傍に設けられる度数表示ＬＥＤに表示させるための端数表示スイッチ１５２、カードユニット５０がいずれの側のパチンコ遊技機１に対応しているのかを示す連結台方向表示器１５３、カードユニット５０内にカードが投入されていることを示すカード投入表示ランプ１５４、記録媒体としてのカードが挿入されるカード挿入口１５５、およびカード挿入口１５５の裏面に設けられているカードリーダライタの機構を点検する場合にカードユニット５０を解放するためのカードユニット錠１５６が設けられている。

【００２６】

打球発射装置から発射された打球は、打球レールを通って遊技領域７に入り、その後、遊技領域７を下りてくる。打球が通過ゲート１１を通ってゲートスイッチ１２で検出されると、可変表示器１０の表示数字が連続的に変化する状態になる。また、打球が始動入賞口１４に入り始動口スイッチ１７で検出されると、図柄の変動を開始できる状態であれば、可変表示部９内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を１増やす。

【００２７】

可変表示部９内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当り図柄の組み合わせであると、大当り遊技状態に移行する。すなわち、開閉板２０が、一定時間経過するまで、または、所定個数（例えば１０個）の打球が入賞するまで開放する。そして、開閉板２０の開放中に打球が特定入賞領域に入賞しＶカウントスイッチ２２で検出されると、継続権が発生し開閉板２０の開放が再度行われる。継続権の発生は、所定回数（例えば１５ラウンド）許容される。

【００２８】

停止時の可変表示部９内の画像の組み合わせが確率変動を伴う大当り図柄の組み合わせである場合には、次に大当りとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、可変表示器１０における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置１５が所定時間だけ開状態になる。さらに、高確率状態では、可変表示器１０における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置１５の開放時間と開放回数が高められる。

【００２９】

次に、パチンコ遊技機１の裏面の構造について図２を参照して説明する。

可変表示装置８の背面では、図２に示すように、機構板３６の上部に景品玉タンク３８が設けられ、パチンコ遊技機１が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク３８に供給される。景品玉タンク３８内の景品玉は、誘導樋３９を通って玉払出装置に至る。

【００３０】

機構板３６には、中継基板３０を介して可変表示部９を制御する可変表示制御ユニット２９、基板ケース３２に覆われ遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）３１、可変表示制御ユニット２９と遊技制御基板３１との間の信号を中継するための中継基板３３、および景品玉の払出制御を行う賞球制御用マイクロコンピュータ等が搭載された賞球制御基板３７が設置されている。さらに、機構板３６の下部には、モータの回転力を利用して打球を遊技領域７に発射する打球発射装置３４と、遊技効果ランプ・ＬＥＤ２８ａ，２８ｂ，２８ｃ、賞球ランプ５１および球切れランプ５２に信号を送るためのランプ制御基板３５が設置されている。

【００３１】

また、図３はパチンコ遊技機１の遊技盤を背面からみた背面図である。誘導樋３９を通った玉は、図３に示されるように、球切れ検出器１８７ａ，１８７ｂを通過して玉供給樋１８６ａ，１８６ｂを経て玉払出装置９７に至る。玉払出装置９７から払い出された景品玉は、連絡口４５を通ってパチンコ遊技機１の前面に設けられている打球供給皿３に供給される。連絡口４５の側方には、パチンコ遊技機１の前面に設けられている余剰玉受皿４に連通する余剰玉通路４６が形成されている。入賞にもとづく景品玉が多数払い出されて打球供給皿３が満杯になり、ついには景品玉が連絡口４５に到達した後さらに景品玉が払い出されると景品玉は、余剰玉通路４６を経て余剰玉受皿４に導かれる。さらに景品玉が払い出されると、感知レバー４７が満タンスイッチ４８を押圧して満タンスイッチ４８がオンする。その状態では、玉払出装置９７内のステッピングモータの回転が停止して玉払出装置９７の動作が停止するとともに、必要に応じて打球発射装置３４の駆動も停止する。

【００３２】

賞球払出制御を行うために、入賞球検出スイッチ（図示せず）、始動口スイッチ１７およびＶカウントスイッチ２２からの信号が、主基板３１に送られる。入賞があったことは入賞球検出スイッチで検出される。主基板３１に入賞球検出スイッチのオン信号が送られると、主基板３１から賞球制御基板３７に賞球制御コマンドが送られる。例えば、始動口スイッチ１７のオンに対応して入賞球検出スイッチがオンすると、賞球個数「６」を示す賞球制御コマンドが出力され、カウントスイッチ２３またはＶカウントスイッチ２２のオンに対応して入賞球検出スイッチがオンすると、賞球個数「１５」を示す賞球制御コマンドが出力される。そして、それらのスイッチがオンしない場合に入賞球検出スイッチがオンすると、賞球個数「１０」を示す賞球制御コマンドが出力される。

【００３３】

図４は、主基板３１における回路構成の一例を示すブロック図である。なお、図４には、賞球制御基板３７、ランプ制御基板３５、音声制御基板７０、発射制御基板９１および表示制御基板８０も示されている。主基板３１には、プログラムに従ってパチンコ遊技機１を制御する基本回路５３と、ゲートスイッチ１２、始動口スイッチ１７、Ｖカウントスイッチ２２、カウントスイッチ２３および入賞球検出スイッチ９９からの信号を基本回路５３に与えるスイッチ回路５８と、可変入賞球装置１５を開閉するソレノイド１６および開閉板２０を開閉するソレノイド２１を基本回路５３からの指令に従って駆動するソレノイド回路５９と、始動記憶表示器１８の点灯および滅灯を行うとともに７セグメントＬＥＤによる可変表示器１０と装飾ランプ２５とを駆動するランプ・ＬＥＤ回路６０とを含む。

【００３４】

また、基本回路５３から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部９の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等をホール管理コンピュータ等のホストコンピュータに対して出力する情報出力回路６４を含む。

【００３５】

基本回路５３は、ゲーム制御用のプログラム等を記憶するＲＯＭ５４、ワークメモリとして使用されるＲＡＭ５５、制御用のプログラムに従って制御動作を行うＣＰＵ５６およびＩ／Ｏポート部５７を含む。この実施の形態では、ＲＯＭ５４，ＲＡＭ５５はＣＰＵ５６に内蔵されている。すなわち、ＣＰＵ５６は、１チップマイクロコンピュータである。なお、１チップマイクロコンピュータは、少なくともＲＡＭ５５が内蔵されていればよく、ＲＯＭ５４およびＩ／Ｏポート部５７は外付けであってもよい。

【００３６】

さらに、主基板３１には、電源投入時に基本回路５３をリセットするための初期リセット回路６５と、定期的（例えば、２ｍｓ毎）に基本回路５３にリセットパルスを与えてゲーム制御用のプログラムを先頭から再度実行させるための定期リセット回路６６と、基本回路５３から与えられるアドレス信号をデコードしてＩ／Ｏポート部５７のうちのいずれかのＩ／Ｏポートを選択するための信号を出力するアドレスデコード回路６７とが設けられている。

なお、玉払出装置９７から主基板３１に入力されるスイッチ情報もあるが、図４ではそれらは省略されている。

【００３７】

遊技球を打撃して発射する打球発射装置は発射制御基板９１上の回路によって制御される駆動モータ９４で駆動される。そして、駆動モータ９４の駆動力は、操作ノブ５の操作量に従って調整される。すなわち、発射制御基板９１上の回路によって、操作ノブ５の操作量に応じた速度で打球が発射されるように制御される。

【００３８】

図５は、表示制御基板８０内の回路構成を、可変表示部９の一実現例であるＣＲＴ８２および主基板３１の出力ポート（ポートＡ，Ｂ）５７１，５７２および出力バッファ回路６３とともに示すブロック図である。出力ポート５７１からは８ビットのデータが出力され、出力ポート５７２からは１ビットのストローブ信号（ＩＮＴ信号）が出力される。

【００３９】

表示制御用ＣＰＵ１０１は、制御データＲＯＭ１０２に格納されたプログラムに従って動作し、主基板３１からノイズフィルタ１０７および入力バッファ回路１０５を介してストローブ信号が入力されると、入力バッファ回路１０５を介して表示制御コマンドを受信する。入力バッファ回路１０５として、例えば汎用ＩＣである７４ＨＣ２４４を使用することができる。なお、表示制御用ＣＰＵ１０１がＩ／Ｏポートを内蔵していない場合には、入力バッファ回路１０５と表示制御用ＣＰＵ１０１との間に、Ｉ／Ｏポートが設けられる。

【００４０】

そして、表示制御用ＣＰＵ１０１は、受信した表示制御コマンドに従って、ＣＲＴ８２に表示される画面の表示制御を行う。具体的には、表示制御コマンドに応じた指令をＶＤＰ１０３に与える。ＶＤＰ１０３は、キャラクタＲＯＭ８６から必要なデータを読み出す。ＶＤＰ１０３は、入力したデータに従ってＣＲＴ８２に表示するための画像データを生成し、その画像データをＶＲＡＭ８７に格納する。そして、ＶＲＡＭ８７内の画像データは、Ｒ，Ｇ，Ｂ信号に変換され、Ｄ－Ａ変換回路１０４でアナログ信号に変換されてＣＲＴ８２に出力される。

【００４１】

なお、図５には、ＶＤＰ１０３をリセットするためのリセット回路８３、ＶＤＰ１０３に動作クロックを与えるための発振回路８５、および使用頻度の高い画像データを格納するキャラクタＲＯＭ８６も示されている。キャラクタＲＯＭ８６に格納される使用頻度の高い画像データとは、例えば、ＣＲＴ８２に表示される人物、動物、または、文字、図形もしくは記号等からなる画像などである。この実施の形態では、表示制御用ＣＰＵ１０１は、１チップマイクロコンピュータであり、少なくともＲＡＭが内蔵されている。

【００４２】

入力バッファ回路１０５は、主基板３１から表示制御基板８０へ向かう方向にのみ信号を通過させることができる。従って、表示制御基板８０側から主基板３１側に信号が伝わる余地はない。表示制御基板８０内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板３１側に伝わることはない。なお、出力ポート５７１，５７２の出力をそのまま表示制御基板８０に出力してもよいが、単方向にのみ信号伝達可能な出力バッファ回路６３を設けることによって、主基板３１から表示制御基板８０への一方向性の信号伝達をより確実にすることができる。また、高周波信号を遮断するノイズフィルタ１０７として、例えば３端子コンデンサやフェライトビーズが使用されるが、ノイズフィルタ１０７の存在によって、表示制御コマンドに基板間でノイズが乗ったとしても、その影響は除去される。

【００４３】

図６は、主基板３１における音声制御コマンドの信号送信部分および音声制御基板７０の構成例を示すブロック図である。この実施の形態では、遊技進行に応じて、遊技領域７の外側に設けられているスピーカ２７の音声出力を指示するための音声制御コマンドが、主

基板３１から音声制御基板７０に出力される。

【００４４】

図６に示すように、音声制御コマンドは、基本回路５３におけるＩ／Ｏポート部５７の出力ポート（出力ポートＣ，Ｄ）５７３，５７４から出力される。出力ポート５７３からは８ビットのデータが出力され、出力ポート５７４からは１ビットのストローブ信号（ＩＮＴ信号）が出力される。音声制御基板７０において、主基板３１からの各信号は、入力バッファ回路７０５を介して音声制御用ＣＰＵ７０１に入力する。なお、音声制御用ＣＰＵ７０１がＩ／Ｏポートを内蔵していない場合には、入力バッファ回路７０５と音声制御用ＣＰＵ７０１との間に、Ｉ／Ｏポートが設けられる。また、この実施の形態では、音声制御用ＣＰＵ７０１は、１チップマイクロコンピュータであり、少なくともＲＡＭが内蔵されている。

【００４５】

そして、例えばディジタルシグナルプロセッサによる音声合成回路７０２は、音声制御用ＣＰＵ７０１の指示に応じた音声や効果音を発生し音量切替回路７０３に出力する。音量切替回路７０３は、音声制御用ＣＰＵ７０１の出力レベルを、設定されている音量に応じたレベルにして音量増幅回路７０４に出力する。音量増幅回路７０４は、増幅した音声信号をスピーカ２７に出力する。

【００４６】

入力バッファ回路７０５として、例えば、汎用のＣＭＯＳ－ＩＣである７４ＨＣ２４４が用いられる。７４ＨＣ２４４のイネーブル端子には、常にローレベル（ＧＮＤレベル）が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち主基板３１からの信号レベルに確定している。よって、音声制御基板７０側から主基板３１側に信号が伝わる余地はない。従って、音声制御基板７０内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板３１側に伝わることはない。なお、入力バッファ回路７０５の入力側にノイズフィルタを設けてもよい。

【００４７】

また、主基板３１において、出力ポート５７４，５７５の外側にバッファ回路６７が設けられている。バッファ回路６７として、例えば、汎用のＣＭＯＳ－ＩＣである７４ＨＣ２４４が用いられる。イネーブル端子には常にローレベル（ＧＮＤレベル）が与えられている。このような構成によれば、外部から主基板３１の内部に入力される信号が阻止されるので、音声制御基板７０から主基板３１に信号が与えられる可能性がある信号ラインをさらに確実になくすことができる。

【００４８】

図７は、主基板３１およびランプ制御基板３５における信号送受信部分を示すブロック図である。この実施の形態では、遊技領域７の外側に設けられている遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃの点灯／消灯と、賞球ランプ５１および球切れランプ５２の点灯／消灯を示すランプ制御コマンドが出力される。

【００４９】

図７に示すように、ランプ制御に関するランプ制御コマンドは、基本回路５３におけるＩ／Ｏポート部５７の出力ポート（出力ポートＥ，Ｆ）５７５，５７６から出力される。出力ポート５７５は８ビットのデータを出力し、出力ポート５７６は１ビットのストローブ信号（ＩＮＴ信号）を出力する。ランプ制御基板３５において、主基板３１からの制御コマンドは、入力バッファ回路３５５を介してランプ制御用ＣＰＵ３５１に入力する。なお、ランプ制御用ＣＰＵ３５１がＩ／Ｏポートを内蔵していない場合には、入力バッファ回路３５５とランプ制御用ＣＰＵ３５１との間に、Ｉ／Ｏポートが設けられる。また、この実施の形態では、ランプ制御用ＣＰＵ３５１は、１チップマイクロコンピュータであり、少なくともＲＡＭが内蔵されている。

【００５０】

ランプ制御基板３５において、ランプ制御用ＣＰＵ３５１は、各制御コマンドに応じて定義されている遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃの点灯／消灯パ

ターンに従って、遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃに対して点灯／消灯信号を出力する。点灯／消灯信号は、遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃに出力される。なお、点灯／消灯パターンは、ランプ制御用ＣＰＵ３５１の内蔵ＲＯＭまたは外付けＲＯＭに記憶されている。

【００５１】

主基板３１において、ＣＰＵ５６は、賞球時に賞球ランプ点灯を指示する制御コマンドを出力し、遊技盤裏面の遊技球補給路に設置されている球切れ検出センサがオンすると球切れランプ点灯を指示する制御コマンドを出力する。ランプ制御基板３５において、各制御コマンドは、入力バッファ回路３５５を介してランプ制御用ＣＰＵ３５１に入力する。ランプ制御用ＣＰＵ３５１は、それらの制御コマンドに応じて、賞球ランプ５１および球切れランプ５２を点灯／消灯する。

【００５２】

入力バッファ回路３５５として、例えば、汎用のＣＭＯＳ－ＩＣである７４ＨＣ２４４が用いられる。７４ＨＣ２４４のイネーブル端子には、常にローレベル（ＧＮＤレベル）が与えられている。よって、各バッファの出力レベルは、入力レベルすなわち主基板３１からの信号レベルに確定している。従って、ランプ制御基板３５側から主基板３１側に信号が伝わる余地はない。たとえ、ランプ制御基板３５内の回路に不正改造が加えられても、不正改造によって出力される信号がメイン基板３１側に伝わることはない。なお、入力バッファ回路３５５の入力側にノイズフィルタを設けてもよい。

【００５３】

図７に示された構成では、ランプ制御基板３５から主基板３１に信号が与えらる可能性がある信号ラインをなくすことができる。すなわち、主基板３１からランプ制御基板３５への信号の一方向性が確実になり、主基板３１における遊技制御に対してランプ制御基板３５が影響を及ぼす可能性がなくなる。この結果、例えば、ランプ制御基板３５において、主基板３１の基本回路５３に大当りを生じさせるための不正信号を与えるような改造を行ったとしても、不正信号を主基板３１に伝えることはできない。

【００５４】

さらに、主基板３１において、出力ポート５７５，５７６の外側にバッファ回路６２が設けられている。バッファ回路６２として、例えば、汎用のＣＭＯＳ－ＩＣである７４ＨＣ２４４が用いられる。イネーブル端子には常にローレベル（ＧＮＤレベル）が与えられている。このような構成によれば、外部から主基板３１の内部に入力される信号が阻止されるので、ランプ制御基板３５から主基板３１に信号が与えらる可能性がある信号ラインをより確実になくすことができる。

【００５５】

なお、図７では、ランプ制御用ＣＰＵ３５１の内蔵出力ポートから遊技効果ＬＥＤ２８ａ、遊技効果ランプ２８ｂ，２８ｃ、賞球ランプ５１および球切れランプ５２に点灯または消灯を指示する信号が出力されているが、実際には、出力ポートと各ランプ・ＬＥＤとの間にドライバ回路が挿入されている。

【００５６】

図８は、賞球制御基板３７および玉払出装置９７の構成要素などの賞球に関連する構成要素を示すブロック図である。図８に示すように、入賞球検出スイッチ９９および満タンスイッチ４８からの検出信号は、中継基板７１を介して主基板３１のＩ／Ｏポート５７に入力される。入賞球排出ソレノイド１２７は、遊技盤裏面の入賞球流下路の途中に設けられている玉止め部材を駆動するものであって、玉止め部材に入賞球が停止している状態で入賞球検出スイッチ９９によって入賞球が検出される。また、満タンスイッチ４８は、余剰玉受皿４の満タンを検出するスイッチである。

【００５７】

球切れ検出スイッチ１６７および球切れスイッチ１８７（１８７ａ，１８７ｂ）からの検出信号は、中継基板７２および中継基板７１を介して主基板３１のＩ／Ｏポート５７に入力される。球切れ検出スイッチ１６７は景品玉タンク３８内の補給玉の不足を検出するス

イッチであり、球切れスイッチ１８７は、景品玉通路内の景品玉の有無を検出するスイッチである。

【００５８】

主基板３１のＣＰＵ５６は、球切れ検出スイッチ１６７または球切れスイッチ１８７からの検出信号が球切れ状態を示しているか、または、満タンスイッチ４８からの検出信号が満タン状態を示していると、球貸し禁止を指示する賞球制御コマンドを送出する。球貸し禁止を指示する賞球制御コマンドを受信すると、賞球制御基板３７の賞球制御用ＣＰＵ３７１は、球貸し処理を停止する。

【００５９】

さらに、賞球カウントスイッチ３０１Ａからの検出信号も、中継基板７２および中継基板７１を介して主基板３１のＩ／Ｏポート５７に入力される。また、主基板３１のＩ／Ｏポート５７から入賞球排出ソレノイド１２７への駆動信号は、中継基板７１を介して入賞球排出ソレノイド１２７に供給される。なお、賞球カウントスイッチ３０１Ａは、玉払出装置９７の賞球機構部分に設けられ、実際に払い出された賞球を検出する。

【００６０】

入賞があると、賞球制御基板３７には、主基板３１の出力ポート（ポートＧ，Ｈ）５７７，５７８から賞球個数を示す賞球制御コマンドが入力される。出力ポート５７７は８ビットのデータを出力し、出力ポート５７８は１ビットのストローブ信号（ＩＮＴ信号）を出力する。賞球個数を示す賞球制御コマンドは、入力バッファ回路３７３を介してＩ／Ｏポート３７２ａに入力される。賞球制御用ＣＰＵ３７１は、Ｉ／Ｏポート３７２ａを介して賞球制御コマンドを入力し、賞球制御コマンドに応じて玉払出装置９７を駆動して賞球払出を行う。なお、この実施の形態では、賞球制御用ＣＰＵ３７１は、１チップマイクロコンピュータであり、少なくともＲＡＭが内蔵されている。

【００６１】

入力バッファ回路３７３における各バッファは、主基板３１から賞球制御基板３７へ向かう方向にのみ信号を通過させることができる。従って、賞球制御基板３７側から主基板３１側に信号が伝わる余地はない。賞球制御基板３７内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板３１側に伝わることはない。なお、入力バッファ回路３７３の入力側にノイズフィルタを設けてもよい。

【００６２】

また、主基板３１において、賞球制御コマンドを出力する出力ポート５７７，５７８の外側にバッファ回路６８が設けられている。このような構成によれば、外部から主基板３１の内部に入力される信号が阻止されるので、賞球制御基板３７から主基板３１に信号が与えらる可能性がある信号ラインをより確実になくすことができる。

【００６３】

また、賞球制御用ＣＰＵ３７１は、出力ポート３７２ｇを介して、貸し玉数を示す球貸し個数信号をターミナル基板１６０に出力し、ブザー駆動信号をブザー基板７５に出力する。ブザー基板７５にはブザーが搭載されている。さらに、出力ポート３７２ｅを介して、エラー表示用ＬＥＤ３７４にエラー信号を出力する。

【００６４】

さらに、賞球制御基板３７の入力ポート３７２ｂには、中継基板７２を介して、賞球カウントスイッチ３０１Ａの検出信号および球貸しカウントスイッチ３０１Ｂの検出信号が入力される。球貸しカウントスイッチ３０１Ｂは、実際に貸し出された遊技球を検出する。賞球制御基板３７からの払出モータ２８９への駆動信号は、出力ポート３７２ｃおよび中継基板７２を介して玉払出装置９７の賞球機構部分における払出モータ２８９に伝えられる。

【００６５】

カードユニット５０には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット５０には、端数表示スイッチ１５２、連結台方向表示器１５３、カード投入表示ランプ１５４およびカード挿入口１５５が設けられている（図１参照）。

残高表示基板７４には、打球供給皿３の近傍に設けられている度数表示ＬＥＤ、球貸しスイッチおよび返却スイッチが接続される。

【００６６】

残高表示基板７４からカードユニット５０には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が賞球制御基板３７を介して与えられる。また、カードユニット５０から残高表示基板７４には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が賞球制御基板３７を介して与えられる。カードユニット５０と賞球制御基板３７の間では、ユニット操作信号（ＢＲＤＹ信号）、球貸し要求信号（ＢＲＱ信号）、球貸し完了信号（ＥＸＳ信号）およびパチンコ機動作信号（ＰＲＤＹ信号）がＩ／Ｏポート３７２ｆを介してやりとりされる。

【００６７】

パチンコ遊技機１の電源が投入されると、賞球制御基板３７の賞球制御用ＣＰＵ３７１は、カードユニット５０にＰＲＤＹ信号を出力する。カードユニット５０においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、賞球制御基板３７にＢＲＤＹ信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、賞球制御基板３７にＢＲＱ信号を出力する。そして、賞球制御基板３７の賞球制御用ＣＰＵ３７１は、払出モータ２８９を駆動し、所定個の貸し玉を遊技者に払い出す。そして、払出が完了したら、賞球制御用ＣＰＵ３７１は、カードユニット５０にＥＸＳ信号を出力する。

【００６８】

以上のように、カードユニット５０からの信号は全て賞球制御基板３７に入力される構成になっている。従って、球貸し制御に関して、カードユニット５０から主基板３１に信号が入力されることはなく、主基板３１の基本回路５３にカードユニット５０の側から不正に信号が入力される余地はない。なお、主基板３１および賞球制御基板３７には、ソレノイドおよびモータやランプを駆動するためのドライバ回路が搭載されているが、図８では、それらの回路は省略されている。

【００６９】

この実施の形態では、上述した主基板３１のＣＰＵ５６、表示制御用ＣＰＵ１０１、音声制御用ＣＰＵ７０１、ランプ制御用ＣＰＵ３５１および賞球制御用ＣＰＵ３７１は、バックアップ電源でバックアップされている。すなわち、遊技機に対する電力供給が停止しても、それらのＣＰＵは、所定期間は動作可能になっている。また、上述したように、主基板３１のＣＰＵ５６、表示制御用ＣＰＵ１０１、音声制御用ＣＰＵ７０１、ランプ制御用ＣＰＵ３５１および賞球制御用ＣＰＵ３７１は、ＣＰＵ部の他に少なくともＲＡＭを内蔵しているので、遊技機に対する電力供給が停止しても、バックアップ電源によって内蔵ＲＡＭは記憶内容を保持することができる。そして、各ＣＰＵは、電源電圧の低下を検出すると、所定の処理を行った後に電源復旧待ちの状態になる。

【００７０】

図９は、電源監視および電源バックアップのためのＣＰＵ周りの一構成例を示すブロック図である。図９に示すように、電源監視用ＩＣ９０２は、１２Ｖ電圧を導入し、１２Ｖ電圧を監視することによって電源断の発生を検出する。具体的には、１２Ｖ電圧が所定値（例えば１２Ｖの８０％）以下になったら、電源断が生ずるとして、ＣＰＵ９０１に割り込み信号を与える。ＣＰＵ９０１において、この割り込みは、外部割込（ＩＮＴ）端子に入力されている。また、ＩＮＴ端子に入力される信号は、ＣＰＵ９０１が内蔵する入力ポートにも入力されている。従って、ＣＰＵ９０１は、割込処理において、入力ポートのレベルを確認することによって電源断の発生を検出することができる。なお、入力ポートに割り込み信号を供給せずに、割込端子にのみ電源監視用ＩＣ９０２からの信号を接続する構成でもよい。

【００７１】

電源監視用ＩＣ９０２が電源断を検知するための所定値は、通常時の電圧より低いが、賞

球制御用ＣＰＵ３７１が暫くの間動作しうる程度の電圧である。また、電源監視用ＩＣ９０２が、ＣＰＵ９０１が必要とする電圧（この例では＋５Ｖ）よりも高い電圧を監視するように構成されているので、ＣＰＵ９０１が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧として＋１２Ｖを用いる場合には、遊技機の各種スイッチに供給される電圧が＋１２Ｖであることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、＋１２Ｖ電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、同じ＋１２Ｖ電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

【００７２】

＋５Ｖ電源から電力が供給されていない間、ＣＰＵ９０１は、電源基板から供給されるバックアップ電源によって動作する。そして、＋５Ｖ電源が復旧すると、初期リセット回路９０５からリセット信号が発せられるので、ＣＰＵ９０１は、通常の動作状態に復帰する。なお、初期リセット回路９０５は、図４に示された初期リセット回路６５と同様の構成である。すなわち、電源電位が０Ｖから立ち上がって所定レベルになると、ＣＰＵ９０１に与えられる初期リセット信号を例えばハイレベルに変化させる。

【００７３】

ここでは、初期リセット回路９０５からリセット信号によって通常の動作状態に復帰するとしたが、ＣＰＵ９０１の入力ポートに電源監視用ＩＣ９０２からの割込信号が導入されている場合には、その信号レベルが電源断時のレベルを示さなくなったことを検知して電源が復旧したことを検出し、通常の動作状態に復帰するようにしてもよい。

【００７４】

図９に示すような構成は、各遊技用装置制御基板（この実施の形態では主基板３１、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７）に適用される。すなわち、各基板に電源監視用ＩＣ９０２が搭載される。また、ＣＰＵ９０１周りの構成は、主基板３１のＣＰＵ５６、表示制御用ＣＰＵ１０１、音声制御用ＣＰＵ７０１、ランプ制御用ＣＰＵ３５１および賞球制御用ＣＰＵ３７１に適用される。

【００７５】

図１０は、電源基板９１０の一構成例を示すブロック図である。電源基板９１０は、主基板３１、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７等の制御基板と独立して設置され、遊技機内の各制御基板および機構部品が使用する電圧を生成する。この例では、ＡＣ２４Ｖ、ＤＣ＋３０Ｖ、ＤＣ＋２１Ｖ、ＤＣ＋１２ＶおよびＤＣ＋５Ｖを生成する。また、バックアップ電源となるコンデンサ９１６は、ＤＣ＋５Ｖすなわち各基板上のＩＣ等を駆動する電源のラインから充電される。

【００７６】

トランス９１１は、交流電源からの交流電圧を２４Ｖに変換する。ＡＣ２４Ｖ電圧は、コネクタ９１５に出力される。また、整流回路９１２は、ＡＣ２４Ｖから所定電圧の直流電圧を生成し、ＤＣ－ＤＣコンバータ９１３に供給する。ＤＣ－ＤＣコンバータ９１３は、＋３０Ｖ、＋２１Ｖ、＋１２Ｖおよび＋５Ｖを生成してコネクタ９１５に出力する。コネクタ９１５は例えば中継基板に接続され、中継基板から各制御基板および機構部品に必要な電圧の電力が供給される。

【００７７】

ＤＣ－ＤＣコンバータ９１３からの＋５Ｖラインは分岐してバックアップ＋５Ｖラインを形成する。バックアップ＋５Ｖラインとグラウンドレベルとの間には大容量のコンデンサ９１６が接続されている。コンデンサ９１６は、遊技機に対する電力供給が遮断されたときの各ＣＰＵに対するバックアップ電源となる。

【００７８】

なお、バックアップ電源として、＋５Ｖ電源から充電可能な電池を用いてもよい。電池を用いる場合には、＋５Ｖ電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電池が用いられる。

【００７９】
図１１は、他の構成の電源基板９１０を制御基板９２０とともに示すブロック図である。制御基板９２０は、主基板３１、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７等に相当するものである。この例では、電源基板９１０では、ＡＣ２４Ｖ、ＤＣ＋３０Ｖ、ＤＣ＋２１Ｖ、ＤＣ＋１２ＶおよびＤＣ＋８Ｖが生成される。
【００８０】
そして、制御基板９２０には、電源基板９１０から供給される＋８Ｖを＋５Ｖに変換する８Ｖ－５Ｖ変換回路９２１が設けられている。制御基板９２０上の＋５Ｖで動作する制御回路９２２には８Ｖ－５Ｖ変換回路９２１から電圧供給される。８Ｖ－５Ｖ変換回路９２１は、例えばスイッチングレギュレータ等を含むＤＣ－ＤＣコンバータで構成される。なお、制御回路９２２は、制御基板９２０上の各回路であるが、図１１では、ＣＰＵに相当するものが図示されている。
【００８１】
図１１に示す電源回路９１０において、バックアップ電源用のコンデンサ９１６が設置されている。この例では、コンデンサ９１６は、制御基板９２０上の８Ｖ－５Ｖ変換回路９２１が生成した＋５Ｖ電圧によって充電される。遊技機に対する電力供給が遮断されたときに、各ＣＰＵに対してコンデンサ９１６から電源供給されることは図１０に示された構成の場合と同様である。また、コンデンサ９１６に代えて電池を用いてもよいことも同様である。
【００８２】
各制御基板において使用される＋５Ｖ電圧を電源基板９１０でまとめて生成する場合には、電源基板９１０から各制御基板に配線される電源ラインにノイズがのる可能性があるが、図１１に示されたように、＋５Ｖよりも高い電圧を各制御基板に供給し、各制御基板において、その電圧から＋５Ｖを生成するように構成すれば、基板間の電源ラインにのったノイズをキャンセルすることができる。
【００８３】
次に遊技機の動作について説明する。
図１２は、主基板３１におけるＣＰＵ５６の動作を示すフローチャートである。上述したように、この処理は、定期リセット回路６６が発するリセットパルスによって、例えば２ｍｓ毎に起動される。ＣＰＵ５６が起動されると、ＣＰＵ５６は、まず、クロックモニタ制御を動作可能状態にするために、内蔵されているクロックモニタレジスタをクロックモニタイネーブル状態に設定する（ステップＳ１）。なお、クロックモニタ制御とは、入力されるクロック信号の低下または停止を検出すると、ＣＰＵ５６の内部で自動的にリセットを発生する制御である。
【００８４】
次いで、ＣＰＵ５６は、スタックポインタの指定アドレスをセットするためのスタックセット処理を行う（ステップＳ２）。この例では、スタックポインタに００ＦＦＨが設定される。そして、システムチェック処理を行う（ステップＳ３）。システムチェック処理では、ＣＰＵ５６は、ＲＡＭ５５にエラーが含まれているか判定し、エラーが含まれている場合には、ＲＡＭ５５を初期化するなどの処理を行う。さらに、電源投入時であれば、バックアップＲＡＭ領域にセーブされているレジスタ内容を復元する制御も行う。
【００８５】
次に、表示制御基板８０に送出される表示制御コマンドをＲＡＭ５５の所定の領域に設定する処理を行った後に（表示制御データ設定処理：ステップＳ４）、表示制御コマンドを出力する処理を行う（表示制御データ出力処理：ステップＳ５）。
【００８６】
次いで、各種出力データの格納領域の内容を各出力ポートに出力する処理を行う（データ出力処理：ステップＳ６）。また、ホール管理用コンピュータに出力される大当り情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理を行

う（ステップＳ８）。さらに、パチンコ遊技機１の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップＳ９）。

【００８７】

次に、遊技制御に用いられる大当り判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップＳ１０）。

【００８８】

次に、ＣＰＵ５６は、特別図柄プロセス処理を行う（ステップＳ１１）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機１を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップＳ１２）。普通図柄プロセス処理では、７セグメントＬＥＤによる可変表示器１０を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【００８９】

さらに、ＣＰＵ５６は、スイッチ回路５８を介して、ゲートセンサ１２、始動口センサ１７およびカウントセンサ２３の状態を入力し、各入賞口や入賞装置に対する入賞があったか否か判定する（スイッチ処理：ステップＳ１３）。

【００９０】

ＣＰＵ５６は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップＳ１５）。

【００９１】

また、ＣＰＵ５６は、賞球制御基板３７との間の信号処理を行う（ステップＳ１６）。すなわち、所定の条件が成立すると賞球制御基板３７に賞球制御コマンドを出力する。賞球制御基板３７に搭載されている賞球制御用ＣＰＵは、賞球制御コマンドに応じて玉払出装置９７を駆動する。その後、ＣＰＵ５６は、次に定期リセット回路６６からリセットパルスが与えられるまで、ステップＳ１７の表示用乱数更新処理を繰り返す。

【００９２】

図１３は、ＣＰＵ５６の割込処理を示すフローチャートである。上述したように、電源監視用ＩＣ９０２が電源電圧の低下を検出すると、ＣＰＵ５６に割込がかかる。なお、割込端子に他の割込要因も入力されるような場合や電源電圧低下の検出をより確実にしたいような場合には、図９に示されているように入力ポートに電源監視用ＩＣ９０２の出力を導入し、割込処理において入力ポートのレベルを確認して電源電圧の低下による割込が発生したことを検知してもよい。

【００９３】

電源電圧の低下にもとづく割込処理では、まず、ＣＰＵ５６は、割込禁止状態に設定する（ステップＳ２０）。よって、以後、割込がかかることはない。従って、電源電圧低下中にＣＰＵ５６に複数回の割込がかかることはない。

【００９４】

そして、ＣＰＵ５６は、電源断時処理として、各レジスタの内容をバックアップＲＡＭ領域に格納する（ステップＳ２１）。また、バックアップＲＡＭ領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップＳ２２）、初期値およびバックアップＲＡＭ領域に退避させた全データについて順次排他的論理和をとって（ステップＳ２３）、最終的な演算値をバックアップパリティデータ領域に設定する（ステップＳ２４）。

【００９５】

さらに、ＣＰＵ５６は、適当な報知手段を用いて電源バックアップ中であることを遊技者や遊技店員に報知する（ステップＳ２５）。適当な報知手段とは、例えば、ブザーや遊技盤に設けられているランプである。なお、それらにもバックアップ電源が供給されている必要があるが、この実施の形態では、図１０に示されたような電源基板９１０から電源供

給される。バックアップ中の電力消費を小さくするために、遊技盤の前面側に遊技者等が視認可能に報知専用のＬＥＤを設け、そのＬＥＤを点灯させてもよい。遊技機に対する電力供給が停止した場合には、遊技制御は中断されるが、報知手段を設けることによって、遊技者や遊技店員は、容易にそのことを認識できる。

【００９６】

そして、ＣＰＵ５６は、ＲＡＭアクセスを禁止状態にして（ステップＳ２６）、以後、遊技制御を停止する。停止状態は、遊技機への電力供給が再開されるまで継続する。

【００９７】

図１４は、図１２に示されたメイン処理におけるシステムチェック処理（ステップＳ３）の処理の一例を示すフローチャートである。遊技機への電力供給が再開されると、初期リセット回路６５からＣＰＵ５６に初期リセット信号が入力される。ＣＰＵ５６は、初期リセット信号に応じてメイン処理を開始するのであるが、システムチェック処理において、まず、電源投入時か否か確認する（ステップＳ４１）。なお、ＣＰＵ５６から見ると、不測の電源断後に遊技機への電力供給が再開されたときも電源投入時である。

【００９８】

電源投入時であれば、ＲＡＭアクセス許可状態とする（ステップＳ４２）。そして、バックアップＲＡＭ領域のデータチェック（この例ではパリティチェック）を行う（ステップＳ４３）。不測の電源断が生じた後に復旧した場合には、バックアップＲＡＭ領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常にならないのは、一般に、遊技店における営業開始時の電源投入時である。そこで、チェック結果が正常でなければ（ステップＳ４４）、レジスタおよびＲＡＭ領域をクリアする（ステップＳ４５）。また、必要な初期設定を行う。

【００９９】

チェック結果が正常であれば（ステップＳ４４）、レジスタクリアのみを行う（ステップＳ４６）。また、必要ならばバックアップＲＡＭ領域以外の領域（電源断して復旧時に保存されているいる必要のない領域）のクリア処理も行う。なお、レジスタクリア等を行うのは、一旦、初期状態（遊技店における営業開始時の電源投入時の状態）に戻すためであり、後述するように、一定時間後に、レジスタ状態は、不測の電源断時の状態に戻される。

【０１００】

そして、ＣＰＵ５６は、表示制御基板８０、音声制御基板７０およびランプ制御基板３５に初期状態復帰要求コマンドを送出する制御を行い（ステップＳ４７）、遊技状態復帰用タイマをスタートさせる（ステップＳ４８）。なお、ステップＳ４７では、ＣＰＵ５６は、所定のＲＡＭ領域にコマンドをセットするとともに、コマンド送出要求フラグをセットする。表示制御基板８０での表示制御コマンドに対するコマンド送出要求は、メイン処理における表示制御データ設定処理（ステップＳ４）で受け付けられ、その他の制御基板に対するコマンド送出要求は、メイン処理における例えばデータ出力処理（ステップＳ６）で受け付けられる。

【０１０１】

ステップＳ４１において電源投入時でないことが確認されると、ＣＰＵ５６は、遊技状態復帰用タイマが動作中であるか否か確認する（ステップＳ５０）。動作中であればタイムアウトしたか否かを確認する（ステップＳ５１）。タイムアウトしていれば、表示制御基板８０、音声制御基板７０およびランプ制御基板３５に遊技状態復帰要求コマンドを送出する制御を行うとともに（ステップＳ５３）、バックアップＲＡＭ領域に保存されていたレジスタの内容を本来のレジスタに復帰させる（ステップＳ５４）。

【０１０２】

図１５は、バックアップパリティデータ作成方法を説明するための説明図である。ただし、図１５に示す例では、簡単のために、バックアップデータＲＡＭ領域に退避されるデータのサイズを３バイトとする。電源電圧低下による割込処理において、図１５の左側に示すように、バックアップチェックデータ領域に、初期データ（この例では００Ｈ）が設定

される。次に、「００Ｈ」と「Ｆ０Ｈ」の排他的論理和がとられ、その結果と「１６Ｈ」の排他的論理和がとられる。さらに、その結果と「ＤＦＨ」の排他的論理和がとられる。そして、その結果（この例では「３９Ｈ」）がバックアップパリティデータ領域に設定される。

【０１０３】

電源が再投入されたときには、図１４に示されたステップＳ４３でパリティ診断が行われるが、図１５の右側はパリティ診断の例を示す説明図である。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図１５の左側に示すようなデータがバックアップ領域に設定されている。

【０１０４】

ステップＳ８１３の処理において、ＣＰＵ５６は、バックアップＲＡＭ領域のバックアップパリティデータ領域に設定されていたデータ（この例では「３９Ｈ」）を初期データとして、バックアップデータ領域の各データについて順次排他的論理和をとる処理を行う。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「００Ｈ」、すなわちバックアップチェックデータ領域に設定されているデータと一致する。バックアップＲＡＭ領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「００Ｈ」にならない。

【０１０５】

よって、ＣＰＵ５６は、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。

【０１０６】

以上のように、この実施の形態では、遊技機に対する電力供給が停止すると、ＣＰＵ５６は、割込処理によってそのことを認識し、必要なデータをバックアップＲＡＭ領域に保存する処理を行う。その際、チェックデータもバックアップＲＡＭ領域に設定する。よって、ＣＰＵ５６は、不測の電源断からの復旧時に、データが正しく保存されていたか否かを確認することができる。また、割込処理において、割込禁止状態に設定するとともに、ＲＡＭアクセス禁止状態に設定する。よって、電源断が生じたときに、複数回の割込が生ずることはないし、また、電源電圧が低下していくときにＣＰＵ５６のバスラインの状態が不定になるが、それによってＲＡＭ内容が破壊されることもない。なお、遊技機において使用されるＣＰＵは、一般にＲＡＭアクセス禁止機能を有している。

【０１０７】

また、後述するように、主基板３１以外の各制御基板におけるＣＰＵは、主基板３１からの初期状態復帰コマンドに応じて、一旦、初期状態（遊技店における営業開始時の電源投入時の状態）に戻り、遊技状態復帰コマンドに応じて、不測の電源断が生じたときの状態に戻る。その間の時間は、遊技状態復帰用タイマ値によって決められる。このように、一旦初期状態に戻り、その後に、電源断時の遊技状態に戻るようにすれば、例えば可変表示部９に初期状態画面が表示された後に、元の遊技状態画面に復帰する。よって、遊技者は、遊技が再開されたことを容易に認識することができる。

【０１０８】

なお、この実施の形態では、初期リセット信号によってＣＰＵ５６の動作状態が再開され、それまでＣＰＵ５６は通常の遊技制御を行わない状態になるが、電源バックアップ中に、ＣＰＵ５６が、入力ポート（電源監視用ＩＣ９０２からの信号が入力されるポート）の状態を監視して電源復旧したことを確認するようにしてもよい。

【０１０９】

図１６は、ＲＯＭ５５に設定されるテーブルの一構成例を示す説明図である。図１６に示すように、ＲＯＭ５５には、例えば復帰用データテーブルと初期状態データテーブルとが設けられる。復帰用データテーブルには、例えば、表示制御基板８０、音声制御基板７０およびランプ制御基板３５のそれぞれに送出する初期状態復帰コマンド、遊技状態復帰用タイマ値、ならびに表示制御基板８０、音声制御基板７０およびランプ制御基板３５のそ

れぞれに送出する遊技状態復帰コマンド等の電源復旧時に必要となるパラメータが設定されている。従って、プログラムにおいてそれらのパラメータを設定する処理（ステップＳ４７，Ｓ４８，Ｓ５３）では、復帰用データテーブルから必要なデータを読み出してパラメータ設定処理を行う。

【０１１０】

図１７は、表示制御コマンドの構成例を示す説明図である。図１７に示すように、表示制御コマンドは、８ビットのデータと、１ビットのストローブ信号（ＩＮＴ信号）とから構成されている。

【０１１１】

図１８は、８ビットのデータによる表示制御コマンドデータの構成例を示す説明図である。図１８に示すように、例えば、８ビットのうちの上位４ビットで制御の種類を指示し、下位４ビットで具体的制御内容を指示する。例えば、この例では、上位４ビットが［０，０，０，１］であれば、下位４ビットの数値でリーチ種類や全図柄停止等が指示される。また、上位４ビットが［１，０，０，０］，［１，０，０，１］または［１，０，１，０］であれば、下位４ビットの数値で可変表示部９に可変表示される左図柄、中図柄または右図柄の停止図柄が指示される。

【０１１２】

また、上位４ビットが［１，１，１，０］であれば初期状態復帰コマンドであることを示す。上位４ビットが［１，１，１，１］であれば遊技状態復帰コマンドであることを示す。なお、それらのコマンドにおいて下位４ビットは例えば０に設定される。

【０１１３】

図１９はＣＰＵ５６が実行する特別図柄プロセス処理のプログラムの一例を示すフローチャートである。図１９に示す特別図柄プロセス処理は、図１２のフローチャートにおけるステップＳ１１の具体的な処理である。ＣＰＵ５６は、特別図柄プロセス処理を行う際に、特別図柄プロセスフラグの値に応じて、図１９に示すステップＳ３００～Ｓ３０９のうちのいずれかの処理を行う。各処理において、以下のような処理が実行される。

【０１１４】

特別図柄変動待ち処理（ステップＳ３００）：始動入賞口１４（この実施の形態では可変入賞球装置１５の入賞口）に打球入賞して始動口センサ１７がオンするのを待つ。始動口センサ１７がオンすると、始動入賞記憶数が満タンでなければ、始動入賞記憶数を＋１するとともに大当り判定用乱数を抽出する。

【０１１５】

特別図柄判定処理（ステップＳ３０１）：特別図柄の可変表示が開始できる状態になると、始動入賞記憶数を確認する。始動入賞記憶数が０でなければ、抽出されている大当り判定用乱数の値に応じて大当りとするかはずれとするか決定する。

停止図柄設定処理（ステップＳ３０２）：左右中図柄の停止図柄を決定する。

【０１１６】

リーチ動作設定処理（ステップＳ３０３）：リーチ判定用乱数の値に応じてリーチ動作するか否か決定するとともに、リーチ動作用乱数の値に応じてリーチ動作の変動態様を決定する。

【０１１７】

全図柄変動開始処理（ステップＳ３０４）：可変表示部９において全図柄が変動開始されるように制御する。このとき、表示制御基板８０に対して、左右中最終停止図柄と変動態様を指令する情報とが送信される。また、可変表示部９に背景やキャラクタも表示される場合には、それに応じた表示制御コマンドデータが表示制御基板８０に送出されるように制御する。

【０１１８】

全図柄停止待ち処理（ステップＳ３０５）：所定時間が経過すると、可変表示部９において表示される全図柄が停止されるように制御する。また、全図柄停止のタイミングまで、所定のタイミングで左右図柄が停止されるように制御する。

【０１１９】
大当り表示処理（ステップＳ３０６）：停止図柄が大当り図柄の組み合わせである場合には、大当り表示の表示制御コマンドデータが表示制御基板８０に送出されるように制御するとともに内部状態（プロセスフラグ）をステップＳ３０７に移行するように更新する。そうでない場合には、内部状態をステップＳ３０９に移行するように更新する。なお、大当り図柄の組み合わせは、左右中図柄が揃った組み合わせである。また、遊技制御基板８０の表示制御用ＣＰＵ１０１は表示制御コマンドデータに従って、可変表示部９に大当り表示を行う。大当り表示は遊技者に大当りの発生を報知するためになされるものである。
【０１２０】
大入賞口開放開始処理（ステップＳ３０７）：大入賞口を開放する制御を開始する。具体的には、カウンタやフラグを初期化するとともに、ソレノイド２１を駆動して大入賞口を開放する。
【０１２１】
大入賞口開放中処理（ステップＳ３０８）：大入賞口ラウンド表示の表示制御コマンドデータが表示制御基板８０に送出する制御や大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立したら、大当り遊技状態の終了条件が成立していなければ内部状態をステップＳ３０７に移行するように更新する。大当り遊技状態の終了条件が成立していれば、内部状態をステップＳ３０９に移行するように更新する。
【０１２２】
大当たり終了処理（ステップＳ３０９）：大当たり遊技状態が終了したことを遊技者に報知するための表示を行う。その表示が終了したら、内部フラグ等を初期状態に戻し、内部状態をステップＳ３００に移行するように更新する。
【０１２３】
上記の各ステップの処理に応じて、遊技制御プログラム中の表示制御コマンドを送出する処理を行うモジュール（図１２におけるステップＳ５）は、対応する表示制御コマンドデータを出力ポートに出力するとともにストローブ信号をオン状態にする。
【０１２４】
図２０は、図１２に示されたメイン処理における表示制御データ出力処理（ステップＳ５）を示すフローチャートである。表示制御データ出力処理において、ＣＰＵ５６は、ポートＡ出力要求がセットされているか否か判定する（ステップＳ５８１）。なお、ポートＡ出力要求は、表示制御データ設定処理（ステップＳ４）において、特別図柄プロセス処理等からのコマンド出力要求に応じセットされる。
【０１２５】
ポートＡ出力要求がセットされている場合には、ポートＡ出力要求をリセットし（ステップＳ５８２）、ポートＡ格納領域の内容を出力ポート（出力ポートＡ）５７１に出力する（ステップＳ５８３）。また、ポートＡ出力カウンタを＋１するとともに（ステップＳ５８４）、出力ポート（ポートＢ）５７２のビット７を０にする（ステップＳ５８５）。
【０１２６】
ポートＡ出力要求がセットされていない場合には、ポートＡ出力カウンタの値が０であるか否か判定する（ステップＳ５８６）。ポートＡ出力カウンタの値が０でない場合には、ポートＡ出力カウンタの値が２であるか否か確認する（ステップＳ５８７）。ポートＡ出力カウンタの値が２ではない、すなわち１である場合には、ポートＡ出力カウンタの値を１増やす（ステップＳ５８８）。
【０１２７】
ポートＡ出力カウンタの値が２である場合には、ポートＡ出力カウンタの値をクリアするとともに（ステップＳ５８９）、出力ポート（出力ポートＢ）５７２のビット７を１にする（ステップＳ５９０）。
【０１２８】
出力ポートＢのビット７は、表示制御基板８０に与えられるストローブ信号（ＩＮＴ信号）を出力するポートである。また、出力ポートＡのビット０～７は、表示制御コマンドデ

ータを出力するポートである。そして、この実施の形態では、図２０に示された表示制御データ出力処理は２ｍｓに１回実行される。従って、図２０に示されたデータ出力処理によって、図２１に示すように、表示制御コマンドデータが出力されるときに、４ｍｓ間ＩＮＴ信号がローレベルになる。

【０１２９】

次に、表示制御用ＣＰＵ１０１の動作を説明する。

図２２は、表示制御基板８０における表示制御用ＣＰＵ１０１の動作を示すフローチャートである。表示制御用ＣＰＵ１０１は、出力ポートやワークエリアの初期化およびタイマセット等のイニシャル処理を行った後に（ステップＳ１０１）、ループ状態に入る。イニシャル処理において、５００μｓおよび２ｍｓ毎にタイマ割込が発生するようなタイマ設定がなされている。よって、ループ状態では、５００μｓのタイマ割込がかかると５００μｓタイマ割込処理が行われ（ステップＳ１０２）、２ｍｓのタイマ割込がかかると２ｍｓタイマ割込処理が行われる（ステップＳ１０３）。なお、５００μｓタイマ割込処理では表示制御コマンド受信処理が行われ、２ｍｓタイマ割込処理では表示制御処理が実行される。

【０１３０】

図２３は、２ｍｓのタイマ割込処理を示すフローチャートである。２ｍｓのタイマ割込がかかると、表示制御用ＣＰＵ１０１は、次の２ｍｓ割込がかかるようにタイマを起動する等のイニシャル処理を行った後に（ステップＳ１１１）、表示制御プロセス処理（ステップＳ１１２）を実行する。

【０１３１】

図２４は、５００μｓタイマ割込処理で実行される表示制御コマンド読込処理を示すフローチャートである。表示制御コマンド読込処理において、表示制御用ＣＰＵ１０１は、ストローブ信号（ＩＮＴ信号）に割り当てられている入力ポートのビット７を読み込む。そして、ビット７がオン（ローレベル）しているか否か確認する（ステップＳ５０１）。オンしていれば、表示制御コマンドデータの入力に割り当てられている入力ポートから表示制御コマンドデータを読み取る（ステップＳ５０２）。なお、上述したように、ＩＮＴ信号は、主基板３１のＣＰＵ５６が新たな表示制御コマンドデータを出力したときにローレベルとされる。

【０１３２】

ＩＮＴ信号がオフしている場合には、表示通信カウンタをクリアする（ステップＳ５０６）。表示通信カウンタは、ＩＮＴ信号がオンしているときの表示制御コマンドデータ受信回数をカウントするために用いられる。

【０１３３】

ＩＮＴ信号がオンしている場合には、受信した表示制御コマンドデータが直前に（５００μｓ前）受信したコマンドデータと同じか否か確認する（ステップＳ５０３）。同じでない場合には、表示通信カウンタをクリアする（ステップＳ５０６）。同じであった場合には、表示通信カウンタが所定の最大値（ＭＡＸ）に達しているか否か確認する（ステップＳ５０４）。

【０１３４】

最大値に達していない場合には、表示通信カウンタの値を＋１する（ステップＳ５０５）。ここで、最大値とは、表示制御コマンドデータを確実に受信したと判定する値（この例では３）よりも大きい値であり、例えば、４ｍｓ間での受信回数をカウントする等の目的で用いられる。

【０１３５】

次いで、表示制御用ＣＰＵ１０１は、表示通信カウンタ後が「３」になったか否か確認する（ステップＳ５０７）。「３」になっている場合には、受信したデータを受信コマンド格納エリアに格納する（ステップＳ５０９）。そして、受信したデータをワークエリアに格納する（ステップＳ５１０）。なお、ワークエリアに格納されたデータは、次の割込処理において、ステップＳ５０３において用いられる。

【０１３６】
以上のように、表示制御用ＣＰＵ１０１は、例えば３回連続して同一の表示制御コマンドデータを受信すると、確かに表示制御コマンドを受信したとして、通信終了フラグをセットする。そして、通信終了フラグがセットされると、受信コマンド格納エリアに格納された表示制御コマンドにもとづいて図柄の変動および背景・キャラクタの表示切替等の処理が行われる。
【０１３７】
図２５は、図２３に示されたタイマ割込処理における表示制御プロセス処理（ステップＳ１１２）を示すフローチャートである。表示制御プロセス処理では、表示制御プロセスフラグの値に応じてステップＳ７２０～Ｓ８７０のうちのいずれかの処理が行われる。各処理において、以下のような処理が実行される。
【０１３８】
表示制御コマンド受信待ち処理（ステップＳ７２０）：通信終了フラグのオンに応じて受信コマンドが設定されているワークエリアの内容を読み出して、変動時間を特定可能な表示制御コマンドを受信したか否か確認する。
【０１３９】
リーチ動作設定処理（ステップＳ７５０）：受信した変動時間を特定可能な表示制御コマンドに対応した複数の変動パターンのうちのいずれのパターンを使用するのかを決定する。
【０１４０】
全図柄変動開始処理（ステップＳ７８０）：左右中図柄の変動が開始されるように制御する。
【０１４１】
図柄変動中処理（ステップＳ８１０）：変動パターンを構成する各変動状態（変動速度や背景、キャラクタ）の切替タイミングを制御するとともに、変動時間の終了を監視する。また、左右図柄の停止制御を行う。
【０１４２】
全図柄停止待ち設定処理（ステップＳ８４０）：変動時間の終了時に、全図柄停止を指示する表示制御コマンドを受信していたら、図柄の変動を停止し最終停止図柄（確定図柄）を表示する制御を行う。
【０１４３】
大当り表示処理（ステップＳ８７０）：変動時間の終了後、大当たり遊技中のラウンド表示や、確変大当り表示または通常大当り表示の制御を行う。
【０１４４】
図２６は、表示制御用ＣＰＵ１０１の割込処理を示すフローチャートである。表示制御基板８０に搭載された電源監視用ＩＣが電源電圧の低下を検出すると、表示制御用ＣＰＵ１０１に割込がかかる。なお、割込端子に他の割込要因も入力されるような場合や電源電圧の低下の検出をより確実にしたい場合には、図９に示されているように入力ポートに電源監視用ＩＣ９０２の出力を導入し、割込処理において入力ポートのレベルを確認して電源電圧の低下による割込が発生したことを検知してもよい。
【０１４５】
電源電圧の低下にもとづく割込処理では、まず、表示制御用ＣＰＵ１０１は、割込禁止状態に設定する（ステップＳ３３０）。よって、以後、割込がかかることはない。従って、電源電圧低下中に表示制御用ＣＰＵ１０１に複数回の割込がかかることはない。
【０１４６】
そして、表示制御用ＣＰＵ１０１は、電源断時処理として、表示制御継続のために必要なデータをバックアップＲＡＭ領域に格納する（ステップＳ３３１）。また、バックアップＲＡＭ領域のバックアップチェックデータ領域に適当な初期値を設定し（ステップＳ３３２）、初期値およびバックアップＲＡＭ領域に退避させた全データについて順次排他的論理和をとって（ステップＳ３３３）、最終的な演算値をバックアップパリティデータ領域

に設定する（ステップＳ３３４）。なお、チェックデータ生成の具体的処理は、主基板３１のＣＰＵ５６が実行する処理と同じでよい。

【０１４７】

さらに、表示制御用ＣＰＵ１０１は、ＲＡＭアクセスを禁止状態にして（ステップＳ３３５）、以後、表示制御を停止する。停止状態は、遊技機への電力供給が再開されるまで継続する。

【０１４８】

図２７は、図２２に示されたメイン処理におけるイニシャル処理（ステップＳ１０１）の処理の一例を示すフローチャートである。遊技機への電力供給が再開されると、表示制御用ＣＰＵ１０１にリセット信号が入力されて処理を再開するのであるが、イニシャル処理において、まず、電源投入時か否か確認する（ステップＳ３４１）。なお、表示制御用ＣＰＵ１０１から見ると、不測の電源断後に遊技機への電力供給が再開されたときも電源投入時である。

【０１４９】

電源投入時であれば、ＲＡＭアクセス許可状態として（ステップＳ３４２）、バックアップＲＡＭ領域のデータチェック（この例ではパリティチェック）を行う（ステップＳ３４３）。不測の電源断が生じた後に復旧した場合には、バックアップＲＡＭ領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常にならないのは、遊技店における営業開始時の電源投入時である。そこで、チェック結果が正常でなければ（ステップＳ３４４）、レジスタおよびＲＡＭ領域をクリアする（ステップＳ３４５）。また、必要な初期設定を行う。

【０１５０】

チェック結果が正常であれば（ステップＳ３４４）、バックアップＲＡＭ領域以外のデータをクリアする（ステップＳ３４６）。また、初期状態復帰要求待ちフラグをセットする（ステップＳ３４７）。

【０１５１】

ステップＳ３４１において電源投入時でないことが確認されると、表示制御用ＣＰＵ１０１は、初期状態復帰要求待ちフラグがセットされているか否か確認する（ステップＳ３５０）。セットされていれば、主基板３１から初期状態復帰要求コマンドを受信したか否か確認する（ステップＳ３５１）。受信していた場合には、ＲＡＭの内容等を初期状態に設定する（ステップＳ３５２）。そして、初期状態復帰要求待ちフラグをリセットするとともに（ステップＳ３５３）、遊技状態復帰要求待ちフラグをセットする（ステップＳ３５４）。

【０１５２】

ステップＳ３５０において初期状態復帰要求待ちでないことが確認されたら、表示制御用ＣＰＵ１０１は、遊技状態復帰要求待ちフラグがセットされているか否か確認する（ステップＳ３５５）。セットされていれば、主基板３１から遊技状態復帰要求コマンドを受信したか否か確認する（ステップＳ３５６）。受信していた場合には、バックアップＲＡＭ領域に保存されていたデータを本来の領域に復帰させる（ステップＳ３５７）。そして、遊技状態復帰要求待ちフラグをリセットする（ステップＳ３５８）。

【０１５３】

上述したように、主基板３１のＣＰＵ５６は、不測の電源断後に電源復旧したときに、初期状態復帰要求コマンドを送出してくる。よって、表示制御用ＣＰＵ１０１は、そのコマンドを受信すると、ステップＳ３５２において内部状態を初期状態（遊技店における営業開始時の電源投入時の状態）に設定する。従って、表示制御プロセス処理等では、初期状態の設定にもとづく処理が行われる。すなわち、例えば、可変表示部９に初期画面の表示がなされる。

【０１５４】

その後、主基板３１のＣＰＵ５６は、遊技状態復帰要求コマンドを送出してくる。よって、表示制御用ＣＰＵ１０１は、そのコマンドを受信すると、ステップＳ３５７において、

内部状態を電源断時の状態に戻す。すると、表示制御プロセス処理等では、電源断時の状態から処理を再開することができる。

【０１５５】

なお、処理再開時に区切りのよい制御状態から再開してもよい。例えば、電源断時に可変表示部９において図柄の変動中であった場合には、変動開始の段階から表示制御を再開してもよい。電源断時に図柄の変動中であった場合には、バックアップＲＡＭ領域に保存されていた表示制御プロセスフラグは「図柄変動中」（図２５参照）の値を示している。そこで、そのような場合には、表示制御用ＣＰＵ１０１は、例えばステップＳ３５７において図柄の変動期間を計測するタイマの値を初期値（変動開始時の値）に戻す等の制御を行えば、変動開始の段階から表示制御を再開することができる。

【０１５６】

また、電源断時に可変表示部９において図柄の変動中であった場合には、変動結果を可変表示部９に表示して処理を先に進めてもよい。表示制御用ＣＰＵ１０１は、例えば、バックアップＲＡＭ領域に保存されていた表示制御プロセスフラグが「図柄変動中」の値を示している場合には、バックアップＲＡＭ領域に保存されていた停止図柄保存領域の内容を可変表示部９に表示する制御を行うとともに、表示制御プロセスフラグの値を「表示制御コマンド受信待ち」に対応した値に設定すれば、変動結果を可変表示部９に表示して処理を先に進めることができる。

【０１５７】

さらに、バックアップＲＡＭ領域に保存されていた表示制御プロセスフラグが「大当り表示処理」（上述したように、大当り表示処理には、大当り遊技中の表示期間も含まれる）が示した場合には、表示制御用ＣＰＵ１０１は、その処理状態に戻ることができる。このとき、主基板３１のＣＰＵ５６は、そのバックアップＲＡＭ領域に保存されていた特別図柄プロセスフラグが例えば「大入賞口開放中処理」を示していた場合には、その状態に戻る。従って、大入賞口が開放中であった場合には、主基板３１のＣＰＵ５６は、再度大入賞口を開放する制御を行う。また、大当り遊技中の所定のラウンド（電源断時におけるラウンド）から大当り遊技を再開することができる。なお、ラウンド数を示す情報や出力ポートの状態（例えば、大入賞口開放のためのソレノイド２１に対する出力ポート）は、電源断時にバックアップＲＡＭ領域に保存される。

【０１５８】

図２８は、主基板３１から音声制御基板７０に送出される音声制御コマンドデータの例を示す説明図である。図２８に示す各音声制御コマンドデータは８ビットで構成され、それぞれ、効果音の種類を指定する。また、音声制御コマンドデータの中には、初期状態復帰要求コマンドと遊技状態復帰要求コマンドとがある。それらのコマンドは、主基板３１のＣＰＵ５６が表示制御基板８０に初期状態復帰要求と遊技状態復帰要求の表示制御コマンドを送出するときに、音声制御基板７０にも送出される。

【０１５９】

図２９は、音声制御コマンドのビット構成を示す説明図である。図２９に示すように、音声制御コマンドは、８ビットのデータと、１ビットのストローブ信号（ＩＮＴ信号）とから構成されている。

【０１６０】

図３０は、図１２に示されたメイン処理における出力データ設定処理（ステップＳ８）を示すフローチャートである。ただし、ここでは、音声制御基板７０およびランプ制御基板３５に対する制御コマンドの出力データ設定についてのみ示す。出力データ設定処理において、ＣＰＵ５６は、音声データに変更がないかどうか判定する（ステップＳ８１）。音声データの変更は、例えば、主基板３１のＣＰＵ５６すなわち遊技制御手段の特別図柄プロセス処理において、音発生パターンの変更が必要とされるときに変更される。

【０１６１】

音声データに変更があった場合には、ＣＰＵ５６は、例えば特別図柄プロセス処理で使用されるプロセスデータ中の音声データすなわち音声制御コマンドデータを読み出す（ステ

ップＳ８２）。そして、ポートＣデータ格納領域に設定する（ステップＳ８４）。また、ポートＣ出力要求をセットする（ステップＳ８５）。

【０１６２】

音声データに変更がなかった場合には、ＣＰＵ５６は、ランプデータに変更がないかどうか判定する（ステップＳ８６）。ランプデータの変更も、例えば、遊技制御手段の特別図柄プロセス処理において、ランプ・ＬＥＤ表示パターンの変更が必要とされるときに変更される。

【０１６３】

ランプデータに変更があった場合には、ＣＰＵ５６は、例えば特別図柄プロセス処理で使用されるプロセスデータ中のランプデータすなわちランプ制御コマンドデータを読み出す（ステップＳ８７）。そして、ポートＥデータ格納領域に設定する（ステップＳ８９）。また、ポートＥ出力要求をセットする（ステップＳ９０）。

【０１６４】

図３１は、図１２に示されたメイン処理におけるデータ出力処理（ステップＳ６）の音声制御コマンド出力処理部分を示すフローチャートである。音声制御コマンド出力に関するデータ出力処理において、ＣＰＵ５６は、ポートＣ出力要求がセットされているか否か判定する（ステップＳ６０１）。ポートＣ出力要求がセットされている場合には、ポートＣ出力要求をリセットし（ステップＳ６０２）、ポートＣ格納領域の内容を出力ポート（出力ポートＣ）５７３に出力する（ステップＳ６０３）。ポートＣ格納領域のビット０～７には音声制御コマンドデータが設定される。そして、ポートＣ出力カウンタを＋１するとともに（ステップＳ６０４）、出力ポート（ポートＤ）５７４のビット７を０にする（ステップＳ６０５）。

【０１６５】

ポートＣ出力要求がセットされていない場合には、ポートＣ出力カウンタの値が０であるか否か判定する（ステップＳ６０６）。ポートＣ出力カウンタの値が０でない場合には、ポートＣ出力カウンタの値が２であるか否か確認する（ステップＳ６０７）。ポートＣ出力カウンタの値が２ではない、すなわち１である場合には、ポートＣ出力カウンタの値を１増やす（ステップＳ６０８）。

【０１６６】

ポートＣ出力カウンタの値が２である場合には、ポートＣ出力カウンタの値をクリアするとともに（ステップＳ６０９）、出力ポート（出力ポートＤ）５７４のビット７を１にする（ステップＳ６１０）。

【０１６７】

出力ポートＤのビット７は、音声制御基板７０に与えられるＩＮＴ信号を出力するポートである。また、出力ポートＣのビット０～７は、音声制御コマンドデータを出力するポートである。そして、この実施の形態では、図３１に示されたデータ出力処理は２ｍｓに１回実行される。従って、図３１に示されたデータ出力処理によって、図３２に示すように、音声制御コマンドデータが出力されるときに、４ｍｓ間ＩＮＴ信号がローレベルになる。

【０１６８】

次に、音声制御用ＣＰＵ７０１の動作を説明する。

図３３は、音声制御基板７０における音声制御用ＣＰＵ７０１の動作を示すフローチャートである。音声制御用ＣＰＵ７０１は、出力ポートやワークエリアの初期化およびタイマセット等のイニシャル処理を行った後に（ステップＳ１２１）、ループ状態に入る。イニシャル処理において、５００μｓおよび２ｍｓ毎にタイマ割込が発生するようなタイマ設定がなされている。よって、ループ状態では、５００μｓのタイマ割込がかかると５００μｓタイマ割込処理が行われ（ステップＳ１２２）、２ｍｓのタイマ割込がかかると２ｍｓタイマ割込処理が行われる（ステップＳ１２３）。なお、５００μｓタイマ割込処理では音声制御コマンド受信処理が行われ、２ｍｓタイマ割込処理では音声制御処理が実行される。

【０１６９】
図３４は、２ｍｓのタイマ割込処理を示すフローチャートである。２ｍｓのタイマ割込がかかると、音声制御用ＣＰＵ７０１は、次の２ｍｓ割込がかかるようにタイマを起動する等のイニシャル処理を行った後に（ステップＳ１２５）、音声ＩＣ制御処理（ステップＳ１２６）を実行する。なお、５００μｓタイマ割込処理による音声制御コマンド受信処理は、表示制御用ＣＰＵ１０１が実行する表示制御コマンド受信処理と同様に行われる（図２４参照）。
【０１７０】
ＲＯＭには、図２８に示された各音声制御コマンドデータに応じた音声を音声合成回路（音声合成用ＬＳＩ；例えばディジタルシグナルプロセッサ）７０２に発生させるための制御データが格納されている。音声制御用ＣＰＵ７０１は、受信した各音声制御コマンドデータに対応した制御データをＲＯＭから読み出す。
【０１７１】
この実施の形態では、音声合成回路７０２は、転送リクエスト信号（ＳＩＲＱ）、シリアルクロック信号（ＳＩＣＫ）、シリアルデータ信号（ＳＩ）および転送終了信号（ＳＲＤＹ）によって制御される。音声合成回路７０２は、ＳＩＲＱがローレベルになると、ＳＩＣＫに同期してＳＩを１ビットずつ取り込み、ＳＲＤＹがローレベルになるとそれまでに受信した各ＳＩからなるデータを１つの音声再生用データと解釈する。従って、音声制御用ＣＰＵ７０１は、ＳＩＲＱをオン（ローレベル）にして（ステップＳ１３５）、ＲＯＭから読み出した制御データをＳＩＣＫに同期してＳＩとして出力し（ステップＳ１３６）、出力が完了したらＳＲＤＹをローレベルにする（ステップＳ１３７）。音声合成回路７０２は、ＳＩによって制御データを受信すると、受信した制御データに応じた音声を発生する。
【０１７２】
音声制御基板７０にも、図９に示されたような電源監視用ＩＣ９０２が搭載されている。そして、電源監視用ＩＣ９０２が電源電圧の低下を検出すると、音声制御用ＣＰＵ７０１に割り込みをかける。割り込みがかかると、音声制御用ＣＰＵ７０１は、電源断時処理として、音声制御継続のために必要なデータをバックアップＲＡＭ領域に格納する。なお、具体的な電源断時処理は、表示制御用ＣＰＵ１０１が実行する制御と同様である（図２６参照）。
【０１７３】
よって、音声制御用ＣＰＵ７０１も、イニシャル処理（ステップＳ１２１）において、表示制御用ＣＰＵ１０１と同様に、バックアップＲＡＭ領域に保存されていたデータの復帰処理と、初期状態復帰要求コマンドおよび遊技状態復帰要求コマンドの受信処理を行う（図２７参照）。
【０１７４】
主基板３１のＣＰＵ５６は、不測の電源断後に電源復旧したときに、音声制御基板７０に対しても初期状態復帰要求コマンドを送出してくる。音声制御用ＣＰＵ７０１は、そのコマンドを受信すると、内部状態を初期状態（遊技店における営業開始時の電源投入時の状態）に設定する。従って、初期状態の設定にもとづく処理が行われる。
【０１７５】
その後、主基板３１のＣＰＵ５６は、遊技状態復帰要求コマンドを送出してくる。音声制御用ＣＰＵ７０１は、そのコマンドを受信すると、内部状態を電源断時の状態に戻す。よって、音声制御手段も、やはり、電源断時の状態から処理を再開することができる。
【０１７６】
図３６は、主基板３１からランプ制御基板３５に送出されるランプ制御コマンドの一例を示す説明図である。各ランプ制御コマンドデータは７ビットで構成され、それぞれ、遊技の進行に応じたランプ・ＬＥＤの点灯パターンおよび消灯を指定する。ただし、図３６に示された例は、ある特定の遊技機に応じたパターンであって、他の機種の遊技機では、定義が異なる各ランプ制御コマンドデータが使用されうる。例えば、図３６に示された例で

は特殊変動時ランプ指定が４種類（０５Ｈ～０８Ｈ）あるが、特殊変動のパターンがそれよりも多い遊技機では、より多くの種類のランプ制御コマンドデータに特殊変動のパターンを割り当てればよい。あるいは、全ての遊技機で使用される可能性があるランプ制御データを定義しておき、そのうちから、各機種で必要に応じて使用するランプ制御データを選択するようにしてもよい。

【０１７７】

また、ランプ制御コマンドデータの中には、初期状態復帰要求コマンドと遊技状態復帰要求コマンドとがある。それらのコマンドは、主基板３１のＣＰＵ５６が表示制御基板８０に初期状態復帰要求と遊技状態復帰要求の表示制御コマンドを送出するときに、ランプ制御基板３５にも送出される。

【０１７８】

図３７は、ランプ制御コマンドのビット構成を示す説明図である。図３７に示すように、ランプ制御コマンドは、８ビットのデータと、１ビットのストローブ信号（ＩＮＴ信号）とから構成されている。

【０１７９】

図３８は、図１２に示されたメイン処理におけるデータ出力処理（ステップＳ６）のランプ制御コマンド出力処理部分を示すフローチャートである。ランプ制御コマンド出力に関するデータ出力処理において、ＣＰＵ５６は、ポートＥ出力要求がセットされているか否か判定する（ステップＳ６２１）。ポートＥ出力要求は、図３０に示された出力データ設定処理において、ランプデータに変更があった場合にセットされる。

【０１８０】

ポートＥ出力要求がセットされている場合には、ポートＥ出力要求をリセットし（ステップＳ６２２）、ポートＥ格納領域の内容を出力ポート（出力ポートＥ）５７５に出力する（ステップＳ６２３）。ポートＥ格納領域のビット０～７にはランプ制御コマンドデータが設定されている。そして、ポートＣ出力カウンタを＋１するとともに（ステップＳ６２４）、出力ポート（ポートＦ）５７６のビット７を０にする（ステップＳ６２５）。

【０１８１】

ポートＥ出力要求がセットされていない場合には、ポートＥ出力カウンタの値が０であるか否か判定する（ステップＳ６２６）。ポートＥ出力カウンタの値が０でない場合には、ポートＥ出力カウンタの値が２であるか否か確認する（ステップＳ６２７）。ポートＥ出力カウンタの値が２ではない、すなわち１である場合には、ポートＥ出力カウンタの値を１増やす（ステップＳ６２８）。

【０１８２】

ポートＥ出力カウンタの値が２である場合には、ポートＥ出力カウンタの値をクリアするとともに（ステップＳ６２９）、出力ポート（出力ポートＦ）５７６のビット７を１にする（ステップＳ６３０）。

【０１８３】

出力ポートＦのビット７は、ランプ制御基板３５に与えられるＩＮＴ信号を出力するポートである。また、出力ポートＥのビット０～７は、ランプ制御コマンドデータを出力するポートである。そして、この実施の形態では、図３８に示されたデータ出力処理は２ｍｓに１回実行される。従って、図３８に示されたデータ出力処理によって、図３９に示すように、ランプ制御コマンドデータが出力されるときに、４ｍｓ間ＩＮＴ信号がローレベルになる。

【０１８４】

次に、ランプ制御用ＣＰＵ３５１の動作を説明する。

図４０は、ランプ制御基板３５におけるランプ制御用ＣＰＵ３５１の動作を示すフローチャートである。ランプ制御用ＣＰＵ３５１は、出力ポートやワークエリアの初期化およびタイマセット等のイニシャル処理を行った後に（ステップＳ１５１）、ループ状態に入る。イニシャル処理において、５００μｓおよび２ｍｓ毎にタイマ割込が発生するようなタイマ設定がなされている。よって、ループ状態では、５００μｓのタイマ割込がかかると

５００μｓタイマ割込処理が行われ（ステップＳ１５２）、２ｍｓのタイマ割込がかかると２ｍｓタイマ割込処理が行われる（ステップＳ１５３）。なお、５００μｓタイマ割込処理ではランプ制御コマンド受信処理が行われ、２ｍｓタイマ割込処理ではランプ制御処理が実行される。

【０１８５】

図４１は、２ｍｓのタイマ割込処理を示すフローチャートである。２ｍｓのタイマ割込がかかると、ランプ制御用ＣＰＵ３５１は、次の２ｍｓ割込がかかるようにタイマを起動する等のイニシャル処理を行った後に（ステップＳ１５５）、ランプ・ＬＥＤ点灯／消灯処理（ステップＳ１５６）を実行する。なお、５００μｓタイマ割込処理によるランプ制御コマンド受信処理は、表示制御用ＣＰＵ１０１が実行する表示制御コマンド受信処理と同様に行われる（図２４参照）。

【０１８６】

なお、ランプ制御用ＣＰＵ３５１の内蔵ＲＯＭまたはランプ制御基板３５に搭載された外付けＲＯＭには、各ランプ制御コマンドデータ（この例では、０１Ｈ～０ＦＨ）に応じた遊技効果ＬＥＤ２８ａおよび遊技効果ランプ２８ｂ，２８ｃの点灯／消灯のパターンが、点灯パターンデータとして格納されている。そして、ランプ・ＬＥＤ点灯／消灯処理（ステップＳ１５６）では、受信したランプ制御コマンドに応じたテーブルの内容にもとづいてランプ・ＬＥＤの点灯／消灯制御を行う。また、ランプ制御コマンドに応じて賞球ランプ５１および球切れランプ５２の点灯／消灯処理を行う。

【０１８７】

ランプ制御基板３５にも、図９に示されたような電源監視用ＩＣ９０２が搭載されている。そして、電源監視用ＩＣ９０２が電源電圧の低下を検出すると、ランプ制御用ＣＰＵ３５１に割り込みをかける。割り込みがかかると、ランプ制御用ＣＰＵ３５１は、電源断時処理として、ランプ・ＬＥＤ点灯／消灯制御継続のために必要なデータをバックアップＲＡＭ領域に格納する。なお、具体的な電源断時処理は、表示制御用ＣＰＵ１０１が実行する制御と同様である（図２６参照）。

【０１８８】

よって、ランプ制御用ＣＰＵ３５１も、イニシャル処理（ステップＳ１５１）において、表示制御用ＣＰＵ１０１と同様に、バックアップＲＡＭ領域に保存されていたデータの復帰処理と、初期状態復帰要求コマンドおよび遊技状態復帰要求コマンドの受信処理を行う（図２７参照）。

【０１８９】

主基板３１のＣＰＵ５６は、不測の電源断後に電源復旧したときに、ランプ制御基板３７に対しても初期状態復帰要求コマンドを送出してくる。ランプ制御用ＣＰＵ３７１は、そのコマンドを受信すると、内部状態を初期状態（遊技店における営業開始時の電源投入時の状態）に設定する。従って、初期状態の設定にもとづく処理が行われる。

【０１９０】

その後、主基板３１のＣＰＵ５６は、遊技状態復帰要求コマンドを送出してくる。ランプ制御用ＣＰＵ３５１は、そのコマンドを受信すると、内部状態を電源断時の状態に戻す。よって、ランプ制御手段も、やはり、電源断時の状態から処理を再開することができる。

【０１９１】

図４２は、主基板３１から賞球制御基板３７に送出される賞球制御コマンドのビット構成の一例を示す説明図である。図４２に示すように、ランプ制御コマンドは、８ビットのデータと、１ビットのストローブ信号（ＩＮＴ信号）とから構成されている。そして、８ビットのデータのうちの上位４ビットは制御指定として使用される。すなわち、ビット７，６，５，４が「０，０，０，０」であれば通常払出指定（賞球個数出力）を示し、「０，０，０，１」であれば補正払出指定を示し、「０，０，１，０」であれば球貸し禁止指定を示し、「０，１，１，１」であれば球貸し禁止指定解除を示す。なお、球貸し禁止指定は、余剰玉受皿４が満タンになって満タンスイッチ４８がオンしたとき、および球切れ検出スイッチ１６７または球切れスイッチ１８７がオンしたときに、主基板３１の基本回路

５３から送信される。そして、それらのスイッチがオフ状態になると、球貸し禁止指定解除が送信される。また、補正払出指定は、遊技制御手段が賞球払出不足を検出したときに主基板３１から送出される。

【０１９２】

賞球制御コマンドは、主基板３１から賞球制御基板３７に、図８に示されたように、出力ポート（ポートＧ，Ｈ）５７７，５７８を介して送信される。そして、この実施の形態では、図４３に示すように、主基板３１から賞球制御コマンドデータが出力されるときに、４ｍｓ間ＩＮＴ信号がローレベルになる。

【０１９３】

図４４は、賞球制御基板３７における賞球制御用ＣＰＵ３７１の動作を示すフローチャートである。賞球制御用ＣＰＵ３７１は、出力ポートやワークエリアの初期化およびタイマセット等のイニシャル処理を行った後に（ステップＳ１７１）、ループ状態に入る。イニシャル処理において、５００μｓおよび２ｍｓ毎にタイマ割込が発生するようなタイマ設定がなされている。よって、ループ状態では、５００μｓのタイマ割込がかかると５００μｓタイマ割込処理が行われ（ステップＳ１７２）、２ｍｓのタイマ割込がかかると２ｍｓタイマ割込処理が行われる（ステップＳ１７３）。なお、５００μｓタイマ割込処理では賞球制御コマンド受信処理が行われ、２ｍｓタイマ割込処理では賞球制御処理が実行される。

【０１９４】

図４５は、２ｍｓのタイマ割込処理を示すフローチャートである。２ｍｓのタイマ割込がかかると、賞球制御用ＣＰＵ３７１は、次の２ｍｓ割込がかかるようにタイマを起動する等のイニシャル処理を行った後に（ステップＳ１７５）、賞球処理（ステップＳ１７６）を実行する。なお、５００μｓタイマ割込処理による賞球制御コマンド受信処理は、表示制御用ＣＰＵ１０１が実行する表示制御コマンド受信処理と同様に行われる（図２４参照）。また、賞球制御処理では、賞球制御用ＣＰＵ３７１は、主基板３１から受信した賞球制御コマンドにもとづいて玉払出装置９７を駆動して賞球払出を実行する。

【０１９５】

賞球制御基板３７にも、図９に示されたような電源監視用ＩＣ９０２が搭載されている。そして、電源監視用ＩＣ９０２が電源電圧の低下を検出すると、賞球制御用ＣＰＵ３７１に割り込みをかける。割り込みがかかると、賞球制御用ＣＰＵ３７１は、電源断時処理として、賞球制御継続のために必要なデータをバックアップＲＡＭ領域に格納する。なお、具体的な電源断時処理は、表示制御用ＣＰＵ１０１が実行する制御と同様である（図２６参照）。

【０１９６】

よって、賞球制御用ＣＰＵ３７１も、イニシャル処理（ステップＳ１７１）において、表示制御用ＣＰＵ１０１と同様に、バックアップＲＡＭ領域に保存されていたデータの復帰処理を行う（図２７参照）。ただし、初期状態復帰要求コマンドおよび遊技状態復帰要求コマンドの受信処理を行わない。

【０１９７】

以上のように、この実施の形態では、遊技機に対する電力供給が停止すると、主基板３１、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７に搭載された各ＣＰＵは、割込処理によってそのことを認識し、必要なデータをバックアップＲＡＭ領域に転送する処理を行う。その際、チェックデータもバックアップＲＡＭ領域に設定する。よって、ＣＰＵは、不測の電源断からの復旧時に、バックアップＲＡＭ領域から必要なデータを復元することによって電源断時の状態から処理を再開することができる。

【０１９８】

上記の実施の形態では、各制御基板のＣＰＵは、電源監視用ＩＣ９０２からの信号を割込端子または割込端子と入力ポートの双方に導入したが、入力ポートにのみ導入してもよい。図４６は、そのような形態を示すブロック図である。図４６におけるＣＰＵ９０１は、

主基板３１、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７に搭載された各ＣＰＵに相当する。この場合、主基板３１において、ＣＰＵ５６は、割込処理ではなく、メイン処理において電源監視用ＩＣからの信号がオン状態なったか否かを監視する。そして、オン状態になったことを検出すると、図１３に示されたような必要なデータをバックアップＲＡＭに保存する処理を行う。

【０１９９】

また、表示制御基板８０、音声制御基板７０、ランプ制御基板３５および賞球制御基板３７に搭載された各ＣＰＵは、割込処理ではなく、メイン処理（図２２、図３３、図４０および図４４に示された処理）におけるループ内で電源監視用ＩＣからの信号がオン状態なったか否かを監視する。そして、オン状態になったことを検出すると、必要なデータをバックアップＲＡＭに保存する処理を行う。

【０２００】

なお、この実施の形態でも、各制御基板のＣＰＵは、電源復旧したことを、初期リセット信号によって認識するようにしてもよいし、電源監視用ＩＣ９０２からの信号を導入する入力ポートのレベルによって認識するようにしてもよい。

【０２０１】

さらに、図４７に示すように、電源監視用ＩＣ９０２からの信号を、ＣＰＵ９０１のマスク不能割込端子（ＮＭＩ端子）に導入してもよい。この場合、各制御基板において、ＣＰＵは、通常の割込処理ではなく、ＮＭＩ処理において電源監視用ＩＣからの信号がオン状態なったか否かを監視する。ただし、処理の内容は、割り込み禁止にする処理を除いて例えば図１３に示された処理（必要なデータをバックアップＲＡＭに保存する処理）と同じである。また、図４７に示すように、電源監視用ＩＣ９０２からの信号を入力ポートにも導入し、ＮＭＩ処理において、入力ポートのレベルが電源断を示している場合に必要なデータをバックアップＲＡＭに保存する処理を行うようにしてもよい。また、ＣＰＵが、ＮＭＩ端子のレベルが所定レベル（例えばローレベル）である状態でＮＭＩがかかるようなものである場合には、電源監視用ＩＣ９０２とＣＰＵのＮＭＩ端子との間に、ＮＭＩ割込が１回のみかかるようなパルス幅のワンショットパルスを発生するワンショットパルス出力回路を設置してもよい。

【０２０２】

この場合にも、各制御基板のＣＰＵは、電源復旧したことを、初期リセット信号によって認識するようにしてもよいし、電源監視用ＩＣ９０２からの信号を導入する入力ポートのレベルによって認識するようにしてもよい。

【０２０３】

なお、上記の各実施の形態では、電源電圧の低下を検出するために電源監視用ＩＣ９０２を用いたが、例えば、＋１２Ｖ電圧の分圧値をワンショットパルス出力回路に導入し、ワンショットパルス出力回路の出力を、割込端子（ＩＮＴ端子またはＮＭＩ端子）入力してもよい。ワンショットパルス出力回路は、入力レベルが所定値を下回るとワンショットパルスを出力するので、そのような構成でも、電源電圧の低下を検出することができる。

【０２０４】

さらに、ワンショットパルス出力回路の出力をＣＰＵの入力ポートに導入して入力ポートのレベルを検知することによって電源電圧の低下を検出してもよいし、ワンショットパルス出力回路の出力を割込端子（ＩＮＴ端子またはＮＭＩ端子）と入力ポートとに入力してもよい。割込端子と入力ポートとに入力した場合には、割込処理において、入力ポートのレベルが検知され、そのレベルが電源断時のレベルを示していたら電源断時処理が実行される。

【０２０５】

また、上記の各実施の形態では、各制御基板に電源監視用ＩＣ９０２が搭載され、各制御基板において電源断の検出がなされたが、電源基板９１０に電源監視用ＩＣを搭載し、電源基板９１０で一括して電源断の検出を行うように構成してもよい。その場合には、電源基板９１０から各制御基板に電源監視用ＩＣからの検出信号が供給される。

【０２０６】
なお、以上の説明において、例えば図９に示されたように電源が復旧したことを初期リセット回路の出力によって検知してもよいことを示したが、例えば図４に示されているような定期リセット回路の出力が再開されたことをもって電源が復旧したことを検知してもよい。あるいは、ＣＰＵに対してその他のリセット手段が接続されている場合には、そのリセット手段を用いて電源が復旧したことを検知してもよい。
【０２０７】
上記の各実施の形態では、図９に示したように、遊技制御手段の復帰用データテーブルには、初期状態復帰要求コマンド、遊技状態復帰用タイマ値および遊技状態復帰要求コマンドを特定可能な情報が設定されていた。しかし、電源復旧時に、電源断時の遊技状態に容易に戻れるように、さらに多くの情報が設定されていてもよい。例えば、図４８に示すように、特別図柄プロセスフラグ格納領域を指す情報（特別図柄プロセスフラグ設定領域）が復帰用データテーブルに設定されていてもよい。
【０２０８】
主基板３１のＣＰＵ５６は、電源復旧時に、例えば、復帰用データテーブルの特別図柄プロセスフラグ設定領域のデータを参照して特別図柄プロセスフラグの値を入力する。そして、その値にもとづいて電源断時の可変表示部９の図柄変動の状態を確認することができる。
【０２０９】
電源復旧時に、電源断時に可変表示部９で図柄変動中であった場合には図柄変動開始時の状態に戻ってもよいことは既に述べたが、そのような復帰を容易にするために、復帰用データテーブルにさらに多くのデータを設定してもよい。例えば、「全図柄変動開始処理」に対応した値を復帰用データテーブルに設定しておけば、ＣＰＵ５６は、その値を読み込んで、その値を特別図柄プロセスフラグに設定することによって、特別図柄の制御状態を「全図柄変動開始処理」に対応した状態に戻すことができる。なお、図１９に示された特別図柄プロセス処理における「全図柄変動開始処理」では、表示制御基板８０に対して、例えば、左右中最終停止図柄と変動態様を指令する情報とが送信される。
【０２１０】
ここでは、図柄変動開始時の状態に戻すことを容易にするためのデータとして、特別図柄プロセスフラグの「全図柄変動開始処理」に対応した値を例示したが、その他、特別図柄の制御状態を「全図柄変動開始処理」に対応した状態に戻すために他の内部フラグ等のワークデータの値を変更する必要がある場合には、それらの値も復帰用データテーブルに設定してしてもよい。
【０２１１】
このように、不測の電源断時に可変表示部９において図柄が変動中であって、電源復旧時に図柄変動開始時の状態に戻るように構成されている場合に、復帰用データテーブルにさらに多くの情報が設定されていると、遊技制御手段および表示制御手段は、容易にその状態に戻って復旧することができる。
【０２１２】
また、電源断時に図柄変動中であった場合、電源復旧時に遊技制御手段は電源断時の遊技状態に戻るとともに、表示制御手段は、所定の表示制御を行ってもよい。そのような制御を可能にするために、図４８には、エラーコマンドも設定されている。なお、上述したように、電源断時に図柄変動中であった場合に、電源復旧時に遊技制御手段が図柄変動開始時の状態に戻るように構成されているときには、復帰用データテーブルにエラーコマンドが設定されている必要はない。
【０２１３】
図４９は、主基板３１のＣＰＵ５６が実行するシステムチェック処理（メイン処理におけるステップＳ３）の他の例を示すフローチャートである。この例では、遊技状態復帰用タイマがタイムアウトしたときに（ステップＳ５１）、ＣＰＵ５６は、特別図柄変動中であった否かを確認する（ステップＳ５５）。その確認は、復帰用データテーブルにおける特

別図柄プロセスフラグ設定領域の情報をアドレスとするＲＡＭ領域から、保存されていた特別図柄プロセスフラグを読み出すことによって実行可能である。特別図柄プロセスフラグが「全図柄停止待ち処理」を示していたら、ＣＰＵ５６は、特別図柄変動中であったと判断する。そして、特別図柄変動中であった場合には、表示制御基板８０に対してエラーコマンド送出要求をセットする（ステップＳ５６）。

【０２１４】

従って、表示制御用ＣＰＵ１０１は、電源断時に可変表示部９において図柄変動中であった場合には、遊技状態復帰用タイマがタイムアウトしたときにエラーコマンドを受信することになる。表示制御用ＣＰＵ１０１は、エラーコマンドを受信すると、図柄変動を再開するとともに、例えば可変表示部９にエラーであることを遊技者が識別しうるエラー表示を行う。そして、表示制御用ＣＰＵ１０１は、図柄変動終了時にエラー表示を消去する。なお、表示制御用ＣＰＵ１０１は、図柄変動を行わずエラー画面を表示してもよい。また、主基板３１のＣＰＵ５６は、特別図柄プロセスフラグの値を変更しない。すなわち、電源断時に図柄変動中であった場合、電源復旧時に遊技制御手段は電源断時の遊技状態に戻る。

【０２１５】

このような表示制御は、図柄変動開始時に遊技制御手段から表示制御手段に対して変動期間を特定可能な表示制御コマンドが送出され、以後、変動停止時まで表示制御コマンドが送出されないように構成された遊技機において効果的である。すなわち、図柄変動中には表示制御コマンドは送出されないので、遊技制御手段は、表示制御手段に対して、図柄変動中の途中の状態から遊技を再開させるような指示を行うことができない。遊技制御手段からの指示にもとづいて表示制御手段が図柄変動中の途中の状態から遊技を再開するように構成したい場合には、コマンド送出制御方式を変更しなければならない。しかし、上述したエラーコマンドを用いてその回の変動ではエラー画面を表示するように構成すれば、エラーコマンドを追加するだけで、コマンド送出制御方式（図柄変動開始時に遊技制御手段が表示制御手段に対して変動期間を特定可能な表示制御コマンドを送出する方式）を変更する必要はない。

【０２１６】

また、遊技制御手段が、電源断状態から電源断時の状態に復帰したときに、表示制御手段に対して、停止図柄（可変表示結果）を示す表示制御コマンドを送出するようにしてもよい。図５０は、そのような処理を示すフローチャートである。この例では、遊技状態復帰用タイマがタイムアウトしたときに（ステップＳ５１）、ＣＰＵ５６は、特別図柄変動中であった否かを確認する（ステップＳ５５）。そして、特別図柄変動中であった場合には、表示制御基板８０にして左右中図柄の停止図柄を示すコマンド送出要求をセットする（ステップＳ５７）。

【０２１７】

表示制御用ＣＰＵ１０１は、電源断時に図柄変動中であった場合には、遊技状態復帰用タイマがタイムアウトしたときに左右中図柄の停止図柄を示すコマンドを受信することになる。表示制御用ＣＰＵ１０１は、左右中図柄の停止図柄を示すコマンドを受信すると、例えば図柄の可変表示を再開せず、可変表示部９に左右中図柄の停止図柄を表示する。なお、表示制御用ＣＰＵ１０１は、その後に主基板３１から送られてくる図柄変動停止を示すコマンドや大当り遊技の終了を示す表示制御コマンドを受信したらそれらのコマンドに従って通常の表示制御に戻る。

【０２１８】

主基板３１のＣＰＵ５６は、電源復旧時に、バックアップＲＡＭ領域に保存されていた特別図柄プロセスフラグが例えば「全図柄停止待ち処理」を示していた場合には、その状態に復帰するのであるが、表示制御用ＣＰＵ１０１は、その回の変動では、図柄変動制御を行わず可変表示結果を表示し続ける。従って、遊技者は、可変表示結果が表示されることによって停電から復旧したことを容易に認識できる。なお、可変表示結果が大当りである場合（停電前に行われた抽選結果が大当りであった場合）には、可変表示結果が表示し続

けられた後に、遊技制御手段および表示制御手段ともに、大当たり遊技状態に復旧できるので、遊技者に不利益が与えられることはない。

【０２１９】

【発明の効果】

以上のように、本発明によれば、遊技機を、遊技用装置制御基板には遊技用装置制御マイクロコンピュータが搭載され、遊技用装置制御マイクロコンピュータが、遊技機の電源電圧が所定量低下したことを示す信号を割込端子に導入し割込端子に信号が入力されたことに応じてＲＡＭアクセスを禁止するように構成したので、電源断を検知したときに遊技状態に対応した情報をＲＡＭに保存する場合に、保存されるデータが破壊されることがないという効果がある。

【０２２０】

遊技用装置制御マイクロコンピュータが、ＲＡＭアクセスを禁止する前にレジスタのデータをＲＡＭに保存するように構成されている場合には、電源復旧時に遊技状態を復帰させるように構成したときに、復帰のために必要なデータをもれなく保存できる。

【０２２１】

遊技用装置制御マイクロコンピュータが、ＲＡＭアクセスを禁止する前にＲＡＭチェックデータをＲＡＭに保存するように構成されている場合には、電源復旧時にチェックデータにもとづいてデータが破壊されていないかどうかチェックすることができ、保存されるデータの信頼性を向上させることができる。

【０２２２】

電源基板が、遊技用装置制御基板におけるＲＡＭの電源バックアップを行うためのバックアップ電源を備えている場合には、各遊技用装置制御基板にバックアップ電源を備える必要はなく、遊技機コストを低減した上で、電源断からの復旧時に遊技状態を電源断時の状態に戻して遊技者への不利益をなくす等の効果を得ることができる。

【０２２３】

バックアップ電源が、遊技用装置制御基板における各制御回路を駆動するための電源のラインから蓄電されるように構成されている場合には、特に蓄電用の電源を設けなくて済み、やはり、遊技機コストを低減することができる。

【図面の簡単な説明】

【図１】パチンコ遊技機を正面からみた正面図である。

【図２】パチンコ遊技機の遊技盤を正面からみた正面図である。

【図３】パチンコ遊技機を背面からみた背面図である。

【図４】遊技制御基板（主基板）の回路構成例を示すブロック図である。

【図５】表示制御基板の回路構成例を示すブロック図である。

【図６】音声制御基板の回路構成例を示すブロック図である。

【図７】ランプ制御基板の回路構成例を示すブロック図である。

【図８】賞球制御基板の回路構成例を示すブロック図である。

【図９】電源監視および電源バックアップのためのＣＰＵ周りの一構成例を示すブロック図である。

【図１０】電源基板の一構成例を示すブロック図である。

【図１１】他の構成の電源基板を制御基板とともに示すブロック図である。

【図１２】主基板における基本回路の動作を示すフローチャートである。

【図１３】主基板のＣＰＵの割込処理を示すフローチャートである。

【図１４】メイン処理におけるシステムチェック処理を示すフローチャートである。

【図１５】バックアップパリティデータ作成方法を説明するための説明図である。

【図１６】主基板における基本回路のＲＯＭに設定されるテーブルの一構成例を示す説明図である。

【図１７】表示制御コマンドの構成例を示す説明図である。

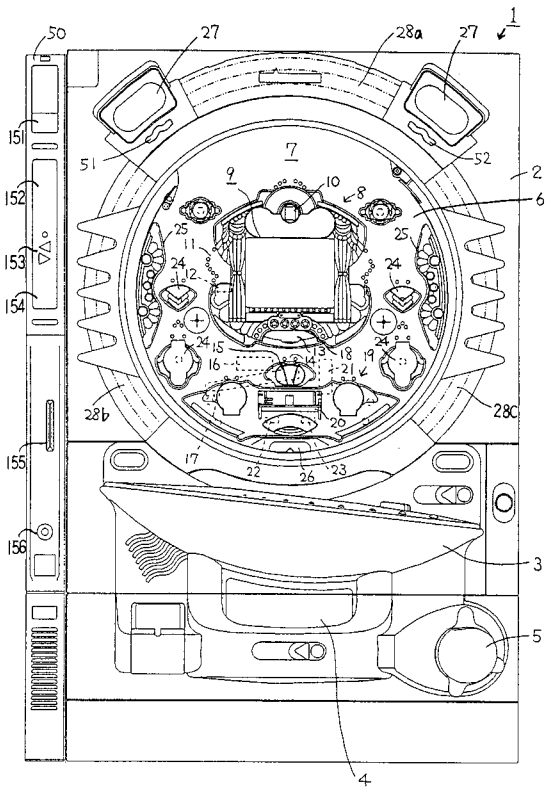
【図１８】表示制御コマンドデータの構成例を示す説明図である。

【図１９】特別図柄プロセス処理のプログラムの一例を示すフローチャートである。

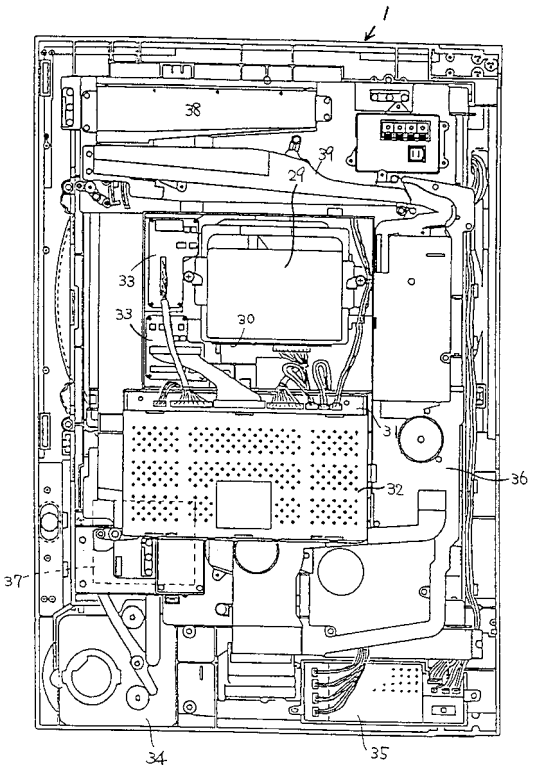
【図２０】表示制御データ出力処理を示すフローチャートである。
【図２１】表示制御コマンドデータの出力の様子を示すタイミング図である。
【図２２】表示制御用ＣＰＵが実行するメイン処理を示すフローチャートである。
【図２３】表示制御用ＣＰＵの２ｍｓタイマ割込処理を示すフローチャートである。
【図２４】表示制御用ＣＰＵの表示データ読込処理を示すフローチャートである。
【図２５】表示制御用ＣＰＵが実行する表示制御プロセス処理を示すフローチャートである。
【図２６】表示制御用ＣＰＵの割込処理を示すフローチャートである。
【図２７】表示制御用ＣＰＵが実行するイニシャル処理を示すフローチャートである。
【図２８】音声制御コマンドの例を示す説明図である。
【図２９】音声制御コマンドのビット構成を示す説明図である。
【図３０】音声制御基板およびランプ制御基板に対する出力データ設定処理を示すフローチャートである。
【図３１】データ出力処理の音声制御コマンド出力処理部分を示すフローチャートである。
【図３２】音声制御コマンドデータの出力の様子を示すタイミング図である。
【図３３】音声制御用ＣＰＵが実行するメイン処理を示すフローチャートである。
【図３４】音声制御用ＣＰＵの２ｍｓタイマ割込処理を示すフローチャートである。
【図３５】音声ＩＣ制御処理を示すフローチャートである。
【図３６】ランプ制御コマンドの一例を示す説明図である。
【図３７】ランプ制御コマンドのビット構成を示す説明図である。
【図３８】データ出力処理のランプ制御コマンド出力処理部分を示すフローチャートである。
【図３９】ランプ制御コマンドデータの出力の様子を示すタイミング図である。
【図４０】ランプ制御用ＣＰＵが実行するメイン処理を示すフローチャートである。
【図４１】ランプ制御用ＣＰＵの２ｍｓタイマ割込処理を示すフローチャートである。
【図４２】賞球制御コマンドのビット構成を示す説明図である。
【図４３】賞球制御コマンドデータの出力の様子を示すタイミング図である。
【図４４】賞球制御用ＣＰＵが実行するメイン処理を示すフローチャートである。
【図４５】賞球制御用ＣＰＵの２ｍｓタイマ割込処理を示すフローチャートである。
【図４６】電源監視および電源バックアップのためのＣＰＵ周りの他の構成例を示すブロック図である。
【図４７】電源監視および電源バックアップのためのＣＰＵ周りのさらに他の構成例を示すブロック図である。
【図４８】復帰用データテーブルの他の構成を示す説明図である。
【図４９】システムチェック処理の他の例を示すフローチャートである。
【図５０】システムチェック処理のさらに他の例を示すフローチャートである。
【符号の説明】
１　　パチンコ遊技機
３１　　主基板
３５　　ランプ制御基板
３７　　賞球制御基板
５３　　基本回路
５６　　ＣＰＵ
７０　　音声制御基板
８０　　表示制御基板
１０１　表示制御用ＣＰＵ
３５１　ランプ制御用ＣＰＵ
３７１　賞球制御用ＣＰＵ
７０１　音声制御用ＣＰＵ

９０１　ＣＰＵ
９０２　電源監視用ＩＣ
９１０　電源基板
９１６　コンデンサ

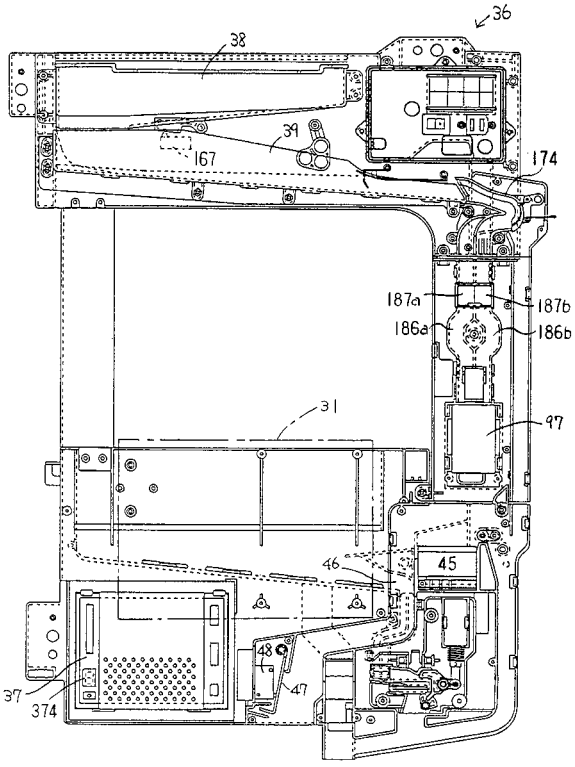
【図１】



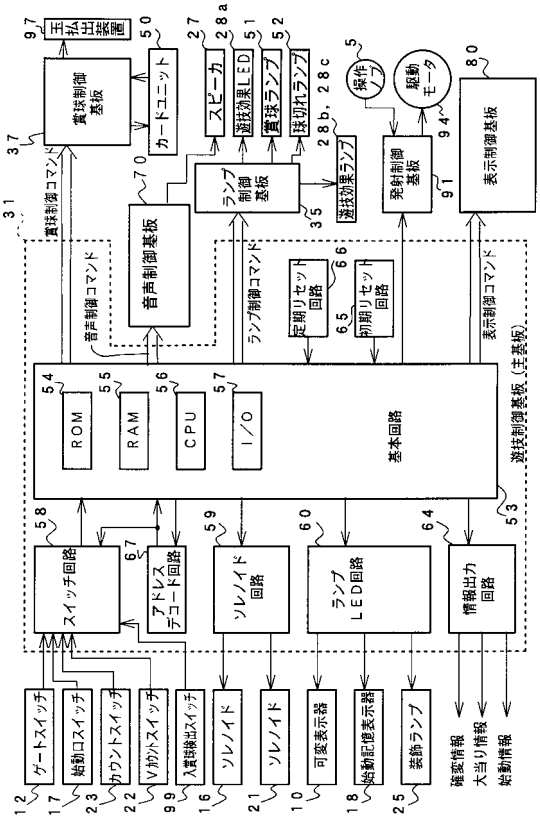
【図２】



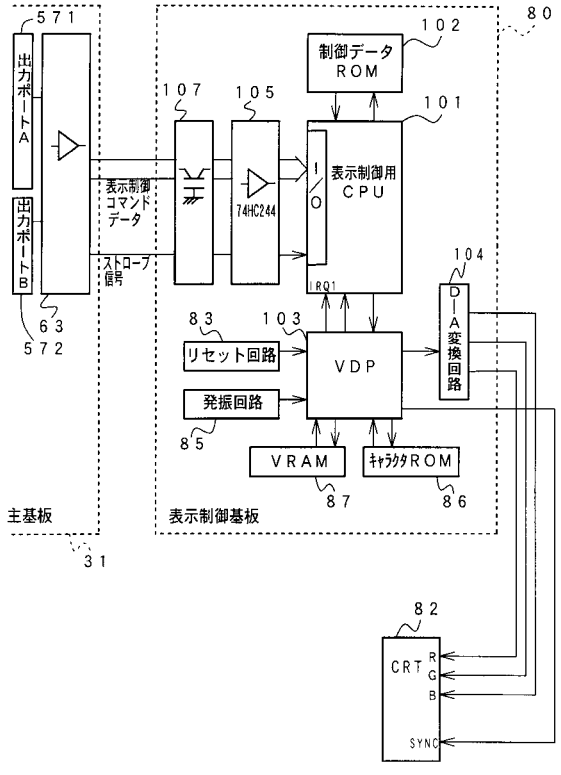
【図３】


36
38
39
167
174
187a
187b
186a
186b
31
97
46
45
48
47
37
374

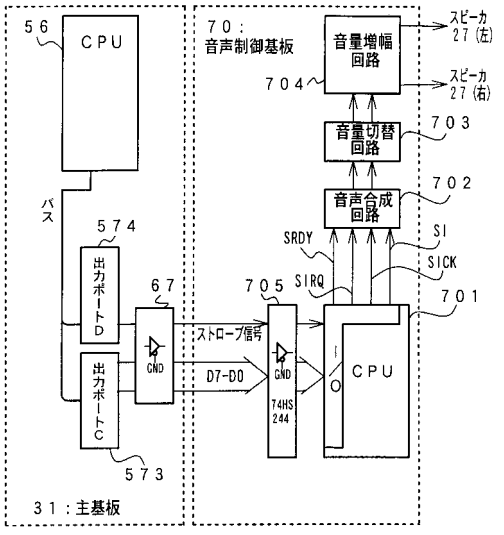
【図４】


97
50
27
28a
51
52
5
94
80
37
70
35
91
31
66
65
54
55
56
57
53
58
67
59
60
64
12
17
23
22
99
16
21
10
18
25
賞球制御基板
カードユニット
スピーカ
遊技効果LED
賞球ランプ
球切れランプ
操作ノブ
駆動モータ
表示制御基板
ランプ制御基板
遊技効果ランプ
発射制御基板
賞球制御コマンド
音声制御基板
音声制御コマンド
ランプ制御コマンド
定期リセット回路
初期リセット回路
表示制御コマンド
遊技制御基板（主基板）
ROM
RAM
CPU
I/O
基本回路
スイッチ回路
アドレスデコード回路
ソレノイド回路
ランプLED回路
情報出力回路
ゲートスイッチ
始動口スイッチ
カウントスイッチ
Vカウントスイッチ
入賞球検出スイッチ
ソレノイド
ソレノイド
可変表示器
始動記憶表示器
装飾ランプ
確変情報
大当り情報
始動情報

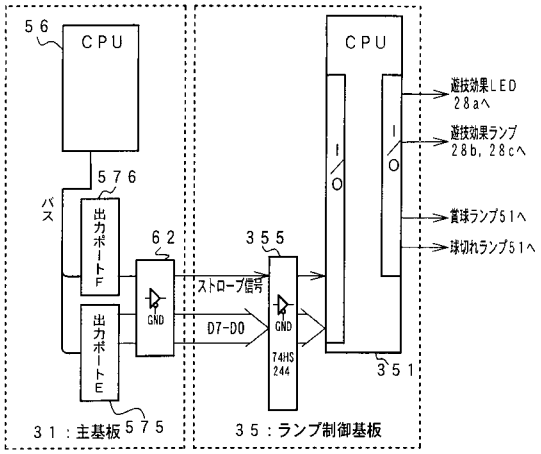
【図５】


571
出力ポートA
出力ポートB
63
572
80
102
制御データROM
107
105
101
表示制御コマンドデータ
ストローブ信号
74HC244
I/O
表示制御用CPU
IRQ1
104
83
103
リセット回路
VDP
DIA変換回路
発振回路
85
VRAM
キャラクタROM
87
86
主基板
31
表示制御基板
82
CRT
R
G
B
SYNC

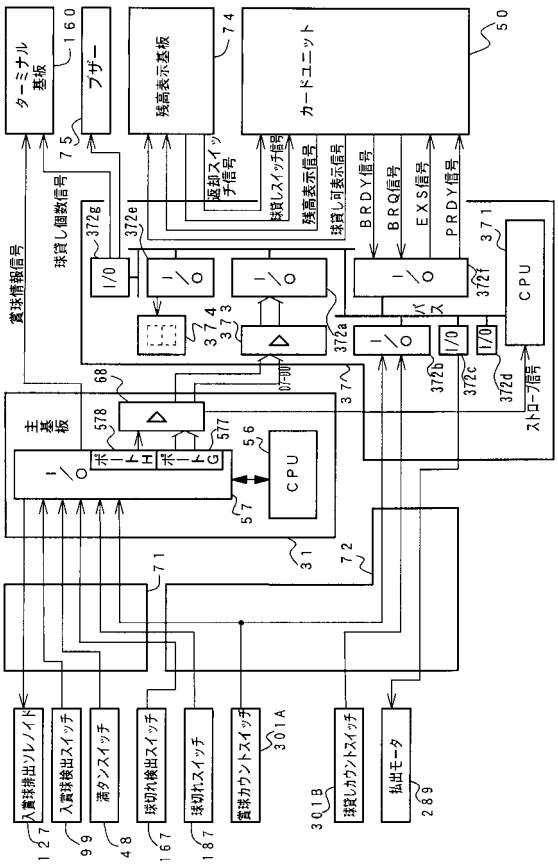
【図６】


56
CPU
バス
574
出力ポートD
出力ポートC
67
GND
573
31：主基板
70：
音声制御基板
音量増幅回路
704
スピーカ27（左）
スピーカ27（右）
音量切替回路
703
音声合成回路
702
SRDY
SI
SICK
SIRQ
705
701
ストローブ信号
D7-D0
GND
74HS244
I/O
CPU

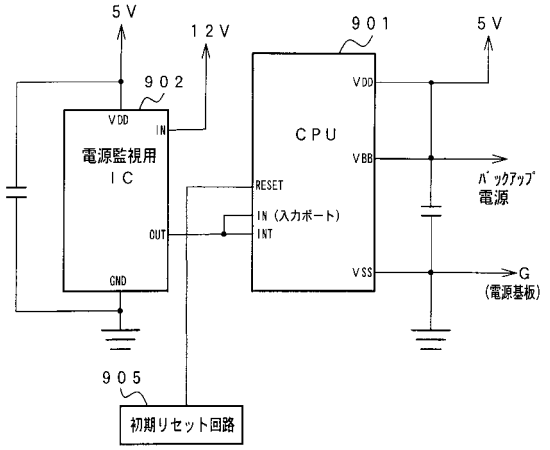
【図７】


56
CPU
576
バス
出力ポート
62
355
ストローブ信号
D7-D0
GND
74HS 244
CPU
I/O
遊技効果LED 28aへ
遊技効果ランプ 28b, 28cへ
賞球ランプ51へ
球切れランプ51へ
351
575
31：主基板
35：ランプ制御基板

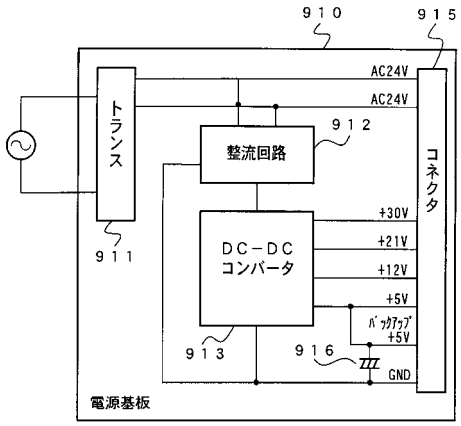
【図８】


ターミナル基板
160
ブザー
75
残高表示基板
74
カードユニット
50
賞球情報信号
球貸し個数信号
372g
372e
I/O
返却スイッチ信号
球貸しスイッチ信号
残高表示信号
球貸し可表示信号
BRDY信号
BRQ信号
EXS信号
PRDY信号
371
CPU
372f
373
374
372a
372b
372c
372d
ストローブ信号
D7-D00
370
68
主基板
578
ポートE
ポートG
577
56
CPU
57
31
72
71
入賞球排出ソレノイド
入賞球検出スイッチ
落ダンスイッチ
球切れ検出スイッチ
球切れスイッチ
賞球カウントスイッチ
301A
301B
球貸しカウントスイッチ
払出モータ
289
127
99
48
167
187

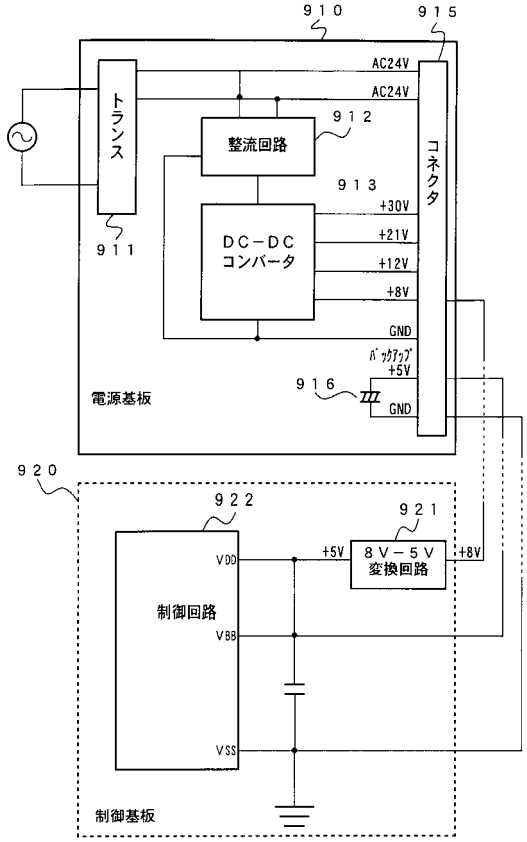
【図９】


5V
12V
902
VDD
IN
電源監視用 IC
OUT
GND
901
CPU
VDD
VBB
RESET
IN（入力ポート）
INT
VSS
5V
バックアップ電源
G
（電源基板）
905
初期リセット回路

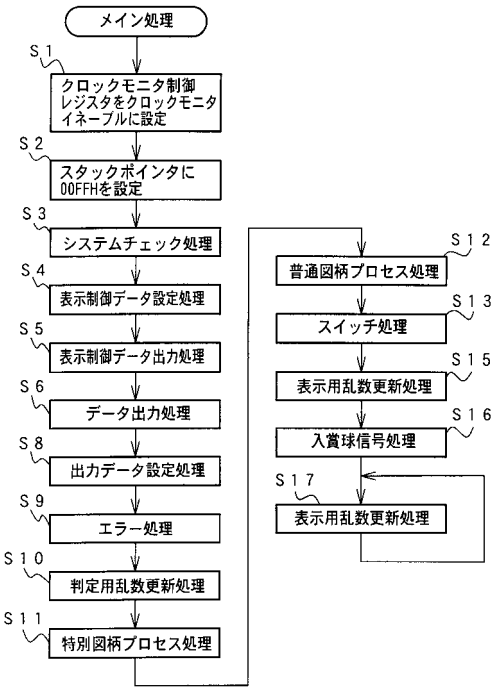
【図１０】


910
915
AC24V
AC24V
トランス
911
整流回路
912
DC－DC コンバータ
913
+30V
+21V
+12V
+5V
バックアップ +5V
916
GND
コネクタ
電源基板

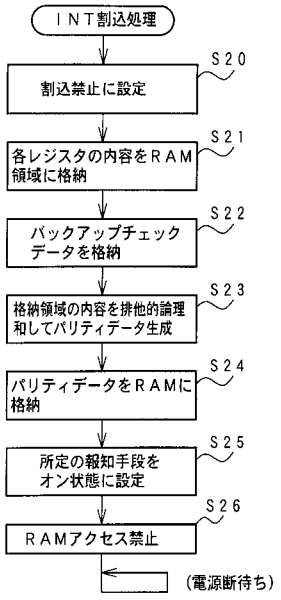
【図１１】



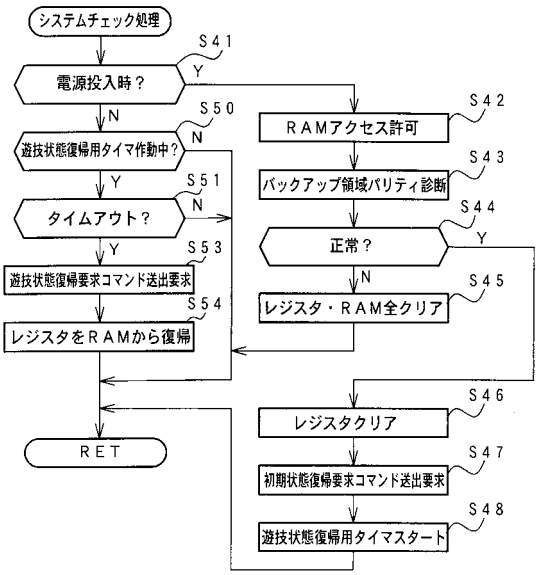
【図１２】



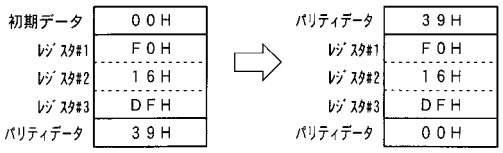
【図１３】



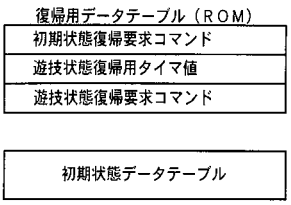
【図１４】



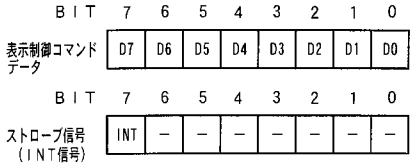
【図１５】



【図１６】



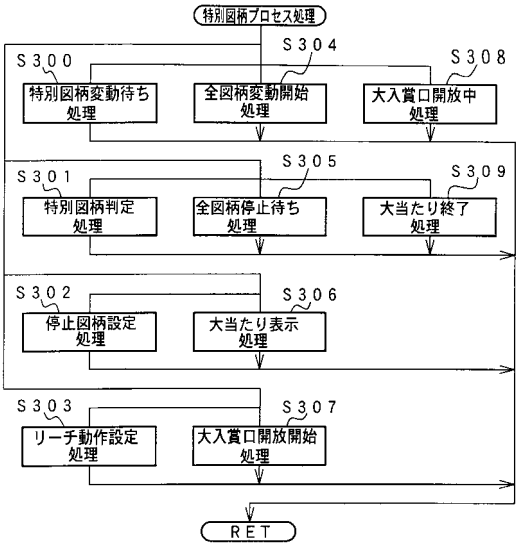
【図１７】



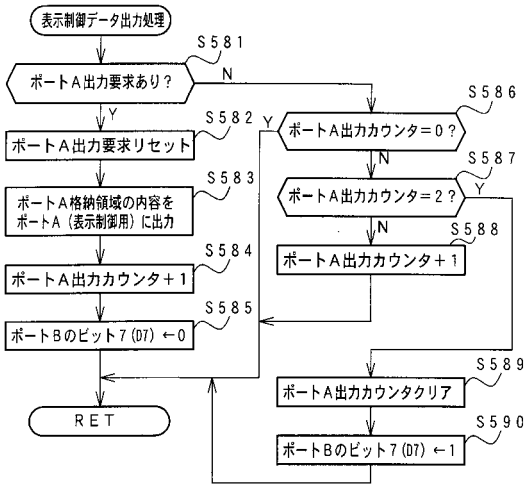
【図１８】

D7～D4	D3～D0
0 0 0 1	リーチ種類，全図柄停止等
1 0 0 0	左図柄停止図柄
1 0 0 1	中図柄停止図柄
1 0 1 0	右図柄停止図柄
1 1 0 0	大入賞口開放回数等
1 1 1 0	初期状態復帰要求
1 1 1 1	遊技状態復帰要求

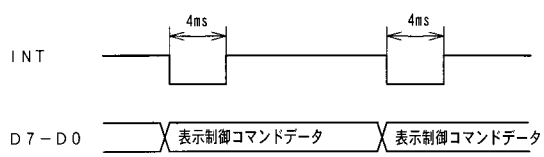
【図１９】



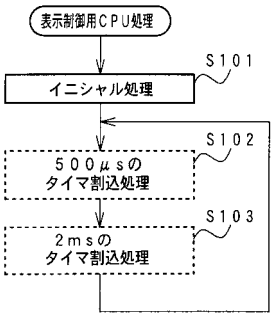
【図２０】



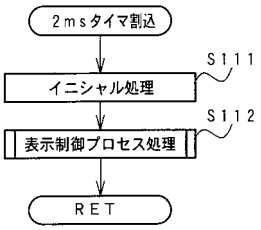
【図２１】



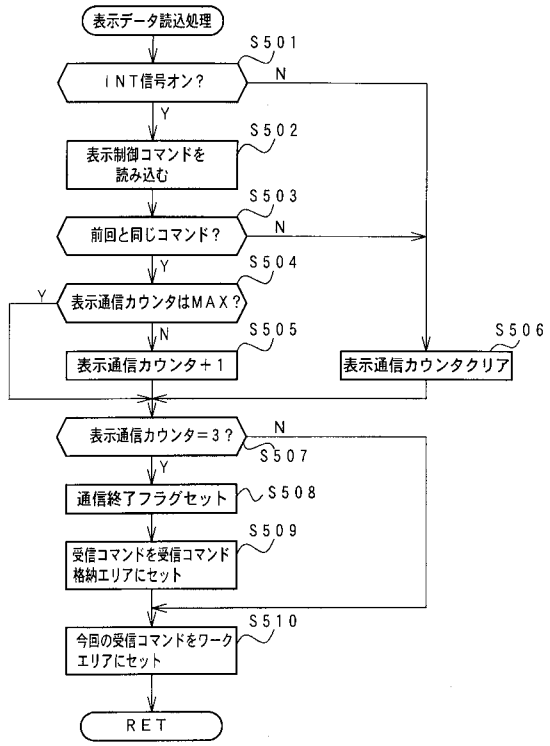
【図２２】



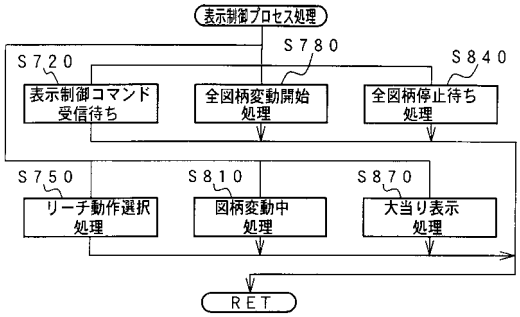
【図２３】



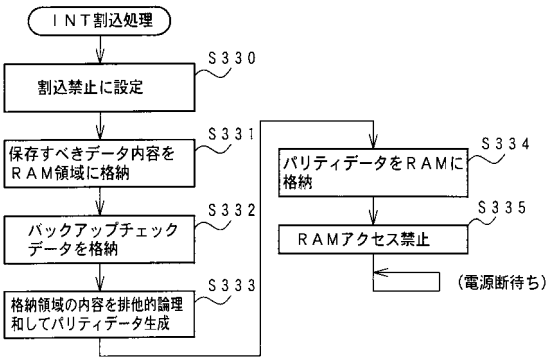
【図２４】



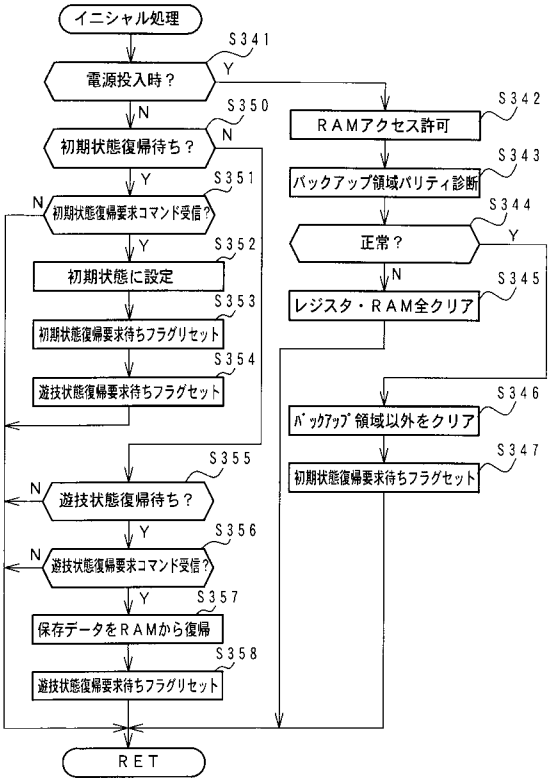
【図２５】



【図２６】



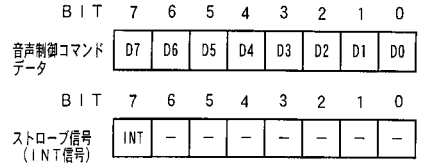
【図２７】



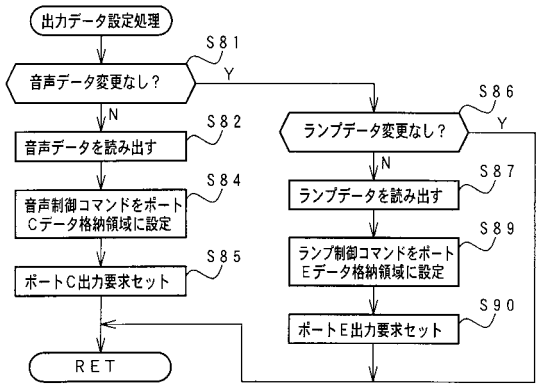
【図２８】

音声制御コマンド	内　容
００Ｈ	無音（全チャネル停止）
０１Ｈ	通常変動音
０２Ｈ	左図柄停止音
０３Ｈ	右図柄停止音
０４Ｈ	中図柄停止音
０５Ｈ	右図柄すべり音
０６Ｈ	右図柄すべり停止音
０７Ｈ	リーチ開始音
０８Ｈ	コマ送り音
０９Ｈ	全図柄停止音
０ＡＨ	図柄停止音
０ＢＨ	特定図柄音
０ＣＨ	キャラクタ１音＃１
０ＤＨ	キャラクタ１音＃２
０ＥＨ	キャラクタ１音＃３
０ＦＨ	キャラクタ２音＃１
１０Ｈ	キャラクタ２音＃２
１１Ｈ	キャラクタ３音＃１
１２Ｈ	キャラクタ３音＃２
１３Ｈ	キャラクタ３音＃３
１４Ｈ	キャラクタ３音＃４
１ＡＨ	予告音１
１ＢＨ	予告音２
１ＣＨ	予告音３
２８Ｈ	ファンファーレ音
２９Ｈ	大当り中音
２ＡＨ	大当り終了音
２ＦＨ	全図柄再変動音
７ＣＨ	全チャネル停止
ＥＯＨ	初期状態復帰要求
ＦＯＨ	遊技状態復帰要求

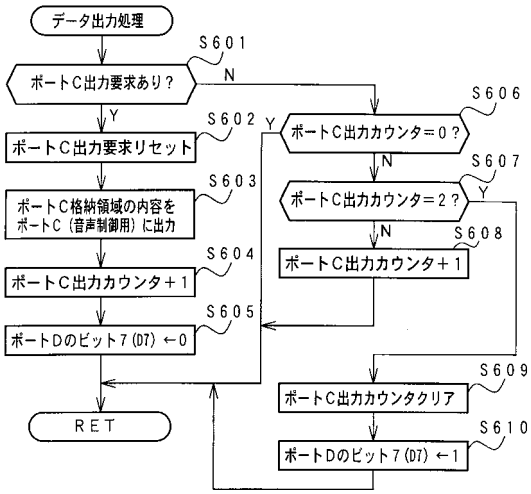
【図２９】



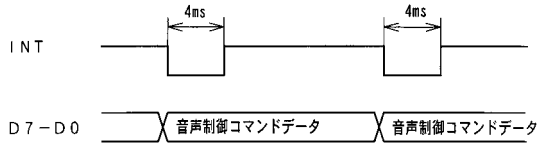
【図３０】



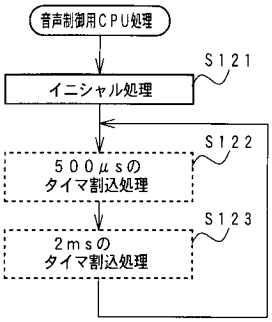
【図３１】



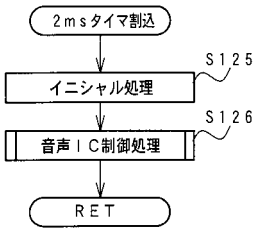
【図３２】



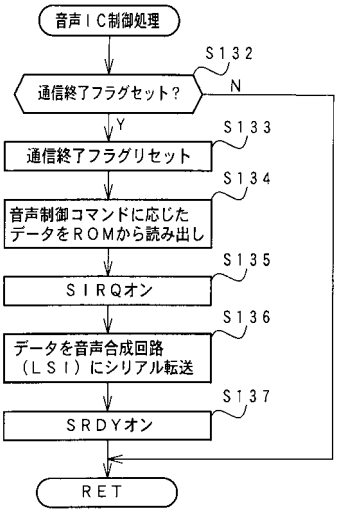
【図３３】



【図３４】



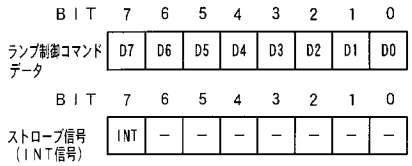
【図３５】



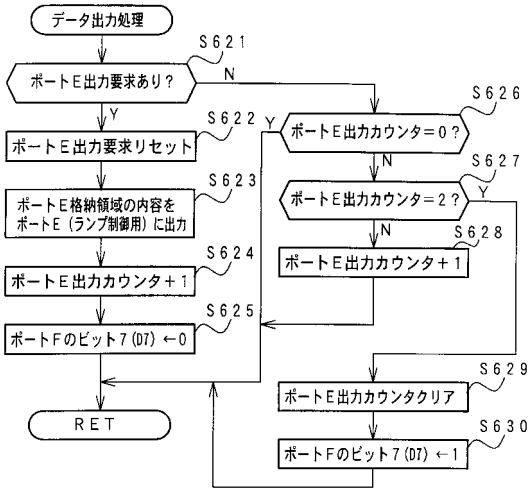
【図３６】

ランプ制御コマンド	内　容
００Ｈ	全ランプ・ＬＥＤ消灯指定
０１Ｈ	通常時ランプ指定
０２Ｈ	通常時ランプ指定（高確率時）
０３Ｈ	変動中ランプ指定
０４Ｈ	変動中ランプ指定（高確率時）
０５Ｈ	特殊変動時ランプ指定
０６Ｈ	特殊変動時ランプ指定（高確率時）
０７Ｈ	大当り予告時ランプ指定
０８Ｈ	大当り予告時ランプ指定（高確率時）
０９Ｈ	確定時ランプ指定
０ＡＨ	確定時ランプ指定（高確率時）
０ＢＨ	ファンファーレ時ランプ指定
０ＣＨ	開放中ランプ指定１
０ＤＨ	開放後ランプ指定
０ＥＨ	大当り終了時ランプ指定
７０Ｈ	賞球ランプ点灯パターン
７１Ｈ	球切れランプ点灯
７２Ｈ	球切れランプ消灯
７ＦＨ	エラー時ランプ指定
ＥＯＨ	初期状態復帰要求
ＦＯＨ	遊技状態復帰要求

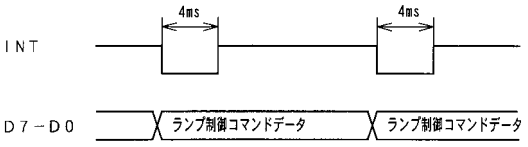
【図３７】



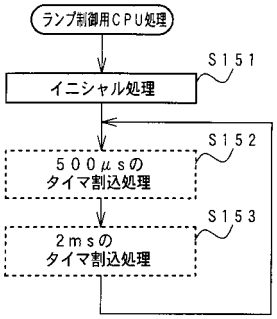
【図３８】



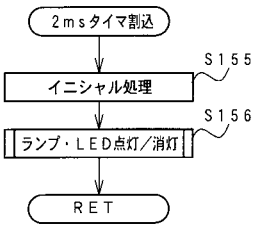
【図３９】



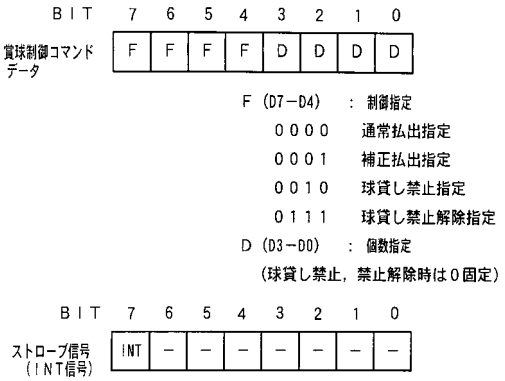
【図４０】



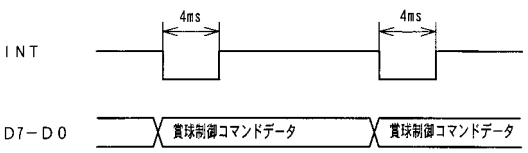
【図４１】



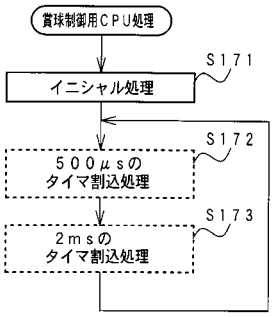
【図４２】



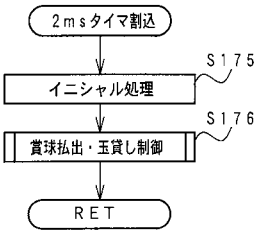
【図４３】



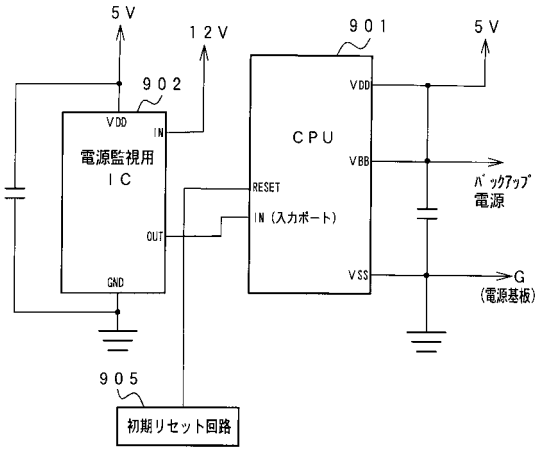
【図４４】



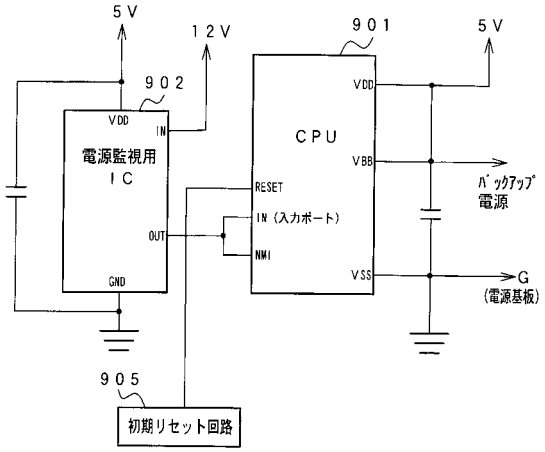
【図４５】



【図４６】



【図４７】

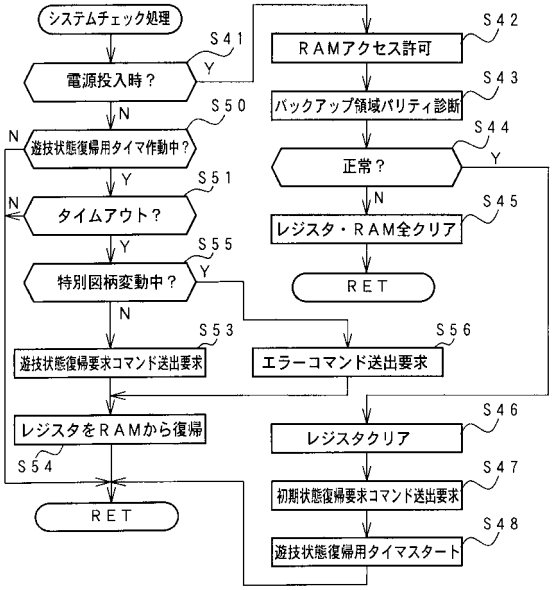


【図４８】

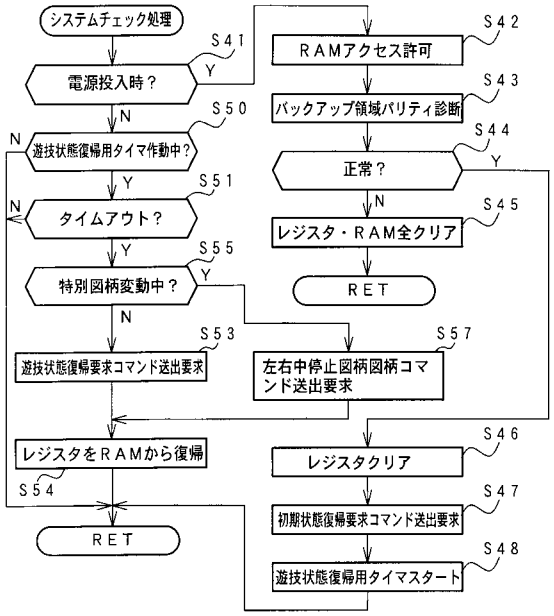
復帰用データテーブル（ＲＯＭ）

初期状態復帰要求コマンド
遊技状態復帰用タイマ値
遊技状態復帰要求コマンド
エラーコマンド
停止図柄格納領域
特別図柄プロセスフラグ設定領域

【図４９】



【図５０】


システムチェック処理
S41
電源投入時？
Y
N
S50
遊技状態復帰用タイマ作動中？
N
Y
S51
タイムアウト？
N
Y
S55
特別図柄変動中？
Y
N
S53
遊技状態復帰要求コマンド送出要求
S57
左右中停止図柄図柄コマンド送出要求
レジスタをＲＡＭから復帰
S54
ＲＥＴ
S42
ＲＡＭアクセス許可
S43
バックアップ領域パリティ診断
S44
正常？
Y
N
S45
レジスタ・ＲＡＭ全クリア
ＲＥＴ
S46
レジスタクリア
S47
初期状態復帰要求コマンド送出要求
S48
遊技状態復帰用タイマスタート

フロントページの続き

(56)参考文献 特開平１１－０６５９４８（ＪＰ，Ａ）
特開平０９－２５３３１２（ＪＰ，Ａ）
特開平０８－２２９２２４（ＪＰ，Ａ）
特開平０６－０８３７１９（ＪＰ，Ａ）
特開２００１－９６０１９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
A63F 7/02