(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3573859号
(P3573859)
(45)発行日　平成16年10月6日(2004.10.6)　(24)登録日　平成16年7月9日(2004.7.9)

(51)Int.Cl.[7]	F I		
G09G 3/36	G09G	3/36	
G02F 1/133	G02F	1/133	550
G09G 3/20	G09G	3/20	670A

請求項の数 9　(全 14 頁)

(21)出願番号　特願平7-351444
(22)出願日　平成7年12月25日(1995.12.25)
(65)公開番号　特開平9-179534
(43)公開日　平成9年7月11日(1997.7.11)
審査請求日　平成14年12月25日(2002.12.25)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　平形　吉晴
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　福永　健司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】表示方法及び表示装置

(57)【特許請求の範囲】

【請求項１】
赤色、緑色、青色を合成して表示を行い、青色を正常に表示可能な画素を複数有し、
前記複数の画素において、欠陥により赤色、緑色の少なくとも１色を正常に表示できない画素では、青色を表示させ、且つ、赤色及び緑色を表示させないことを特徴とする表示装置の表示方法。

【請求項２】
赤色、緑色、青色を合成して表示を行い、青色を正常に表示可能な画素を複数有し、
前記複数の画素において、欠陥により赤色、緑色の少なくとも１色を正常に表示できない画素の座標を記憶し、
当該画素では、青色を表示させ、且つ、赤色及び緑色を表示させないことを特徴とする表示装置の表示方法。

【請求項３】
赤色、緑色、青色を合成して表示を行い、青色を正常に表示可能な画素を複数有し、
前記複数の画素において、欠陥により赤色、緑色の少なくとも１色を正常に表示できない画素には、青色を表示させ、且つ、赤色及び緑色を表示させない補正用の映像信号を入力することを特徴とする表示装置の表示方法。

【請求項４】
赤色、緑色、青色を合成して表示を行い、青色を正常に表示可能な画素を複数有し、
前記複数の画素において、欠陥により赤色、緑色の少なくとも１色を正常に表示できない

画素の座標を記憶し、
当該画素には、青色を表示させ、且つ、赤色及び緑色を表示させない補正用の映像信号を入力することを特徴とする表示装置の表示方法。
【請求項５】
赤色、緑色、青色を合成して表示を行い、少なくとも青色を正常に表示可能な画素を複数と、
前記複数の画素のそれぞれに対応して、赤色、緑色の両方を正常に表示可能か否かの情報が記憶されている欠陥記憶素子とを有する表示装置の表示方法であって、
前記欠陥記憶素子に記憶された前記複数の画素に対応する情報を画素毎に読み出し、
前記欠陥記憶素子から読み出された情報が、赤色、緑色の両方を正常に表示可能であるという情報の場合に、当該情報に対応する画素に通常の映像信号を入力し、
前記欠陥記憶素子から読み出された情報が、赤色、緑色の少なくとの１色を正常に表示できないという情報の場合に、当該情報に対応する画素に青色を表示させ、且つ、赤色及び緑色を表示させない補正用の映像信号を入力することを特徴とする表示装置の表示方法。
【請求項６】
請求項５において、
前記欠陥記憶素子は、書き換え可能であることを特徴とする表示装置の表示方法。
【請求項７】
赤色、緑色、青色を合成して表示を行い、少なくとも青色を正常に表示可能な画素を複数有するパネルと、
前記複数の画素のそれぞれに対応して、赤色、緑色の両方を正常に表示可能か否かの情報が記憶されている欠陥記憶素子と、
前記欠陥記憶素子の前記情報のアドレスを発生するアドレスポインター回路と、
通常の映像信号と、前記パネルに入力される水平・垂直走査制御クロック及び水平・垂直走査制御信号と、前記アドレスポインター回路に入力される制御信号とを発生するパネル制御回路と、
青色を表示させ、且つ、赤色及び緑色を表示させない補正用の映像信号を発生する補正映像信号供給回路と、
前記欠陥記憶素子から読み出された情報に応じて、前記通常の映像信号または前記補正用の映像信号を切りかえて前記パネルに入力する手段とを有することを特徴とする表示装置。
【請求項８】
赤色、緑色、青色を合成して表示を行い、少なくとも青色を正常に表示可能な画素を複数有するパネルと、
赤色、緑色それぞれについて、正常に表示できない画素の欠陥アドレスの情報が記憶されている欠陥記憶素子と、
前記欠陥記憶素子の前記情報のアドレスを発生するアドレスポインター回路と、
前記複数の画素のそれぞれに対応した物理アドレスを発生する物理アドレスポインター回路と、
通常の映像信号と、前記パネルに入力される水平・垂直走査制御クロック及び水平・垂直走査制御信号と、前記アドレスポインター回路及び前記物理アドレスポインター回路に入力される制御信号とを発生するパネル制御回路と、
青色を表示させ、且つ、赤色及び緑色を表示させない補正用の映像信号を発生する補正映像信号供給回路と、
前記欠陥記憶素子から読み出された前記欠陥アドレスと、前記物理アドレスポインター回路から出力された前記物理アドレスとを比較して一致の有無を調べる一致検出回路と、
前記一致検出回路の出力信号に応じて、前記通常の映像信号または前記補正用の映像信号を切りかえて前記パネルに入力する手段とを有することを特徴とする表示装置。
【請求項９】
請求項７または請求項８において、

前記欠陥記憶素子は、書き換え可能な記憶素子であることを特徴とする表示装置。

【発明の詳細な説明】

【０００１】

【発明が属する技術分野】

本明細書で開示する発明は、アクティブマトリクス型液晶表示装置の回路構成に関する。特に、液晶表示装置においてカラー表示を行う場合の回路構成に関する。

【０００２】

【従来の技術】

現在、数十万～数百万画素の液晶パネルを組み合わせることで、様々なカラープロジェクター表示装置が制作されている。これらの表示装置は携帯機器やデスクトップパソコンのディスプレイとして用いられてきたが、最近ではより高画質なものが求められている。

【０００３】

従って、ここで使用される液晶パネルは、その制作にあたって表示画素に欠陥のないものが望まれる。しかし、数十万～数百万もの画素を作製する以上、画素の動作不良による欠陥は不可避であるのが現状である。

【０００４】

そこで、実際には数十個程度の欠陥であれば良品として使用する場合が多い。これらの製品をすべて不良品としてしまうと、歩留りが極端に悪くなるため制作される液晶パネルは非常に高価な代物となってしまう。

【０００５】

これでは、需要に対して供給が間に合わないばかりか、消費者にとっては高級品としか映らず普及は望めないであろう。そのため、各製造メーカーとも多少の欠陥は許容して歩留りを上げ、液晶パネルの価格を下げている。

【０００６】

通常このような欠陥は程度の差こそあれ、意識して確認しないと気がつかないものであるが、一度意識してしまうとかなり気になるのも事実である。なぜなら、欠陥となった表示画素からの映像光はたとえ一つの画素であっても、その時発する色調により目立つことが多いからである。

【０００７】

従って、個人的にモニタやＴＶ画面としての使用で購入する場合、価格の面から考えてもかなり気を使うところである。このことが、液晶表示装置を広く一般に普及させるための大きな障害となっている。

【０００８】

【発明が解決しようとする課題】

以上の問題点を解決すべく、本発明は欠陥が存在する液晶パネルを用いた場合においても、極力その欠陥を目立たないものとして映像画質を向上させる技術を提供することを課題とする。

【０００９】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

液晶パネルの欠陥座標を示す欠陥記憶素子と、

前記欠陥記憶素子に対してアドレスを発生するアドレスポインター回路と、

通常の映像信号と補正用の映像信号を切り換える手段と、

液晶パネルへのクロックや水平・垂直走査制御信号、およびこれらに同期した前記欠陥記憶素子のアドレスを発生するクロックやアドレスポインター制御信号を発生する液晶パネル制御回路と、

前記液晶パネル制御回路から送られた映像信号を取り込み、前記液晶パネルの走査を制御するドライバー回路と、

マトリクス状に配置された薄膜トランジスタでもって構成される液晶表示素子を有することを特徴とする。

【００１０】
また、他の発明の構成は、
液晶パネルの欠陥座標を示す欠陥記憶素子と、
前記欠陥記憶素子に対してアドレスを発生するアドレスポインター回路と、
液晶パネルの物理座標を発生する物理アドレスポインター回路と、
前記欠陥記憶素子から読み出される前記欠陥座標と前記物理アドレスポインター回路から発生する前記物理座標とを比較して一致の有無を調べる一致検出回路と、
前記一致検出回路が一致すると認識した際の信号により通常の映像信号と補正用の映像信号を切り換える手段と、
液晶パネルへのクロックや水平・垂直走査制御信号、およびこれらに同期した前記欠陥記憶素子のアドレスを発生するクロックやアドレスポインター制御信号を発生する液晶パネル制御回路と、
前記液晶パネル制御回路から送られた映像信号を取り込み、前記液晶パネルの走査を制御するドライバー回路と、
マトリクス状に配置された薄膜トランジスタでもって構成される液晶表示素子を有することを特徴とする。
【００１１】
通常の映像信号に対して、補正用の映像信号（以下、映像補正信号とよぶ）とは、液晶パネル上に欠陥箇所が認識された時にその欠陥座標に位置する映像を補正するための映像信号を指す。なお、欠陥座標（液晶パネル上において欠陥箇所を示す座標）は液晶を表示する際に走査される順番に従って座標決めが行なわれることとする。
【００１２】
欠陥の補正方法としては、カラー表示において、赤もしくは緑の液晶パネルに欠陥箇所があれば、その欠陥箇所には映像信号を与えず、代わりに青の液晶パネルの映像信号でもって補正する方法を用いる。従って、青の液晶パネルに使用掏る液晶パネルは極力欠陥の少ないものでなくてはならない。
【００１３】
また、映像補正信号は長時間の電圧印加により生じる液晶の劣化や、電気光学特性のヒステリシスの発生を防ぐため、電圧極性を反転させながら発生させる。
【００１４】
また、液晶パネルと補正映像信号供給回路とを同一ガラス基板上に形成することも可能である。さらに液晶パネル制御回路を同一ガラス基板上に組み込んでしまえば、外部入力として映像信号のみを必要とする集積化回路が実現できる。
【００１５】
上記構成を有する液晶表示装置について、より詳細な説明を実施例において説明する。
【００１６】
【実施例】
〔実施例１〕
本実施例では、欠陥記憶素子（メモリ）の欠陥アドレスに欠陥箇所の有無を示す信号（ここでは欠陥フラグとよぶ）を格納しておく例を示す。この回路は図１で示される構成となっている。なお、ここでいう欠陥記憶素子とは、欠陥箇所の有無を示すものであり欠陥フラグ記憶素子といったニュアンスを持つ。
【００１７】
まず構成の概略を説明する。補正映像信号供給回路は、アドレスポインター回路１０１、欠陥記憶素子１０２と、欠陥記憶素子１０２からの信号を受けて映像信号と映像補正信号とを切り換える３つのマルチプレクサ１０３、１０４、１０５で構成される。
【００１８】
また、液晶パネル（本実施例ではシフトレジスタ方式とする）の表示制御は液晶パネル制御回路１０６からのＨＳＹＮＣ　やＶＳＹＮＣ　（水平・垂直走査制御信号）およびＨＣＬＫやＶＣＬＫ（水平・垂直走査制御クロック）にて行われる。これらの信号は液晶パネ

ルだけでなく反転タイミング発生回路１０７へも入力される。
【００１９】
以上の補正映像信号供給回路および液晶パネル制御回路１０６は、それぞれパネル外部にあって、Ｒ（赤）、Ｇ（緑）、Ｂ（青）それぞれに対応する液晶パネル１０８、１０９、１１０へと接続されている。この際、Ｂに対応する液晶パネル１１０は欠陥映像補正用であるので、極力欠陥の少ないものでなくてはならない。
【００２０】
また、本実施例では動作原理を説明するため、パイプライン構造や信号の受渡しに用いるフリップフロップ回路等を省略してある。また、クロックのタイミング等の詳細な説明も省略する。
【００２１】
ここで、上記欠陥記憶素子１０２について詳細な説明を行う。欠陥記憶素子１０２には液晶パネルの構成画素に１対１で対応したアドレス（以下、欠陥箇所を示すという意味で欠陥アドレスとよぶ）が確保され、各欠陥アドレスには欠陥箇所の有無を示す信号が格納される。そのため、この欠陥記憶素子１０２は液晶パネル１枚分の構成画素数に等しいまたはそれ以上に相当するデータ深さのビット数を必要とする。
【００２２】
上記の欠陥箇所の有無を示す信号は、２進法を用いて１もしくは０のいずれかの信号で表すこととする。本実施例では、欠陥有りは１の信号、欠陥無しは０の信号とする。
【００２３】
また、本実施例ではＲとＧに対応した液晶パネル１０８、１０９のそれぞれの欠陥箇所の論理和をとって、欠陥アドレスに格納しておく方式とする。即ち、ＲとＧいずれかの液晶パネルに欠陥があれば、欠陥アドレスには１の信号が格納され、どちらのパネルにも欠陥がなければ０の信号が格納される。
従って、欠陥記憶素子１０２は０もしくは１の信号を格納する分として１ビットのデータ幅が確保されていれば良い。
【００２４】
また、上記方法以外にＲとＧに対応した液晶パネル１０８、１０９ごとにアドレスポインター回路と欠陥記憶素子とを用意し、個別に欠陥箇所の管理を行っても良い。この場合、アドレスポインター回路と欠陥記憶素子が２組分必要となるが、個別に欠陥箇所を管理できるため有効である。
また、この場合、ＲとＧに対応したそれぞれの欠陥記憶素子から出力された結果（欠陥が有るか無いか）の論理和をとって映像信号と映像補正信号の切り換えに使用すれば良い。
【００２５】
上記の欠陥記憶素子１０２は不揮発性のＲＯＭ　を使用しても良いし、外部から書込み可能な構成とし、ＲＡＭ　で構成してハードディスク等からその都度設定しても構わない。ＲＯＭ　を使用すると、データ管理が容易であるという利点がある。
【００２６】
例えば、ＥＷＳ仕様（１２８０×１０２４画素）の液晶パネルを使用する場合には、約１３０　万個の画素が存在する。従って、データ深さが約１．３　Ｍビット、データ幅が１ビットの容量を持つ欠陥記憶素子が必要となる。
【００２７】
次にアドレスポインター回路１０１について詳細な説明を行う。アドレスポインター回路１０１は、現在液晶パネルで表示している座標（以下、物理座標とよぶ）に対応した物理アドレスを発生する回路である。
【００２８】
ここで、図１においてアドレスポインター回路１０１に入力されるＩＮＣＥＮＡはＨドライバー回路（水平走査制御用回路）１１１の走査期間を基準に発生されるインクリメントイネーブル信号（以下、ＩＮＣＥＮＡと略記する）である。液晶パネルでは表示の前後にダミーサイクルが存在するが、この信号はダミーサイクルを無視して有効表示区間を利用

するための信号である。
【００２９】
この信号が入力されている時にクロック（ＣＬＫ　）が入ると、アドレスポインター回路１０１において物理座標の変化に対応した物理アドレスがカウントアップされる。
【００３０】
この物理アドレスはカウントアップを繰り返しながら、順次欠陥記憶素子１０２の欠陥アドレスをカウントアップさせていく。即ち、液晶パネルにおいて座標が次の座標に移る（物理アドレスが一つカウントアップされることに対応する）と、次の欠陥アドレスが発生する。
【００３１】
その都度、欠陥記憶素子１０２に格納されている１または０（欠陥有りまたは無し）の信号が出力されていく。この動作をＥＷＳ仕様ならば約１３０　万画素分繰り返すことになる。
【００３２】
従って、データ深さが約１．３　Ｍビットである欠陥記憶素子１０２の全アドレスを指示するためには、アドレスポインター回路１０１にはデータ幅として２１ビットを確保しなければならない。
【００３３】
また、図１においてアドレスポインター回路１０１に入力されるＬＤＥＮＡ　は物理アドレスが最大アドレスとなった時に、すべてのポインターに初期アドレスを設定するための制御信号である。ＣＬＥＡＲ　は電源投入時もしくはコントローラからのリセット時にシステムの初期化を行うために使用される。
【００３４】
これら液晶パネル制御回路１０６から発生するアドレスポインター制御信号は、同じく液晶パネル制御回路１０６から発生するＶＳＹＮＣ　やＨＳＹＮＣ　等の液晶パネル制御信号と同期している。
【００３５】
次に、図１を用いて上記構成でなる液晶表示装置において、液晶パネルに欠陥を認識した場合の補正方法について動作原理を説明する。
【００３６】
まず、外部から取り込まれたＲＧＢの映像信号は、液晶パネル制御回路１０６によってＲＧＢそれぞれに対応した３枚の液晶パネル１０８、１０９、１１０に映像表示される。また、その際に液晶パネルへ印加されるＨＣＬＫやＶＣＬＫは、タイミング発生器から発振器等により発生した基準クロックを液晶パネル制御回路１０６で制御して出力される。
【００３７】
その際、液晶パネルのＨドライバー回路１１１およびＶドライバー回路１１２は、それぞれＨＳＹＮＣ　、ＨＣＬＫおよびＶＳＹＮＣ　、ＶＣＬＫによって制御される。また、ＳＨ回路１１３は、取り込まれた映像信号のサンプリングとホールドを行う。
【００３８】
液晶パネルを走査する水平走査制御信号が前述の有効表示区間にある時、液晶パネル制御回路１０６からはＩＮＣＥＮＡで示される信号がアドレスポインター回路１０１に発せられる。そのため、クロックが入るたびにアドレスポインター回路１０１において物理アドレスがカウントアップされ、順次欠陥記憶素子１０２へと印加される。
【００３９】
前述のように欠陥記憶素子１０２内では、液晶パネルの欠陥箇所（正確にはＲとＧ２枚の液晶パネルの欠陥箇所の論理和）に対応した欠陥フラグが格納されている。この時、この欠陥フラグが１の信号であれば欠陥有り、０の信号であれば欠陥無しである。
【００４０】
アドレスポインター回路１０１において物理アドレスがカウントアップすると、次の物理アドレスが発生する。この時、物理アドレスと対応した物理座標が欠陥箇所でなければ、

欠陥記憶素子には0を示す信号が格納されており、出力結果として0の信号が発生する。また、物理アドレスに対応した物理座標が欠陥箇所であれば、欠陥記憶素子には1の信号が格納さており、出力結果として1の信号が発生する。

【００４１】

次に、欠陥記憶素子１０２からの出力結果はＲＧＢそれぞれに対応した３つのマルチプレクサ１０３、１０４、１０５に印加される。

このマルチプレクサ１０３、１０４、１０５は、欠陥記憶素子１０２からの出力結果が0の信号なら映像信号を出力し、1の信号ならＲＧＢに対応した映像補正信号を出力する役割を果たすいわゆる選択装置である。

【００４２】

このＲＧＢに対応した３つの映像補正信号の補正レベルは、補正レベル切り換え用の３つのマルチプレクサ１１４、１１５、１１６によって選択される。この選択は、反転タイミング発生回路１０７とフリップフロップ回路１１７で発生したタイミング信号を用いて行われる。

【００４３】

補正レベルを変えるとはいってもプラスとマイナスが反転するだけであって、液晶の劣化や焼付けを防ぐための対策である。基本的には、ＲとＧに対応した映像補正信号は液晶に透光性を与えないレベルとする。逆に、Ｂに対応した映像補正信号は液晶に透光性を与えるレベルとする。

【００４４】

即ち、ＲとＧに対応した液晶パネル１０８、１０９に関しては欠陥箇所に表示は行われず、Ｂに対応した液晶パネル１１０のみが表示される。これによって、ＲＧＢを合成した映像を視覚的に見た際に、欠陥箇所は青色のみで表示されることになる。

【００４５】

上記のように、アドレスポインター回路１０１において物理アドレスがカウントアップされるに従い、1対1で対応して欠陥アドレスもカウントアップされ、欠陥有りと認識された場合に限り青色で補正される。この繰り返しによって、映像画面の欠陥箇所を、青色補正された視覚的に目立たないものとすることが可能となる。

【００４６】

〔実施例２〕

本実施例では、実施例１に示した映像補正信号供給回路回路と液晶パネルとを同一ガラス基板上に一体化した場合の回路構成の例を示す。この回路は図２で示される構成となっている。

【００４７】

映像補正信号供給回路の基本的な動作原理については、実施例１で既に詳細な説明を行ったので本実施例での説明は省略する。また、パイプライン構造や信号の受渡しに用いるフリップフロップ回路、クロックのタイミング等の詳細な説明も省略する。

【００４８】

図２において、２０１はアドレスポインター回路、２０２は欠陥記憶素子、２０３は映像信号と映像補正信号とを切り換えるマルチプレクサである。また、点線で囲んだ領域に設けられているのは、反転タイミング発生回路２０４、フリップフロップ回路２０５、補正レベル切り換え用マルチプレクサ２０６である。また、２０７は液晶パネルである。

【００４９】

本実施例においては映像補正信号供給回路と液晶パネルを一体化するため、ＲＧＢに対応した3枚の液晶パネルのそれぞれを図２に示すような構成とする。また、欠陥記憶素子２０２の欠陥アドレスには、ＲとＧに対応した液晶パネルの欠陥箇所の論理和をとった結果を格納してある。従って、各液晶パネルごとに映像補正を行なうことができる。

【００５０】

また、ＲとＧに対応した液晶パネルごとに個別に欠陥箇所を格納しておく方式もある。この場合、ＲとＧに対応した液晶パネルごとに欠陥箇所の管理を行えるが、映像補正信号の

切り換えは外部から入力した他のパネルの出力結果との論理和でもって行う必要がある。
【００５１】
なお、上記の方式による場合に限り、図２の破線で示されるライン２０８を基板上に設け、このラインでもって他の液晶パネルの欠陥アドレスとの論理和をとる。この時、図２においてＩＮＲＳＬＴで示される信号が他の液晶パネルの出力結果であり、ＯＵＴＲＳＬＴで示される信号が他の液晶パネルへ送られる出力結果である。
【００５２】
また、本実施例では実施例１で説明したような液晶パネル制御回路はパネル外部に外付けされる。従って、液晶パネル制御回路から発生するＨＳＹＮＣ やＶＳＹＮＣ 、ＩＮＣＥＮＡ、映像信号などは、端子でもって外部から入力される。勿論、この液晶パネル制御回路を同一基板上に組み込んで、より集積化を実現することも可能である。
【００５３】
〔実施例３〕
本実施例では、０または１の２進法で表される欠陥座標を欠陥記憶素子に記憶することで、欠陥記憶素子の容量を必要最低限に抑えて構成した映像補正信号供給回路を用いた場合の例を示す。この回路は図３で示される構成となっている。なお、ここでいう欠陥記憶素子とは欠陥アドレスに０または１の信号を格納して欠陥座標（欠陥アドレスデータ）を記憶しておくものであり欠陥座標記憶素子と考えれば良い点で実施例１とは異なる。
【００５４】
図３において、３０１、３０２はそれぞれＲとＧに対応したアドレスポインター回路、３０３、３０４はそれぞれＲとＧに対応した欠陥記憶素子、３０５、３０６、３０７はそれぞれＲＧＢに対応した映像信号と映像補正信号とを切り換えるマルチプレクサである。
【００５５】
また、反転タイミング発生回路３０８、フリップフロップ回路３０９、補正レベル切り換え用マルチプレクサ３１０、３１１、３１２等で構成される補正信号発生回路は既に実施例１で詳細な説明を行ったのでここでは説明を省略する。
【００５６】
実施例１または実施例２で示したように、液晶パネル１枚分の構成画素に相当する欠陥アドレスを確保すると欠陥記憶素子の容量は非常に大きなものとなる。これは、液晶パネルの構成画素数が百数十万以上であることによる。
【００５７】
しかし、良品パネルとしての選別欠陥数（許容される欠陥の数）は数十個以下である。即ち、どこに欠陥箇所があるかを記憶しておくだけならば、百数十万桁の欠陥アドレスを格納できる二十数ビット程度のデータ幅を備えた欠陥記憶素子で十分である。また、深さ方向には、欠陥箇所の数、即ち、数十個分のデータ深さを備えていれば足りる。
【００５８】
本実施例の大きな特徴は、この点を考慮して欠陥記憶素子３０３、３０４記憶容量を数百～１Ｋ ビット程度に抑えている点である。例えば、ＥＷＳ仕様の液晶パネルを使用する場合においては、約１３０ 万画素分の欠陥座標を２１ビット程度のデータ幅で示すことになる。
【００５９】
ここで一つの問題がある。欠陥記憶素子３０３、３０４には、それぞれＲとＧに対応した欠陥アドレスが複数個分確保されている。しかし、各液晶パネル３１９、３２０の欠陥箇所が、確保された欠陥アドレスに満たない場合、残りの欠陥アドレスは必要が無くなってしまう。
【００６０】
しかし、必要が無くなった欠陥アドレスにもランダムに０または１の信号が格納されてしまう。すると、その部分に格納された信号が欠陥箇所を示すものでなくても、欠陥箇所を示すと見なされて出力されてしまう。
【００６１】

そのため、欠陥アドレスのどこまでが有効であるかを認識する手段が必要となる。本実施例では、欠陥記憶素子３０３、３０４の各欠陥アドレスに対して有効ビットと名付ける１ビット分のデータ幅を追加して、その欠陥アドレスが有効であるかどうかを確認する。

【００６２】

本実施例では、その欠陥アドレスが有効である場合、有効ビットには１の信号を格納しておく。また、その欠陥アドレスが無効である場合、有効ビットには０の信号を格納しておく。勿論、この定義は回路構成の都合により任意である。

【００６３】

従って、欠陥記憶素子のデータ幅は、欠陥箇所を示す信号を格納する欠陥アドレス（複数ビット）とその欠陥アドレスが有効であることを示す有効ビット（１ビット）とを合わせ持たなければならない。これは本発明の特徴の一つである。

【００６４】

次に、映像補正信号供給回路の動作原理を図３を用いて説明する。ただし、各回路の詳細な説明は実施例１で既に行なったのでここでは省略する。

【００６５】

まず、液晶パネル制御回路３１３から発生したＩＮＣＥＮＡは、それぞれＲとＧに対応したアドレスポインター回路３０１、３０２へと印加される。なお、欠陥記憶素子３０３、３０４が複数個重ね合わせて図示されているのは、データ幅が多ビットであることを意味する。

【００６６】

次に、欠陥記憶素子３０３、３０４に読み出されたＲとＧに対応した欠陥アドレスデータは、物理アドレスポインター回路３１４から発生した物理アドレスと照らし合わされる。この一致検出動作はＲとＧに対応した一致検出回路３１５、３１６で行われる。

【００６７】

この欠陥アドレスデータと物理アドレスとが一致すると、一致検出回路３１５、３１６から一致検出信号が発生する。本実施例では、この一致検出信号を１の信号で表す。この一致検出信号が発生した場合、液晶パネルにおいて欠陥箇所が認識されたことを意味する。

【００６８】

また、欠陥アドレスデータと物理アドレスとが一致しない場合は、欠陥箇所は認識されないということで０の信号が発生する。

【００６９】

次に、この一致検出信号と有効ビットに格納された信号との論理積をとり、一致検出信号が有効であることを確認する。もし、有効ビットに０の信号（無効の信号）が格納されていれば、論理積は必ず０となり一致検出信号は無効となって０の信号が出力される。

【００７０】

この信号は、マルチプレクサ３０５、３０６、３０７へ向かうものとアドレスポインター回路３０１、３０２へ向かうものと二つに分岐する。そのため、まずマルチプレクサへ向かうものについて説明し、その後でアドレスポインター回路へ向かうものについて説明することにする。

【００７１】

上記信号のうちマルチプレクサへ向かうものは、ＲとＧに対応するそれぞれの論理和をとってからマルチプレクサ３０５、３０６、３０７へ送られる。この場合、ＲとＧどちらか一方の液晶パネルに欠陥箇所があれば１の信号が、ＲとＧ両方の液晶パネルに欠陥箇所がなければ０の信号が送られることになる。

【００７２】

その結果、マルチプレクサ３０５、３０６、３０７では、入力信号が１であれば映像補正信号が、０であれば映像信号が選択されて液晶パネルへと送られる。詳細は実施例１に述べたので省略する。

【００７３】

また、上記信号のうちアドレスポインター回路へ向かうものは、ＩＮＣＥＮＡとの論理積

をとった後にＲとＧに対応したアドレスポインター回路３０１、３０２へフィードバックされる。ここで、ＩＮＣＥＮＡとの論理積をとる理由は、液晶表示が有効表示区間（この時、ＩＮＣＥＮＡは１の信号で印加される）にある時のみ、アドレスポインター回路３０１、３０２のカウントアップを行なうためである。

【００７４】

即ち、液晶パネルの水平走査が有効表示区間外のダミーサイクルであれば、ＩＮＣＥＮＡが０の信号であるのでフィードバックしてきた信号との論理積は０となり、アドレスポインター回路３０１、３０２は０の信号が印加されカウントアップされない。

【００７５】

逆に、有効表示区間であれば、ＩＮＣＥＮＡが１の信号であるのでフィードバックしてきた信号との論理積は１となり、アドレスポインター回路３０１、３０２のＩＮＣ で示される入力端子に１の信号が印加され、クロックに同期してカウントアップされる

【００７６】

カウントアップされたアドレスポインター回路３０１、３０２は欠陥記憶素子に格納された次の欠陥アドレスデータを読出し、物理アドレスポインター３１４から発生する物理アドレスとの照合が繰り返される。

【００７７】

次に３１７で示される一致検出回路において物理アドレスと最大アドレスが一致すると、一致検出回路からＬＯＤ （ロード信号）が発生される。ここでＬＯＤ とは、物理アドレスポインターが最大アドレスとなった時に初期アドレスを設定するための制御信号である。この最大アドレスは３１８で示される記憶素子から発生する。

【００７８】

以上の作業を繰り返して、ＲとＧに対応した液晶パネル３１９、３２０において欠陥が認識された時、Ｂに対応した液晶パネル３２１のみが表示される。これによって、ＲＧＢを合成した映像を視覚的に見た際に、欠陥箇所は青色で表示されることになる。即ち、映像画面の点欠陥を、青色補正された視覚的に目立たないものとすることが可能となる。

【００７９】

なお、本実施例ではＲとＧに対応した液晶パネル３１９、３２０の欠陥箇所を個別の欠陥記憶素子３０３、３０４に格納しておく方式をとった。この場合、液晶パネルごと個別に欠陥箇所を管理することができる。また、欠陥記憶素子３０３、３０４はそれぞれＲとＧに対応した液晶パネル３１９、３２０の欠陥箇所のみを記憶しておけば良いので比較的小さい容量で済む。

【００８０】

勿論、上記方式以外にもＲとＧに対応した欠陥箇所の論理和を予めとり、それを一つの欠陥記憶素子に格納することも可能である。この場合、色ごとにアドレスポインター回路や欠陥記憶素子を必要としない構成となる。ただし、１組の回路で構成した場合、欠陥記憶素子容量およびアドレスポインター回路のビット数は増加する。

【００８１】

また、本実施例で用いた物理アドレスポインター回路３１４は、液晶パネルのＸ、Ｙ座標に対応して２組のポインターを用意し、これらを組み合わせて用いて良い。これにより、多ビットを要するポインターをビット数の少ないポインターに分離できるため、動作周波数が高くなった場合に対応することができる。

【００８２】

〔実施例４〕

本実施例では、実施例３で説明した映像補正信号供給回路と液晶パネルとを同一ガラス基板上に一体化した例を示す。この回路は図４で示される構成となっている。

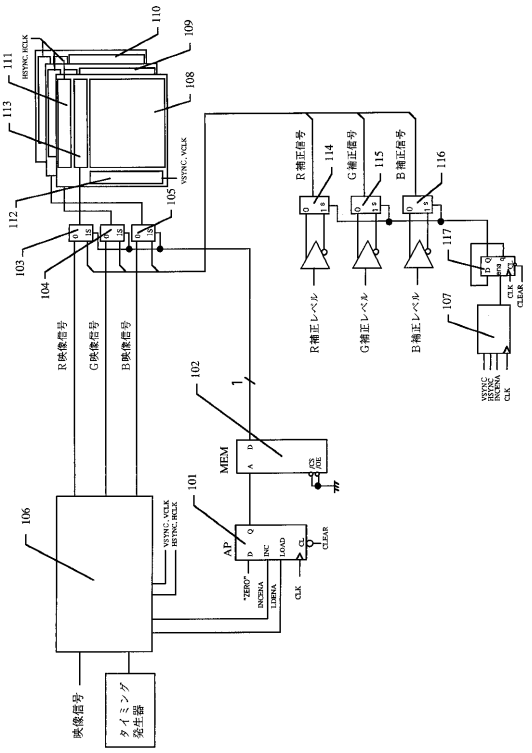
【００８３】

映像補正信号供給回路の基本的な動作原理については、実施例１および実施例３で既に詳細な説明を行ったのでここでは省略する。本実施例では、映像補正信号供給回路と液晶パネルを一体化した場合の回路構成について説明する。

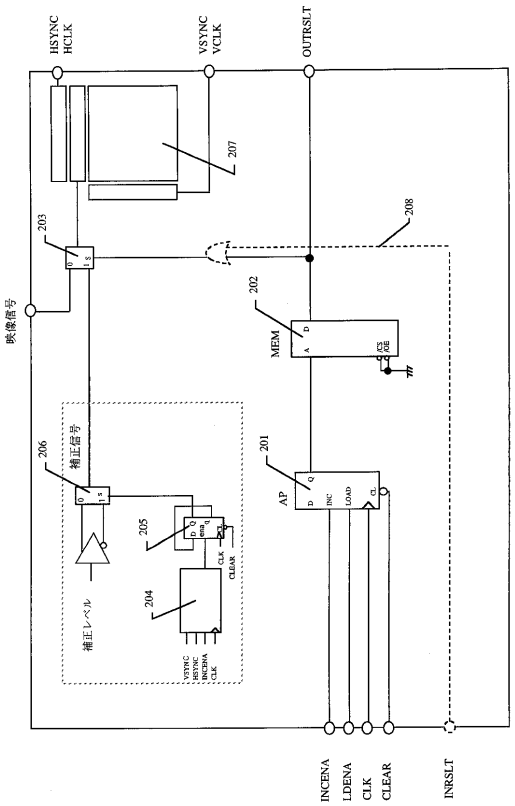
【００８４】
図４において、４０１はアドレスポインター回路、４０２は複数ビットのデータ幅を備えた欠陥記憶素子、４０３は物理アドレスと欠陥アドレスデータとを照合する一致検出回路、４０４は映像信号と映像補正信号とを切り換えるマルチプレクサである。
【００８５】
また、点線で囲んだ領域に設けられているのは、反転タイミング発生回路４０５、フリップフロップ回路４０６、補正レベル切り換え用マルチプレクサ４０７である。また、４０８は液晶パネルである。
【００８６】
また、４０９で示されるのが物理アドレスポインター回路、４１０が最大アドレスを格納する記憶素子、４１１が最大アドレスの一致検出回路である。
【００８７】
本実施例においては映像補正信号供給回路と液晶パネルを一体化するため、ＲＧＢに対応した３枚の液晶パネルのそれぞれを図４に示すような構成とする。また、欠陥記憶素子４０２の欠陥アドレスには、ＲとＧに対応した液晶パネルの欠陥箇所の論理和をとった結果を格納してある。従って、各液晶パネルごとに映像補正を行なうことができる。
【００８８】
また、液晶パネルごと個別に欠陥箇所を格納しておく方式もある。この場合、各液晶パネルで個別に欠陥箇所の管理を行えるが、映像補正信号の切り換えは、外部から入力した他のパネルの出力結果との論理和でもって行う必要がある。
【００８９】
なお、上記の方式による場合、図４の破線で示されるライン４１２を基板上に設け、このラインでもって他の液晶パネルの欠陥アドレスとの論理和をとる。この時、図４においてＩＮＲＳＬＴで示される信号が他の液晶パネルの出力結果であり、ＯＵＴＲＳＬＴ　で示される信号が他の液晶パネルへ送られる出力結果である。
【００９０】
また、本実施例では実施例１で説明したような液晶パネル制御回路はパネル外部に外付けされる。従って、液晶パネル制御回路から発生するＨＳＹＮＣ　やＶＳＹＮＣ　、ＩＮＣＥＮＡ、映像信号などは、端子でもって外部から入力される。勿論、この液晶パネル制御回路を同一基板上に組み込んで、より集積化を実現することも可能である。
【００９１】
〔実施例５〕
本実施例は、実施例３で示した構成において、欠陥記憶素子の機能に改良を加えた例である。従って、欠陥記憶素子の改良点のみについて説明する。
【００９２】
実施例３において、欠陥記憶素子のデータ幅は欠陥箇所を示す信号を格納する欠陥アドレス（複数ビット）と、その欠陥アドレスが有効であることを示す有効ビット（１ビット）との２種類で構成されていた。
【００９３】
本実施例では、対象となる液晶パネルの物理座標（アドレス）の最大値を超える欠陥アドレスデータを記憶できるデータ幅を持つ欠陥記憶素子を用いることを特徴とする。そして、物理アドレス最大値を超える値を任意に一つ決定し、その値が格納されている場合の一致検出（欠陥検出）を無効とする。
【００９４】
即ち、有効なデータが格納されない全ての欠陥アドレスに、対象となる液晶パネルの欠陥座標と絶対に重ならない値（無効値）を格納しておき、その値を認識したら一致検出の結果を０、即ち欠陥無しの状態とする構成とする。
【００９５】
この構成では、実施例３で必要としたような有効ビットを別に設ける必要がないため、欠陥記憶素子の容量を小さくすることが可能である。

【００９６】
ただし、図３において無効値を記憶した記憶素子を別個に用意し、その記憶素子から出力される無効値を示す信号と欠陥アドレスデータとの一致を検出する一致検出回路を付け足す必要がある。即ち、その一致検出回路において無効値と欠陥アドレスデータが一致することが確認されると一致検出の結果を０、即ち欠陥無しの状態とする構成とする。
【００９７】
以上の構成は、図３において有効ビットに格納された信号と一致検出回路３１５、３１６からの一致検出信号の論理積をとる作業と同じ効果を有している。
【００９８】
【発明の効果】
本明細書で開示する発明によれば、カラー液晶表示装置において赤または緑に対応する液晶パネルに欠陥箇所があった場合、ただちに通常の映像信号と映像補正信号の切り換えが行なわれる。
【００９９】
具体的には、赤または緑に対応する液晶パネルの欠陥箇所は表示が行なわれず、その代わり青に対応する液晶パネルのみが表示される。即ち、赤、緑、青の映像を合成してカラー映像を表示した際に、欠陥箇所がすべて青色で補正された映像が得られる。
【０１００】
従って、視覚的に目立たない青色で欠陥の補正を行なうため、欠陥自体が気にならない映像画面を提供することが可能となる。
【図面の簡単な説明】
【図１】液晶表示装置の回路構成を示す図。
【図２】パネル一体型液晶表示装置の回路構成を示す図。
【図３】液晶表示装置の回路構成を示す図。
【図４】パネル一体型液晶表示装置の回路構成を示す図。
【符号の説明】
１０１　アドレスポインター回路
１０２　欠陥記憶素子
１０３　Ｒ映像信号用マルチプレクサ
１０４　Ｇ映像信号用マルチプレクサ
１０５　Ｂ映像信号用マルチプレクサ
１０６　液晶パネル制御回路
１０７　反転タイミング発生回路
１０８　Ｒ映像信号用液晶パネル
１０９　Ｇ映像信号用液晶パネル
１１０　Ｂ映像信号用液晶パネル
１１１　Ｈドライバー回路（水平走査制御用回路）
１１２　Ｖドライバー回路（垂直走査制御用回路）
１１３　ＳＨ回路
１１４　Ｒ映像補正信号用マルチプレクサ
１１５　Ｇ映像補正信号用マルチプレクサ
１１６　Ｂ映像補正信号用マルチプレクサ
１１７　フリップフロップ回路

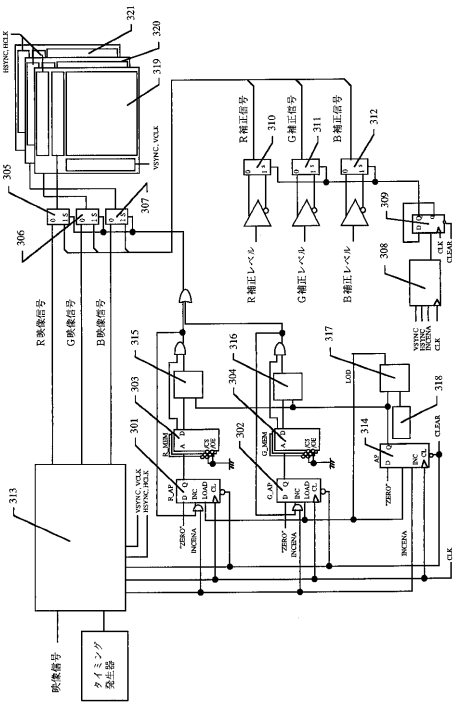
【図１】


R補正信号
G補正信号
B補正信号
R補正レベル
G補正レベル
B補正レベル
R映像信号
G映像信号
B映像信号
MEM
AP
映像信号
タイミング発生器

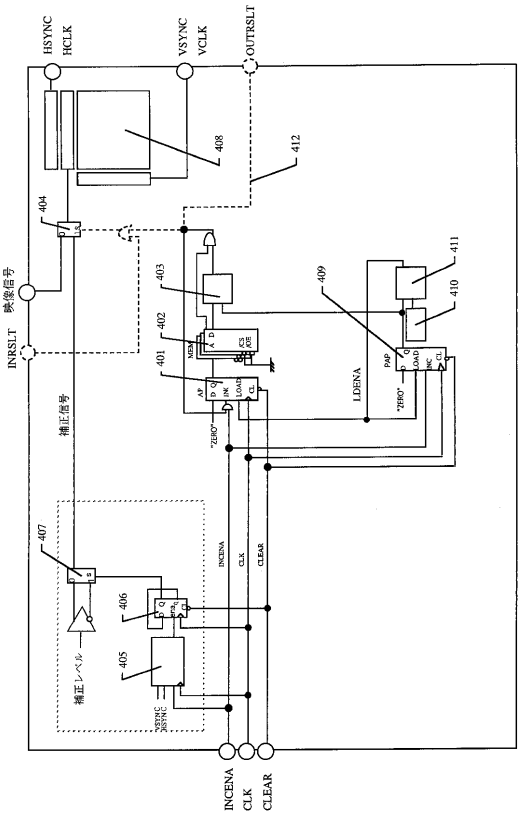
【図２】


HSYNC HCLK
VSYNC VCLK
OUTRSLT
映像信号
MEM
AP
補正信号
補正レベル
INCENA
LDENA
CLK
CLEAR
INRSLT

【図３】


R補正信号
G補正信号
B補正信号
R補正レベル
G補正レベル
B補正レベル
R映像信号
G映像信号
B映像信号
映像信号
タイミング発生器

【図４】


HSYNC HCLK
VSYNC VCLK
OUTRSLT
映像信号
INRSLT
補正信号
補正レベル
LDENA
INCENA
CLK
CLEAR

フロントページの続き

(56)参考文献 特開平０６－１９５０４８（ＪＰ，Ａ）
特開平０８－０７６０７９（ＪＰ，Ａ）
特開平０７－２６１７１９（ＪＰ，Ａ）
特開平０１－１５４１９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 3/00- 3/38
G02F 1/133 505-580