

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4170173号

(P4170173)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.

H04N 7/32 (2006.01)

F I

H04N 7/137

Z

請求項の数 4 (全 21 頁)

(21) 出願番号	特願2003-297805 (P2003-297805)	(73) 特許権者	503121103
(22) 出願日	平成15年8月21日(2003.8.21)		株式会社ルネサステクノロジ
(65) 公開番号	特開2005-72800 (P2005-72800A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成17年3月17日(2005.3.17)	(74) 代理人	100089118
審査請求日	平成18年8月11日(2006.8.11)		弁理士 酒井 宏明
		(72) 発明者	尾関 正和
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	圓山 俊幸
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	町田 浩久
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 ブロックマッチング演算装置

(57) 【特許請求の範囲】

【請求項 1】

動画圧縮伸長システムに適用され、現画像と参照画像とのブロックマッチングを行い差分絶対値和を算出するブロックマッチング演算処理装置において、

入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第1の演算部を有するプロセッシング・エレメントを N ($1 < N$, N は自然数)個備えるとともに、これら N 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第1の差分絶対値和演算手段と、

入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第2の演算部を有するプロセッシング・エレメントを $N - 1$ 個備えるとともに、これら $N - 1$ 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第2の差分絶対値和演算手段と、

前記第1の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第2の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部と、

を備え、

前記メモリインタフェース部は、

10

20

参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、前記第 2 の差分絶対値和演算手段への出力を前記第 1 の差分絶対値和演算手段への出力より 1 サイクル遅延させることを特徴とするブロックマッチング演算装置。

【請求項 2】

前記参照画像の画素データを記憶するメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記メモリから読み出した参照画像の画素データを保持する複数のレジスタと、
前記レジスタに保持されている参照画像の画素データを前記第 1 および第 2 の差分絶対値和演算手段に出力するセレクタと、
を備えることを特徴とする請求項 1 に記載のブロックマッチング演算装置。

10

【請求項 3】

前記参照画像の画素データを記憶するメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記メモリから読み出した参照画像の画素データを 4 つ以上保持するレジスタと、
前記レジスタに保持されている参照画像の画素データを前記第 1 および第 2 の差分絶対値和演算手段に出力するセレクタと、
を備えることを特徴とする請求項 1 に記載のブロックマッチング演算装置。

20

【請求項 4】

前記参照画像の画素データを記憶する複数のメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記第 1 および第 2 の差分絶対値和演算手段に出力する参照画像の画素データを前記複数のメモリから同時に読み出すことを特徴とする請求項 1 に記載のブロックマッチング演算装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動画圧縮伸長システムに適用されるブロックマッチング演算処理に関するものであり、特に、ブロック演算処理を高速に実現するためにブロックマッチング演算装置に関するものである。

30

【背景技術】

【0002】

MPEG などを用いた動画像圧縮伸張システムにおいて、ブロックマッチングによる動きベクトルの検出をハードウェアで実現する場合、ブロックマッチング処理を高速に、かつ少ない回路で実現する種々の技術が提案されている。

【0003】

従来技術では、参照画素を保持するシフトレジスタを備え、参照画素の読み出し順序を制御することで複数の画素列に対する演算を並列して行うことを可能にし、従来よりも早い段階で評価値演算が完結するようにしている（たとえば、特許文献 1 参照）。

40

【0004】

【特許文献 1】特開平 10 - 304370 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来技術は、参照画素を $1/k$ (k は自然数) に減らし、かつ参照画素を保持するシフトレジスタを備えることで M (M は参照画素の垂直画素数) $/k$ 列分の参照画素を同時に別の演算ユニットに与えることで複数の画素列に対する演算を並列に行うようにしているため、たとえば、フレームでのブロックマッチング処理を参照画素を

50

間引くことなく ($k = 1$) 行う場合、8 個の P E (プロセッシング・エレメント) を内部に有する演算ユニット P E U が 8 個必要となり、回路規模が大きくなってしまいう問題があった。

【0006】

本発明は、上記に鑑みてなされたものであって、消費電力を抑制し、かつ少ない回路で高速に全ての参照画素に対してブロックマッチング処理を行うブロックマッチング演算装置を得ることを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、目的を達成するために、本発明にかかるブロックマッチング演算装置は、動画圧縮伸長システムに適用され、現画像と参照画像とのブロックマッチングを行い差分絶対値和を算出するブロックマッチング演算処理装置において、入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第 1 の演算部を有するプロセッシング・エレメントを N ($1 < N$, N は自然数) 個備えるとともに、これら N 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第 1 の差分絶対値和演算手段と、入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第 2 の演算部を有するプロセッシング・エレメントを $N - 1$ 個備えるとともに、これら $N - 1$ 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第 2 の差分絶対値和演算手段と、前記第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部とを備え、前記メモリインタフェース部は、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、前記第 2 の差分絶対値和演算手段への出力を前記第 1 の差分絶対値和演算手段への出力より 1 サイクル遅延させることを特徴とする。

【0008】

この発明によれば、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N - 1$ 個のプロセッシング・エレメントを N 個と $N - 1$ 個に分割して、それぞれ第 1 の差分絶対値和演算手段と第 2 の差分絶対値和演算手段とし、第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の差分絶対値和演算手段への出力を第 1 の差分絶対値和演算手段への出力より 1 サイクル遅延させることにより、プロセッシング・エレメントが 1 個少ない第 2 の差分絶対値和演算手段が、第 1 の差分絶対値和演算手段より 1 サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしている。

【発明の効果】

【0009】

この発明にかかるブロックマッチング装置によれば、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N - 1$ 個のプロセッシング・エレメントを N 個と $N - 1$ 個に分割して、それぞれ第 1 の差分絶対値和演算手段と第 2 の差分絶対値和演算手段とし、第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の差分絶対値和演算手段への出力を第 1 の差分絶対値和演算手段への出

10

20

30

40

50

力より1サイクル遅延させることにより、プロセッシング・エレメントが1個少ない第2の差分絶対値和演算手段が、第1の差分絶対値和演算手段より1サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしているため、高速にブロックマッチング演算を実行することができる。

【発明を実施するための最良の形態】

【0010】

以下に、本発明にかかるブロックマッチング演算装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0011】

実施の形態1.

10

図1～図9-2を用いて、本発明の実施の形態1を説明する。図1は、この発明における実施の形態1のブロックマッチング演算装置の構成を示すブロック図である。この発明における実施の形態1のブロックマッチング演算装置は、メモリ104と、メモリインタフェース部103と、第1の差分絶対値和演算手段である第1の差分絶対値和演算部(以下、第1のSAD演算部とする)101と、第2の差分絶対値和演算手段である第2の差分絶対値和演算部(以下、第2のSAD演算部とする)102とを備えている。なお、メモリ104は、ブロックマッチング演算装置の外部に備えるようにしてもよい。

【0012】

メモリ104は、ブロックマッチング演算の参照画像のデータを記憶する。たとえば、図2に示すように現画像が $c(0,0), c(0,1), \dots, c(0,7), c(1,0), c(1,1), \dots, c(1,7), \dots, c(7,0), c(7,1), \dots, c(7,7)$ の $8 \times 8 \text{ pixel}$ であり、現画像の探索範囲である参照画像は現画像を中心とした垂直方向および水平方向にそれぞれ ± 7 の範囲とした場合、メモリ104は、図3に示すように $r(0,0), r(0,1), \dots, r(0,21), r(1,0), r(1,1), \dots, r(1,21), \dots, r(21,0), r(21,1), \dots, r(21,21)$ の484個の画素データを参照画像として記憶する。

20

【0013】

メモリインタフェース部103は、メモリ104とのインタフェース機能を備えており、制御信号110に基づいてメモリ104から参照画像の画素データを読み出し、読み出した画素データを第1のSAD演算部101と第2のSAD演算部102とに出力する。

30

【0014】

図4は、図1に示したメモリインタフェース部103の構成の一例を示すブロック図である。図4に示したメモリインタフェース部103は、画素データが8ビットであり、メモリ104が1アドレスに4つの画素データ(32bit)を記憶する場合の構成を示している。メモリインタフェース部103は、アドレス生成回路500と、セクタ501、502と、レジスタ503～506とを備えている。なお、アドレス生成回路500は、メモリインタフェース部103の外部に備えるようにしてもよい。

【0015】

アドレス生成回路500は、メモリ104へのアクセスの開始および停止を制御する制御信号110に基づいてメモリ104に記憶されている参照画像の画素データを読み出すためのチップセレクトやリードイネーブルなどの制御信号およびアドレス信号をメモリ104に出力する。

40

【0016】

セクタ501は、制御信号110に基づいてメモリ104から読み出した参照画像の各画素データをレジスタ503～506の何れか1つに出力する。レジスタ503～506は、それぞれメモリ104へのアクセスビット数(ここでは、32bit)のデータを保持する。

【0017】

セクタ502は、制御信号110に基づいてレジスタ503～506に保持されている参照画像の画素データの中から2つの画素データを選択して、選択した2つの画素デー

50

タの一方を第1のSAD演算部101に、もう一方の画素データを第2のSAD演算部102に出力する。ただし、各水平ラインの最初の参照画像データ $r(0, 0)$, $r(1, 0)$, $r(2, 0)$, ..., $r(21, 0)$ については、第1のSAD演算部101のみに出力し、第2のSAD演算部102への参照画像データの出力を行なわない。

【0018】

第1のSAD演算部101は、 N ($1 < N$, N は自然数)個のProcessing Element部(以下、PE部)を備え、参照画像の画素データと現画像の画素データとの差分絶対値和の演算処理を行う。PE部の数 N は、現画像を中心とした水平方向の検索範囲の画素データ数により決定する。具体的には、水平方向の検索範囲の画素データ数を m とすると、第1のSAD演算部101のPE部の個数 N は、 $N = m / 2$ (ただし、小数点以下は四捨五入とする)となる。図5は、現画像の探索範囲である参照画像を現画像を中心とした垂直方向および水平方向にそれぞれ ± 7 の範囲とした場合(検索範囲となる画素数 m が15の場合)の第1のSAD演算部101の構成を示すブロック図である。図5に示した第1のSAD演算部101は、8つのPE部PE0a~PE7aを備えている。PE部PE0a~PE7aは、それぞれ現画像と参照画像の画素データとの差分絶対値和の演算処理を行うとともに、PE部PE7a, PE6a, PE5a, PE4a, PE3a, PE2a, PE1a, PE0aの順に参照画像の画素データをシフトする。

10

【0019】

第2のSAD演算部102は、 $N - 1$ 個のPE部を備え、参照画像の画素データと現画像の画素データとの差分絶対値和の演算処理を行う。図6は、 $N = 8$ の場合の第2のSAD演算部102の構成を示すブロック図である。図6に示した第2のSAD演算部102は、7つのPE部PE0b~PE6bを備えている。PE部PE0b~PE6bは、それぞれ現画像と参照画像の画素データとの差分絶対値和の演算処理を行うとともに、PE部PE6b, PE5b, PE4b, PE3b, PE2b, PE1b, PE0bの順に参照画像の画素データをシフトする。

20

【0020】

第1のSAD演算部101のPE部PE0a~PE7aおよび第2のSAD演算部102のPE部PE0b~PE6bは全て同じ機能を備えている。図7に示したPE0aの構成を示すブロック図を参照して、PE部の機能を説明する。PE部は、フリップフロップ400, 401と、減算器402と、絶対値演算器403と、加算器404とを備えている。なお、第1のSAD演算部101のPE部PE0a~PE7a内の減算器402と、絶対値演算器403と、加算器404とで特許請求の範囲でいうところの第1の演算部を、第2のSAD演算部102のPE部PE0b~PE6b内の減算器402と、絶対値演算器403と、加算器404とで特許請求の範囲でいうところの第2の演算部を構成している。

30

【0021】

フリップフロップ400は、参照画像の1画素分の画素データをクロック信号に同期して保持するとともに、次段のPE部のフリップフロップ400に参照画像の画素データを出力する。すなわち、各PE部のフリップフロップ400が接続されて参照画像の1画素分の画像データをシフトするシフトレジスタを構成する。

40

【0022】

減算器402は、現画像の1画素分の画素データとフリップフロップ400に保持されている参照画像の1画素分の画素データとの減算を行なう。絶対値演算器403は、減算器402の出力の絶対値を算出する。すなわち、減算器402と絶対値演算器403とで、フリップフロップ400に保持された参照画像の1画素分の画素データと現画像の1画素分の画素データとの差分絶対値を算出する。加算器404は、差分絶対値とフリップフロップ401に保持されている1クロック前に演算したSAD出力とを加算して、SAD演算を行なう。なお、クロック信号およびリセット信号が、図1における制御信号111, 112に相当する。また、フリップフロップ400, 401のリセットは同期リセットでもよいし、非同期リセットでもよい。

50

【 0 0 2 3 】

つぎに、この発明における実施の形態 1 のブロックマッチング演算装置の動作を説明する。メモリ 1 0 4 へのアクセスの開始および停止を制御する制御信号 1 1 0 に基づいてメモリ 1 0 4 に記憶されている参照画像の画素データを読み出すためのチップセレクトやリードイネーブルなどの制御信号およびアドレス信号をメモリ 1 0 4 に出力する。メモリ 1 0 4 は、アドレス信号で指定されたアドレスの参照画像の画素データをセクタ 5 0 1 に出力する。セクタ 5 0 1 は、制御信号 1 1 0 に基づいてメモリ 1 0 4 から入力された画素データをレジスタ 5 0 3 ~ 5 0 6 の何れか 1 つに出力し、レジスタ 5 0 3 ~ 5 0 6 は、入力された画素データを保持する。たとえば、図 8 に示すように、アドレス「8'h00」に格納されている参照画像 $r(0, 0)$, $r(0, 1)$, $r(0, 2)$, $r(0, 3)$ の各画素データをレジスタ 5 0 3 に、アドレス「8'h01」に格納されている参照画像 $r(0, 4)$, $r(0, 5)$, $r(0, 6)$, $r(0, 7)$ の各画素データをレジスタ 5 0 4 に、アドレス「8'h02」に格納されている参照画像 $r(0, 8)$, $r(0, 9)$, $r(0, 10)$, $r(0, 11)$ の各画素データをレジスタ 5 0 5 に、アドレス「8'h03」に格納されている参照画像 $r(0, 12)$, $r(0, 13)$, $r(0, 14)$, $r(0, 15)$ の各画素データをレジスタ 5 0 6 に、それぞれ格納する。

10

【 0 0 2 4 】

セクタ 5 0 2 は、制御信号 1 1 0 に基づいてレジスタ 5 0 3 ~ 5 0 6 に保持されている参照画像の画素データの中から 2 つの画素データを選択して、選択した 2 つの画素データの一方を第 1 の S A D 演算部 1 0 1 に、もう一方の画素データを第 2 の S A D 演算部 1 0 2 に出力する。具体的には、セクタ 5 0 2 は、最初に、レジスタ 5 0 3 に格納されている参照画像 $r(0, 0)$ の画素データを第 1 の S A D 演算部 1 0 1 に出力する。つぎに、セクタ 5 0 2 は、参照画像 $r(0, 1)$, $r(0, 8)$, $r(0, 2)$, $r(0, 9)$, $r(0, 3)$, $r(0, 10)$, ...、 $r(0, 7)$, $r(0, 14)$ の組でそれぞれの画素データを順次第 1 の S A D 演算部 1 0 1 の P E 部 P E 7 a と第 2 の S A D 演算部 1 0 2 の P E 部 P E 6 b とに同一サイクルで出力する。

20

【 0 0 2 5 】

第 1 の S A D 演算部 1 0 1 の P E 部 P E 7 a ~ P E 0 a および第 2 の S A D 演算部 1 0 2 の P E 部 P E 6 b ~ P E 0 b は、それぞれシフト動作を行なって順次参照画像の画素データをシフトする。図 9 - 1 に示すように第 1 の S A D 演算部 1 0 1 の P E 部 P E 0 a ~ P E 7 a に参照画像 $r(0, 0) \sim r(0, 7)$ の 8 つの画素データが、図 9 - 2 に示すように第 2 の S A D 演算部 1 0 2 の P E 部 P E 0 b ~ P E 6 b に参照画像 $r(0, 8) \sim r(0, 14)$ の 7 つの画素データが設定されると、現画像 $c(0, 0)$ の画素データを入力する。これにより、P E 部 P E 0 a ~ P E 7 a, P E 0 b ~ P E 6 b は、それぞれ参照画像 $r(0, 0) \sim r(0, 14)$ の画素データと現画像 $c(0, 0)$ の画素データとの S A D 演算を行なって、それぞれの S A D 出力値を出力する。ここでは、参照画像 $r(0, 0) \sim r(0, 14)$ の画素データと現画像 $c(0, 0)$ の画素データとの 15 個の S A D 出力値を出力する。

30

【 0 0 2 6 】

つぎのサイクルでセクタ 5 0 2 は、レジスタ 5 0 5 に保持されている参照画像 $r(0, 8)$ の画素データを第 1 の S A D 演算部 1 0 1 の P E 部 P E 7 a に、レジスタ 5 0 6 に保持されている参照画像 $r(0, 15)$ を第 2 の S A D 演算部 1 0 2 の P E 部 6 b にそれぞれ出力する。第 1 の S A D 演算部 1 0 1 の P E 部 P E 7 a ~ P E 0 a と第 2 の S A D 演算部 1 0 2 の P E 部 P E 6 b ~ P E 0 b はそれぞれシフト動作により、保持している参照画像の画素データをシフトする。これにより、図 10 - 1 に示すように第 1 の S A D 演算部 1 0 1 の P E 部 P E 0 a ~ P E 7 a には参照画像 $r(0, 1) \sim r(0, 8)$ が、図 10 - 2 の示すように第 2 の S A D 演算部 1 0 2 の P E 部 P E 0 b ~ P E 6 b には参照画像 $r(0, 9) \sim r(0, 15)$ が設定される。そして、現画像 $c(0, 1)$ の画素データが入力され、P E 部 P E 0 a ~ P E 7 a, P E 0 b ~ P E 6 b は、それぞれ参照画像 $r(0, 1) \sim r(0, 15)$ と現画像の画像データ $c(0, 1)$ との S A D 演算を行なって

40

50

、それぞれのSAD出力値を出力する。

【0027】

つぎのサイクルでは、参照画像 $r(0, 2) \sim r(0, 16)$ の画素データと現画像 $c(0, 2)$ の画素データとのSAD演算を行なうが、アドレス生成回路500およびセクタ501は、制御信号110によりセクタ502が選択しているレジスタとは異なるレジスタに、メモリ104に格納されている参照画像 $r(0, 16)$, $r(0, 17)$, $r(0, 18)$, $r(0, 19)$ を読み込んでおく。たとえば、セクタ502がレジスタ503の $r(0, 3)$ の画素データを選択して第1のSAD演算部101のPE7aに出力した後に、アドレス生成回路500はチップセレクト、リードイネーブルおよびアドレス「8'h04」をメモリ104に出力して、参照画像 $r(0, 16)$, $r(0, 17)$, $r(0, 18)$, $r(0, 19)$ を読み出して、セクタ501は、読み出した参照画像をレジスタ503に出力し、レジスタ503に格納する。すなわち、メモリインタフェース部103は、レジスタ503~506に格納されている有効な参照画像の画素データがなくなる前に、第1のSAD演算部101および第2のSAD演算部102に参照画像の画素データを出力しながら、つぎに必要な参照画像の画素データをメモリ104から読み出しておく。これにより、メモリ104から参照画像の画素データを読み出しと、第1のSAD演算部101および第2のSAD演算部102に参照画像の画素データを出力する処理とを並列に行なうことができる。

【0028】

メモリインタフェース部103は、参照画像 $r(0, 9)$, $r(0, 16)$, $r(0, 10)$, $r(0, 17)$, ...、 $r(0, 14)$, $r(0, 21)$ の組で順次第1のSAD演算部101のPE7aと第2のSAD演算部102のPE6bとに出力し、第1のSAD演算部101および第2のSAD演算部102は、現画像1画素分の画像データと参照画像の15画素分の画像データとのSAD演算を行なう。

【0029】

このようにして図2に示した 8×8 画素の現画像と図3に示した 22×22 画素の参照画像とのブロックマッチング処理手順を以下に示す。

【0030】

参照画像水平方向1ライン目と現画像水平方向1ライン目の処理の場合、第1のSAD演算部101は、

現画像 $c(0, 0)$ と参照画像の $r(0, 0) \sim r(0, 7)$ とのマッチング
 現画像 $c(0, 1)$ と参照画像の $r(0, 1) \sim r(0, 8)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(0, 2) \sim r(0, 9)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(0, 3) \sim r(0, 10)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(0, 4) \sim r(0, 11)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(0, 5) \sim r(0, 12)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(0, 6) \sim r(0, 13)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(0, 7) \sim r(0, 14)$ とのマッチング
 を行なう。

【0031】

参照画像水平方向1ライン目と現画像水平方向2ライン目の処理の場合、第1のSAD演算部101は、

現画像 $c(1, 0)$ と参照画像の $r(1, 0) \sim r(1, 7)$ とのマッチング
 現画像 $c(1, 1)$ と参照画像の $r(1, 1) \sim r(1, 8)$ とのマッチング
 現画像 $c(1, 2)$ と参照画像の $r(1, 2) \sim r(1, 9)$ とのマッチング
 現画像 $c(1, 3)$ と参照画像の $r(1, 3) \sim r(1, 10)$ とのマッチング
 現画像 $c(1, 4)$ と参照画像の $r(1, 4) \sim r(1, 11)$ とのマッチング
 現画像 $c(1, 5)$ と参照画像の $r(1, 5) \sim r(1, 12)$ とのマッチング
 現画像 $c(1, 6)$ と参照画像の $r(1, 6) \sim r(1, 13)$ とのマッチング
 現画像 $c(1, 7)$ と参照画像の $r(1, 7) \sim r(1, 14)$ とのマッチング

を行なう。

【0032】

参照画像水平方向1ライン目と現画像水平方向3ライン目の処理の場合、第1のSAD演算部101は、

現画像 $c(2, 0)$ と参照画像の $r(2, 0) \sim r(2, 7)$ とのマッチング

現画像 $c(2, 1)$ と参照画像の $r(2, 1) \sim r(2, 8)$ とのマッチング

現画像 $c(2, 2)$ と参照画像の $r(2, 2) \sim r(2, 9)$ とのマッチング

現画像 $c(2, 3)$ と参照画像の $r(2, 3) \sim r(2, 10)$ とのマッチング

現画像 $c(2, 4)$ と参照画像の $r(2, 4) \sim r(2, 11)$ とのマッチング

現画像 $c(2, 5)$ と参照画像の $r(2, 5) \sim r(2, 12)$ とのマッチング

現画像 $c(2, 6)$ と参照画像の $r(2, 6) \sim r(2, 13)$ とのマッチング

現画像 $c(2, 7)$ と参照画像の $r(2, 7) \sim r(2, 14)$ とのマッチング

を行なう。

【0033】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i \text{ は整数})$ とすると、第1のSAD演算部101は、

現画像 $c(i, 0)$ と参照画像の $r(i, 0) \sim r(i, 7)$ とのマッチング

現画像 $c(i, 1)$ と参照画像の $r(i, 1) \sim r(i, 8)$ とのマッチング

現画像 $c(i, 2)$ と参照画像の $r(i, 2) \sim r(i, 9)$ とのマッチング

現画像 $c(i, 3)$ と参照画像の $r(i, 3) \sim r(i, 10)$ とのマッチング

現画像 $c(i, 4)$ と参照画像の $r(i, 4) \sim r(i, 11)$ とのマッチング

現画像 $c(i, 5)$ と参照画像の $r(i, 5) \sim r(i, 12)$ とのマッチング

現画像 $c(i, 6)$ と参照画像の $r(i, 6) \sim r(i, 13)$ とのマッチング

現画像 $c(i, 7)$ と参照画像の $r(i, 7) \sim r(i, 14)$ とのマッチング

を行なう。

【0034】

これにより、PE部PE0aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 0)$ 、右下角を $r(7, 7)$ とする各画素との64個分のSAD出力値を、PE部PE1aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 1)$ 、右下角を $r(7, 8)$ とする各画素との64個分のSAD出力値を、PE部PE2aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 2)$ 、右下角を $r(7, 9)$ とする各画素との64個分のSAD出力値を、PE部PE3aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 3)$ 、右下角を $r(7, 10)$ とする各画素との64個分のSAD出力値を、PE部PE4aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 4)$ 、右下角を $r(7, 11)$ とする各画素との64個分のSAD出力値を、PE部PE5aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 5)$ 、右下角を $r(7, 12)$ とする各画素との64個分のSAD出力値を、PE部PE6aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 6)$ 、右下角を $r(7, 13)$ とする各画素との64個分のSAD出力値を、PE部PE7aは図2に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図3に示した参照画像の左上角を $r(0, 7)$ 、右下角を $r(7, 14)$ とする各画素との64個分のSAD出力値を出力する。すなわち、第1のSAD演算部101は、8種類のSAD出力値を同時に出力する。

【0035】

一方、参照画像水平方向1ライン目と現画像水平方向1ライン目の処理の場合、第2のSAD演算部102は、

現画像 $c(0, 0)$ と参照画像の $r(0, 8) \sim r(0, 14)$ とのマッチング

現画像 $c(0, 1)$ と参照画像の $r(0, 9) \sim r(0, 15)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(0, 10) \sim r(0, 16)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(0, 11) \sim r(0, 17)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(0, 12) \sim r(0, 18)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(0, 13) \sim r(0, 19)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(0, 14) \sim r(0, 20)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(0, 15) \sim r(0, 21)$ とのマッチング
 を行なう。

【0036】

参照画像水平方向 1 ライン目と現画像水平方向 2 ライン目の処理の場合、第 2 の SAD 演算部 102 は、

現画像 $c(1, 0)$ と参照画像の $r(1, 8) \sim r(1, 14)$ とのマッチング
 現画像 $c(1, 1)$ と参照画像の $r(1, 9) \sim r(1, 15)$ とのマッチング
 現画像 $c(1, 2)$ と参照画像の $r(1, 10) \sim r(1, 16)$ とのマッチング
 現画像 $c(1, 3)$ と参照画像の $r(1, 11) \sim r(1, 17)$ とのマッチング
 現画像 $c(1, 4)$ と参照画像の $r(1, 12) \sim r(1, 18)$ とのマッチング
 現画像 $c(1, 5)$ と参照画像の $r(1, 13) \sim r(1, 19)$ とのマッチング
 現画像 $c(1, 6)$ と参照画像の $r(1, 14) \sim r(1, 20)$ とのマッチング
 現画像 $c(1, 7)$ と参照画像の $r(1, 15) \sim r(1, 21)$ とのマッチング
 を行なう。

【0037】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i \text{ は整数})$ とすると、第 2 の SAD 演算部 102 は、

現画像 $c(i, 0)$ と参照画像の $r(i, 8) \sim r(i, 14)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i, 9) \sim r(i, 15)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i, 10) \sim r(i, 16)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i, 11) \sim r(i, 17)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i, 12) \sim r(i, 18)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i, 13) \sim r(i, 19)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i, 14) \sim r(i, 20)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i, 15) \sim r(i, 21)$ とのマッチング
 を行なう。

【0038】

これにより、PE 部 PE0b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 8)$ 、右下角を $r(7, 15)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE1b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 9)$ 、右下角を $r(7, 16)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE2b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 10)$ 、右下角を $r(7, 17)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE3b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 11)$ 、右下角を $r(7, 18)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE4b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 12)$ 、右下角を $r(7, 19)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE5b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 13)$ 、右下角を $r(7, 20)$ とする各画素との 64 個分の SAD 出力値を、PE 部 PE6b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 14)$ 、右下角を $r(7, 21)$ とする各画素との 64 個分の SAD 出力値を出力する。すなわち、第 2 の SAD 演算部 102 は、7 種類の SAD 出力値を同時に

10

20

30

40

50

力する。

【 0 0 3 9 】

このようにして、図 3 に示した参照画像内の左上角を $r(0, 0)$ 、右下角を $r(7, 21)$ とする 15 並列処理範囲 8×22 画素分の画素データと、図 2 に示した現画像 $c(0, 0) \sim c(7, 7)$ の画素データとのブロックマッチング、すなわち、参照画像の水平方向 1 ライン目と現画像とのブロックマッチングが完了する。

【 0 0 4 0 】

参照画像の水平方向 1 ライン目の処理が完了すると、参照画像内での 15 並列処理範囲を垂直方向に 1 ラインずつずらして、上述した水平方向 1 ライン目の処理と同様の処理を行うが、メモリインタフェース部 103 は、水平成分が 0 の参照画像 $r(1, 0)$, $r(2, 0)$, ..., $r(21, 0)$ については、第 1 の SAD 演算部 101 のみに出力し、第 2 の SAD 演算部 102 への参照画像データの出力を行なわない。すなわち、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の SAD 演算部 102 に出力するデータを第 1 の SAD 演算部 101 に出力するデータより 1 サイクル遅延させて出力する。

【 0 0 4 1 】

参照画像の水平方向 2 ライン目の処理の 15 並列処理範囲は、図 3 に示した参照画像の左上角を $r(1, 0)$ 、右下角を $r(8, 21)$ とする 8×22 画素の画素データとなる。

【 0 0 4 2 】

参照画像水平方向 2 ライン目と現画像水平方向 1 ライン目の処理の場合、第 1 の SAD 演算部 101 は、

現画像 $c(0, 0)$ と参照画像の $r(1, 0) \sim r(1, 7)$ とのマッチング

現画像 $c(0, 1)$ と参照画像の $r(1, 1) \sim r(1, 8)$ とのマッチング

現画像 $c(0, 2)$ と参照画像の $r(1, 2) \sim r(1, 9)$ とのマッチング

現画像 $c(0, 3)$ と参照画像の $r(1, 3) \sim r(1, 10)$ とのマッチング

現画像 $c(0, 4)$ と参照画像の $r(1, 4) \sim r(1, 11)$ とのマッチング

現画像 $c(0, 5)$ と参照画像の $r(1, 5) \sim r(1, 12)$ とのマッチング

現画像 $c(0, 6)$ と参照画像の $r(1, 6) \sim r(1, 13)$ とのマッチング

現画像 $c(0, 7)$ と参照画像の $r(1, 7) \sim r(1, 14)$ とのマッチング

を行なう。

【 0 0 4 3 】

参照画像水平方向 2 ライン目と現画像水平方向 2 ライン目の処理の場合、第 1 の SAD 演算部 101 は、

現画像 $c(1, 0)$ と参照画像の $r(2, 0) \sim r(2, 7)$ とのマッチング

現画像 $c(1, 1)$ と参照画像の $r(2, 1) \sim r(2, 8)$ とのマッチング

現画像 $c(1, 2)$ と参照画像の $r(2, 2) \sim r(2, 9)$ とのマッチング

現画像 $c(1, 3)$ と参照画像の $r(2, 3) \sim r(2, 10)$ とのマッチング

現画像 $c(1, 4)$ と参照画像の $r(2, 4) \sim r(2, 11)$ とのマッチング

現画像 $c(1, 5)$ と参照画像の $r(2, 5) \sim r(2, 12)$ とのマッチング

現画像 $c(1, 6)$ と参照画像の $r(2, 6) \sim r(2, 13)$ とのマッチング

現画像 $c(1, 7)$ と参照画像の $r(2, 7) \sim r(2, 14)$ とのマッチング

を行なう。

【 0 0 4 4 】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i \text{ は整数})$ とすると、第 1 の SAD 演算部 101 は、

現画像 $c(i, 0)$ と参照画像の $r(i+1, 0) \sim r(i+1, 7)$ とのマッチング

現画像 $c(i, 1)$ と参照画像の $r(i+1, 1) \sim r(i+1, 8)$ とのマッチング

現画像 $c(i, 2)$ と参照画像の $r(i+1, 2) \sim r(i+1, 9)$ とのマッチング

現画像 $c(i, 3)$ と参照画像の $r(i+1, 3) \sim r(i+1, 10)$ とのマッチング

10

20

30

40

50

現画像 $c(i, 4)$ と参照画像の $r(i+1, 4) \sim r(i+1, 11)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+1, 5) \sim r(i+1, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+1, 6) \sim r(i+1, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+1, 7) \sim r(i+1, 14)$ とのマッチング
 を行なう。

【0045】

参照画像水平方向3ライン目と現画像の処理の場合、現画像の垂直成分を i ($0 \leq i \leq 7$, i は整数) とすると、第1のSAD演算部101は、

現画像 $c(i, 0)$ と参照画像の $r(i+2, 0) \sim r(i+2, 7)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+2, 1) \sim r(i+2, 8)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i+2, 2) \sim r(i+2, 9)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+2, 3) \sim r(i+2, 10)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+2, 4) \sim r(i+2, 11)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+2, 5) \sim r(i+2, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+2, 6) \sim r(i+2, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+2, 7) \sim r(i+2, 14)$ とのマッチング
 を行なう。

10

【0046】

参照画像内での15並列処理範囲を垂直方向に1ラインずつずらしていき、参照画像水平方向15ライン目と現画像の処理の場合、現画像の垂直成分を i ($0 \leq i \leq 7$, i は整数) とすると、第1のSAD演算部101は、

20

現画像 $c(i, 0)$ と参照画像の $r(i+14, 0) \sim r(i+14, 7)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+14, 1) \sim r(i+14, 8)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i+14, 2) \sim r(i+14, 9)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+14, 3) \sim r(i+14, 10)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+14, 4) \sim r(i+14, 11)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+14, 5) \sim r(i+14, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+14, 6) \sim r(i+14, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+14, 7) \sim r(i+14, 14)$ とのマッチング
 を行なう。

30

【0047】

一方、参照画像水平方向2ライン目と現画像水平方向1ライン目の処理の場合、第2のSAD演算部102は、

40

現画像 $c(0, 0)$ と参照画像の $r(1, 8) \sim r(1, 14)$ とのマッチング
 現画像 $c(0, 1)$ と参照画像の $r(1, 9) \sim r(1, 15)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(1, 10) \sim r(1, 16)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(1, 11) \sim r(1, 17)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(1, 12) \sim r(1, 18)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(1, 13) \sim r(1, 19)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(1, 14) \sim r(1, 20)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(1, 15) \sim r(1, 21)$ とのマッチング
 を行なう。

50

【 0 0 4 8 】

参照画像水平方向 2 ライン目と現画像水平方向 2 ライン目の処理の場合、第 2 の S A D 演算部 1 0 2 は、

現画像 $c(1, 0)$ と参照画像の $r(2, 8) \sim r(2, 14)$ とのマッチング
 現画像 $c(1, 1)$ と参照画像の $r(2, 9) \sim r(2, 15)$ とのマッチング
 現画像 $c(1, 2)$ と参照画像の $r(2, 10) \sim r(2, 16)$ とのマッチング
 現画像 $c(1, 3)$ と参照画像の $r(2, 11) \sim r(2, 17)$ とのマッチング
 現画像 $c(1, 4)$ と参照画像の $r(2, 12) \sim r(2, 18)$ とのマッチング
 現画像 $c(1, 5)$ と参照画像の $r(2, 13) \sim r(2, 19)$ とのマッチング
 現画像 $c(1, 6)$ と参照画像の $r(2, 14) \sim r(2, 20)$ とのマッチング
 現画像 $c(1, 7)$ と参照画像の $r(2, 15) \sim r(2, 21)$ とのマッチング
 を行なう。

10

【 0 0 4 9 】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i \text{ は整数})$ とすると、第 2 の S A D 演算部 1 0 2 は、

現画像 $c(i, 0)$ と参照画像の $r(i+1, 8) \sim r(i+1, 14)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+1, 9) \sim r(i+1, 15)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i+1, 10) \sim r(i+1, 16)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+1, 11) \sim r(i+1, 17)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+1, 12) \sim r(i+1, 18)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+1, 13) \sim r(i+1, 19)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+1, 14) \sim r(i+1, 20)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+1, 15) \sim r(i+1, 21)$ とのマッチング
 を行なう。

20

30

【 0 0 5 0 】

参照画像水平方向 3 ライン目と現画像の処理の場合、現画像の垂直成分を $i(0 \leq i \leq 7, i \text{ は整数})$ とすると、第 2 の S A D 演算部 1 0 2 は、

現画像 $c(i, 0)$ と参照画像の $r(i+2, 8) \sim r(i+2, 14)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+2, 9) \sim r(i+2, 15)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i+2, 10) \sim r(i+2, 16)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+2, 11) \sim r(i+2, 17)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+2, 12) \sim r(i+2, 18)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+2, 13) \sim r(i+2, 19)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+2, 14) \sim r(i+2, 20)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+2, 15) \sim r(i+2, 21)$ とのマッチング
 を行なう。

40

【 0 0 5 1 】

参照画像内での 1 5 並列処理範囲を垂直方向に 1 ラインずつずらし、参照画像水

50

平方方向15ライン目と現画像の処理の場合、現画像の垂直成分を i ($0 \leq i \leq 7$, i は整数)とすると、第2のSAD演算部102は、

現画像 $c(i, 0)$ と参照画像の $r(i+14, 8) \sim r(i+14, 14)$ とのマッチング

現画像 $c(i, 1)$ と参照画像の $r(i+14, 9) \sim r(i+14, 15)$ とのマッチング

現画像 $c(i, 2)$ と参照画像の $r(i+14, 10) \sim r(i+14, 16)$ とのマッチング

現画像 $c(i, 3)$ と参照画像の $r(i+14, 11) \sim r(i+14, 17)$ とのマッチング

現画像 $c(i, 4)$ と参照画像の $r(i+14, 12) \sim r(i+14, 18)$ とのマッチング

現画像 $c(i, 5)$ と参照画像の $r(i+14, 13) \sim r(i+14, 19)$ とのマッチング

現画像 $c(i, 6)$ と参照画像の $r(i+14, 14) \sim r(i+14, 20)$ とのマッチング

現画像 $c(i, 7)$ と参照画像の $r(i+14, 15) \sim r(i+14, 21)$ とのマッチング

を行なう。

【0052】

このようにして、第1のSAD演算部101および第2のSAD演算部102は、図2に示した 8×8 画素の現画像の画素データと、図3に示した 22×22 画素の参照画像の画素データとのブロックマッチング処理がすべて完了する。この実施の形態1のブロックマッチング演算装置は、第1のSAD演算部101および第2のSAD演算部102で15並列のブロックマッチング処理を行っている。そのため、第1のSAD演算部101は8つSAD出力値を、第2のSAD演算部102は7つのSAD出力値をそれぞれ同時に出力する。ブロックマッチング処理は、これらのSAD出力値の最小値に相当する位置をベクトルで表示するのが一般的である。したがって、ブロックマッチング演算装置は、第1のSAD演算部101および第2のSAD演算部102から出力される15のSAD出力値の最小値を求めて出力してもよいし、15のSAD出力値を出力し、これらの最小値の算出は、他の装置で行うようにしてもよい。

【0053】

以上説明したように、この実施の形態1では、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N-1$ 個のPE部を N 個と $N-1$ 個に分割して、それぞれ第1のSAD演算部と第2のSAD演算部とし、第1のSAD演算部内の N 個のPE部が構成するシフトレジスタの初段および第2のSAD演算部内の $N-1$ 個のPE部が構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向1ライン分のブロックマッチング処理が開始されるたびに、第2のSAD演算部への出力を1サイクル遅延させることにより、PE部が1個少ない第2のSAD演算部が、第1のSAD演算部より1サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしているため、参照画像の $2N-1$ 個の画素データを全てのPE部に格納するサイクルが少なくなり、高速にブロックマッチング演算を実行することができる。

【0054】

また、メモリインタフェース部に複数のレジスタを備えているため、参照画像の画素データを第1および第2のSAD演算部が差分絶対値和演算を実行中に、つぎに必要な参照画像の画素データをメモリから読み出すことができ、高速にブロックマッチング演算を実行することができる。

【0055】

なお、この実施の形態1では、メモリインタフェース部に4つのレジスタを備え、1つ

10

20

30

40

50

のレジスタが４個の画素データを保持して、合計１６個の画素データを保持する例をあげて説明した。しかし、画素データを保持するレジスタの構成はこれに限るものではなく、１若しくは複数のレジスタを用いて、４つ以上の画素データを保持するようにしてもよい。これにより、参照画像の画素データを第１および第２のＳＡＤ演算部が差分絶対値和演算を実行中に、つぎに必要な参照画像の画素データをメモリから読み出すことができ、高速にブロックマッチング演算を実行することができる。

【００５６】

実施の形態２．

図１１～図１３を用いて本発明の実施の形態２を説明する。なお、この実施の形態２は、実施の形態１と同様に、ＰＥ部の数を示すＮの値は８、現画像は８×８画素、参照画像は２２×２２画素とする。

10

【００５７】

図１１は、この発明における実施の形態２のブロックマッチング演算装置の構成を示すブロック図である。この発明における実施の形態２のブロックマッチング演算装置は、図１に示した実施の形態１のブロックマッチング演算装置のメモリ１０４の代わりに、４つのメモリ１２０～１２３を、メモリインタフェース部１０３の代わりにメモリインタフェース部１３０を備えている。実施の形態１のブロックマッチング演算装置と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。この例では、メモリを４分割（メモリ１２０～１２３）としているが、４分割に限るものではなく、いくつに分割してもよい。また、メモリ１２０～１２３は、ブロックマッチング演算装置の外部に備えるようにしてもよい。

20

【００５８】

４つのメモリ１２０～１２３は、参照画像のデータを記憶する。図１２に示すように、メモリ１２０～メモリ１２３は、それぞれ１アドレスに１つの参照画像の画素データを記憶する。

【００５９】

メモリインタフェース部１３０は、メモリ１２０～１２３とのインタフェース機能を備えており、制御信号１１０に基づいてメモリ１２０～１２３から参照画像の画素データを読み出し、読み出した画素データを第１のＳＡＤ演算部１０１と第２のＳＡＤ演算部１０２とに出力する。

30

【００６０】

図１３は、図１１に示したメモリインタフェース部１３０の構成の一例を示すブロック図である。図１３に示したメモリインタフェース部１３０は、４つのアドレス生成回路５１０～５１３と、セクタ５１４とを備えている。

【００６１】

制御信号１１０に基づいて、アドレス生成回路５１０はメモリ１２０のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路５１１はメモリ１２１のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路５１２はメモリ１２２のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路５１３はメモリ１２３のチップセレクト、リードイネーブルおよびアドレス信号を生成して、それぞれのメモリに出力する。なお、アドレス生成回路５１０～５１３は、メモリインタフェース部１３０の外部に備えるようにしてもよい。

40

【００６２】

セクタ５１４は、制御信号１１０に基づいてメモリ１２０～１２３から読み出された画素データの中から２つの画素データを選択して、選択した２つの画素データの一方を第１のＳＡＤ演算部１０１に、もう一方の画素データを第２のＳＡＤ演算部１０２に出力する。ただし、各水平ラインの最初の参照画像データ $r(0, 0)$ 、 $r(1, 0)$ 、 $r(2, 0)$ 、 \dots 、 $r(21, 0)$ については、第１のＳＡＤ演算部１０１のみに出力し、第２のＳＡＤ演算部１０２への参照画像データの出力を行なわない。

【００６３】

50

つぎに、この発明における実施の形態2のブロックマッチング演算装置の動作を説明する。この実施の形態2のブロックマッチング演算装置と実施の形態1のブロックマッチング演算装置との違いは、メモリ構成およびメモリインタフェース部であり、第1のSAD演算部101および第2のSAD演算部102が入力された参照画素と現画像とのマッチング処理を行う動作は実施の形態1と同様のものとなるので、ここでは第1のSAD演算部101および第2のSAD演算部102に参照画像の画素データを読み出す動作のみを説明する。

【0064】

アドレス生成回路510～513は、制御信号110に基づいてメモリ120～123のチップセレクト、リードイネーブルおよびアドレス信号を生成して、メモリ120～123に出力する。第1のSAD演算部101に、 $r(0,0)$, $r(0,1)$, ..., $r(0,7)$ の順に参照画像の画素データを出力する場合、アドレス生成回路510、511、512、513の順にアドレス「8'h00」を出力し、つぎに、アドレス生成回路510、511、512、513の順にアドレス「8'h01」を出力する。これにより、参照画像 $r(0,0)$, $r(0,1)$, ..., $r(0,7)$ の画素データが順にセクタ514に入力され、セクタ514は、これらのデータを第1のSAD演算部101に出力する。

【0065】

第2のSAD演算部102に、 $r(0,8)$, $r(0,9)$, ..., $r(0,14)$ の順に参照画像の画素データを出力する場合、アドレス生成回路510、511、512、513の順にアドレス「8'h02」を出力し、つぎに、アドレス生成回路510、511、512の順にアドレス「8'h03」を出力する。ここで、参照画像 $r(0,0)$ の画素データと参照画像 $r(0,8)$ は同一のメモリ120に格納されているため、同時にアクセスした場合、競合が発生する。このような場合は、第1のSAD演算部101にメモリ121に格納されている参照画像 $r(0,1)$ の画素データを出力するタイミングでメモリ120に格納されている参照画像 $r(0,8)$ の画素データを読み出して、第2のSAD演算部102に出力するようにすればよい。このタイミングを維持してアドレス生成回路510～513を制御して、メモリ120～123から参照画像の画素データを読み出すようにすれば、競合が発生することはない。

【0066】

以上説明したように、この実施の形態2では、参照画像の画像データを複数のメモリに分割して格納するようにしたため、第1および第2のSAD演算部に出力する参照画像の画素データを異なるメモリから読み出すことが可能となり、メモリアクセスの競合を発生させることなく、高速かつ消費電力を抑えたブロックマッチング処理を実行することができる。

【産業上の利用可能性】

【0067】

以上のように、本発明にかかるブロックマッチング演算装置は、動画圧縮伸長システムに有用であり、特に、高速かつ回路規模を抑えたブロックマッチング処理に適している。

【図面の簡単な説明】

【0068】

【図1】この発明における実施の形態1のブロックマッチング演算装置の構成を示すブロック図である。

【図2】現画像のデータ配置の概念図である。

【図3】参照画像のデータ配置の概念図である。

【図4】図1に示したメモリインタフェース部の構成の一例を示すブロック図である。

【図5】図1に示した第1のSAD演算部の構成を示すブロック図である。

【図6】図1に示した第2のSAD演算部の構成を示すブロック図である。

【図7】PE部の構成を示すブロック図である。

【図8】メモリ構成と参照画素格納の概念図である。

10

20

30

40

50

【図 9 - 1】参照画像の画素データが設定された第 1 の S A D 演算部の一例を示すブロック図である。

【図 9 - 2】参照画像の画素データが設定された第 2 の S A D 演算部の一例を示すブロック図である。

【図 10 - 1】参照画像の画素データが設定された第 1 の S A D 演算部の一例を示すブロック図である。

【図 10 - 2】参照画像の画素データが設定された第 2 の S A D 演算部の一例を示すブロック図である。

【図 11】この発明における実施の形態 2 のブロックマッチング演算装置の構成を示すブロック図である。

10

【図 12】メモリ構成と参照画素格納の概念図である。

【図 13】図 11 に示したメモリインタフェース部の構成を一例を示すブロック図である。

【符号の説明】

【0069】

101 第 1 の S A D 演算部

102 第 2 の S A D 演算部

103, 130 メモリインタフェース部

104, 120, 121, 122, 123 メモリ

110, 111, 112 制御信号

20

400, 401 フリップフロップ

402 減算器

403 絶対値演算器

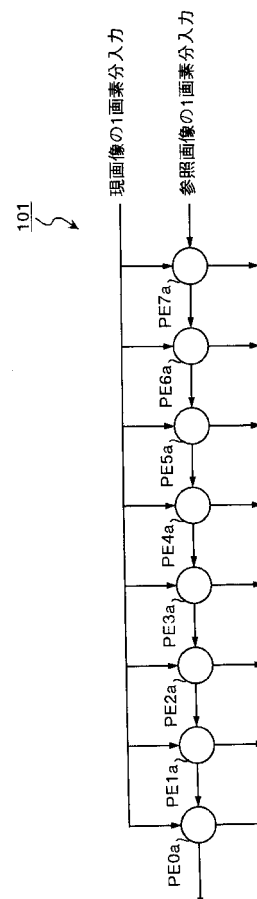
404 加算器

500, 510, 511, 512, 513 アドレス生成回路

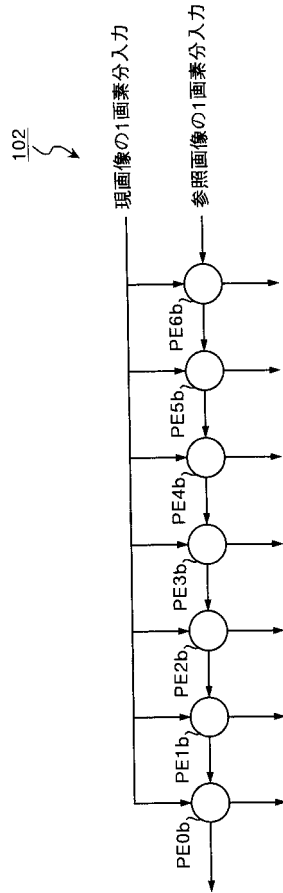
501, 502, 514 セレクタ

503, 504, 505, 506 レジスタ

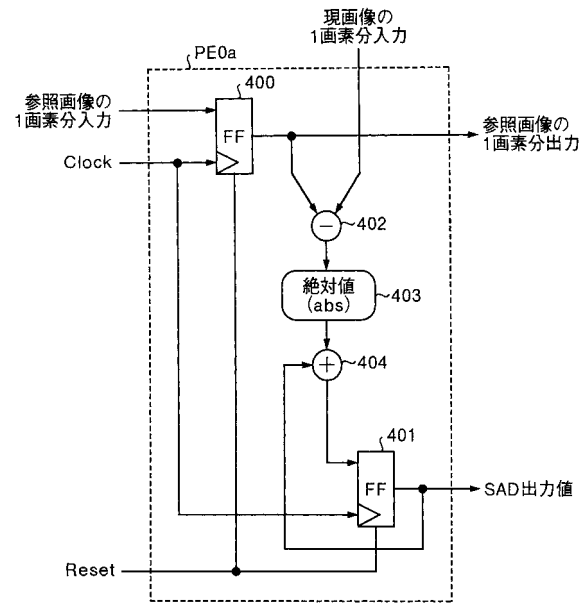
PE0a, PE1a, PE2a, PE3a, PE4a, PE5a, PE6a, PE7a
, PE0b, PE1b, PE2b, PE3b, PE4b, PE5b, PE6b PE部



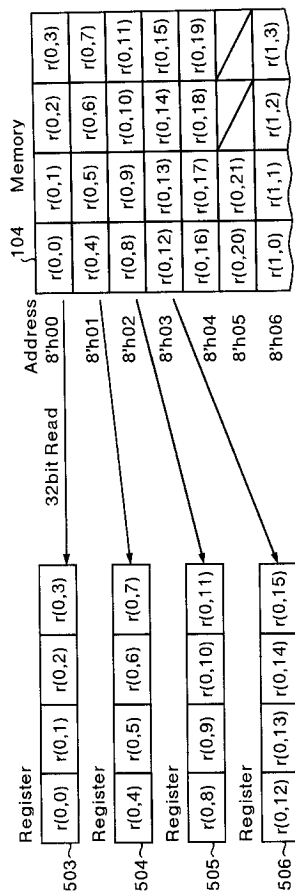
【図 6】



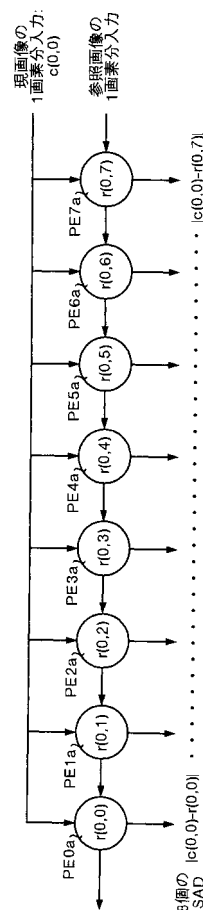
【図 7】



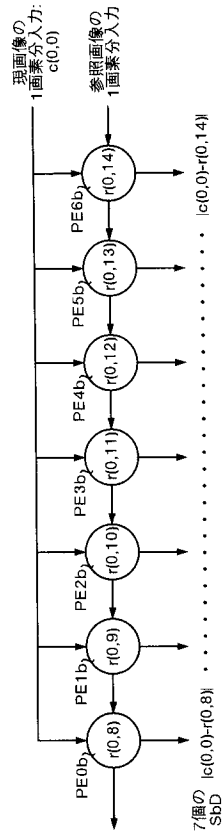
【図 8】



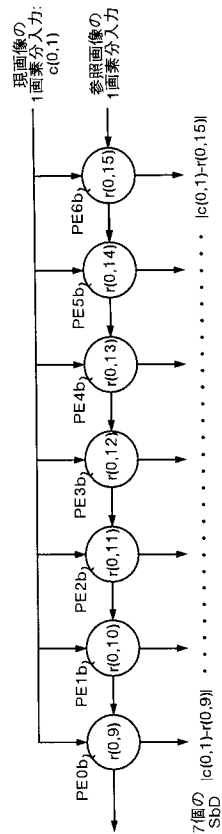
【図 9 - 1】



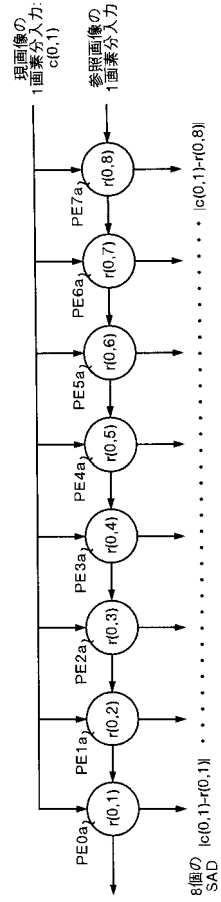
【図 9 - 2】



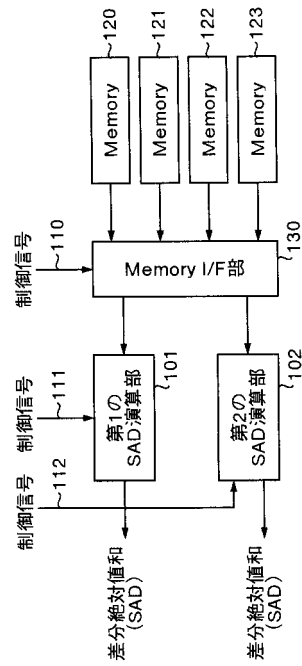
【図 10 - 2】



【図 10 - 1】



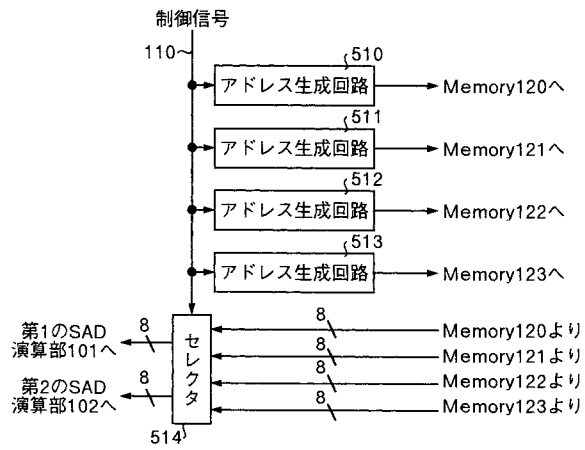
【図 11】



【図 12】

Address	{120	{121	{122	{123
8'h00	r(0,0)	r(0,1)	r(0,2)	r(0,3)
8'h01	r(0,4)	r(0,5)	r(0,6)	r(0,7)
8'h02	r(0,8)	r(0,9)	r(0,10)	r(0,11)
8'h03	r(0,12)	r(0,13)	r(0,14)	r(0,15)
8'h04	r(0,16)	r(0,17)	r(0,18)	r(0,19)
8'h05	r(0,20)	r(0,21)		

【図 13】



フロントページの続き

審査官 長谷川 素直

- (56)参考文献 特開平 1 1 - 1 1 2 9 9 1 (J P , A)
特開平 0 7 - 2 0 3 4 5 7 (J P , A)
特開 2 0 0 0 - 2 9 5 6 2 0 (J P , A)
特開 2 0 0 0 - 1 0 6 6 7 4 (J P , A)
特開平 1 0 - 3 0 4 3 7 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 4 N 7 / 2 6 - 7 / 6 8