

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4170173号
(P4170173)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.

H04N 7/32 (2006.01)

F 1

H04N 7/137

Z

請求項の数 4 (全 21 頁)

(21) 出願番号 特願2003-297805 (P2003-297805)
 (22) 出願日 平成15年8月21日 (2003.8.21)
 (65) 公開番号 特開2005-72800 (P2005-72800A)
 (43) 公開日 平成17年3月17日 (2005.3.17)
 審査請求日 平成18年8月11日 (2006.8.11)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 尾関 正和
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 (72) 発明者 圓山 俊幸
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
 (72) 発明者 町田 浩久
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 ブロックマッチング演算装置

(57) 【特許請求の範囲】

【請求項 1】

動画圧縮伸長システムに適用され、現画像と参照画像とのブロックマッチングを行い差分絶対値和を算出するブロックマッチング演算処理装置において、

入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第1の演算部を有するプロセッシング・エレメントをN ($1 < N$, Nは自然数) 個備えるとともに、これらN個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第1の差分絶対値和演算手段と、

入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第2の演算部を有するプロセッシング・エレメントをN - 1個備えるとともに、これらN - 1個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第2の差分絶対値和演算手段と、

前記第1の差分絶対値和演算手段内のN個のプロセッシング・エレメントが構成するシフトレジスタの初段および第2の差分絶対値和演算手段内のN - 1個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインターフェース部と、

を備え、

前記メモリインターフェース部は、

10

20

参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、前記第 2 の差分絶対値和演算手段への出力を前記第 1 の差分絶対和演算手段への出力より 1 サイクル遅延させることを特徴とするブロックマッチング演算装置。

【請求項 2】

前記参照画像の画素データを記憶するメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記メモリから読み出した参照画像の画素データを保持する複数のレジスタと、
前記レジスタに保持されている参照画像の画素データを前記第 1 および第 2 の差分絶対値和演算手段に出力するセレクタと、
を備えることを特徴とする請求項 1 に記載のブロックマッチング演算装置。
10

【請求項 3】

前記参照画像の画素データを記憶するメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記メモリから読み出した参照画像の画素データを 4 つ以上保持するレジスタと、
前記レジスタに保持されている参照画像の画素データを前記第 1 および第 2 の差分絶対値和演算手段に出力するセレクタと、
を備えることを特徴とする請求項 1 に記載のブロックマッチング演算装置。
20

【請求項 4】

前記参照画像の画素データを記憶する複数のメモリ、
をさらに備え、
前記メモリインタフェース部は、
前記第 1 および第 2 の差分絶対値和演算手段に出力する参照画像の画素データを前記複数のメモリから同時に読み出すことを特徴とする請求項 1 に記載のブロックマッチング演算装置。
30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動画圧縮伸長システムに適用されるブロックマッチング演算処理に関するものであり、特に、ブロック演算処理を高速に実現するためにブロックマッチング演算装置に関するものである。

【背景技術】

【0002】

M P E Gなどを用いた動画像圧縮伸張システムにおいて、ブロックマッチングによる動きベクトルの検出をハードウェアで実現する場合、ブロックマッチング処理を高速に、かつ少ない回路で実現する種々の技術が提案されている。

【0003】

従来技術では、参照画素を保持するシフトレジスタを備え、参照画素の読み出し順序を制御することで複数の画素列に対する演算を並列して行うことを可能にし、従来よりも早い段階で評価値演算が完結するようにしている（たとえば、特許文献 1 参照）。

【0004】

【特許文献 1】特開平 10 - 304370 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来技術は、参照画素を $1 / k$ (k は自然数) に減らし、かつ参照画素を保持するシフトレジスタを備えることで M (M は参照画素の垂直画素数) / k 列分の参照画素を同時に別の演算ユニットに与えることで複数の画素列に対する演算を並列に行なうようにしているため、たとえば、フレームでのブロックマッチング処理を参照画素を
50

間引くことなく ($k = 1$) 行う場合、8 個の P E (プロセッシング・エレメント) を内部に有する演算ユニット P E U が 8 個必要となり、回路規模が大きくなってしまうという問題があった。

【 0 0 0 6 】

本発明は、上記に鑑みてなされたものであって、消費電力を抑制し、かつ少ない回路で高速に全ての参照画素に対してブロックマッチング処理を行うブロックマッチング演算装置を得ることを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上述した課題を解決し、目的を達成するために、本発明にかかるブロックマッチング演算装置は、動画圧縮伸長システムに適用され、現画像と参照画像とのブロックマッチングを行い差分絶対値和を算出するブロックマッチング演算処理装置において、入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第 1 の演算部を有するプロセッシング・エレメントを N ($1 < N$, N は自然数) 個備えるとともに、これら N 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第 1 の差分絶対値和演算手段と、入力された参照画像の画素データを保持するレジスタと、このレジスタに保持された参照画像の画素データと入力された現画像の画素データとの差分絶対値和演算を行う第 2 の演算部を有するプロセッシング・エレメントを $N - 1$ 個備えるとともに、これら $N - 1$ 個のプロセッシング・エレメントのレジスタを接続して前記参照画像の画素データを順次シフトするシフトレジスタを構成する第 2 の差分絶対値和演算手段と、前記第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部とを備え、前記メモリインタフェース部は、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、前記第 2 の差分絶対値和演算手段への出力を前記第 1 の差分絶対値和演算手段への出力より 1 サイクル遅延させることを特徴とする。

【 0 0 0 8 】

この発明によれば、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N - 1$ 個のプロセッシング・エレメントを N 個と $N - 1$ 個に分割して、それぞれ第 1 の差分絶対値和演算手段と第 2 の差分絶対値和演算手段とし、第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の差分絶対値和演算手段への出力を第 1 の差分絶対値和演算手段への出力より 1 サイクル遅延させることにより、プロセッシング・エレメントが 1 個少ない第 2 の差分絶対値和演算手段が、第 1 の差分絶対値和演算手段より 1 サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしている。

【発明の効果】

【 0 0 0 9 】

この発明にかかるブロックマッチング装置によれば、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N - 1$ 個のプロセッシング・エレメントを N 個と $N - 1$ 個に分割して、それぞれ第 1 の差分絶対値和演算手段と第 2 の差分絶対値和演算手段とし、第 1 の差分絶対値和演算手段内の N 個のプロセッシング・エレメントが構成するシフトレジスタの初段および第 2 の差分絶対値和演算手段内の $N - 1$ 個のプロセッシング・エレメントが構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の差分絶対値和演算手段への出力を第 1 の差分絶対値和演算手段への出

10

20

30

40

50

力より 1 サイクル遅延させることにより、プロセッシング・エレメントが 1 個少ない第 2 の差分絶対値和演算手段が、第 1 の差分絶対値和演算手段より 1 サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしているため、高速にブロックマッチング演算を実行することができる。

【発明を実施するための最良の形態】

【0010】

以下に、本発明にかかるブロックマッチング演算装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0011】

実施の形態 1 .

10

図 1 ~ 図 9 - 2 を用いて、本発明の実施の形態 1 を説明する。図 1 は、この発明における実施の形態 1 のブロックマッチング演算装置の構成を示すブロック図である。この発明における実施の形態 1 のブロックマッチング演算装置は、メモリ 104 と、メモリインターフェース部 103 と、第 1 の差分絶対値和演算手段である第 1 の差分絶対値和演算部（以下、第 1 の SAD 演算部とする）101 と、第 2 の差分絶対値和演算手段である第 2 の差分絶対値和演算部（以下、第 2 の SAD 演算部とする）102 とを備えている。なお、メモリ 104 は、ブロックマッチング演算装置の外部に備えるようにしてもよい。

【0012】

メモリ 104 は、ブロックマッチング演算の参照画像のデータを記憶する。たとえば、図 2 に示すように現画像が $c(0, 0), c(0, 1), \dots, c(0, 7), c(1, 0), c(1, 1), \dots, c(1, 7), \dots, c(7, 0), c(7, 1), \dots, c(7, 7)$ の 8×8 pixel であり、現画像の探索範囲である参照画像は現画像を中心とした垂直方向および水平方向にそれぞれ ± 7 の範囲とした場合、メモリ 104 は、図 3 に示すように $r(0, 0), r(0, 1), \dots, r(0, 21), r(1, 0), r(1, 1), \dots, r(1, 21), \dots, r(21, 0), r(21, 1), \dots, r(21, 21)$ の 484 個の画素データを参照画像として記憶する。

20

【0013】

メモリインターフェース部 103 は、メモリ 104 とのインターフェース機能を備えており、制御信号 110 に基づいてメモリ 104 から参照画像の画素データを読み出し、読み出した画素データを第 1 の SAD 演算部 101 と第 2 の SAD 演算部 102 とに出力する。

30

【0014】

図 4 は、図 1 に示したメモリインターフェース部 103 の構成の一例を示すブロック図である。図 4 に示したメモリインターフェース部 103 は、画素データが 8 ビットであり、メモリ 104 が 1 アドレスに 4 つの画素データ（32 bit）を記憶する場合の構成を示している。メモリインターフェース部 103 は、アドレス生成回路 500 と、セレクタ 501, 502 と、レジスタ 503 ~ 506 とを備えている。なお、アドレス生成回路 500 は、メモリインターフェース部 103 の外部に備えるようにしてもよい。

【0015】

アドレス生成回路 500 は、メモリ 104 へのアクセスの開始および停止を制御する制御信号 110 に基づいてメモリ 104 に記憶されている参照画像の画素データを読み出すためのチップセレクトやリードイネーブルなどの制御信号およびアドレス信号をメモリ 104 に出力する。

40

【0016】

セレクタ 501 は、制御信号 110 に基づいてメモリ 104 から読み出した参照画像の各画素データをレジスタ 503 ~ 506 の何れか 1 つに出力する。レジスタ 503 ~ 506 は、それぞれメモリ 104 へのアクセスビット数（ここでは、32 bit）のデータを保持する。

【0017】

セレクタ 502 は、制御信号 110 に基づいてレジスタ 503 ~ 506 に保持されている参照画像の画素データの中から 2 つの画素データを選択して、選択した 2 つの画素データ

50

タの一方を第1のS A D演算部101に、もう一方の画素データを第2のS A D演算部102に出力する。ただし、各水平ラインの最初の参照画像データ $r(0, 0), r(1, 0), r(2, 0), \dots, r(21, 0)$ については、第1のS A D演算部101のみに出力し、第2のS A D演算部102への参照画像データの出力を行なわない。

【0018】

第1のS A D演算部101は、 $N(1 < N, N$ は自然数)個のProcessing Element部(以下、P E部)を備え、参照画像の画素データと現画像の画素データとの差分絶対値和の演算処理を行う。P E部の数Nは、現画像を中心とした水平方向の検索範囲の画素データ数により決定する。具体的には、水平方向の検索範囲の画素データ数をmとすると、第1のS A D演算部101のP E部の個数Nは、 $N = m / 2$ (ただし、小数点以下は四捨五入とする)となる。図5は、現画像の検索範囲である参照画像を現画像を中心とした垂直方向および水平方向にそれぞれ ± 7 の範囲とした場合(検索範囲となる画素数mが15の場合)の第1のS A D演算部101の構成を示すブロック図である。図5に示した第1のS A D演算部101は、8つのP E部P E0a～P E7aを備えている。P E部P E0a～P E7aは、それぞれ現画像と参照画像の画素データとの差分絶対値和の演算処理を行うとともに、P E部P E7a, P E6a, P E5a, P E4a, P E3a, P E2a, P E1a, P E0aの順に参照画像の画素データをシフトする。

【0019】

第2のS A D演算部102は、 $N - 1$ 個のP E部を備え、参照画像の画素データと現画像の画素データとの差分絶対値和の演算処理を行う。図6は、 $N = 8$ の場合の第2のS A D演算部102の構成を示すブロック図である。図6に示した第2のS A D演算部102は、7つのP E部P E0b～P E6bを備えている。P E部P E0b～P E6bは、それぞれ現画像と参照画像の画素データとの差分絶対値和の演算処理を行うとともに、P E部P E6b, P E5b, P E4b, P E3b, P E2b, P E1b, P E0bの順に参照画像の画素データをシフトする。

【0020】

第1のS A D演算部101のP E部P E0a～P E7aおよび第2のS A D演算部102のP E部P E0b～P E6bは全て同じ機能を備えている。図7に示したP E0aの構成を示すブロック図を参照して、P E部の機能を説明する。P E部は、フリップフロップ400, 401と、減算器402と、絶対値演算器403と、加算器404とを備えている。なお、第1のS A D演算部101のP E部P E0a～P E7a内の減算器402と、絶対値演算器403と、加算器404とで特許請求の範囲でいうところの第1の演算部を、第2のS A D演算部102のP E部P E0b～P E6b内の減算器402と、絶対値演算器403と、加算器404とで特許請求の範囲でいうところの第2の演算部を構成している。

【0021】

フリップフロップ400は、参照画像の1画素分の画素データをクロック信号に同期して保持するとともに、次段のP E部のフリップフロップ400に参照画像の画素データを出力する。すなわち、各P E部のフリップフロップ400が接続されて参照画像の1画素分の画像データをシフトするシフトレジスタを構成する。

【0022】

減算器402は、現画像の1画素分の画素データとフリップフロップ400に保持されている参照画像の1画素分の画素データとの減算を行なう。絶対値演算器403は、減算器402の出力の絶対値を算出する。すなわち、減算器402と絶対値演算器403とで、フリップフロップ400に保持された参照画像の1画素分の画素データと現画像の1画素分の画素データとの差分絶対値を算出する。加算器404は、差分絶対値とフリップフロップ401に保持されている1クロック前に演算したS A D出力とを加算して、S A D演算を行なう。なお、クロック信号およびリセット信号が、図1における制御信号111, 112に相当する。また、フリップフロップ400, 401のリセットは同期リセットでもよいし、非同期リセットでもよい。

10

20

30

40

50

【0023】

つぎに、この発明における実施の形態1のブロックマッチング演算装置の動作を説明する。メモリ104へのアクセスの開始および停止を制御する制御信号110に基づいてメモリ104に記憶されている参照画像の画素データを読み出すためのチップセレクトやリードイネーブルなどの制御信号およびアドレス信号をメモリ104に出力する。メモリ104は、アドレス信号で指定されたアドレスの参照画像の画素データをセレクタ501に出力する。セレクタ501は、制御信号110に基づいてメモリ104から入力された画素データをレジスタ503～506の何れか1つに出力し、レジスタ503～506は、
10
入力された画素データを保持する。たとえば、図8に示すように、アドレス「8'h00」に格納されている参照画像r(0,0), r(0,1), r(0,2), r(0,3)の各画素データをレジスタ503に、アドレス「8'h01」に格納されている参照画像r(0,4), r(0,5), r(0,6), r(0,7)の各画素データをレジスタ504に、アドレス「8'h02」に格納されている参照画像r(0,8), r(0,9), r(0,10), r(0,11)の各画素データをレジスタ505に、アドレス「8'h03」に格納されている参照画像r(0,12), r(0,13), r(0,14), r(0,15)の各画素データをレジスタ506に、それぞれ格納する。

【0024】

セレクタ502は、制御信号110に基づいてレジスタ503～506に保持されている参照画像の画素データの中から2つの画素データを選択して、選択した2つの画素データの一方を第1のSAD演算部101に、もう一方の画素データを第2のSAD演算部102に出力する。具体的には、セレクタ502は、最初に、レジスタ503に格納されている参照画像r(0,0)の画素データを第1のSAD演算部101に出力する。つぎに、セレクタ502は、参照画像r(0,1), r(0,8), r(0,2), r(0,9), r(0,3), r(0,10), ..., r(0,7), r(0,14)の組でそれぞれの画素データを順次第1のSAD演算部101のPE部PE7aと第2のSAD演算部102のPE部PE6bとに同一サイクルで出力する。
20

【0025】

第1のSAD演算部101のPE部PE7a～PE0aおよび第2のSAD演算部102のPE部PE6b～PE0bは、それぞれシフト動作を行なって順次参照画像の画素データをシフトする。図9-1に示すように第1のSAD演算部101のPE部PE0a～PE7aに参照画像r(0,0)～r(0,7)の8つの画素データが、図9-2に示すように第2のSAD演算部102のPE部PE0b～PE6bに参照画像r(0,8)～r(0,14)の7つの画素データが設定されると、現画像c(0,0)の画素データを入力する。これにより、PE部PE0a～PE7a, PE0b～PE6bは、それぞれ参照画像r(0,0)～r(0,14)の画素データと現画像c(0,0)の画素データとのSAD演算を行なって、それぞれのSAD出力値を出力する。ここでは、参照画像r(0,0)～r(0,14)の画素データと現画像c(0,0)の画素データとの15個のSAD出力値を出力する。
30

【0026】

つぎのサイクルでセレクタ502は、レジスタ505に保持されている参照画像r(0,8)の画素データを第1のSAD演算部101のPE部PE7aに、レジスタ506に保持されている参照画像r(0,15)を第2のSAD演算部102のPE部6bにそれぞれ出力する。第1のSAD演算部101のPE部PE7a～PE0aと第2のSAD演算部102のPE部PE6b～PE0bはそれぞれシフト動作により、保持している参照画像の画素データをシフトする。これにより、図10-1に示すように第1のSAD演算部101のPE部PE0a～PE7aには参照画像r(0,1)～r(0,8)が、図10-2の示すように第2のSAD演算部102のPE部PE0b～PE6bには参照画像r(0,9)～r(0,15)が設定される。そして、現画像c(0,1)の画素データが入力され、PE部PE0a～PE7a, PE0b～PE6bは、それぞれ参照画像r(0,1)～r(0,15)と現画像の画像データc(0,1)とのSAD演算を行なって
40
50

、それぞれの S A D 出力値を出力する。

【0027】

つぎのサイクルでは、参照画像 $r(0, 2) \sim r(0, 16)$ の画素データと現画像 $c(0, 2)$ の画素データとの S A D 演算を行なうが、アドレス生成回路 500 およびセレクタ 501 は、制御信号 110 によりセレクタ 502 が選択しているレジスタとは異なるレジスタに、メモリ 104 に格納されている参照画像 $r(0, 16), r(0, 17), r(0, 18), r(0, 19)$ を読み込んでおく。たとえば、セレクタ 502 がレジスタ 503 の $r(0, 3)$ の画素データを選択して第 1 の S A D 演算部 101 の P E 7 a に出力した後に、アドレス生成回路 500 はチップセレクト、リードイネーブルおよびアドレス「8'h04」をメモリ 104 に出力して、参照画像 $r(0, 16), r(0, 17), r(0, 18), r(0, 19)$ を読み出して、セレクタ 501 は、読み出した参照画像をレジスタ 503 に出力し、レジスタ 503 に格納する。すなわち、メモリインタフェース部 103 は、レジスタ 503 ~ 506 に格納されている有効な参照画像の画素データがなくなる前に、第 1 の S A D 演算部 101 および第 2 の S A D 演算部 102 に参照画像の画素データを出力しながら、つぎに必要な参照画像の画素データをメモリ 104 から読み出しておく。これにより、メモリ 104 から参照画像の画素データを読み出しと、第 1 の S A D 演算部 101 および第 2 の S A D 演算部 102 に参照画像の画素データを出力する処理とを並列に行なうことができる。10

【0028】

メモリインタフェース部 103 は、参照画像 $r(0, 9), r(0, 16), r(0, 10), r(0, 17), \dots, r(0, 14), r(0, 21)$ の組で順次第 1 の S A D 演算部 101 の P E 7 a と第 2 の S A D 演算部 102 の P E 6 b とに出力し、第 1 の S A D 演算部 101 および第 2 の S A D 演算部 102 は、現画像 1 画素分の画像データと参照画像の 15 画素分の画像データとの S A D 演算を行なう。20

【0029】

このようにして図 2 に示した 8×8 画素の現画像と図 3 に示した 22×22 画素の参照画像とのロックマッチング処理手順を以下に示す。

【0030】

参照画像水平方向 1 ライン目と現画像水平方向 1 ライン目の処理の場合、第 1 の S A D 演算部 101 は、30
 現画像 $c(0, 0)$ と参照画像の $r(0, 0) \sim r(0, 7)$ とのマッチング
 現画像 $c(0, 1)$ と参照画像の $r(0, 1) \sim r(0, 8)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(0, 2) \sim r(0, 9)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(0, 3) \sim r(0, 10)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(0, 4) \sim r(0, 11)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(0, 5) \sim r(0, 12)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(0, 6) \sim r(0, 13)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(0, 7) \sim r(0, 14)$ とのマッチング
 を行なう。

【0031】

参照画像水平方向 1 ライン目と現画像水平方向 2 ライン目の処理の場合、第 1 の S A D 演算部 101 は、40
 現画像 $c(1, 0)$ と参照画像の $r(1, 0) \sim r(1, 7)$ とのマッチング
 現画像 $c(1, 1)$ と参照画像の $r(1, 1) \sim r(1, 8)$ とのマッチング
 現画像 $c(1, 2)$ と参照画像の $r(1, 2) \sim r(1, 9)$ とのマッチング
 現画像 $c(1, 3)$ と参照画像の $r(1, 3) \sim r(1, 10)$ とのマッチング
 現画像 $c(1, 4)$ と参照画像の $r(1, 4) \sim r(1, 11)$ とのマッチング
 現画像 $c(1, 5)$ と参照画像の $r(1, 5) \sim r(1, 12)$ とのマッチング
 現画像 $c(1, 6)$ と参照画像の $r(1, 6) \sim r(1, 13)$ とのマッチング
 現画像 $c(1, 7)$ と参照画像の $r(1, 7) \sim r(1, 14)$ とのマッチング50

を行なう。

【0032】

参照画像水平方向1ライン目と現画像水平方向3ライン目の処理の場合、第1のSAD演算部101は、

現画像c(2,0)と参照画像のr(2,0)～r(2,7)とのマッチング
 現画像c(2,1)と参照画像のr(2,1)～r(2,8)とのマッチング
 現画像c(2,2)と参照画像のr(2,2)～r(2,9)とのマッチング
 現画像c(2,3)と参照画像のr(2,3)～r(2,10)とのマッチング
 現画像c(2,4)と参照画像のr(2,4)～r(2,11)とのマッチング
 現画像c(2,5)と参照画像のr(2,5)～r(2,12)とのマッチング
 現画像c(2,6)と参照画像のr(2,6)～r(2,13)とのマッチング
 現画像c(2,7)と参照画像のr(2,7)～r(2,14)とのマッチング
 を行なう。

【0033】

すなわち、現画像の垂直成分をi(0 i 7, iは整数)とすると、第1のSAD演算部101は、

現画像c(i,0)と参照画像のr(i,0)～r(i,7)とのマッチング
 現画像c(i,1)と参照画像のr(i,1)～r(i,8)とのマッチング
 現画像c(i,2)と参照画像のr(i,2)～r(i,9)とのマッチング
 現画像c(i,3)と参照画像のr(i,3)～r(i,10)とのマッチング
 現画像c(i,4)と参照画像のr(i,4)～r(i,11)とのマッチング
 現画像c(i,5)と参照画像のr(i,5)～r(i,12)とのマッチング
 現画像c(i,6)と参照画像のr(i,6)～r(i,13)とのマッチング
 現画像c(i,7)と参照画像のr(i,7)～r(i,14)とのマッチング
 を行なう。

【0034】

これにより、PE部PE0aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,0)、右下角をr(7,7)とする各画素との64個分のSAD出力値を、PE部PE1aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,1)、右下角をr(7,8)とする各画素との64個分のSAD出力値を、PE部PE2aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,2)、右下角をr(7,9)とする各画素との64個分のSAD出力値を、PE部PE3aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,3)、右下角をr(7,10)とする各画素との64個分のSAD出力値を、PE部PE4aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,4)、右下角をr(7,11)とする各画素との64個分のSAD出力値を、PE部PE5aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,5)、右下角をr(7,12)とする各画素との64個分のSAD出力値を、PE部PE6aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,6)、右下角をr(7,13)とする各画素との64個分のSAD出力値を、PE部PE7aは図2に示した現画像8×8画素c(0,0)～c(7,7)と図3に示した参照画像の左上角をr(0,7)、右下角をr(7,14)とする各画素との64個分のSAD出力値を出力する。すなわち、第1のSAD演算部101は、8種類のSAD出力値を同時に output する。

【0035】

一方、参照画像水平方向1ライン目と現画像水平方向1ライン目の処理の場合、第2のSAD演算部102は、

現画像c(0,0)と参照画像のr(0,8)～r(0,14)とのマッチング

10

20

30

40

50

現画像 $c(0, 1)$ と参照画像の $r(0, 9) \sim r(0, 15)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(0, 10) \sim r(0, 16)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(0, 11) \sim r(0, 17)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(0, 12) \sim r(0, 18)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(0, 13) \sim r(0, 19)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(0, 14) \sim r(0, 20)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(0, 15) \sim r(0, 21)$ とのマッチング
 を行なう。

【0036】

参照画像水平方向 1 ライン目と現画像水平方向 2 ライン目の処理の場合、第 2 の S A D 演算部 102 は、
10

現画像 $c(1, 0)$ と参照画像の $r(1, 8) \sim r(1, 14)$ とのマッチング
 現画像 $c(1, 1)$ と参照画像の $r(1, 9) \sim r(1, 15)$ とのマッチング
 現画像 $c(1, 2)$ と参照画像の $r(1, 10) \sim r(1, 16)$ とのマッチング
 現画像 $c(1, 3)$ と参照画像の $r(1, 11) \sim r(1, 17)$ とのマッチング
 現画像 $c(1, 4)$ と参照画像の $r(1, 12) \sim r(1, 18)$ とのマッチング
 現画像 $c(1, 5)$ と参照画像の $r(1, 13) \sim r(1, 19)$ とのマッチング
 現画像 $c(1, 6)$ と参照画像の $r(1, 14) \sim r(1, 20)$ とのマッチング
 現画像 $c(1, 7)$ と参照画像の $r(1, 15) \sim r(1, 21)$ とのマッチング
 を行なう。
20

【0037】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i$ は整数) とすると、第 2 の S A D 演算部 102 は、
演算部 102 は、

現画像 $c(i, 0)$ と参照画像の $r(i, 8) \sim r(i, 14)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i, 9) \sim r(i, 15)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i, 10) \sim r(i, 16)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i, 11) \sim r(i, 17)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i, 12) \sim r(i, 18)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i, 13) \sim r(i, 19)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i, 14) \sim r(i, 20)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i, 15) \sim r(i, 21)$ とのマッチング
 を行なう。
30

【0038】

これにより、P E 部 P E 0 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 8)$ 、右下角を $r(7, 15)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 1 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 9)$ 、右下角を $r(7, 16)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 2 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 10)$ 、右下角を $r(7, 17)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 3 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 11)$ 、右下角を $r(7, 18)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 4 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 12)$ 、右下角を $r(7, 19)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 5 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 13)$ 、右下角を $r(7, 20)$ とする各画素との 64 個分の S A D 出力値を、P E 部 P E 6 b は図 2 に示した現画像 8×8 画素 $c(0, 0) \sim c(7, 7)$ と図 3 に示した参照画像の左上角を $r(0, 14)$ 、右下角を $r(7, 21)$ とする各画素との 64 個分の S A D 出力値を出力する。すなわち、第 2 の S A D 演算部 102 は、7 種類の S A D 出力値を同時に出
40
50

力する。

【0039】

このようにして、図3に示した参照画像内の左上角を $r(0, 0)$ 、右下角を $r(7, 21)$ とする15並列処理範囲 8×22 画素分の画素データと、図2に示した現画像 $c(0, 0) \sim c(7, 7)$ の画素データとのブロックマッチング、すなわち、参照画像の水平方向1ライン目と現画像とのブロックマッチングが完了する。

【0040】

参照画像の水平方向1ライン目の処理が完了すると、参照画像内での15並列処理範囲を垂直方向に1ラインずつずらして、上述した水平方向1ライン目の処理と同様の処理を行うが、メモリインタフェース部103は、水平成分が0の参照画像 $r(1, 0), r(2, 0), \dots, r(21, 0)$ については、第1のSAD演算部101のみに出力し、第2のSAD演算部102への参照画像データの出力を行なわない。すなわち、参照画像の水平方向1ライン分のブロックマッチング処理が開始されるたびに、第2のSAD演算部102に出力するデータを第1のSAD演算部101に出力するデータより1サイクル遅延させて出力する。

【0041】

参照画像の水平方向2ライン目の処理の15並列処理範囲は、図3に示した参照画像の左上角を $r(1, 0)$ 、右下角を $r(8, 21)$ とする 8×22 画素の画素データとなる。

【0042】

参照画像水平方向2ライン目と現画像水平方向1ライン目の処理の場合、第1のSAD演算部101は、

現画像 $c(0, 0)$ と参照画像の $r(1, 0) \sim r(1, 7)$ とのマッチング

現画像 $c(0, 1)$ と参照画像の $r(1, 1) \sim r(1, 8)$ とのマッチング

現画像 $c(0, 2)$ と参照画像の $r(1, 2) \sim r(1, 9)$ とのマッチング

現画像 $c(0, 3)$ と参照画像の $r(1, 3) \sim r(1, 10)$ とのマッチング

現画像 $c(0, 4)$ と参照画像の $r(1, 4) \sim r(1, 11)$ とのマッチング

現画像 $c(0, 5)$ と参照画像の $r(1, 5) \sim r(1, 12)$ とのマッチング

現画像 $c(0, 6)$ と参照画像の $r(1, 6) \sim r(1, 13)$ とのマッチング

現画像 $c(0, 7)$ と参照画像の $r(1, 7) \sim r(1, 14)$ とのマッチング

を行なう。

【0043】

参照画像水平方向2ライン目と現画像水平方向2ライン目の処理の場合、第1のSAD演算部101は、

現画像 $c(1, 0)$ と参照画像の $r(2, 0) \sim r(2, 7)$ とのマッチング

現画像 $c(1, 1)$ と参照画像の $r(2, 1) \sim r(2, 8)$ とのマッチング

現画像 $c(1, 2)$ と参照画像の $r(2, 2) \sim r(2, 9)$ とのマッチング

現画像 $c(1, 3)$ と参照画像の $r(2, 3) \sim r(2, 10)$ とのマッチング

現画像 $c(1, 4)$ と参照画像の $r(2, 4) \sim r(2, 11)$ とのマッチング

現画像 $c(1, 5)$ と参照画像の $r(2, 5) \sim r(2, 12)$ とのマッチング

現画像 $c(1, 6)$ と参照画像の $r(2, 6) \sim r(2, 13)$ とのマッチング

現画像 $c(1, 7)$ と参照画像の $r(2, 7) \sim r(2, 14)$ とのマッチング

を行なう。

【0044】

すなわち、現画像の垂直成分を $i(0 \leq i \leq 7, i$ は整数)とすると、第1のSAD演算部101は、

現画像 $c(i, 0)$ と参照画像の $r(i+1, 0) \sim r(i+1, 7)$ とのマッチング

現画像 $c(i, 1)$ と参照画像の $r(i+1, 1) \sim r(i+1, 8)$ とのマッチング

現画像 $c(i, 2)$ と参照画像の $r(i+1, 2) \sim r(i+1, 9)$ とのマッチング

現画像 $c(i, 3)$ と参照画像の $r(i+1, 3) \sim r(i+1, 10)$ とのマッチング

10

20

30

40

50

現画像 $c(i, 4)$ と参照画像の $r(i+1, 4) \sim r(i+1, 11)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+1, 5) \sim r(i+1, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+1, 6) \sim r(i+1, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+1, 7) \sim r(i+1, 14)$ とのマッチング
 を行なう。

【0045】

参照画像水平方向 3 ライン目と現画像の処理の場合、現画像の垂直成分を $i(0 \leq i \leq 7, i$ は整数) とすると、第 1 の SAD 演算部 101 は、

現画像 $c(i, 0)$ と参照画像の $r(i+2, 0) \sim r(i+2, 7)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+2, 1) \sim r(i+2, 8)$ とのマッチング 10
 現画像 $c(i, 2)$ と参照画像の $r(i+2, 2) \sim r(i+2, 9)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+2, 3) \sim r(i+2, 10)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+2, 4) \sim r(i+2, 11)$ とのマッチング
 現画像 $c(i, 5)$ と参照画像の $r(i+2, 5) \sim r(i+2, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+2, 6) \sim r(i+2, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+2, 7) \sim r(i+2, 14)$ とのマッチング
 を行なう。

【0046】

参照画像内での 15 並列処理範囲を垂直方向に 1 ラインずつずらしていき、参照画像水平方向 15 ライン目と現画像の処理の場合、現画像の垂直成分を $i(0 \leq i \leq 7, i$ は整数) とすると、第 1 の SAD 演算部 101 は、 20

現画像 $c(i, 0)$ と参照画像の $r(i+14, 0) \sim r(i+14, 7)$ とのマッチング
 現画像 $c(i, 1)$ と参照画像の $r(i+14, 1) \sim r(i+14, 8)$ とのマッチング
 現画像 $c(i, 2)$ と参照画像の $r(i+14, 2) \sim r(i+14, 9)$ とのマッチング
 現画像 $c(i, 3)$ と参照画像の $r(i+14, 3) \sim r(i+14, 10)$ とのマッチング
 現画像 $c(i, 4)$ と参照画像の $r(i+14, 4) \sim r(i+14, 11)$ とのマッチング 30
 現画像 $c(i, 5)$ と参照画像の $r(i+14, 5) \sim r(i+14, 12)$ とのマッチング
 現画像 $c(i, 6)$ と参照画像の $r(i+14, 6) \sim r(i+14, 13)$ とのマッチング
 現画像 $c(i, 7)$ と参照画像の $r(i+14, 7) \sim r(i+14, 14)$ とのマッチング
 を行なう。

【0047】

一方、参照画像水平方向 2 ライン目と現画像水平方向 1 ライン目の処理の場合、第 2 の SAD 演算部 102 は、 40

現画像 $c(0, 0)$ と参照画像の $r(1, 8) \sim r(1, 14)$ とのマッチング
 現画像 $c(0, 1)$ と参照画像の $r(1, 9) \sim r(1, 15)$ とのマッチング
 現画像 $c(0, 2)$ と参照画像の $r(1, 10) \sim r(1, 16)$ とのマッチング
 現画像 $c(0, 3)$ と参照画像の $r(1, 11) \sim r(1, 17)$ とのマッチング
 現画像 $c(0, 4)$ と参照画像の $r(1, 12) \sim r(1, 18)$ とのマッチング
 現画像 $c(0, 5)$ と参照画像の $r(1, 13) \sim r(1, 19)$ とのマッチング
 現画像 $c(0, 6)$ と参照画像の $r(1, 14) \sim r(1, 20)$ とのマッチング
 現画像 $c(0, 7)$ と参照画像の $r(1, 15) \sim r(1, 21)$ とのマッチング
 を行なう。

【0048】

参照画像水平方向2ライン目と現画像水平方向2ライン目の処理の場合、第2のSAD演算部102は、

現画像c(1, 0)と参照画像のr(2, 8)～r(2, 14)とのマッチング
 現画像c(1, 1)と参照画像のr(2, 9)～r(2, 15)とのマッチング
 現画像c(1, 2)と参照画像のr(2, 10)～r(2, 16)とのマッチング
 現画像c(1, 3)と参照画像のr(2, 11)～r(2, 17)とのマッチング
 現画像c(1, 4)と参照画像のr(2, 12)～r(2, 18)とのマッチング
 現画像c(1, 5)と参照画像のr(2, 13)～r(2, 19)とのマッチング
 現画像c(1, 6)と参照画像のr(2, 14)～r(2, 20)とのマッチング
 現画像c(1, 7)と参照画像のr(2, 15)～r(2, 21)とのマッチング
 を行なう。

【0049】

すなわち、現画像の垂直成分をi(0 i 7, iは整数)とすると、第2のSAD演算部102は、

現画像c(i, 0)と参照画像のr(i+1, 8)～r(i+1, 14)とのマッチング
 現画像c(i, 1)と参照画像のr(i+1, 9)～r(i+1, 15)とのマッチング
 現画像c(i, 2)と参照画像のr(i+1, 10)～r(i+1, 16)とのマッチング
 現画像c(i, 3)と参照画像のr(i+1, 11)～r(i+1, 17)とのマッチング
 現画像c(i, 4)と参照画像のr(i+1, 12)～r(i+1, 18)とのマッチング
 現画像c(i, 5)と参照画像のr(i+1, 13)～r(i+1, 19)とのマッチング
 現画像c(i, 6)と参照画像のr(i+1, 14)～r(i+1, 20)とのマッチング
 現画像c(i, 7)と参照画像のr(i+1, 15)～r(i+1, 21)とのマッチング
 を行なう。

【0050】

参照画像水平方向3ライン目と現画像の処理の場合、現画像の垂直成分をi(0 i 7, iは整数)とすると、第2のSAD演算部102は、

現画像c(i, 0)と参照画像のr(i+2, 8)～r(i+2, 14)とのマッチング
 現画像c(i, 1)と参照画像のr(i+2, 9)～r(i+2, 15)とのマッチング
 現画像c(i, 2)と参照画像のr(i+2, 10)～r(i+2, 16)とのマッチング
 現画像c(i, 3)と参照画像のr(i+2, 11)～r(i+2, 17)とのマッチング
 現画像c(i, 4)と参照画像のr(i+2, 12)～r(i+2, 18)とのマッチング
 現画像c(i, 5)と参照画像のr(i+2, 13)～r(i+2, 19)とのマッチング
 現画像c(i, 6)と参照画像のr(i+2, 14)～r(i+2, 20)とのマッチング
 現画像c(i, 7)と参照画像のr(i+2, 15)～r(i+2, 21)とのマッチング
 を行なう。

【0051】

参照画像内での15並列処理範囲を垂直方向に1ラインずつずらしていき、参照画像水

平方向 15 ライン目と現画像の処理の場合、現画像の垂直成分を $i (0 \leq i \leq 7, i \text{ は整数})$ とすると、第 2 の SAD 演算部 102 は、

現画像 $c(i, 0)$ と参照画像の $r(i + 14, 8) \sim r(i + 14, 14)$ とのマッチング

現画像 $c(i, 1)$ と参照画像の $r(i + 14, 9) \sim r(i + 14, 15)$ とのマッチング

現画像 $c(i, 2)$ と参照画像の $r(i + 14, 10) \sim r(i + 14, 16)$ とのマッチング

現画像 $c(i, 3)$ と参照画像の $r(i + 14, 11) \sim r(i + 14, 17)$ とのマッチング

現画像 $c(i, 4)$ と参照画像の $r(i + 14, 12) \sim r(i + 14, 18)$ とのマッチング

現画像 $c(i, 5)$ と参照画像の $r(i + 14, 13) \sim r(i + 14, 19)$ とのマッチング

現画像 $c(i, 6)$ と参照画像の $r(i + 14, 14) \sim r(i + 14, 20)$ とのマッチング

現画像 $c(i, 7)$ と参照画像の $r(i + 14, 15) \sim r(i + 14, 21)$ とのマッチング

を行なう。

【0052】

このようにして、第 1 の SAD 演算部 101 および第 2 の SAD 演算部 102 は、図 2 に示した 8×8 画素の現画像の画素データと、図 3 に示した 22×22 画素の参照画像の画素データとのブロックマッチング処理がすべて完了する。この実施の形態 1 のブロックマッチング演算装置は、第 1 の SAD 演算部 101 および第 2 の SAD 演算部 102 で 15 並列のブロックマッチング処理を行っている。そのため、第 1 の SAD 演算部 101 は 8 つ SAD 出力値を、第 2 の SAD 演算部 102 は 7 つの SAD 出力値をそれぞれ同時に output する。ブロックマッチング処理は、これらの SAD 出力値の最小値に相当する位置をベクトルで表示するのが一般的である。したがって、ブロックマッチング演算装置は、第 1 の SAD 演算部 101 および第 2 の SAD 演算部 102 から出力される 15 の SAD 出力値の最小値を求めて出力してもよいし、15 の SAD 出力値を出力し、これらの最小値の算出は、他の装置で行うようにしてもよい。

【0053】

以上説明したように、この実施の形態 1 では、現画像の画素データと参照画像の画素データとの差分絶対値和演算を行う $2N - 1$ 個の PE 部を N 個と $N - 1$ 個に分割して、それぞれ第 1 の SAD 演算部と第 2 の SAD 演算部とし、第 1 の SAD 演算部内の N 個の PE 部が構成するシフトレジスタの初段および第 2 の SAD 演算部内の $N - 1$ 個の PE 部が構成するシフトレジスタの初段に参照画像の画素データを入力するメモリインタフェース部が、参照画像の水平方向 1 ライン分のブロックマッチング処理が開始されるたびに、第 2 の SAD 演算部への出力を 1 サイクル遅延させることにより、PE 部が 1 個少ない第 2 の SAD 演算部が、第 1 の SAD 演算部より 1 サイクル遅延して並列に現画像の画素データと参照画像の画素データとの差分絶対値和演算を行うようにしているため、参照画像の $2N - 1$ 個の画素データを全ての PE 部に格納するサイクルが少なくなり、高速にブロックマッチング演算を実行することができる。

【0054】

また、メモリインタフェース部に複数のレジスタを備えているため、参照画像の画素データを第 1 および第 2 の SAD 演算部が差分絶対値和演算を実行中に、つぎに必要な参照画像の画素データをメモリから読み出すことができ、高速にブロックマッチング演算を実行することができる。

【0055】

なお、この実施の形態 1 では、メモリインタフェース部に 4 つのレジスタを備え、1つ

10

20

30

40

50

のレジスタが4個の画素データを保持して、合計16個の画素データを保持する例をあげて説明した。しかし、画素データを保持するレジスタの構成はこれに限るものではなく、1若しくは複数のレジスタを用いて、4つ以上の画素データを保持するようにしてもよい。これにより、参照画像の画素データを第1および第2のSAD演算部が差分絶対値和演算を実行中に、つぎに必要な参照画像の画素データをメモリから読み出すことができ、高速にブロックマッチング演算を実行することができる。

【0056】

実施の形態2.

図11～図13を用いて本発明の実施の形態2を説明する。なお、この実施の形態2は、実施の形態1と同様に、PE部の数を示すNの値は8、現画像は8×8画素、参照画像は22×22画素とする。

10

【0057】

図11は、この発明における実施の形態2のブロックマッチング演算装置の構成を示すブロック図である。この発明における実施の形態2のブロックマッチング演算装置は、図1に示した実施の形態1のブロックマッチング演算装置のメモリ104の代わりに、4つのメモリ120～123を、メモリインターフェース部103の代わりにメモリインターフェース部130を備えている。実施の形態1のブロックマッチング演算装置と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。この例では、メモリを4分割（メモリ120～123）としているが、4分割に限るものではなく、いくつに分割してもよい。また、メモリ120～123は、ブロックマッチング演算装置の外部に備えるようにもよい。

20

【0058】

4つのメモリ120～123は、参照画像のデータを記憶する。図12に示すように、メモリ120～メモリ123は、それぞれ1アドレスに1つの参照画像の画素データを記憶する。

【0059】

メモリインターフェース部130は、メモリ120～123とのインターフェース機能を備えており、制御信号110に基づいてメモリ120～123から参照画像の画素データを読み出し、読み出した画素データを第1のSAD演算部101と第2のSAD演算部102とに出力する。

30

【0060】

図13は、図11に示したメモリインターフェース部130の構成の一例を示すブロック図である。図13に示したメモリインターフェース部130は、4つのアドレス生成回路510～513と、セレクタ514とを備えている。

【0061】

制御信号110に基づいて、アドレス生成回路510はメモリ120のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路511はメモリ121のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路512はメモリ122のチップセレクト、リードイネーブルおよびアドレス信号を、アドレス生成回路513はメモリ123のチップセレクト、リードイネーブルおよびアドレス信号を生成して、それぞれのメモリに出力する。なお、アドレス生成回路510～513は、メモリインターフェース部130の外部に備えるようにしてもよい。

40

【0062】

セレクタ514は、制御信号110に基づいてメモリ120～123から読み出された画素データの中から2つの画素データを選択して、選択した2つの画素データの一方を第1のSAD演算部101に、もう一方の画素データを第2のSAD演算部102に出力する。ただし、各水平ラインの最初の参照画像データ $r(0, 0), r(1, 0), r(2, 0), \dots, r(21, 0)$ については、第1のSAD演算部101のみに出力し、第2のSAD演算部102への参照画像データの出力を行なわない。

【0063】

50

つぎに、この発明における実施の形態2のブロックマッチング演算装置の動作を説明する。この実施の形態2のブロックマッチング演算装置と実施の形態1のブロックマッチング演算装置との違いは、メモリ構成およびメモリインタフェース部であり、第1のSAD演算部101および第2のSAD演算部102が入力された参照画素と現画像とのマッチング処理を行う動作は実施の形態1と同様のものとなるので、ここでは第1のSAD演算部101および第2のSAD演算部102に参照画像の画素データを読み出す動作のみを説明する。

【0064】

アドレス生成回路510～513は、制御信号110に基づいてメモリ120～123のチップセレクト、リードイネーブルおよびアドレス信号を生成して、メモリ120～123に出力する。第1のSAD演算部101に、 $r(0, 0), r(0, 1), \dots, r(0, 7)$ の順に参照画像の画素データを出力する場合、アドレス生成回路510、511、512、513の順にアドレス「8'h00」を出力し、つぎに、アドレス生成回路510、511、512、513の順にアドレス「8'h01」を出力する。これにより、参照画像 $r(0, 0), r(0, 1), \dots, r(0, 7)$ の画素データが順にセレクタ514に入力され、セレクタ514は、これらのデータを第1のSAD演算部101に出力する。

【0065】

第2のSAD演算部102に、 $r(0, 8), r(0, 9), \dots, r(0, 14)$ の順に参照画像の画素データを出力する場合、アドレス生成回路510、511、512、513の順にアドレス「8'h02」を出力し、つぎに、アドレス生成回路510、511、512の順にアドレス「8'h03」を出力する。ここで、参照画像 $r(0, 0)$ の画素データと参照画像 $r(0, 8)$ は同一のメモリ120に格納されているため、同時にアクセスした場合、競合が発生する。このような場合は、第1のSAD演算部101にメモリ121に格納されている参照画像 $r(0, 1)$ の画素データを出力するタイミングでメモリ120に格納されている参照画像 $r(0, 8)$ の画素データを読み出して、第2のSAD演算部102に出力するようにすればよい。このタイミングを維持してアドレス生成回路510～513を制御して、メモリ120～123から参照画像の画素データを読み出すようにすれば、競合が発生することはない。

【0066】

以上説明したように、この実施の形態2では、参照画像の画像データを複数のメモリに分割して格納するようにしたため、第1および第2のSAD演算部に出力する参照画像の画素データを異なるメモリから読み出すことが可能となり、メモリアクセスの競合を発生させることなく、高速かつ消費電力を抑えたブロックマッチング処理を実行することができる。

【産業上の利用可能性】

【0067】

以上のように、本発明にかかるブロックマッチング演算装置は、動画圧縮伸長システムに有用であり、特に、高速かつ回路規模を抑えたブロックマッチング処理に適している。

【図面の簡単な説明】

【0068】

【図1】この発明における実施の形態1のブロックマッチング演算装置の構成を示すブロック図である。

【図2】現画像のデータ配置の概念図である。

【図3】参照画像のデータ配置の概念図である。

【図4】図1に示したメモリインタフェース部の構成の一例を示すブロック図である。

【図5】図1に示した第1のSAD演算部の構成を示すブロック図である。

【図6】図1に示した第2のSAD演算部の構成を示すブロック図である。

【図7】PE部の構成を示すブロック図である。

【図8】メモリ構成と参照画素格納の概念図である。

10

20

30

40

50

【図9-1】参照画像の画素データが設定された第1のSAD演算部の一例を示すブロック図である。

【図9-2】参照画像の画素データが設定された第2のSAD演算部の一例を示すブロック図である。

【図10-1】参照画像の画素データが設定された第1のSAD演算部の一例を示すブロック図である。

【図10-2】参照画像の画素データが設定された第2のSAD演算部の一例を示すブロック図である。

【図11】この発明における実施の形態2のブロックマッチング演算装置の構成を示すブロック図である。 10

【図12】メモリ構成と参照画素格納の概念図である。

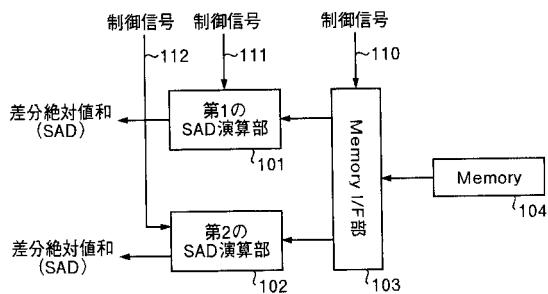
【図13】図11に示したメモリインターフェース部の構成を一例を示すブロック図である。 11

【符号の説明】

【0069】

101 第1のSAD演算部
102 第2のSAD演算部
103, 130 メモリインターフェース部
104, 120, 121, 122, 123 メモリ
110, 111, 112 制御信号 20
400, 401 フリップフロップ
402 減算器
403 絶対値演算器
404 加算器
500, 510, 511, 512, 513 アドレス生成回路
501, 502, 514 セレクタ
503, 504, 505, 506 レジスタ
P E 0 a, P E 1 a, P E 2 a, P E 3 a, P E 4 a, P E 5 a, P E 6 a, P E 7 a,
, P E 0 b, P E 1 b, P E 2 b, P E 3 b, P E 4 b, P E 5 b, P E 6 b P E 部

【図1】



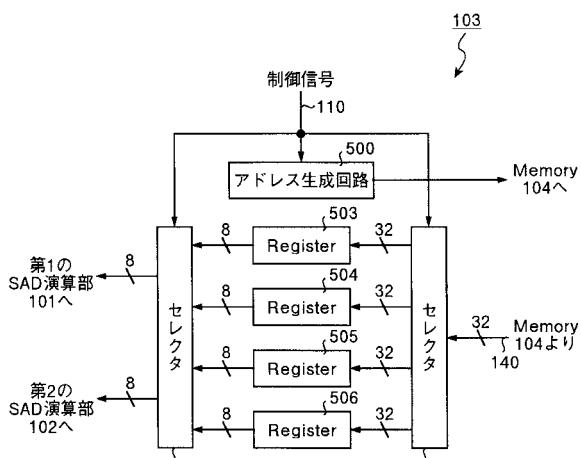
【図2】

c(0,0)	c(0,1)	c(0,2)	c(0,3)	c(0,4)	c(0,5)	c(0,6)	c(0,7)
c(1,0)	c(1,1)	c(1,2)	c(1,3)	c(1,4)	c(1,5)	c(1,6)	c(1,7)
c(2,0)	c(2,1)	c(2,2)	c(2,3)	c(2,4)	c(2,5)	c(2,6)	c(2,7)
c(3,0)	c(3,1)	c(3,2)	c(3,3)	c(3,4)	c(3,5)	c(3,6)	c(3,7)
c(4,0)	c(4,1)	c(4,2)	c(4,3)	c(4,4)	c(4,5)	c(4,6)	c(4,7)
c(5,0)	c(5,1)	c(5,2)	c(5,3)	c(5,4)	c(5,5)	c(5,6)	c(5,7)
c(6,0)	c(6,1)	c(6,2)	c(6,3)	c(6,4)	c(6,5)	c(6,6)	c(6,7)
c(7,0)	c(7,1)	c(7,2)	c(7,3)	c(7,4)	c(7,5)	c(7,6)	c(7,7)

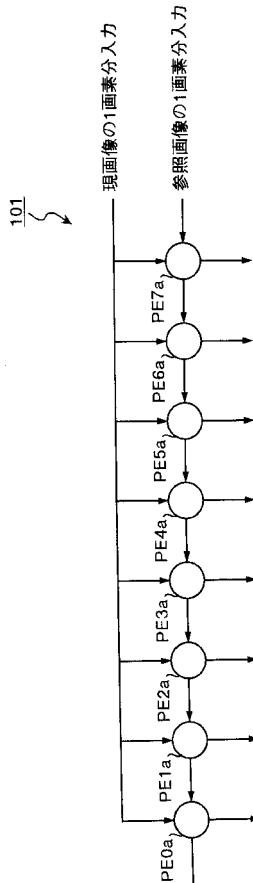
【図3】

r0.0	r0.1	r0.2	r0.3	r0.4	r0.5	r0.6	r0.7	r0.8	r0.9	r0.10	r0.11	r0.12	r0.13	r0.14	r0.15	r0.16	r0.17	r0.18	r0.19	r0.20	r0.21
r1.0	r1.1	r1.2	r1.3	r1.4	r1.5	r1.6	r1.7	r1.8	r1.9	r1.10	r1.11	r1.12	r1.13	r1.14	r1.15	r1.16	r1.17	r1.18	r1.19	r1.20	r1.21
r2.0	r2.1	r2.2	r2.3	r2.4	r2.5	r2.6	r2.7	r2.8	r2.9	r2.10	r2.11	r2.12	r2.13	r2.14	r2.15	r2.16	r2.17	r2.18	r2.19	r2.20	r2.21
r3.0	r3.1	r3.2	r3.3	r3.4	r3.5	r3.6	r3.7	r3.8	r3.9	r3.10	r3.11	r3.12	r3.13	r3.14	r3.15	r3.16	r3.17	r3.18	r3.19	r3.20	r3.21
r4.0	r4.1	r4.2	r4.3	r4.4	r4.5	r4.6	r4.7	r4.8	r4.9	r4.10	r4.11	r4.12	r4.13	r4.14	r4.15	r4.16	r4.17	r4.18	r4.19	r4.20	r4.21
r5.0	r5.1	r5.2	r5.3	r5.4	r5.5	r5.6	r5.7	r5.8	r5.9	r5.10	r5.11	r5.12	r5.13	r5.14	r5.15	r5.16	r5.17	r5.18	r5.19	r5.20	r5.21
r6.0	r6.1	r6.2	r6.3	r6.4	r6.5	r6.6	r6.7	r6.8	r6.9	r6.10	r6.11	r6.12	r6.13	r6.14	r6.15	r6.16	r6.17	r6.18	r6.19	r6.20	r6.21
r7.0	r7.1	r7.2	r7.3	r7.4	r7.5	r7.6	r7.7	r7.8	r7.9	r7.10	r7.11	r7.12	r7.13	r7.14	r7.15	r7.16	r7.17	r7.18	r7.19	r7.20	r7.21
r8.0	r8.1	r8.2	r8.3	r8.4	r8.5	r8.6	r8.7	r8.8	r8.9	r8.10	r8.11	r8.12	r8.13	r8.14	r8.15	r8.16	r8.17	r8.18	r8.19	r8.20	r8.21
r9.0	r9.1	r9.2	r9.3	r9.4	r9.5	r9.6	r9.7	r9.8	r9.9	r9.10	r9.11	r9.12	r9.13	r9.14	r9.15	r9.16	r9.17	r9.18	r9.19	r9.20	r9.21
r10.0	r10.1	r10.2	r10.3	r10.4	r10.5	r10.6	r10.7	r10.8	r10.9	r10.10	r10.11	r10.12	r10.13	r10.14	r10.15	r10.16	r10.17	r10.18	r10.19	r10.20	r10.21
r11.0	r11.1	r11.2	r11.3	r11.4	r11.5	r11.6	r11.7	r11.8	r11.9	r11.10	r11.11	r11.12	r11.13	r11.14	r11.15	r11.16	r11.17	r11.18	r11.19	r11.20	r11.21
r12.0	r12.1	r12.2	r12.3	r12.4	r12.5	r12.6	r12.7	r12.8	r12.9	r12.10	r12.11	r12.12	r12.13	r12.14	r12.15	r12.16	r12.17	r12.18	r12.19	r12.20	r12.21
r13.0	r13.1	r13.2	r13.3	r13.4	r13.5	r13.6	r13.7	r13.8	r13.9	r13.10	r13.11	r13.12	r13.13	r13.14	r13.15	r13.16	r13.17	r13.18	r13.19	r13.20	r13.21
r14.0	r14.1	r14.2	r14.3	r14.4	r14.5	r14.6	r14.7	r14.8	r14.9	r14.10	r14.11	r14.12	r14.13	r14.14	r14.15	r14.16	r14.17	r14.18	r14.19	r14.20	r14.21
r15.0	r15.1	r15.2	r15.3	r15.4	r15.5	r15.6	r15.7	r15.8	r15.9	r15.10	r15.11	r15.12	r15.13	r15.14	r15.15	r15.16	r15.17	r15.18	r15.19	r15.20	r15.21
r16.0	r16.1	r16.2	r16.3	r16.4	r16.5	r16.6	r16.7	r16.8	r16.9	r16.10	r16.11	r16.12	r16.13	r16.14	r16.15	r16.16	r16.17	r16.18	r16.19	r16.20	r16.21
r17.0	r17.1	r17.2	r17.3	r17.4	r17.5	r17.6	r17.7	r17.8	r17.9	r17.10	r17.11	r17.12	r17.13	r17.14	r17.15	r17.16	r17.17	r17.18	r17.19	r17.20	r17.21
r18.0	r18.1	r18.2	r18.3	r18.4	r18.5	r18.6	r18.7	r18.8	r18.9	r18.10	r18.11	r18.12	r18.13	r18.14	r18.15	r18.16	r18.17	r18.18	r18.19	r18.20	r18.21
r19.0	r19.1	r19.2	r19.3	r19.4	r19.5	r19.6	r19.7	r19.8	r19.9	r19.10	r19.11	r19.12	r19.13	r19.14	r19.15	r19.16	r19.17	r19.18	r19.19	r19.20	r19.21
r20.0	r20.1	r20.2	r20.3	r20.4	r20.5	r20.6	r20.7	r20.8	r20.9	r20.10	r20.11	r20.12	r20.13	r20.14	r20.15	r20.16	r20.17	r20.18	r20.19	r20.20	r20.21
r21.0	r21.1	r21.2	r21.3	r21.4	r21.5	r21.6	r21.7	r21.8	r21.9	r21.10	r21.11	r21.12	r21.13	r21.14	r21.15	r21.16	r21.17	r21.18	r21.19	r21.20	r21.21

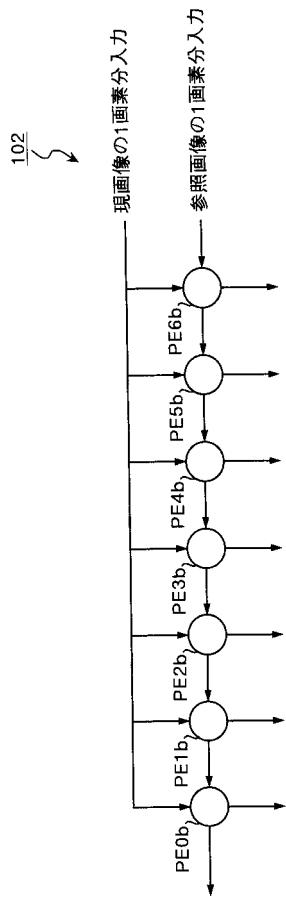
【図4】



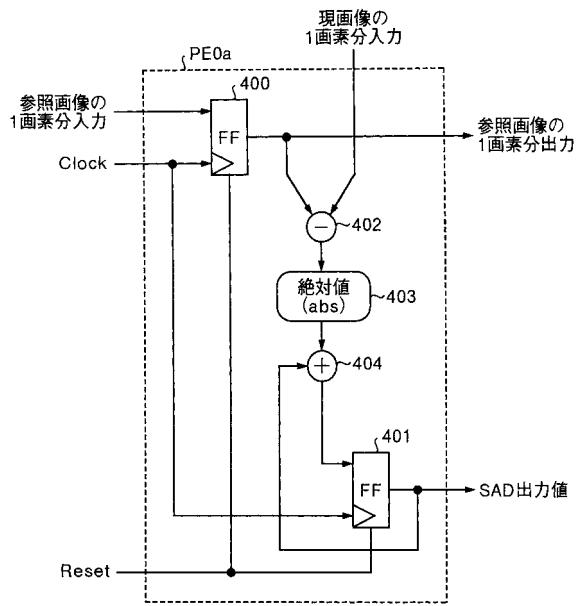
【図5】



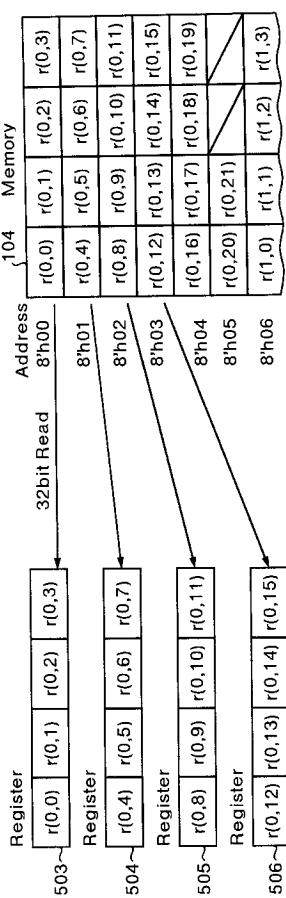
【図6】



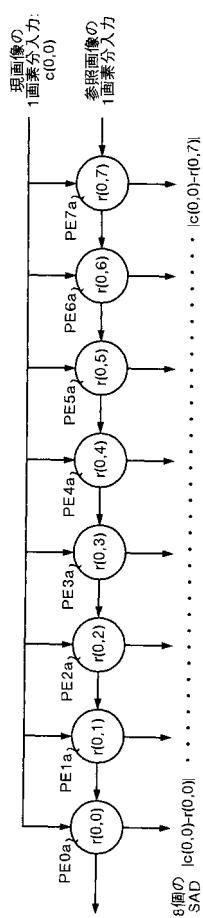
【図7】



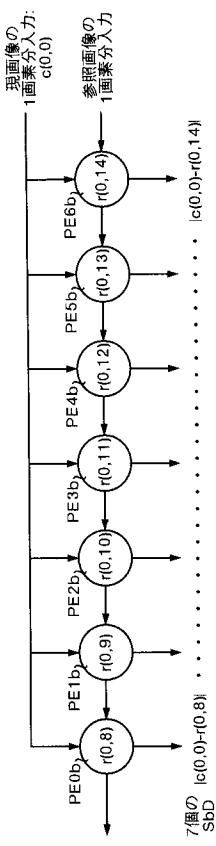
【図8】



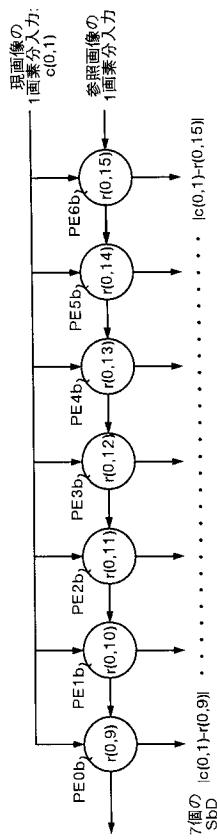
【図9-1】



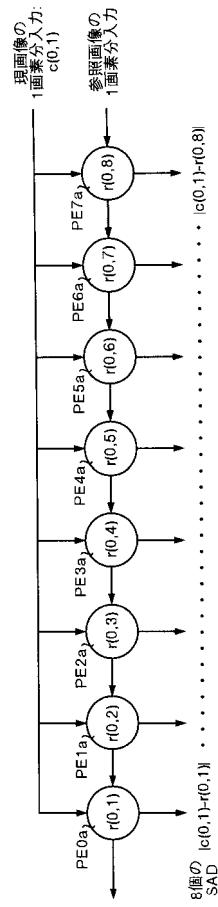
【図9-2】



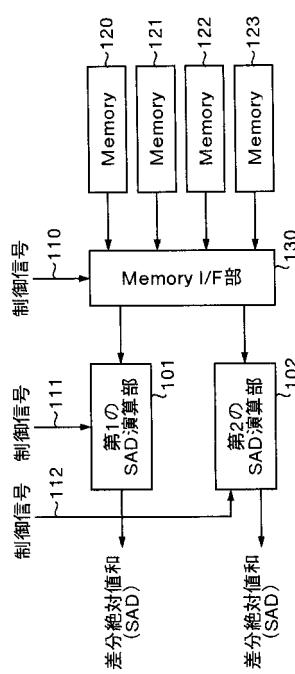
【図10-2】



【図 10 - 1】



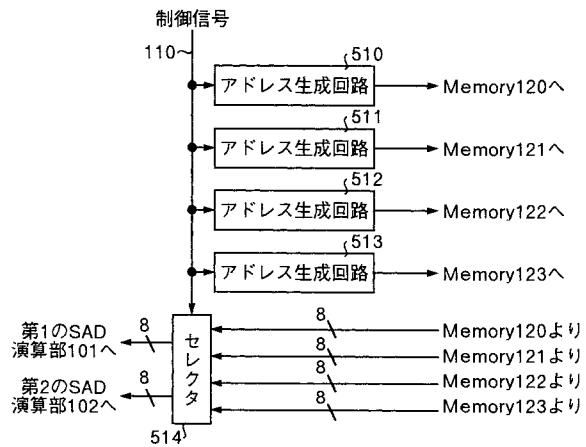
【 図 1 1 】



【図1-2】

Address	j120	j121	j122	j123
8'h00	r(0,0)	r(0,1)	r(0,2)	r(0,3)
8'h01	r(0,4)	r(0,5)	r(0,6)	r(0,7)
8'h02	r(0,8)	r(0,9)	r(0,10)	r(0,11)
8'h03	r(0,12)	r(0,13)	r(0,14)	r(0,15)
8'h04	r(0,16)	r(0,17)	r(0,18)	r(0,19)
8'h05	r(0,20)	r(0,21)		

【図1-3】



フロントページの続き

審査官 長谷川 素直

(56)参考文献 特開平11-112991(JP,A)

特開平07-203457(JP,A)

特開2000-295620(JP,A)

特開2000-106674(JP,A)

特開平10-304370(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/26 - 7/68