

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-108316

(P2006-108316A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 7	5 F O 8 3
HO 1 L 21/8246 (2006.01)	G 1 1 C 11/15 1 1 0	
G 1 1 C 11/15 (2006.01)	HO 1 L 43/08 Z	
HO 1 L 43/08 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2004-291759 (P2004-291759)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年10月4日(2004.10.4)	(74) 代理人	100122884 弁理士 角田 芳末
		(74) 代理人	100113516 弁理士 磯山 弘信
		(72) 発明者	鹿野 博司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	細見 政功 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F083 FZ10 GA05 GA09 JA37

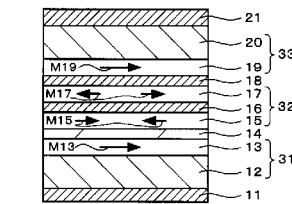
(54) 【発明の名称】 記憶素子及びメモリ

(57) 【要約】

【課題】 スピン注入効率を向上することにより、書き込みに要する電流値を低減することができる記憶素子を提供する。

【解決手段】 情報を磁性体の磁化状態により保持する記憶層32の上下に、中間層14、18を介して磁化固定層31、33が設けられ、これら磁化固定層31、33のそれぞれ記憶層32に最も近い強磁性層13、19の磁化M13、M19の向きが略平行であり、記憶層32が非磁性導体層16を介して積層された複数層の強磁性層15、17から成り、記憶層32の最上層の強磁性層17の磁化M17と最下層の強磁性層15の磁化M15とが、互いに向きが反平行であり、積層方向に電流を流すことにより、記憶層32の磁化M15、M17の向きが変化して、記憶層32に対して情報の記録が行われる記憶素子3を構成する。

【選択図】 図2



3

【特許請求の範囲】

【請求項 1】

情報を磁性体の磁化状態により保持する記憶層を有し、
 前記記憶層の上下に、それぞれ中間層を介して磁化固定層が設けられ、
 前記記憶層の上下の前記磁化固定層において、それぞれ前記記憶層に最も近い前記強磁性層の磁化の向きが略平行であり、
 前記記憶層が、非磁性導体層を介して積層された複数層の強磁性層から成り、
 前記記憶層の最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行であり、
 積層方向に電流を流すことにより、前記記憶層の磁化の向きが変化して、前記記憶層に対して情報の記録が行われる
 ことを特徴とする記憶素子。

10

【請求項 2】

前記記憶層の前記複数層の強磁性層が、各強磁性層間に働く交換相互作用を介して、上下の強磁性層の磁化の向きが互いに反平行となるように磁氣的に結合していることを特徴とする請求項 1 に記載の記憶素子。

【請求項 3】

前記記憶層の前記複数層の記録層の強磁性層が、各強磁性層の端部に発生する磁極からの磁界が相互に印加されることにより、各強磁性層間に働く反強磁性的な静磁結合を介して、上下の強磁性層の磁化の向きが互いに反平行となるように結合していることを特徴とする請求項 1 に記載の記憶素子。

20

【請求項 4】

前記記憶層の前記非磁性導体層が、Mg, Al, Si, Ge, Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W, Cu, Ag, Au, Ru, Rhの中から選ばれる1つ以上の元素を主成分とする材料、もしくはこれらの元素の合金を主成分とする材料から成ることを特徴とする請求項 1 に記載の記憶素子。

【請求項 5】

情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、
 互いに交差する2種類の配線とを備え、
 前記記憶素子は、前記記憶層の上下に、それぞれ中間層を介して磁化固定層が設けられ、
 前記記憶層の上下の前記磁化固定層において、それぞれ前記記憶層に最も近い前記強磁性層の磁化の向きが略平行であり、前記記憶層が、非磁性導体層を介して積層された複数層の強磁性層から成り、前記記憶層の最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行であり、積層方向に電流を流すことにより、前記記憶層の磁化の向きが変化して、前記記憶層に対して情報の記録が行われる構成であり、
 前記2種類の配線の交点付近かつ前記2種類の配線の間、前記記憶素子が配置され、
 前記2種類の配線を通じて、前記記憶素子に前記積層方向の電流が流れる
 ことを特徴とするメモリ。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、強磁性層の磁化状態を情報として記憶する記憶層と、磁化の向きが固定された磁化固定層とから成り、電流を流すことにより記憶層の磁化の向きを変化させる記憶素子及びこの記憶素子を備えたメモリに係わり、不揮発メモリに適用して好適なものである。

【背景技術】

【0002】

コンピュータ等の情報機器では、ランダム・アクセス・メモリとして、動作が高速で、高密度なDRAMが広く使われている。

しかし、DRAMは電源を切ると情報が消えてしまう揮発性メモリであるため、情報が

50

消えない不揮発のメモリが望まれている。

【0003】

そして、不揮発メモリの候補として、磁性体の磁化で情報を記録する磁気ランダム・アクセス・メモリ(MRAM)が注目され、開発が進められている(例えば非特許文献1参照)。

【0004】

MRAMは、ほぼ直交する2種類のアドレス配線(ワード線、ビット線)にそれぞれ電流を流して、各アドレス配線から発生する電流磁場によって、アドレス配線の交点にある磁気記憶素子の磁性層の磁化を反転して情報の記録を行うものである。

【0005】

一般的なMRAMの模式図(斜視図)を、図6に示す。

シリコン基板等の半導体基体110の素子分離層102により分離された部分に、各メモリセルを選択するための選択用トランジスタを構成する、ドレイン領域108、ソース領域107、並びにゲート電極101が、それぞれ形成されている。

また、ゲート電極101の上方には、図中前後方向に延びるワード線105が設けられている。

ドレイン領域108は、図中左右の選択用トランジスタに共通して形成されており、このドレイン領域108には、配線109が接続されている。

そして、ワード線105と、上方に配置された、図中左右方向に延びるビット線106との間に、磁化の向きが反転する記憶層を有する磁気記憶素子103が配置されている。この磁気記憶素子103は、例えば磁気トンネル接合素子(MTJ素子)により構成される。

さらに、磁気記憶素子103は、水平方向のバイパス線111及び上下方向のコンタクト層104を介して、ソース領域107に電氣的に接続されている。

ワード線105及びビット線106にそれぞれ電流を流すことにより、電流磁界を磁気記憶素子103に印加して、これにより磁気記憶素子103の記憶層の磁化の向きを反転させて、情報の記録を行うことができる。

【0006】

そして、MRAM等の磁気メモリにおいて、記録した情報を安定に保持するためには、情報を記録する磁性層(記憶層)が、一定の保磁力を有していることが必要である。

一方、記録された情報を書き換えるためには、アドレス配線にある程度の電流を流さなければならない。

ところが、MRAMを構成する素子の微細化に従い、アドレス配線も細くなるため、十分な電流が流せなくなってくる。

【0007】

そこで、より少ない電流で磁化反転が可能な構成として、スピン注入による磁化反転を利用する構成の磁気メモリが注目されている(例えば、特許文献1参照)。

スピン注入による磁化反転とは、磁性体の中を通過してスピン偏極した電子を、他の磁性体に注入することにより、他の磁性体において磁化反転を起こさせるものである。

【0008】

例えば、巨大磁気抵抗効果素子(GMR素子)や磁気トンネル接合素子(MTJ素子)に対して、その膜面に垂直な方向に電流を流すことにより、これらの素子の少なくとも一部の磁性層の磁化の向きを反転させることができる。

【0009】

そして、スピン注入による磁化反転は、素子が微細化されても、少ない電流で磁化反転を実現することができる利点を有している。

【0010】

また、上述したスピン注入による磁化反転を利用する構成の磁気メモリの模式図を図4及び図5に示す。図4は斜視図、図5は断面図である。

シリコン基板等の半導体基体60の素子分離層52により分離された部分に、各メモリ

10

20

30

40

50

セルを選択するための選択用トランジスタを構成する、ドレイン領域 5 8、ソース領域 5 7、並びにゲート電極 5 1 が、それぞれ形成されている。このうち、ゲート電極 5 1 は、
 図中前後方向に延びるワード線を兼ねている。

ドレイン領域 5 8 は、図 4 中左右の選択用トランジスタに共通して形成されており、このドレイン領域 5 8 には、配線 5 9 が接続されている。

そして、ソース領域 5 7 と、上方に配置された、図 4 中左右方向に延びるビット線 5 6 との間に、スピン注入により磁化の向きが反転する記憶層を有する記憶素子 5 3 が配置されている。

この記憶素子 5 3 は、例えば磁気トンネル接合素子 (M T J 素子) により構成される。図中 6 1 及び 6 2 は磁性層を示しており、2 層の磁性層 6 1, 6 2 のうち、一方の磁性層を磁化の向きが固定された磁化固定層として、他方の磁性層を磁化の向きが変化する磁化自由層即ち記憶層とする。

10

また、記憶素子 5 3 は、ビット線 5 6 と、ソース領域 5 7 とに、それぞれ上下のコンタクト層 5 4 を介して接続されている。これにより、磁気記憶素子 5 3 に電流を流して、スピン注入により記憶層の磁化の向きを反転させることができる。

【0011】

このようなスピン注入による磁化反転を利用する構成のメモリの場合、図 6 に示した一般的な M R A M と比較して、デバイス構造を単純化することができる、という特徴も有している。

また、スピン注入による磁化反転を利用することにより、外部磁界により磁化反転を行う一般的な M R A M と比較して、素子の微細化が進んでも、書き込みの電流が増大しないという利点がある。

20

【0012】

このスピン注入による磁化反転を利用する構成のメモリにおいて、消費電力をさらに抑制するためには、スピン注入効率を改善して、入力する電流を減らす必要がある。

【0013】

また、読み出し信号を大きくするためには、大きな磁気抵抗変化率を確保する必要があり、そのためには記憶層の両側に接している中間層をトンネルバリア層にすることが効果的である。

この場合、バリア層の耐電圧の制限が生じるため、この点からも、スピン注入時の電流を抑制する必要がある。

30

【0014】

そこで、スピン注入時の電流を抑制するための解決策として、記憶素子を磁化固定層 / 中間層 / 記憶層 / 中間層 / 磁化固定層の積層構造として、記憶層の上下に設けた磁化固定層の磁化の向きを反対向きにした構成が提案されている (特許文献 2 及び特許文献 3 参照)。

そして、上記特許文献 2 において、上下の磁化固定層の磁化の向きを互いに反対向きにすることにより、スピン注入効率を倍増させることが可能であることが示されている。

【0015】

【非特許文献 1】日経エレクトロニクス 2001.2.12 号 (第 164 頁 - 171 頁)

40

【特許文献 1】特開 2003 - 17782 号公報

【特許文献 2】米国特許公開第 2004 / 0027853 号明細書

【特許文献 3】特開 2004 - 193595 号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、上記特許文献 2 や上記特許文献 3 において提案されている構成では、記憶層の上下に設けた磁化固定層の磁化の向きを反対向きにするために、それぞれの磁化固定層の材料や膜構成を、通常の M T J 素子に採用されているものとは違うものとする必要

50

がある。

このため、膜構成が複雑になったり、製造工程が複雑になったりする、という欠点がある。例えば、上下の磁化固定層の磁化の向きを反対向きとするためには、複数回の異なる条件での磁場中アニールが必要になり、製造工程が複雑になる。

【0017】

電流による磁化回転トルクの方法は、記憶層の電流が流れ出す面の磁化の向きとそれに対向する磁化固定層表面の磁化の向きとの相対角、及び記憶層から見た電流の向きで決まる。

スピン注入効率を向上させるためには、記憶層の下部の磁化固定層から受ける磁化回転トルクの向きと、記憶層の上部の磁化固定層から受ける磁化回転トルクの向きとを一致させなければならない。 10

一例を挙げて説明する。書き込み電流を下部の磁化固定層から上部の磁化固定層に向けて流した場合、記憶層から見た電流の向きが、上部からは流れ込み、下部へは流れ出しというように、記憶層から見た電流の向きが反転する。記憶層の上下の面の磁化が同じ向きであり、上下の磁化固定層の記憶層に対向する面の磁化が同じ向きである場合、上述したように記憶層上下界面での記憶層から見た電流の向きは反対向きになるため、磁化回転トルクは打ち消し合ってしまう。

これらの理由のため、電流による磁化回転トルクの方法を合わせるためには、上述のように、記憶層の上下に設けた磁化固定層の磁化の向きを反平行にしたときに、記憶層を複数層の磁性層によって構成して、記憶層を構成する磁性層の最上層の磁化の向きと最下層の磁化の向きとを、平行にする必要がある。 20

即ち、記憶層として、磁化の向きが平行になるように結合した2層の磁性層、もしくは3層以上の奇数層の磁性層を必要とする。

【0018】

2層の磁性層を磁化の向きが平行になるように結合させるためには、2層の磁性層の間に挟まれた中間層の厚さを、最低でも数nm以下、一般的には0.5nm以下に抑える必要がある。このように中間層の厚さを薄くすると、記憶層の作製が困難になると共に、スピン偏極電流が保持されてしまうことにより中間層の上下の磁性層が干渉を起こして、書き込み電流の増大を生じてしまう。

一方、記憶層を3層以上の磁性層によって構成すると、記憶層全体の合計膜厚が大きくなり、書き込み電流が記憶層の体積に比例するため、書き込み電流が増大してしまうという問題がある。 30

【0019】

ところで、スピン注入現象において、磁化反転を生じさせる閾値電流を与える理論式は、下記の式1のようになることが理論的に導かれており、この式を利用すると、ダンピング定数の増加が閾値電流の増加を招くことが、理論的に計算される(J. Z. Sun, Phys. Rev. B, Vol. 62, p. 570, 2000年参照)。

【数1】

$$I_c = \frac{1}{\eta} \left(\frac{2e}{h} \right) \frac{\alpha}{|\cos \phi|} (a^2 I_m H_k M_s) \left(1 + \frac{2\pi M_s}{H_k} + \frac{H}{H_k} \right) \quad (式1) \quad 40$$

(ただし、 η : 記憶層のダンピング定数、 H_k : 記憶層の一軸異方性磁界、 M_s : 記憶層の飽和磁化、 α : スピン注入係数)

【0020】

そして、上記特許文献2等において提案されている構成を実現しようとした場合には、記憶層のダンピング定数に対して、記憶層に接している中間層及び磁化固定層がスピンポンピングとよばれている現象により影響を与えることになり、中間層や磁化固定層を構成する材料によって、記憶層のダンピング定数が増加することが報告されている(例えば、 50

Yaroslav他, Phys. Rev. B, Vol. 66, p. 224403, 2002年等参照)。

このため、上記特許文献2等において提案されている構成を単純に作製しても、スピン注入効率を向上させることにならず、膜構成によっては、記憶層のダンピング定数を増加させてしまうことにより、逆にスピン注入効率を低下させてしまうことになる。

【0021】

上述した問題の解決のために、本発明においては、スピン注入効率を向上することにより、書き込みに要する電流値を低減することができる記憶素子、並びにこの記憶素子を有するメモリを提供するものである。

【課題を解決するための手段】

【0022】

本発明の記憶素子は、情報を磁性体の磁化状態により保持する記憶層を有し、この記憶層の上下に、それぞれ中間層を介して磁化固定層が設けられ、記憶層の上下の磁化固定層において、それぞれ記憶層に最も近い強磁性層の磁化の向きが略平行であり、記憶層が非磁性導体層を介して積層された複数層の強磁性層から成り、記憶層の最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行であり、積層方向に電流を流すことにより、記憶層の磁化の向きが変化して、記憶層に対して情報の記録が行われるものである。

【0023】

上述の本発明の記憶素子の構成によれば、情報を磁性体の磁化状態により保持する記憶層を有し、この記憶層の上下にそれぞれ中間層を介して磁化固定層が設けられており、積層方向に電流を流すことにより、記憶層の磁化の向きが変化して、記憶層に対して情報の記録が行われるので、積層方向に電流を流してスピン注入による情報の記録を行うことができる。

また、記憶層の上下の磁化固定層において、それぞれ記憶層に最も近い強磁性層の磁化の向きが略平行であり、かつ、記憶層が非磁性導体層を介して積層された複数層の強磁性層から成り、記憶層の最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行であることにより、記憶層の最も下層の強磁性層と下層の磁化固定層とにおけるスピン注入効果と、記憶層の最も上層の強磁性層と上層の磁化固定層とにおけるスピン注入効果とを加えて、スピン注入効率を大幅に増大させることが可能になる。

これにより、スピン注入により記憶層の磁化の向きを反転させるために必要な電流量(閾値電流)を低減することができる。

【0024】

本発明のメモリは、情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、互いに交差する2種類の配線とを備え、記憶素子は、記憶層の上下に、それぞれ中間層を介して磁化固定層が設けられ、記憶層の上下の磁化固定層において、それぞれ記憶層に最も近い強磁性層の磁化の向きが略平行であり、記憶層が非磁性導体層を介して積層された複数層の強磁性層から成り、記憶層の最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行であり、積層方向に電流を流すことにより、記憶層の磁化の向きが変化して、記憶層に対して情報の記録が行われる構成であり、2種類の配線の交点付近かつ2種類の配線の間記憶素子が配置され、2種類の配線を通じて記憶素子に積層方向の電流が流れるものである。

【0025】

上述の本発明のメモリの構成によれば、情報を磁性体の磁化状態により保持する記憶層を有する記憶素子と、互いに交差する2種類の配線とを備え、記憶素子が上記本発明の記憶素子の構成であり、2種類の配線の交点付近かつ2種類の配線の間記憶素子が配置され、これら2種類の配線を通じて記憶素子に積層方向の電流が流れるものことにより、2種類の配線を通じて記憶素子の積層方向に電流を流してスピン注入による情報の記録を行うことができる。

また、スピン注入により記憶素子の記憶層の磁化の向きを反転させるために必要な電流量(閾値電流)を低減することができる。

10

20

30

40

50

【発明の効果】

【0026】

上述の本発明によれば、スピン注入効率を改善することにより、情報の記録に必要な電流量を低減することができる。

これにより、メモリ全体の消費電力を低減することが可能になる。

従って、従来にない低消費電力のメモリを実現することが可能になる。

【発明を実施するための最良の形態】

【0027】

まず、本発明の具体的な実施の形態の説明に先立ち、本発明の概要について説明する。

本発明は、前述したスピン注入により、記憶素子の記憶層の磁化の向きを反転させて、情報の記録を行うものである。記憶層は、強磁性層等の磁性体により構成され、情報を磁性体の磁化状態（磁化の向き）により保持するものである。

【0028】

スピン注入により磁性層の磁化の向きを反転させる基本的な動作は、巨大磁気抵抗効果素子（GMR素子）もしくはトンネル磁気抵抗効果素子（MTJ素子）から成る記憶素子に対して、その膜面に垂直な方向に、ある閾値以上の電流を流すものである。このとき、電流の極性（向き）は、反転させる磁化の向きに依存する。

この閾値よりも絶対値が小さい電流を流した場合には、磁化反転を生じない。

【0029】

一方、電流磁場により磁化反転を行う通常のMRAMでは、書き込み電流が数mA以上必要となる。

これに対して、スピン注入により磁化反転を行う場合には、上述のように、書き込み電流の閾値が十分に小さくなるため、集積回路の消費電力を低減させるために有効であることがわかる。

また、通常のMRAMで必要とされる、電流磁界発生用の配線（図6の105）が不要となるため、集積度においても通常のMRAMに比較して有利である。

【0030】

本発明においては、磁化状態により情報を保持することができる磁性層（記憶層）と、磁化の向きが固定された磁化固定層とを有する記憶素子を構成する。

そして、記憶層の上下にそれぞれ磁化固定層を設けて、上下に磁気抵抗素子を形成し、即ち磁化固定層/中間層/記憶層/中間層/磁化固定層の積層構造として、さらに上下の磁化固定層の磁化の向きを略平行とする。

さらに、記憶層を、非磁性導体層を介して積層された複数層の強磁性層から成る構成として、記憶層の複数層の強磁性層のうち、最も上層の強磁性層と最も下層の強磁性層とが、磁化の向きが互いに反平行である構成とする。

【0031】

例えば、記憶層を、非磁性導体層を介して積層された2層の強磁性層から成る構成としたときには、上層の強磁性層の磁化の向きと下層の強磁性層の磁化の向きとが、互いに反平行になるように設定する。

【0032】

このように、非磁性導体層を介して積層された2層の強磁性層の磁化の向きが互いに反平行になるようにするには、非磁性導体層を介して2層の強磁性層が磁氣的に結合するように構成すればよい。

【0033】

2層の強磁性層を磁氣的に結合させる方法としては、それぞれの強磁性層の端部から発生する漏洩磁界が相対向する強磁性層に印加されることによる静磁結合を利用する方法や、非磁性層を介して反強磁性的に結合する層間交換結合等を利用する方法が考えられる。

【0034】

そして、記憶層を構成する各強磁性層が磁氣的に結合し、各強磁性層の磁化の向きがおおむね同時に反転するように、非磁性導体層の材料や膜厚を選定する。

10

20

30

40

50

このように構成することにより、非磁性導体層により記憶層の各強磁性層が物理的には分断されるが磁気的には結合するため、情報を記録する際に全ての強磁性層の磁化が一斉に反転する。

【0035】

また、記憶層の強磁性層間に挟まれる非磁性導体層は、スピン偏極電流を一旦リセットする機能を持たせるために、スピン拡散を生じやすい材料により構成することが望ましく、また膜厚をスピン拡散長より大きくすることが望ましい。

非磁性導体層の具体的な材料としては、Mg, Al, Si, Ge, Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W, Cu, Ag, Au, Ru, Rhの中から選ばれた1元素もしくはこれらの合金を主成分とする材料が使用できる。

10

【0036】

なお、CuやAl等はスピン拡散長が100nm以上と長いため、膜厚をスピン拡散長よりも厚くすると、記憶層の各強磁性層間の磁気的結合が弱くなってしまふ。また、記憶素子全体の厚さも大きくなる。

しかし、Cu, Au, Ag, Al等の材料でも、さらに、スピン拡散を生じやすくさせるTi, V, Cr, Zr, Nb, Mo, Hf, Ta, W, Re, Os, Ir, Mn, Gd等の元素を添加することにより、スピン拡散長が短くなって、非磁性導体層の膜厚を数nmと薄くすることが可能になる。

【0037】

さらに好ましくは、記憶層の強磁性層間に挟まれる非磁性導体層が、スピン拡散長が50nm以下の材料から成り、かつ膜厚がスピン拡散長と同じであるかスピン拡散長よりも大きい構成とする。

20

【0038】

ここで、例えば、下層側から記憶層に電流が入力された場合を考えると、上述した構成の非磁性導体層を採用することにより、導体層の上面で電流のスピン偏極状態がリセットされ、下半分の磁化固定層及び記憶層の組み合わせ（磁気抵抗効果素子）と、上半分の記憶層及び磁化固定層との組み合わせ（磁気抵抗効果素子）が直列に接続された形になる。

また、同様に、例えば、上層側から記憶層に電流が入力された場合を考えると、上述した構成の非磁性導体層を採用することにより、導体層の下面で電流のスピン偏極状態がリセットされ、上半分の磁化固定層及び記憶層の組み合わせと、下半分の記憶層及び磁化固定層との組み合わせが直列に接続された形になる。

30

【0039】

従って、電流の向きが上述のいずれの場合でも、下半分と上半分のそれぞれの磁気抵抗効果素子でスピン注入効果が発生し、しかもそのスピン注入効果が加算された形になるため、スピン注入効率が増大することになる。

これにより、書き込み電流を低減させることができる。

【0040】

ところで、通常、磁化固定層を反強磁性層とそれに接した強磁性層とにより構成した場合には、磁化固定層の磁化を所望の向きとするために、磁場中でのアニールを行っている。

40

そして、前述した特許文献2や特許文献3において提案されている構成では、記憶層の上下に設けられた磁化固定層において、最も記憶層側の強磁性層の磁化の向きが互いに反平行であるため、少なくとも一方の磁化固定層を2層以上の強磁性層により構成する、或いは磁場中でのアニールを複数回の異なる条件で行う、等の工夫が必要になるため、膜構成や製造工程が複雑になっていた。

【0041】

これに対して、本発明のように、記憶層の上下の磁化固定層において、最も記憶層側の強磁性層の磁化の向きが略平行である場合には、上下の磁化固定層を、共に反強磁性層及び単層の強磁性層から成る、単純な構成とすることが可能になる。

そして、上下の磁化固定層の反強磁性層に同じ材料を使用して、記憶素子の各層を形成

50

した後に磁場中アニールを一回行うことにより、上下の磁化固定層の磁化の向きを所定の向きにすることができる。

【0042】

また、記憶層の上下の磁化固定層の磁化の向きを略平行とすることにより、記憶層の最上層と最下層との磁化の向きを反平行にすれば、上下の磁気抵抗効果素子でスピン注入効果を加算して、スピン注入効率を向上することができる。

そして、記憶層を、2層の強磁性層が非磁性導体層を介して磁氣的に結合した構成とすれば、記憶層の最上層と最下層との磁化の向きを、比較的容易に反平行にすることができる。

従って、記憶層の上下の磁化固定層の磁化の向きを略平行とすることにより、2層の強磁性層で記憶層を構成することが容易になる、という利点もある。

【0043】

また、特に、記憶層を、スピン偏極電流のリセットを行える十分な厚さの非磁性導体層を2層の強磁性層で挟む構成とすることにより、記憶層の合計厚さを最低限に抑えて、記憶層の体積増加による書き込み電流増大の影響を最低限に抑えることができる。

このとき、強磁性層間の交換相互作用や静磁結合を利用し、容易にこれらの強磁性層の磁化の向きを反平行とすることができるという効果がある。

【0044】

なお、本発明では、記憶層を、3層以上の強磁性層が非磁性導体層を介して積層された構成とすることも可能である。

この場合、3層以上の強磁性層のうち、最下層の強磁性層と、最上層の強磁性層とが、磁化の向きが反平行になっていれば、上下の磁気抵抗効果素子におけるスピン注入効果を加算して、スピン注入効率を向上させることができる。即ち、中間の強磁性層の磁化の向きは任意であり、中間の強磁性層と非磁性導体層を挟んで対向する強磁性層とにおいて磁化の向きが略平行であってもよい。

【0045】

記憶素子のその他の構成は、スピン注入により情報を記録する記憶素子の従来公知の構成と同様とすることができる。

記憶層の上下の磁化固定層は、強磁性層のみにより、或いは反強磁性層と強磁性層の反強磁性結合を利用することにより、その磁化の向きが固定された構成とする。

また、記憶層の上下の磁化固定層は、単層の強磁性層から成る構造、或いは複数層の強磁性層を非磁性層を介して積層した積層フェリ構造とする。

磁化固定層を積層フェリ構造としたときには、磁化固定層の外部磁界に対する感度を低下させることができるため、外部磁界による磁化固定層の不要な磁化変動を抑制して、記憶素子を安定して動作させることができる。

【0046】

なお、記憶素子の記憶層に記録された情報を読み出す方法としては、記憶素子の記憶層に薄い絶縁膜を介して、情報の基準となる磁性層を設けて、絶縁膜を介して流れる強磁性トンネル電流によって、記録された情報を読み出してもよいし、磁気抵抗効果により読み出してもよい。

【0047】

続いて、本発明の実施の形態を説明する。

本発明の一実施の形態として、メモリの概略構成図(斜視図)を図1に示す。

このメモリは、互いに直交する2種類のアドレス配線(例えばワード線とビット線)の交点付近に、磁化状態で情報を保持することができる記憶素子が配置されて成る。

即ち、シリコン基板等の半導体基体10の素子分離層2により分離された部分に、各メモリセルを選択するための選択用トランジスタを構成する、ドレイン領域8、ソース領域7、並びにゲート電極1が、それぞれ形成されている。このうち、ゲート電極1は、図中前後方向に延びる一方のアドレス配線(例えばワード線)を兼ねている。

ドレイン領域8は、図中左右の選択用トランジスタに共通して形成されており、このド

10

20

30

40

50

レイン領域 8 には、配線 9 が接続されている。

【0048】

そして、ソース領域 7 と、上方に配置された、図中左右方向に延びる他方のアドレス配線（例えばビット線）6 との間に、記憶素子 3 が配置されている。この記憶素子 3 は、スピン注入により磁化の向きが反転する強磁性層から成る記憶層を有する。

また、この記憶素子 3 は、2 種類のアドレス配線 1, 6 の交点付近に配置されている。

この記憶素子 3 は、ビット線 6 と、ソース領域 7 とに、それぞれ上下のコンタクト層 4 を介して接続されている。

これにより、2 種類のアドレス配線 1, 6 を通じて、記憶素子 3 に上下方向の電流を流して、スピン注入により記憶層の磁化の向きを反転させることができる。

10

【0049】

また、本実施の形態のメモリの記憶素子 3 の断面図を図 2 に示す。

図 2 に示すように、この記憶素子 3 は、スピン注入により磁化の向きが反転する記憶層 3 2 に対して、下層に第 1 の磁化固定層 3 1 を設け、上層に第 2 の磁化固定層 3 3 を設けている。即ち、記憶層 3 2 に対して、上下 2 つの磁化固定層 3 1, 3 3 を設けた構成である。

第 1 の磁化固定層 3 1 に反強磁性層 1 2 が設けられ、この反強磁性層 1 2 により、第 1 の磁化固定層 3 1 の強磁性層 1 3 の磁化 M_{13} の向きが固定される。また、第 2 の磁化固定層 3 3 に反強磁性層 2 0 が設けられ、この反強磁性層 2 0 により、第 2 の磁化固定層 3 2 の強磁性層 1 9 の磁化 M_{19} の向きが固定される。

20

記憶層 3 2 と下層の第 1 の磁化固定層 3 1 との間には、トンネルバリア層（トンネル絶縁層）となる絶縁層 1 4 が設けられ、記憶層 3 2 と第 1 の磁化固定層 3 1 とにより、MTJ 素子が構成されている。

記憶層 3 2 と上層の第 2 の磁化固定層 3 3 との間には、導電性の非磁性スペーサ層 1 8 が設けられ、記憶層 3 2 と第 2 の磁化固定層 3 3 とにより、GMR 素子が構成されている。

【0050】

また、反強磁性層 1 2 の下には下地層 1 1 が形成され、反強磁性層 2 0 の上にはキャップ層 2 1 が形成されている。

【0051】

30

磁化固定層 3 1, 3 3 の強磁性層 1 3, 1 9 の材料としては、特に限定はないが、鉄、ニッケル、コバルトの 1 種もしくは 2 種以上からなる合金材料を用いることができる。さらに Nb, Zr 等の遷移金属元素や B, C 等の軽元素を含有させることもできる。

反強磁性層 1 2, 2 0 の材料としては、鉄、ニッケル、白金、イリジウム、ロジウム等の金属元素とマンガンとの合金、コバルト酸化物やニッケル酸化物等が使用できる。

【0052】

磁化固定層 3 1, 3 3 の強磁性層 1 5, 1 7 の飽和磁化 M_s の値は、一般に、 200 emu/cc 以上 2000 emu/cc 以下の範囲が適当である。

【0053】

本実施の形態においては、特に、記憶素子 3 の記憶層 3 2 が、2 層の強磁性層 1 5, 1 7 の間に非磁性層 1 6 を挟んで積層され、2 層の強磁性層 1 5, 1 7 が磁氣的に結合した構成である。

40

そして、記憶層 3 2 の各強磁性層 1 5, 1 7 が磁氣的に結合しているため、強磁性層 1 5 の磁化 M_{15} と強磁性層 1 7 の磁化 M_{17} とが、互いに反対向きになる。

【0054】

記憶層 3 2 の 2 層の強磁性層 1 5, 1 7 を磁氣的に結合させるには、例えば、2 層の強磁性層 1 5, 1 7 が非磁性層 1 6 を介して反強磁性結合した構成、或いは、2 層の強磁性層 1 5, 1 7 が非磁性層 1 6 を介して交換相互作用により磁氣的に結合した構成とすればよい。

【0055】

50

さらに、本実施の形態においては、第1の磁化固定層31の強磁性層13の磁化M13が右向きであり、第2の磁化固定層32の強磁性層19の磁化M19が右向きであり、これらが略平行の向きになっている。

【0056】

上述のように、記憶層32の強磁性層15の磁化M15と強磁性層17の磁化M17とが互いに反対向きであり、かつ、記憶層32を挟む磁化固定層31, 33において、それぞれ記憶層32に臨む強磁性層13, 19の磁化M13, M19が略平行の向きになっていることにより、前述したようにスピン注入効率を増大させることができる。

これにより、スピン注入によって記憶層32の磁化M15, M17の向きを反転させるために必要な電流量を低減することができる。

10

【0057】

記憶層32の強磁性層15, 17の材料としては、特に限定はないが、鉄、ニッケル、コバルトの1種もしくは2種以上からなる合金材料を用いることができる。さらに、Nb, Zr等の遷移金属元素やB, C等の軽元素を含有させることもできる。また、例えばCoFe/NiFe/CoFeの積層膜といったように、材料が異なる複数の膜を直接(非磁性層を介さずに)積層して、強磁性層15, 17を構成してもよい。

【0058】

記憶層32を構成する非磁性層16の材料としては、ルテニウム、銅、クロム、金、銀等が使用できる。非磁性層16の膜厚は、材料によって変動するが、好ましくは、ほぼ0.5nmから2.5nmの範囲で使用する。

20

【0059】

本実施の形態の記憶素子3は、下地層11からキャップ層21までを真空装置内で連続的に形成して、その後反応性イオンエッチングやイオンミリング等の微細加工によって記憶素子3のパターンを形成することにより、製造することができる。

【0060】

上述の本実施の形態によれば、記憶層32が2層の強磁性層15, 17が磁氣的に結合した構成となっているため、下層の強磁性層15の磁化M15の向きと上層の強磁性層17の磁化M17の向きが互いに反平行になる。

また、記憶層32を挟む磁化固定層31, 33において、それぞれ記憶層32に最も近い強磁性層(記憶層32に臨む強磁性層)13, 19の磁化M13, M19が略平行の向きになっていることにより、下層の第1の磁化固定層31と記憶層32の下層の強磁性層15とにおけるスピン注入効果と、記憶層32の上層の強磁性層17と上層の第2の磁化固定層33とにおけるスピン注入効果とが加算される。

30

これにより、スピン注入効率を増大させることができるため、スピン注入により記憶層32の磁化M15, M17の向きを反転させるために必要な電流量を低減することができる。

【0061】

即ち、記憶素子3に情報の記録を行うために必要な電流量を低減することができ、記憶素子3を備えたメモリにおいて、消費電力を低減することができる。

従って、従来にない低消費電力のメモリを実現することが可能になる。

40

【0062】

次に、本発明の他の実施の形態として、メモリを構成する記憶素子の断面図を図3に示す。

この記憶素子30は、第1の磁化固定層31及び第2の磁化固定層33が、いずれも積層フェリ構造となっていることが、図2に示した記憶素子3とは異なっている。

具体的には、第1の磁化固定層31は、2層の強磁性層22, 24が、非磁性層23を介して積層されて反強磁性結合した構成であり、第2の磁化固定層33は、2層の強磁性層25, 27が、非磁性層26を介して積層されて反強磁性結合した構成である。

【0063】

そして、第1の磁化固定層31の各強磁性層22, 24が積層フェリ構造となっている

50

ため、強磁性層 2 2 の磁化 M 2 2 が右向き、強磁性層 2 4 の磁化 M 2 4 が左向きとなっており、互いに反対の向きになっている。

これにより、第 1 の磁化固定層 3 1 の各強磁性層 2 2 , 2 4 から漏れる磁束が、互いに打ち消し合う。

【 0 0 6 4 】

同様に、第 2 の磁化固定層 3 3 の各強磁性層 2 5 , 2 7 が積層フェリ構造となっているため、強磁性層 2 5 の磁化 M 2 5 が左向き、強磁性層 2 7 の磁化 M 2 7 が右向きとなっており、互いに反対の向きになっている。

これにより、第 2 の磁化固定層 3 3 の各強磁性層 2 5 , 2 7 から漏れる磁束が、互いに打ち消し合う。

【 0 0 6 5 】

また、第 1 の磁化固定層 3 1 及び第 2 の磁化固定層 3 3 を構成する、非磁性層 2 3 , 2 6 は、Ru, Cu, Rh 等の材料を使用することができ、膜厚は 0.5 nm 以上 4 nm 以下が適当である。

【 0 0 6 6 】

さらに、本実施の形態においては、第 1 の磁化固定層 3 1 のうち記憶層 3 2 に最も近い強磁性層 2 4 の磁化 M 2 4 が左向きであり、第 2 の磁化固定層 3 3 のうち記憶層 3 2 に最も近い強磁性層 2 5 の磁化 M 2 5 が左向きであり、これらが略平行になっている。

【 0 0 6 7 】

その他の構成は、図 2 に示した記憶素子 3 と同様であるので、同一符号を付して重複説明を省略する。

即ち、記憶層 3 2 が、非磁性層 1 6 を介して 2 層の強磁性層 1 5 , 1 7 が磁氣的に結合した構成となっている。

【 0 0 6 8 】

また、本実施の形態の記憶素子 3 0 を用いて、図 1 に示したメモリと同様の構成のメモリを構成することができる。

即ち、記憶素子 3 0 を 2 種類のアドレス配線の交点付近に配置してメモリを構成し、2 種類のアドレス配線を通じて記憶素子 3 0 に上下方向（積層方向）の電流を流して、スピン注入により記憶層 3 2 の磁化 M 1 5 , M 1 7 の向きを反転させて、記憶素子 3 0 に情報の記録を行うことができる。

【 0 0 6 9 】

そして、本実施の形態においても、記憶層 3 2 が 2 層の強磁性層 1 5 , 1 7 が磁氣的に結合した構成となっており、また記憶層 3 2 を挟む磁化固定層 3 1 , 3 3 において、それぞれ記憶層 3 2 に最も近い強磁性層（記憶層 3 2 に臨む強磁性層）2 4 , 2 5 の磁化 M 2 4 , M 2 5 が略平行の向きになっていることにより、先の実施の形態と同様に、スピン注入効率を増大させることができるため、スピン注入により記憶層 3 2 の磁化 M 1 5 , M 1 7 の向きを反転させるために必要な電流量を低減することができる。

【 0 0 7 0 】

即ち、記憶素子 3 0 に情報の記録を行うために必要な電流量を低減することができ、記憶素子 3 0 を備えたメモリにおいて、消費電力を低減することができる。

従って、従来にない低消費電力のメモリを実現することが可能になる。

【 0 0 7 1 】

（実施例）

ここで、本発明の記憶素子の構成において、具体的に各層の材料や膜厚等を選定して、特性を調べた。

実際には、メモリには、図 1 や図 4 に示したように、記憶素子以外にもスイッチング用の半導体回路等が存在するが、ここでは、記憶層の磁気抵抗特性を調べる目的で、記憶素子のみを形成したウエハにより検討を行った。

【 0 0 7 2 】

（実施例 1）

10

20

30

40

50

厚さ 0.575 mm のシリコン基板上に、厚さ 2 μ m の熱酸化膜を形成し、その上に図 2 に示した構成の記憶素子 3 を形成した。

具体的には、図 2 に示した構成の記憶素子 3 において、各層の材料及び膜厚を、下地膜 11 を膜厚 3 nm の Ta 膜、反強磁性層 12, 20 を膜厚 20 nm の PtMn 膜、第 1 の磁化固定層 31 を構成する強磁性層 13 を膜厚 5 nm の CoFe 膜、トンネル絶縁層となる絶縁層 14 を膜厚 0.5 nm の Al 膜を酸化した酸化アルミニウム膜、積層フェリ構造の記憶層 32 を構成する強磁性層 15, 17 を膜厚 2 nm の CoFe 膜、積層フェリ構造の記憶層 32 を構成する非磁性層 16 を膜厚 3.6 nm の Ru 膜、非磁性スペーサ層 18 を膜厚 6 nm の Cu 膜、第 2 の磁化固定層 33 を構成する強磁性層 19 を膜厚 2.5 nm の CoFe 膜、キャップ層 21 を膜厚 5 nm の Ta 膜と選定し、また下地膜 11 と反強磁性層 12 との間に図示しない膜厚 100 nm の Cu 膜（後述するワード線となるもの）を設けて、各層を形成した。

10

上記膜構成で、PtMn 膜の組成は Pt50Mn50（原子%）、CoFe 膜の組成は Co90Fe10（原子%）、NiFe 膜の組成は Ni80Fe20（原子%）とした。

酸化アルミニウム膜から成る絶縁層 16 以外の各層は、DC マグネトロンスパッタ法を用いて成膜した。

酸化アルミニウム（Al-O_x）膜から成る絶縁層 16 は、まず金属 Al 膜を DC スパッタ法により 0.5 nm 堆積させて、その後に酸素 / アルゴンの流量比を 1 : 1 とし、チャンバース圧を 10 Torr とし、自然酸化法により金属 Al 層を酸化させた。酸化時間は 10 分とした。

20

さらに、記憶素子 3 の各層を成膜した後に、磁場中熱処理炉で、10 kOe · 270 · 4 時間の熱処理を行い、反強磁性層 12, 20 の PtMn 膜の規則化熱処理を行った。

【0073】

次に、ワード線部分をフォトリソグラフィによってマスクした後に、ワード線以外の部分の積層膜に対して Ar プラズマにより選択エッチングを行うことにより、ワード線（下部電極）を形成した。この際に、ワード線部分以外は、基板の深さ 5 nm までエッチングされた。

【0074】

その後、電子ビーム描画装置により記憶素子 3 のパターンのマスクを形成し、積層膜に対して選択エッチングを行い、記憶素子 3 を形成した。記憶素子 3 部分以外は、ワード線の Cu 層直上までエッチングした。

30

なお、特性評価用の記憶素子には、磁化反転に必要なスピントルクを発生させるために、記憶素子に十分な電流を流す必要があるため、トンネル絶縁層の抵抗値を抑える必要がある。そこで、記憶素子 3 のパターンを、短軸 0.09 μ m × 長軸 0.18 μ m の楕円形状として、記憶素子 3 の面積抵抗値（ μ m²）が 10 μ m² となるようにした。

【0075】

次に、記憶素子 3 部分以外を、厚さ 100 nm 程度の Al₂O₃ のスパッタリングによって絶縁した。

その後、フォトリソグラフィを用いて、上部電極となるビット線及び測定用のパッドを形成した。

40

このようにして、実施例 1 の試料を作製した。

【0076】

（実施例 2）

図 3 に示した記憶素子 30 の構成とし、第 1 の磁化固定層 31 を構成する強磁性層 22 を膜厚 2 nm の CoFe 膜、第 1 の磁化固定層 31 を構成する強磁性層 24 を膜厚 4 nm の CoFe 膜、第 2 の磁化固定層 33 を構成する強磁性層 25, 27 を膜厚 2.5 nm の CoFe 膜、磁化固定層 31, 33 を構成する非磁性層 23, 26 を膜厚 0.8 nm の Ru 膜と選定し、その他の構成は実施例 1 と同様にして、実施例 2 の試料を作製した。

【0077】

（比較例 1）

50

図3の記憶素子30の構成の記憶層32の代わりに、単層の強磁性層から成る記憶層を設け、この強磁性層を膜厚4nmのCoFe膜と選定し、また第2の磁化固定層33を単層の強磁性層から成る構成として、この強磁性層を膜厚2.5nmのCoFe膜と選定し、その他の構成は実施例2と同様にして、比較例1の試料を作製した。

即ち、この比較例1の試料は、図7Aに示すように、記憶層32の下層の磁化固定層31が2層の強磁性層22, 24から成る積層フェリ構造であり、記憶層32及び記憶層32の上層の磁化固定層33がいずれも単層の強磁性層32, 19から成る構成である。

また、図7Aに示すように、第1の磁化固定層31及び第2の磁化固定層33において、それぞれ記憶層32に最も近い強磁性層24, 19の磁化M24, M19の向きが反平行になるため、前記特許文献2や前記特許文献3に記載された構成と同様の構成であるといえる。

10

【0078】

(比較例2)

図3の記憶素子30の構成において、第1の磁化固定層31を構成する強磁性層22を膜厚1.5nmのCoFe膜、強磁性層24を膜厚3.5nmのCoFe膜と選定し、また第2の固定層33を単層の強磁性層から成る構成として、この強磁性層を膜厚4nmのCoFe膜と選定し、その他の構成は実施例2と同様にして、比較例2の試料を作製した。

即ち、この比較例2の試料は、図7Bに示すように、記憶層17の下層の第1の磁化固定層31の2層の強磁性層22, 24の膜厚が異なり、第1の磁化固定層31の合成磁化がゼロにならない($M_{24} > M_{22}$)構成であり、また第1の磁化固定層31及び第2の磁化固定層33においてそれぞれ記憶層32に最も近い強磁性層24, 19の磁化M24, M19の向きが反平行になる構成である。

20

【0079】

(比較例3)

トンネル絶縁層14までの各層を実施例2と同様の構成とし、その上に膜厚4nmのCoFe膜から成る記憶層、膜厚5nmのTa膜から成るキャップ層を形成して、比較例3の試料を作製した。

即ち、この比較例3の試料は、磁化固定層が記憶層の一方の側のみに設けられた通常のスピン注入の記憶素子の構成である。

30

【0080】

これら各実施例及び各比較例の試料に対して、それぞれ以下のようにして特性の評価を行った。

測定に先立ち、反転電流のプラス方向とマイナス方向の値を対称になるように制御することを可能にするため、記憶素子に対して、外部から磁界を与えることができるように構成した。また、記憶素子に流す電流量が、絶縁層16が破壊しない範囲内の1mAまでとなるように設定した。

【0081】

(反転電流値の測定)

記憶素子に電流を流して、その後の記憶素子の抵抗値を測定した。記憶素子の抵抗値を測定する際には、温度を室温25℃として、ワード線の端子とビット線の端子にかかるバイアス電圧が10mVとなるように調節した。さらに、記憶素子に流す電流量を変化させて、この記憶素子の抵抗値の測定を行い、測定結果から抵抗-電流曲線を得た。この抵抗-電流曲線から、抵抗値が変化する電流値を求めて、これを磁化の向きを反転させる反転電流値とした。なお、この抵抗-電流曲線を得る測定は、両極性(プラス方向及びマイナス方向)の電流について行い、両極性の反転電流値を求めた。

40

【0082】

得られた結果をまとめて表1に示す。

【0083】

【表 1】

	反転電流値 (平均値)
実施例1	-0.4 mA、+0.2 mA
実施例2	-0.3 mA、+0.3 mA
比較例1	-0.7 mA、+0.6 mA
比較例2	-0.8 mA、+0.6 mA
比較例3	-0.8 mA、+0.7 mA

10

【0084】

表 1 より、実施例 1 及び実施例 2 は、磁化反転電流を 0.4 mA 以下に低減することができることがわかる。

一方、比較例 1 ~ 比較例 3 は、磁化反転電流が 0.6 mA ~ 0.8 mA と大きい。

即ち、実施例 1 及び実施例 2 のように、本発明の記憶素子の構成とすることにより、(通常構成である) 比較例に対して、反転電流値を約半分に低減することができる。

従って、本発明の記憶素子の構成とすることにより、0.5 mA 以下の電流量で記憶層に情報の書き込みを行うことが可能であり、これまでにない低消費電力型のメモリを実現することが可能になる。

20

【0085】

上述の各実施の形態では、記憶層 32 と上層の第 2 の磁化固定層 33 との間に非磁性層スペーサ層 18 を設けて GMR 素子を形成した構成であったが、本発明では、記憶層と上層の磁化固定層との間にトンネル絶縁層を設けて TMR 素子を形成し、上下の磁気抵抗効果素子をいずれも TMR 素子により構成しても良い。

【0086】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

30

【図面の簡単な説明】

【0087】

【図 1】本発明の一実施の形態のメモリの概略構成図 (斜視図) である。

【図 2】図 1 の記憶素子の断面図である。

【図 3】本発明の他の実施の形態の記憶素子の断面図である。

【図 4】スピン注入による磁化反転を利用したメモリの概略構成図 (斜視図) である。

【図 5】図 4 のメモリの断面図である。

【図 6】従来の MRAM の構成を模式的に示した斜視図である。

【図 7】A 比較例 1 の記憶素子の断面図である。 B 比較例 2 の記憶素子の断面図である。

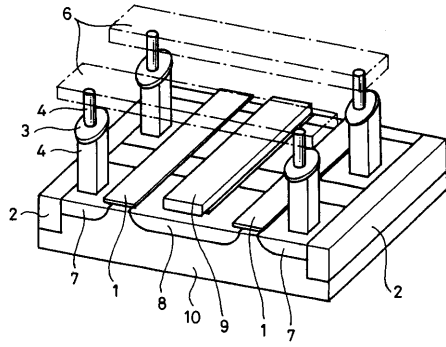
40

【符号の説明】

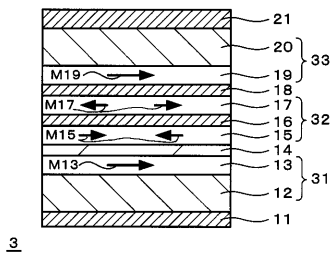
【0088】

3, 30 記憶素子、11 下地層、12, 20 反強磁性層、13, 15, 17, 19, 22, 24, 25, 27 強磁性層、14 トンネル絶縁層、16, 23, 26 非磁性層、18 非磁性スペーサ層、21 キャップ層、31 第 1 の磁化固定層、32 記憶層、33 第 2 の磁化固定層

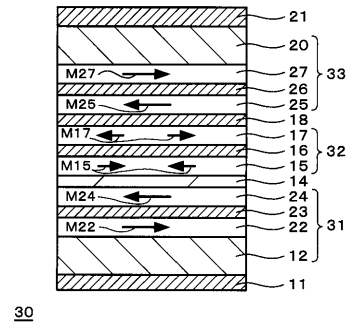
【 図 1 】



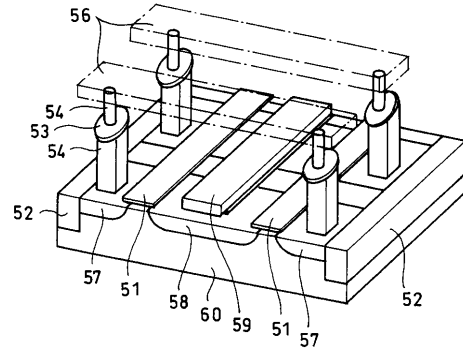
【 図 2 】



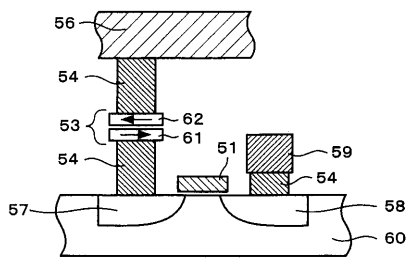
【 図 3 】



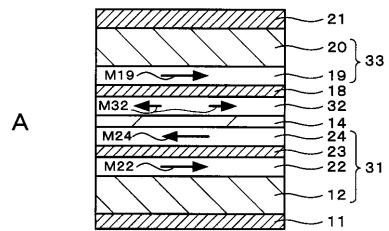
【 図 4 】



【 図 5 】



【 図 7 】



【 図 6 】

