

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5766481号
(P5766481)

(45) 発行日 平成27年8月19日 (2015. 8. 19)

(24) 登録日 平成27年6月26日 (2015. 6. 26)

(51) Int. Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 338

H01L 27/32 (2006.01)

G09F 9/30 365

H01L 21/336 (2006.01)

H01L 29/78 612Z

H01L 29/786 (2006.01)

H01L 29/78 618B

H05B 33/08 (2006.01)

H01L 29/78 616V

請求項の数 12 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2011-71487 (P2011-71487)
 (22) 出願日 平成23年3月29日 (2011. 3. 29)
 (65) 公開番号 特開2012-208151 (P2012-208151A)
 (43) 公開日 平成24年10月25日 (2012. 10. 25)
 審査請求日 平成26年3月7日 (2014. 3. 7)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 110001357
 特許業務法人つばき国際特許事務所
 (72) 発明者 諸沢 成浩
 東京都港区港南1 丁目7 番1 号 ソニー株
 式会社内

審査官 小野 博之

最終頁に続く

(54) 【発明の名称】 表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

基板上に、
 表示素子と、
 前記表示素子の駆動素子としてのトランジスタと、
 映像信号に対応する電荷を保持する保持容量素子とを備え、
 前記保持容量素子は、
 酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を有し、かつ
 前記第1半導体層上の選択的な領域に、前記第1導電膜および前記第1絶縁膜を前記第1半導体層の表面まで貫通してなる凹部を有する
 表示装置。

【請求項 2】

前記トランジスタは、前記基板側から順に、
 酸化物半導体よりなる第2半導体層と、
 前記第2半導体層上の選択的な領域に設けられたゲート絶縁膜としての第2絶縁膜と、
 前記第2絶縁膜に対応する領域に配設されたゲート電極としての第2導電膜と、
 前記第2半導体層に電氣的に接続されて設けられたソース・ドレイン電極層とを有する
 請求項1に記載の表示装置。

【請求項 3】

前記第1半導体層と前記第2半導体層とが同一材料により構成され、

前記第 1 導電膜と前記第 2 導電膜とが同一材料により構成され、かつ
 前記第 1 絶縁膜と第 2 絶縁膜とが同一材料により構成されている
 請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 半導体層は、前記第 2 半導体層と一体的に設けられている
 請求項 3 に記載の表示装置。

【請求項 5】

前記第 1 半導体層および前記第 2 半導体層は、前記第 1 導電膜および前記保持容量素子のそれぞれに非対向な領域に、他の領域よりも電気抵抗が低い低抵抗領域を有する
 請求項 4 に記載の表示装置。

10

【請求項 6】

前記ソース・ドレイン電極層は、前記第 2 半導体層の低抵抗領域に電氣的に接続されている
 請求項 5 に記載の表示装置。

【請求項 7】

前記保持容量素子は、高抵抗膜により覆われている
 請求項 1 に記載の表示装置。

【請求項 8】

前記表示素子として有機電界発光素子を有する
 請求項 1 に記載の表示装置。

20

【請求項 9】

前記表示素子として液晶表示素子を有する
 請求項 1 に記載の表示装置。

【請求項 10】

基板上に、
表示素子と、
前記表示素子の駆動素子としてのトランジスタと、
映像信号に対応する電荷を保持する保持容量素子とを備え、
前記保持容量素子は、
酸化物半導体よりなる第 1 半導体層上に第 1 絶縁膜を介して第 1 導電膜を有し、かつ
前記第 1 半導体層上の選択的な領域に、各々が、前記第 1 導電膜および前記第 1 絶縁膜
のうちの少なくとも一部が除去されてなる複数の凹部を有する
表示装置。

30

【請求項 11】

基板上に、
表示素子と、
前記表示素子の駆動素子としてのトランジスタと、
映像信号に対応する電荷を保持する保持容量素子とを備え、
前記保持容量素子は、
酸化物半導体よりなる第 1 半導体層上に第 1 絶縁膜を介して第 1 導電膜を有し、かつ
前記第 1 半導体層上の選択的な領域に、前記第 1 導電膜および前記第 1 絶縁膜を前記第
1 半導体層の表面まで貫通してなる凹部を有する
表示装置を有する電子機器。

40

【請求項 12】

基板上に、
表示素子と、
前記表示素子の駆動素子としてのトランジスタと、
映像信号に対応する電荷を保持する保持容量素子とを備え、
前記保持容量素子は、
酸化物半導体よりなる第 1 半導体層上に第 1 絶縁膜を介して第 1 導電膜を有し、かつ

50

前記第 1 半導体層上の選択的な領域に、各々が、前記第 1 導電膜および前記第 1 絶縁膜のうちの少なくとも一部が除去されてなる複数の凹部を有する

表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、有機 EL (Electroluminescence) 表示装置および液晶表示装置に好適な表示装置およびこれを備えた電子機器に関する。

【背景技術】

【0002】

10

アクティブ駆動方式の液晶表示装置または有機 EL 表示装置では、薄膜トランジスタを駆動素子として用いると共に、映像を書き込むための信号電圧に対応する電荷を保持容量に保持させている。しかし、薄膜トランジスタのゲート電極とソース電極またはドレイン電極との交差領域に生じる寄生容量が大きくなると、信号電圧が変動してしまい、画質の劣化を引き起こす場合がある。

【0003】

特に有機 EL 表示装置では、寄生容量が大きい場合には保持容量も大きくする必要があり、画素のレイアウトにおいて配線等の占める割合が大きくなる。その結果、配線間のショート等の確率が増加し、製造歩留まりが低下してしまう。

【0004】

20

そこで、従来では、例えば酸化亜鉛 (ZnO) または酸化インジウムガリウム亜鉛 (IGZO) 等の酸化物半導体をチャネルに用いた薄膜トランジスタについて、ゲート電極とソース電極またはドレイン電極との交差領域に形成される寄生容量を低減する試みがなされている。

【0005】

例えば特許文献 1 および非特許文献 1 では、酸化物半導体薄膜層のチャネル領域上に、ゲート電極およびゲート絶縁膜を同一形状に形成したのち、酸化物半導体薄膜層のゲート電極およびゲート絶縁膜に覆われていない領域を低抵抗化してソース・ドレイン領域を形成するセルフアライン (自己整合) トップゲート薄膜トランジスタが記載されている。また、非特許文献 2 には、ゲート電極をマスクとした裏面露光により酸化物半導体膜にソース領域およびドレイン領域を形成するセルフアライン構造のボトムゲート薄膜トランジスタが記載されている。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007 - 220817 号公報

【非特許文献】

【0007】

【非特許文献 1】J.Park、外 11 名、"Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors", Applied Physics Letters, American Institute of Physics, 2008 年, 第 93 巻, 053501

40

【非特許文献 2】R. Hayashi、外 6 名、"Improved Amorphous In-Ga-Zn-O TFTs", SID 08 DIGEST, 2008 年, 42.1, p. 621 - 624

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記のような酸化物半導体を利用したトランジスタと共に基板上に設けられる保持容量素子において、所望の容量を保持して画質劣化を抑制することが望まれている。

【0009】

本開示はかかる問題点に鑑みてなされたもので、その目的は、画質劣化を抑制すること

50

が可能な表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0010】

本開示の第1の表示装置は、基板上に、表示素子と、表示素子の駆動素子としてのトランジスタと、映像信号に対応する電荷を保持する保持容量素子とを備えたものである。保持容量素子は、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を有し、かつ第1半導体層上の選択的な領域に、第1導電膜および第1絶縁膜を第1半導体層の表面まで貫通してなる凹部を有している。

本開示の第2の表示装置は、基板上に、表示素子と、表示素子の駆動素子としてのトランジスタと、映像信号に対応する電荷を保持する保持容量素子とを備えたものである。保持容量素子は、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を有し、かつ第1半導体層上の選択的な領域に、各々が、第1導電膜および第1絶縁膜のうちの少なくとも一部が除去されてなる複数の凹部を有している。

10

【0011】

本開示の第1の電子機器は、上記本開示の第1の表示装置を備えたものである。

本開示の第2の電子機器は、上記本開示の第2の表示装置を備えたものである。

【0012】

本開示の第1の表示装置および電子機器では、基板上に表示素子、トランジスタと共に設けられた保持容量素子が、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を有し、その第1半導体層上の選択的な領域に、第1導電膜および第1絶縁膜を第1半導体層の表面まで貫通してなる凹部を有している。この凹部を通じて、第1半導体層における酸化物半導体から酸素が離脱し易くなり、これにより、保持容量素子では、印加電圧に依存する容量変動が抑制される。

20

本開示の第2の表示装置および電子機器では、基板上に表示素子、トランジスタと共に設けられた保持容量素子が、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を有し、その第1半導体層上の選択的な領域に、各々が、第1導電膜および第1絶縁膜のうちの少なくとも一部が除去されてなる複数の凹部を有している。この凹部を通じて、第1半導体層における酸化物半導体から酸素が離脱し易くなり、これにより、保持容量素子では、印加電圧に依存する容量変動が抑制される。

【発明の効果】

30

【0013】

本開示の第1の表示装置および電子機器によれば、基板上に表示素子、トランジスタと共に設けられた保持容量素子において、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を設け、その第1半導体層上の選択的な領域に、第1導電膜および第1絶縁膜を第1半導体層の表面まで貫通してなる凹部が設けられている。これにより、保持容量素子において、印加電圧に依存する容量変動を抑制し、所望の容量を保持することができるようになる。よって、画質劣化を抑制することが可能となる。

本開示の第2の表示装置および電子機器によれば、基板上に表示素子、トランジスタと共に設けられた保持容量素子において、酸化物半導体よりなる第1半導体層上に第1絶縁膜を介して第1導電膜を設け、その第1半導体層上の選択的な領域に、各々が、第1導電膜および第1絶縁膜のうちの少なくとも一部が除去されてなる複数の凹部が設けられている。これにより、保持容量素子において、印加電圧に依存する容量変動を抑制し、所望の容量を保持することができるようになる。よって、画質劣化を抑制することが可能となる。

40

【図面の簡単な説明】

【0014】

【図1】本開示の実施の形態に係る有機EL表示装置の断面構造を表すものである。

【図2】図1に示した保持容量素子の断面構造を拡大したものである。

【図3】図1に示した保持容量素子の平面模式図である。

【図4】図1に示した有機EL表示装置の周辺回路を含む全体構成を表す図である。

50

【図 5】図 4 に示した画素の回路構成を表す図である。

【図 6】図 1 に示した有機 E L 表示装置の製造方法を工程順に表す図である。

【図 7】図 6 に続く工程を表す図である。

【図 8】図 7 に続く工程を表す図である。

【図 9】図 8 に続く工程を表す図である。

【図 10】比較例 1 に係る保持容量素子の断面構造を表す模式図である。

【図 11】比較例 2 に係る保持容量素子の断面構造および平面構造を表す模式図である。

【図 12】比較例の電圧に対する容量変化を表す特性図である。

【図 13】実施例の電圧に対する容量変化を表す特性図である。

【図 14】凹部間距離と閾値電圧との関係を表す特性図である。

10

【図 15】変形例に係る液晶表示装置の断面構造を表すものである。

【図 16】表示装置を含むモジュールの概略構成を表す平面図である。

【図 17】適用例 1 の外観を表す斜視図である。

【図 18】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 19】適用例 3 の外観を表す斜視図である。

【図 20】適用例 4 の外観を表す斜視図である。

【図 21】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

20

【図 22】他の例に係る保持容量素子の断面構造を表したものである。

【発明を実施するための形態】

【 0 0 1 5 】

以下、本開示の実施の形態について図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1 . 実施の形態 (酸化物半導体を利用した保持容量素子を有する有機 E L 表示装置の例)

2 . 変形例 (酸化物半導体を利用した保持容量素子を有する液晶表示装置の例)

3 . 適用例 (モジュール , 電子機器の例)

【 0 0 1 6 】

30

< 実施の形態 >

[構成]

図 1 は、本開示の一実施の形態に係る表示装置 (有機 E L 表示装置 1) の断面構造を表すものである。有機 E L 表示装置 1 は、例えばアクティブマトリクス駆動方式によって駆動される複数の画素 (有機 E L 素子 10 A) を有している。但し、図 1 には、1 画素 (サブピクセル) に対応する領域のみを示している。この有機 E L 表示装置 1 では、駆動側基板 10 上に、例えばトランジスタ 10 B および保持容量素子 10 C が配設されており、これらの上層に有機 E L 素子 10 A が形成されている。有機 E L 素子 10 A は、例えば保護層 22 によって封止されており、この保護層 22 上に図示しない接着層を介して封止用基板 23 が貼り合わせられている。この有機 E L 表示装置 1 の発光方式は、いわゆるトップエミッション方式 (上面発光方式) であってもよいし、ボトムエミッション方式 (下面発光方式) であってもよい。以下、有機 E L 素子 10 A , トランジスタ 10 B および保持容量素子 10 C の具体的な構成について説明する。

40

【 0 0 1 7 】

(有機 E L 素子 10 A)

有機 E L 素子 10 A では、第 1 電極 18 上に、画素毎に開口を有する画素分離膜 19 が設けられており、この画素分離膜 19 の開口部分に、有機層 20 が形成されている。この有機層 20 上には、第 2 電極 21 が設けられている。

【 0 0 1 8 】

第 1 電極 18 は、例えばアノードとして機能するものであり、画素毎に設けられている

50

。第1電極18は、ボトムエミッション方式の場合には、透明導電膜、例えば酸化インジウム錫（ITO）、酸化インジウム亜鉛（IZO）、インジウム亜鉛オキシド（InZnO）等のうちのいずれかよりなる単層膜またはそれらのうちの2種以上からなる積層膜により構成されている。この第1電極18は、トップエミッション方式の場合には、例えば、アルミニウム（Al）、マグネシウム（Mg）、カルシウム（Ca）およびナトリウム（Na）のうちの少なくとも1種からなる単体金属、またはこれらのうちの少なくとも1種を含む合金よりなる単層膜、あるいはそれらのうちの2種以上を積層した多層膜からなる。

【0019】

画素分離膜19は、各画素の発光領域を区画分離するためのものであり、例えばポリイミド樹脂、アクリル樹脂またはノボラック系樹脂などの感光性樹脂により構成されている。

【0020】

有機層20は、有機電界発光層（有機EL層）を含むものであり、駆動電流の印加によって発光を生じるものである。有機層20は、駆動側基板10の側から順に、例えば正孔注入層、正孔輸送層、有機EL層および電子輸送層（いずれも図示せず）等を積層したものである。有機EL層は、電界をかけることにより電子と正孔との再結合が起こり、光を発生するものである。この有機EL層の構成材料は、一般的な低分子または高分子有機材料であればよく、特に限定されない。また、例えば赤、緑、青の各色の発光層が画素毎に塗り分けられていてもよいし、白色発光層（例えば赤、緑、青の各色発光層を積層したものが基板全面にわたって設けられていてもよい。正孔注入層は、正孔注入効率を高めると共に、リークを防止するために設けられる。正孔輸送層は、有機EL層への正孔輸送効率を高めるためのものである。これらの有機EL層以外の層は必要に応じて設けられていればよい。

【0021】

第2電極21は、例えばカソードとして機能するものであり、金属導電膜により構成されている。この第2電極21は、ボトムエミッション方式の場合には、反射性を有する金属膜、例えば、アルミニウム、マグネシウム、カルシウムおよびナトリウムのうちの少なくとも1種からなる単体金属、またはこれらのうちの少なくとも1種を含む合金よりなる単層膜、あるいはそれらのうちの2種以上を積層した多層膜からなる。あるいは、トップエミッション方式の場合には、ITOやIZOなどの透明導電膜が用いられる。この第2電極21は、第1電極18と絶縁された状態で有機層20上に形成され、各画素に共通して設けられている。

【0022】

保護層22は、絶縁性材料または導電性材料のいずれにより構成されていてもよい。絶縁性材料としては、例えばアモルファスシリコン（a-Si）、アモルファス炭化シリコン（a-SiC）、アモルファス窒化シリコン（a-Si_{1-x}N_x）、アモルファスカーボン（a-C）等が挙げられる。

【0023】

駆動側基板10および封止用基板23は、例えば、石英、ガラス、シリコンまたはプラスチックなどの板材である。後述のスパッタ法において、駆動側基板10を加熱することなく半導体層11を成膜するため、安価なプラスチックフィルムを用いることができる。プラスチック材料としては、例えばPET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）などが挙げられる。この他にも、目的に応じて、ステンレス鋼（SUS）などの金属基板が用いられてもよい。但し、トップエミッション方式の場合、封止用基板23は、ガラスやプラスチックなどの透明基板により構成され、また図示しないカラーフィルタや遮光膜などを有していてもよい。ボトムエミッション方式の場合には、駆動側基板10が透明基板により構成される。

【0024】

（トランジスタ10B）

10

20

30

40

50

トランジスタ10Bは、例えば後述の画素駆動回路50aにおけるサンプリング用トランジスタTr1または駆動トランジスタTr2に相当するものであり、スタガ構造を有する（いわゆるトップゲート型の）薄膜トランジスタである。このトランジスタ10Bでは、駆動側基板10上に、半導体層11が設けられ、この半導体層11上の選択的な領域にゲート絶縁膜12Aを介してゲート電極13Aが配設されている。これらの半導体層11、ゲート絶縁膜12Aおよびゲート電極13Aを覆って層間絶縁膜15が設けられている。層間絶縁膜15には、半導体層11に対向してコンタクトホールH2が設けられており、この層間絶縁膜15上に、ソース・ドレイン電極層16がそのコンタクトホールH2を埋め込むように配設されている。これにより、ソース・ドレイン電極層16が、半導体層11の所定の領域（後述のソース・ドレイン領域11SD）に、電氣的に接続されて設けられている。

10

【0025】

尚、このトランジスタ10Bにおけるゲート電極13Aが、本開示における「第2導電膜」、ゲート絶縁膜12Aが「第2絶縁膜」の一具体例である。また、本実施の形態では、半導体層11が、トランジスタ10Bから保持容量素子10Cに渡って形成されている。即ち、半導体層11のうち、トランジスタ10Bに対応する部分が「第2半導体層」、後述の保持容量素子10Cに対応する部分が「第1半導体層」に相当し、半導体層11は、これらの「第1半導体層」および「第2半導体層」が一体的に設けられた構成の一具体例に相当する。

【0026】

20

半導体層11は、ゲート電圧の印加によりチャネルを形成するものであり、例えばインジウム（In）、ガリウム（Ga）、亜鉛（Zn）、シリコン（Si）およびスズ（Sn）のうちの少なくとも1種を含む酸化物半導体よりなる。このような酸化物半導体としては、例えば、非晶質のものには、酸化インジウムガリウム亜鉛（IGZO、InGaZnO）が挙げられる。結晶質の酸化物半導体としては、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、酸化インジウムガリウム（IGO）、ITO、酸化インジウム（InO）等が挙げられる。この半導体層11では、ゲート電極13Aに対向する領域（チャネル領域11A）に隣接して、ソース・ドレイン電極層16との接続領域となるソース・ドレイン領域11SDが形成されている。この半導体層11の厚みは、例えば50nm程度である。

30

【0027】

ソース・ドレイン領域11SDは、上面から深さ方向における一部に設けられ、チャネル領域11Aに比べ、電気抵抗の低い低抵抗領域となっている。このソース・ドレイン領域11SDは、例えば、後述の製造工程において、アルミニウム等の金属を反応させることにより、酸化物半導体中に拡散させて低抵抗化されている。これにより、トランジスタ10Bは、いわゆるセルフアライン（自己整合）構造を有すると共に特性を安定させることが可能となっている。

【0028】

ゲート絶縁膜12Aは、例えばシリコン酸化膜（SiO_x）、シリコン窒化膜（SiN_x）、シリコン窒化酸化膜（SiON）および酸化アルミニウム膜（AlO_x）のうちの1種よりなる単層膜、またはそれらのうちの2種以上よりなる積層膜である。これらのうち、シリコン酸化膜または酸化アルミニウム膜は、酸化物半導体を還元させにくいので好ましい。このゲート絶縁膜12Aの厚みは、例えば300nm程度である。尚、本実施の形態では、後述するように、このゲート絶縁膜12Aと、保持容量素子10Cにおける絶縁膜12Bとが、同一工程において同一材料を用いて形成されるため、ゲート絶縁膜12Aの厚みと絶縁膜12Bとの厚みは略等しくなっている。保持容量素子10Cにおける容量（静電容量、キャパシタンス）は、絶縁膜12Bの厚みに依存するため、これを考慮してゲート絶縁膜12Aの厚みが設定される。

40

【0029】

ゲート電極13Aは、トランジスタ10Bに印加されるゲート電圧（V_g）によって半

50

導体層 11 中のキャリア密度を制御すると共に、電位を供給する配線としての機能を有するものである。このゲート電極 13A は、例えばモリブデン (Mo)、チタン (Ti)、アルミニウム、銀、ネオジウム (Nd) および銅 (Cu) のうちの 1 種からなる単体もしくは合金、もしくはこれらのうちの 2 種以上からなる積層膜である。具体的には、アルミニウムや銀などの低抵抗金属をモリブデンまたはチタンにより挟み込んだ積層構造や、アルミニウムとネオジウムとの合金 (AlNd 合金) が挙げられる。このゲート電極 13A は、あるいは ITO 等の透明導電膜から構成されていてもよい。このゲート電極 13A の厚みは、例えば 10 nm ~ 500 nm である。

【0030】

層間絶縁膜 15 は、例えば、厚みが 2 μm 程度であり、例えばシリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜および酸化アルミニウム膜のうちの 1 種よりなる単層膜、またはそれらのうちの 2 種以上よりなる積層膜である。この層間絶縁膜 15 としては、また、アクリル樹脂やポリイミド等の有機絶縁膜が用いられてもよい。特に、シリコン酸化膜および酸化アルミニウム膜の積層膜を用いることにより、半導体層 11 への水分の介入や拡散を抑え、トランジスタ 10B の電気的特性や信頼性を高めることが可能となる。

【0031】

ソース・ドレイン電極層 16 は、トランジスタ 10B のソース電極またはドレイン電極として機能するものである。このソース・ドレイン電極層 16 は、例えば、厚みが 200 nm 程度であり、上記ゲート電極 13A において列挙したものと同様の金属または透明導電膜により構成されている。このソース・ドレイン電極層 16 は、例えば、アルミニウムまたは銅などの低抵抗金属により構成されていることが好ましく、このような低抵抗金属を、チタンまたはモリブデンよりなるバリア層により挟み込んでなる積層膜であることがより好ましい。このような積層膜を用いることにより、配線遅延の少ない駆動が可能となる。また、ソース・ドレイン電極層 16 は、ゲート電極 12A の直上の領域を回避して設けられていることが望ましい。ゲート電極 12A とソース・ドレイン電極層 16 との交差領域に寄生容量が形成されることを防ぐためである。

【0032】

これらの層間絶縁膜 15 およびソース・ドレイン電極層 16 を覆って、平坦化膜 17 が設けられている。平坦化膜 17 は、例えばポリイミドまたはアクリル系樹脂よりなり、表示領域の全面に渡って形成されている。但し、この平坦化膜 17 には、トランジスタ 10B のソース・ドレイン電極層 16 と、有機 EL 素子 10A の第 1 電極 18 との電気的接続を確保するためのコンタクトホール H3 が設けられている。第 1 電極 18 は、このコンタクトホール H3 を埋め込むように、平坦化膜 17 上に配設されている。

【0033】

(保持容量素子 10C)

保持容量素子 10C は、例えば後述の画素駆動回路 50a において、映像信号に対応する電荷を保持する容量素子である。本実施の形態では、この保持容量素子 10C が、駆動側基板 10 側から順に、半導体層 11、絶縁膜 12B および導電膜 13B を積層した構造を有している。保持容量素子 10C において、半導体層 11 は、トランジスタ 10B から延在して (一体的に) 設けられており、絶縁膜 12B および導電膜 13B は、トランジスタ 10B から分離された選択的な領域に設けられている。このような半導体層 11、絶縁膜 12B および導電膜 13B からなる積層構造により、容量が形成されるようになっている。即ち、保持容量素子 10C は、トランジスタ 10B においてチャネルを形成する半導体層 11 の一部を利用して容量を形成するものである。

【0034】

尚、この保持容量素子 10C における導電膜 13B が、本開示における「第 1 導電膜」、絶縁膜 12B が「第 1 絶縁膜」の一具体例である。

【0035】

絶縁膜 12B は、例えばトランジスタ 10B のゲート絶縁膜 12A と同一材料からなり、互いに同一の工程においてそれぞれ形成することができる。導電膜 13B についても同

10

20

30

40

50

様で、例えばゲート電極 1 3 A と同一材料からなり、互いに同一の工程においてそれぞれ形成可能である。本実施の形態では、これらの絶縁膜 1 2 B および導電膜 1 3 B に、所定の凹部が設けられている。

【 0 0 3 6 】

図 2 は、保持容量素子 1 0 C の断面構造を拡大したものである。このように、保持容量素子 1 0 C では、半導体層 1 1 上の選択的な領域に、導電膜 1 3 B および絶縁膜 1 2 B を厚み方向に除去してなる凹部（開口）H 1 が設けられており、この凹部 H 1 に対応する領域では、半導体層 1 1 の表面が導電膜 1 3 および絶縁膜 1 2 B から露出している。凹部 H 1 は、1 つだけ設けられていてもよいし、複数個設けられていてもよい。また、凹部 H 1 の開口形状も特に限定されるものではない。その一例を図 3（A），（B）に示す。図 3（A），（B）は、保持容量素子 1 0 C を導電膜 1 3 B の側からみた平面図である。図 3（A）に示したように、複数（ここでは 4 つ）の凹部 H 1 が、所定のピッチ d（凹部間距離）となるように、全体として格子状に配置された構成としてもよい。あるいは、図 3（B）に示したように、複数（ここでは 2 つ）の凹部 H 1 が、所定のピッチ d で並列し、全体としてストライプ状に配置された構成であってもよい。尚、図 2 は、図 3（A），（B）の I A - I A 線および I B - I B 線における矢視断面図に相当する。

【 0 0 3 7 】

（高抵抗膜 1 4）

上記のような保持容量素子 1 0 C と、トランジスタ 1 0 B のゲート絶縁膜 1 2 A およびゲート電極 1 3 A と、半導体層 1 1 上のゲート電極 1 3 A および保持容量素子 1 0 C にそれぞれ非対向な領域を覆って、高抵抗膜 1 4 が形成されている。詳細には、保持容量素子 1 0 C では、上述した凹部 H 1 の内側を覆うように形成されている。また、この高抵抗膜 1 4 のうち、ソース・ドレイン電極層 1 6 に対向する部分は選択的に除去されている。

【 0 0 3 8 】

高抵抗膜 1 4 は、後述する製造工程において半導体層 1 1 の低抵抗領域（例えばソース・ドレイン領域 1 1 S D）に拡散される金属の供給源となる金属膜が、酸化膜となって残存したものである。このような高抵抗膜 1 4 は、例えば、酸化チタン、酸化アルミニウム、酸化インジウムまたは酸化スズ等により構成されている。この高抵抗膜 1 4 は、外気に対して良好なバリア性を有しているため、上記のようなプロセス上の役割の他、トランジスタ 1 0 B における半導体層 1 1 の電気的特性を変化させる酸素や水分の影響を低減する機能をも有している。高抵抗膜 1 4 を設けることにより、トランジスタ 1 0 B および保持容量素子 1 0 C の電気特性を安定化させることが可能となり、層間絶縁膜 1 5 の効果をより高めることが可能となる。この高抵抗膜 1 4 の厚みは、例えば 2 0 n m 以下である。

【 0 0 3 9 】

（周辺回路および画素回路の構成）

次に、上記のような有機 E L 表示装置 1 の周辺回路および画素回路の構成について説明する。図 4 は、有機 E L 表示装置 1 の周辺回路を含む全体構成を表すものである。このように、例えば駆動側基板 1 0 上には、有機 E L 素子 1 0 A を含む複数の画素 P X L C がマトリクス状に配置されてなる表示領域 5 0 が形成され、この表示領域 5 0 の周辺に、信号線駆動回路としての水平セクタ（H S E L）5 1 と、走査線駆動回路としてのライトスキャナ（W S C N）5 2 と、電源線駆動回路としての電源スキャナ（D S C N）5 3 とが設けられている。

【 0 0 4 0 】

表示領域 5 0 において、列方向には複数（整数 n 個）の信号線 D T L 1 ~ D T L n が配置され、行方向には、複数（整数 m 個）の走査線 W S L 1 ~ W S L m および電源線 D S L 1 ~ D S L m がそれぞれ配置されている。また、各信号線 D T L と各走査線 W S L との交差点に、各画素 P X L C（R、G、B に対応する画素のいずれか 1 つ）が設けられている。各信号線 D T L は水平セクタ 5 1 に接続され、この水平セクタ 5 1 から各信号線 D T L へ映像信号が供給されるようになっている。各走査線 W S L はライトスキャナ 5 2 に接続され、このライトスキャナ 5 2 から各走査線 W S L へ走査信号（選択パルス）が供給

されるようになっている。各電源線DSLは電源スキャナ53に接続され、この電源スキャナ53から各電源線DSLへ電源信号（制御パルス）が供給されるようになっている。

【0041】

図5は、画素PXLにおける具体的な回路構成例を表したものである。各画素PXLは、有機EL素子10Aを含む画素回路50aを有している。この画素回路50aは、サンプリング用トランジスタTr1および駆動用トランジスタTr2と、保持容量素子10Cと、有機EL素子10Aとを有するアクティブ型の駆動回路である。尚、サンプリング用トランジスタTr1（または駆動用トランジスタTr2）が、上記実施の形態等のトランジスタ10Bに相当する。

【0042】

サンプリング用トランジスタTr1は、そのゲートが対応する走査線WSLに接続され、そのソースおよびドレインのうちの一方が対応する信号線DTLに接続され、他方が駆動用トランジスタTr2のゲートに接続されている。駆動用トランジスタTr2は、そのドレインが対応する電源線DSLに接続され、ソースが有機EL素子10Aのアノードに接続されている。また、この有機EL素子10Aのカソードは、接地配線5Hに接続されている。なお、この接地配線5Hは、全ての画素PXLに対して共通に配線されている。保持容量素子10Cは、駆動用トランジスタTr2のソースとゲートとの間に配置されている。

【0043】

サンプリング用トランジスタTr1は、走査線WSLから供給される走査信号（選択パルス）に応じて導通することにより、信号線DTLから供給される映像信号の信号電位をサンプリングし、保持容量素子10Cに保持するものである。駆動用トランジスタTr2は、所定の第1電位（図示せず）に設定された電源線DSLから電流の供給を受け、保持容量素子10Cに保持された信号電位に応じて、駆動電流を有機EL素子10Aへ供給するものである。有機EL素子10Aは、この駆動用トランジスタTr2から供給された駆動電流により、映像信号の信号電位に応じた輝度で発光するようになっている。

【0044】

このような回路構成では、走査線WSLから供給される走査信号（選択パルス）に応じてサンプリング用トランジスタTr1が導通することにより、信号線DTLから供給された映像信号の信号電位がサンプリングされ、保持容量素子10Cに保持される。また、上記第1電位に設定された電源線DSLから駆動用トランジスタTr2へ電流が供給され、保持容量素子10Cに保持された信号電位に応じて、駆動電流が有機EL素子10A（赤色、緑色および青色の各有機EL素子）へ供給される。そして、各有機EL素子10Aは、供給された駆動電流により、映像信号の信号電位に応じた輝度で発光する。これにより、表示装置において、映像信号に基づく映像表示がなされる。

【0045】

（製造方法）

上記のような有機EL表示装置1は、例えば次のようにして製造することができる。まず、駆動側基板10上に、トランジスタ10Bおよび保持容量素子10Cを形成する。

【0046】

即ち、まず、図6（A）に示したように、駆動側基板10の全面に、例えばスパッタリング法により、上述した酸化物半導体よりなる半導体層11を成膜する。この際、ターゲットとしては、成膜対象の酸化物半導体と同一組成のセラミックを用いる。また、酸化物半導体中のキャリア濃度は、スパッタリングの際の酸素分圧に大きく依存するので、所望のトランジスタ特性が得られるように酸素分圧を制御する。この後、例えばフォトリソグラフィおよびエッチングにより、成膜した半導体層11を所定の形状にパターニングする。その際、リン酸と硝酸と酢酸との混合液を用いたウェットエッチングにより加工することが好ましい。リン酸、硝酸および酢酸の混合液は、下地との選択比を十分に大きくすることが可能であり、比較的容易に加工が可能となる。

【0047】

続いて、図 6 (B) に示したように、駆動側基板 1 0 上の全面にわたって、例えばシリコン酸化膜よりなる絶縁膜 1 2 (ゲート絶縁膜 1 2 A , 絶縁膜 1 2 B) を、例えばプラズマ C V D (Chemical Vapor Deposition ; 化学気相成長) 法により成膜する。シリコン酸化膜はプラズマ C V D 法のほか、反応性スパッタリング法により形成することも可能である。また、酸化アルミニウム膜を成膜する場合には、これらの反応性スパッタリング法、C V D 法に加え、原子層成膜法を用いることも可能である。

【 0 0 4 8 】

そののち、同じく図 6 (B) に示したように、絶縁膜 1 2 の全面に、例えばスパッタリング法により、例えばモリブデンまたはチタンとアルミニウムの積層膜よりなる導電膜 1 3 (ゲート電極 1 3 A , 導電膜 1 3 B) を成膜する。

10

【 0 0 4 9 】

次いで、図 7 (A) に示したように、導電膜 1 3 を、例えばフォトリソグラフィおよびエッチングによりパターンニングすることにより、半導体層 1 1 上の選択的な領域に、ゲート電極 1 3 A および導電膜 1 3 B をそれぞれ形成する。この際、導電膜 1 3 B としては、選択的な領域に開口 H 1 A (凹部 H 1 の一部を構成する開口) を形成する。

【 0 0 5 0 】

この後、図 7 (B) に示したように、形成したゲート電極 1 3 A および導電膜 1 3 B をマスクとして絶縁膜 1 2 をエッチングする。この際、半導体層 1 1 を Z n O , I Z O , I G O 等の結晶性材料により構成した場合には、フッ酸等を用いて非常に大きなエッチング選択比を維持するようにすると、容易に加工することが可能となる。これにより、ゲート絶縁膜 1 2 A がゲート電極 1 3 A と略同一形状にパターンニングされると共に、導電膜 1 3 B および絶縁膜 1 2 B には、凹部 H 1 が形成される。このようにして、半導体層 1 1 上の選択的な領域にゲート絶縁膜 1 2 A を介してゲート電極 1 3 A が配設された積層構造を形成すると共に、保持容量素子 1 0 C を形成する。

20

【 0 0 5 1 】

続いて、図 8 (A) に示したように、駆動側基板 1 0 上の全面に渡って、例えばスパッタリング法により、例えばチタン、アルミニウムまたはインジウム等の酸素と比較的低温で反応する金属よりなる金属膜 1 4 a を、例えば 5 n m 以上 1 0 n m 以下の厚みで成膜する。

【 0 0 5 2 】

30

この後、図 8 (B) に示したように、例えば 3 0 0 程度の温度で熱処理を行うことにより、金属膜 1 4 a が酸化され、これによって金属酸化膜からなる高抵抗膜 1 4 が形成される。この際、ゲート電極 1 2 A および保持容量素子 1 0 C に非対向な領域には、低抵抗領域 (ソース・ドレイン領域 1 1 S D を含む) が形成される。この金属膜 1 4 a の酸化反応には、酸化物半導体に含まれる酸素の一部が利用されるため、金属膜 1 4 a の酸化の進行に伴って、半導体層 1 1 では、その金属膜 1 4 a と接する面側から酸素濃度が低下していく。一方、金属膜 1 4 a から、アルミニウム等の金属が半導体層 1 1 中に拡散する。この金属元素がドーパントとして機能し、金属膜 1 4 a と接する半導体層 1 1 の上面側の領域が低抵抗化される。これにより、電気抵抗の低いソース・ドレイン領域 1 1 S D が形成される。

40

【 0 0 5 3 】

尚、金属膜 1 4 a の熱処理としては、例えば 3 0 0 程度の温度でアニールすることが好ましい。その際、酸素等を含む酸化性のガス雰囲気中でアニールを行うことで、低抵抗領域の酸素濃度が低くなりすぎるのを抑え、半導体層 1 1 に十分な酸素を供給することが可能となる。よって、後工程で行うアニール工程を削減することが可能となり、工程の簡略化が可能となる。

【 0 0 5 4 】

あるいは、次のようにして高抵抗膜 1 4 を形成してもよい。例えば、図 8 (A) に示した工程において、駆動側基板 1 0 の温度を 2 0 0 程度の比較的高い温度に保持して、金属膜 1 4 a を成膜するようにしてもよい。これにより、図 8 (B) に示した熱処理を行わ

50

ずに、半導体層 11 の所定の領域を低抵抗化することが可能である。この場合には、半導体層 11 のキャリア濃度をトランジスタとして必要なレベルに低減することが可能である。

【0055】

また、この金属膜 14a は、例えば 10 nm 以下の厚みで成膜することが好ましい。金属膜 14a の厚みを 10 nm 以下とすれば、熱処理によって金属膜 14a を完全に酸化させる（高抵抗膜 14 を形成する）ことができるからである。尚、金属膜 14a が完全に酸化されていない場合には、この未酸化の金属膜 14a をエッチングにより除去する工程が必要となる。金属膜 14a は、ゲート電極 13A 上などにも成膜されるため、十分に酸化されていないとリーク電流を生じさせる場合があるためである。金属膜 14a が完全に酸化され、高抵抗膜 14 が形成された場合には、そのような除去工程が不要であり、製造工程の簡略化が可能となる。つまり、エッチングによる除去工程を行わなくとも、リーク電流の発生を防止できる。尚、金属膜 14a を 10 nm 以下の厚みで成膜した場合、熱処理後の高抵抗膜 14 の厚みは、20 nm 以下程度となる。

10

【0056】

更に、金属膜 14a を酸化させる方法としては、上記のような熱処理のほか、水蒸気雰囲気での酸化、またはプラズマ酸化などの方法により酸化を促進させることも可能である。特にプラズマ酸化の場合、次のような利点がある。即ち、高抵抗膜 14 の形成後、層間絶縁膜 15 をプラズマ CVD 法により形成するが、金属膜 14a に対してプラズマ酸化処理を施した後、続けて（連続的に）、層間絶縁膜 15 を成膜可能である。このため、特に工程を増やす必要がないという利点がある。プラズマ酸化では、例えば、駆動側基板 10 の温度を 200 ~ 400 程度にして、酸素および二窒化酸素の混合ガス等の酸素を含むガス雰囲気中でプラズマを発生させて処理することが望ましい。これにより、上述したような外気に対して良好なバリア性を有する高抵抗膜 14 を形成することができるからである。

20

【0057】

加えて、半導体層 11 の所定の領域を低抵抗化させる手法としては、上記のような金属膜 14a と半導体層 11 との反応による手法の他にも、プラズマ処理によって低抵抗化する手法、プラズマ CVD 法によりシリコン窒化膜を成膜し、このシリコン酸化膜からの水素拡散等により低抵抗化させる手法などを用いてもよい。

30

【0058】

次に、図 9 (A) に示したように、層間絶縁膜 15 を形成する。具体的には、まず、高抵抗膜 14 上の全面に渡って、上述したアクリル樹脂などの有機膜あるいはシリコン酸化膜や酸化アルミニウム膜などの無機膜、もしくは、それらの有機膜と無機膜との積層膜よりなる層間絶縁膜 15 を上述した厚みにより成膜する。その際、シリコン酸化膜などの無機膜を成膜する場合には、例えばプラズマ CVD 法により形成し、酸化アルミニウム膜を成膜する場合には、アルミニウムをターゲットとした DC または AC 電源による反応性スパッタリング法により形成することが望ましい。高速に成膜することが可能となるからである。また、有機膜を成膜する場合には、例えばスピンコート法やスリットコート法を用いて塗布形成する。

40

【0059】

この後、例えばフォトリソグラフィおよびエッチングにより、半導体層 11 のソース・ドレイン領域 11SD に対向する領域の一部において層間絶縁膜 15 および高抵抗膜 14 を貫通するコンタクトホール H2 を形成する。

【0060】

続いて、図 9 (B) に示したように、上述した材料等よりなるソース・ドレイン電極層 16 を、層間絶縁膜 15 上に、コンタクトホール H2 を埋め込むように、例えばスパッタリング法により成膜した後、フォトリソグラフィおよびエッチングにより所定の形状にパターニングする。これにより、ソース・ドレイン電極層 16 が、半導体層 11 のソース・ドレイン領域 11SD に電氣的に接続されて形成される。上記のようにして、駆動側基板

50

10 上に、トランジスタ 10 B および保持容量素子 10 C を形成する。

【0061】

この後、層間絶縁膜 15 およびソース・ドレイン電極層 16 を覆うように、上述した材料よりなる平坦化膜 17 を、例えばスピンコート法やスリットコート法により成膜し、ソース・ドレイン電極層 16 に対向する領域の一部にコンタクトホール H3 を形成する。

【0062】

続いて、この平坦化膜 17 上に、有機 EL 素子 10 A を形成する。具体的には、平坦化膜 17 上に、そのコンタクトホール H3 を埋め込むように、上述した材料よりなる第 1 電極 18 を例えばスパッタリング法により成膜した後、フォトリソグラフィおよびエッチングによりパターンニングする。この後、第 1 電極 18 上に開口を有する画素分離膜 19 を形成した後、有機層 20 を例えば真空蒸着法により成膜する。続いて、有機層 20 上に、上述した材料よりなる第 2 電極 21 を例えばスパッタリング法により形成する。次いで、この第 2 電極 21 上に保護層 22 を例えば CVD 法により成膜した後、この保護層 22 上に、封止用基板 23 を貼り合わせる。以上により、図 1 に示した有機 EL 表示装置 1 を完成する。

【0063】

[作用、効果]

本実施の形態の有機 EL 表示装置 1 では、例えば R, G, B のいずれかに対応する各画素に、各色の映像信号に応じた駆動電流が印加されると、第 1 電極 18 および第 2 電極 21 を通じて、有機層 20 に電子および正孔が注入される。これらの電子および正孔は、有機層 20 に含まれる有機 EL 層においてそれぞれ再結合され、発光を生じる。このようにして、有機 EL 表示装置 1 では、例えば R, G, B のフルカラーの映像表示がなされる。

【0064】

この有機 EL 表示装置 1 では、上記のような映像表示動作の際に、保持容量素子 10 C の一端に、映像信号に対応する電位が印加されることにより、保持容量素子 10 C には、映像信号に対応する電荷が蓄積される。本実施の形態では、上述のように、保持容量素子 10 C を酸化物半導体よりなる半導体層 11 と、導電膜 13 B との間に絶縁膜 12 B を挟み込んだ積層構造を有する。即ち、保持容量素子 10 C が半導体層 11 の一部を利用して形成されている。

【0065】

ここで、図 10 に、本実施の形態の比較例（比較例 1）に係る保持容量素子 100 の積層構造について示す。比較例 1 では、例えば駆動側基板 101 上に、トランジスタのゲート絶縁膜の一部を利用して絶縁膜 102 が設けられ、この絶縁膜 102 上（トランジスタのゲート電極と同層）に、導電膜 103 が配設されている。導電膜 103 上には、厚みの大きな層間絶縁膜 104 が設けられ、この層間絶縁膜 104 上のソース・ドレイン電極層と同層には、導電膜 105 が形成されている。このように、比較例 1 では、トランジスタのゲート電極およびソース・ドレイン電極とそれぞれ、同層に設けられた導電膜 103, 105 間に、層間絶縁膜 104 を挟み込んだ構造となっている。このような積層構造によっても、容量形成が可能である。ところが、このような保持容量素子 100 では、層間絶縁膜 104 の厚みが比較的大きい（マイクロオーダーである）ため、容量が小さくなり、寄生容量の影響を受け易くなる。

【0066】

一方、本実施の形態のように、保持容量素子 10 C が半導体層 11 の一部を利用して設けられていることにより、半導体層 11 および導電膜 13 B 間に挟み込まれた絶縁膜 12 B としてゲート絶縁膜を利用することができ、即ち、厚みがゲート絶縁膜 12 A と同等となる（層間絶縁膜 15 よりも小さくなる）。従って、本実施の形態では、上記比較例 1 に比べ大きな容量を確保することができる。

【0067】

また、ここで、図 11 (A) に、本実施の形態の比較例（比較例 2）に係る保持容量素子 100 A の積層構造、図 11 (B) に、導電膜 103 側からみた平面図について示す。

保持容量素子 100A では、半導体層 101 上に、ゲート絶縁膜を利用した絶縁膜 102 を介して導電膜 103 が設けられており、このような積層構造によって容量が形成されている。このような保持容量素子 100A では、本実施の形態と同様、比較的大きな容量を確保することができるが、半導体層 101 および導電膜 103 間に印加される電圧によって、容量が変動してしまう。容量変動が生じると、画素回路の駆動条件によっては十分な容量を用いることができないことから、画質劣化を引き起こすことがある。

【0068】

これに対し、本実施の形態の保持容量素子 10C は、半導体層 11 上の選択的な領域に、導電膜 13B および絶縁膜 12B が除去されてなる凹部 H1 を有している。これにより、凹部 H1 においては、半導体層 11 上に導電膜 13B および絶縁膜 12B が存在しないために、この凹部 H1 を通じて、酸化物半導体中の酸素が脱離しやすくなる。この結果、酸化物半導体膜中のキャリア濃度を増加させることが可能となる。換言すると、TFT 特性でいうところの閾値電圧が負（マイナス）側へシフトする。ここで、図 12 に、比較例 2 に係る保持容量素子における印加電圧および容量の関係、図 13 に、本実施の形態の保持容量素子 10C における同関係についてそれぞれ示す。このように、本実施の形態では、比較例に比べ、電圧特性が負側へシフトしており、これにより、電圧に対する容量変化のより少ない範囲（例えば、0V 付近）を使用可能となる。従って、容量の電圧依存性が低減する。

【0069】

また、図 14 には、保持容量素子 10C における凹部間距離 d （導電膜 13B と絶縁膜 12B が存在する部分の幅）と閾値電圧（ V_{th} ）との関係を示す。このように、凹部間距離 d が小さい程、十分な容量を確保することができるので、画素回路の動作上望ましい。特に、凹部間距離 d が $8\mu m$ 以下となる範囲では、凹部間距離 d が短くなるに従って、 V_{th} が負側に変化していることがわかる。このことから、保持容量素子 10C における凹部間距離 d は $8\mu m$ 以下であることが望ましい。

【0070】

以上説明したように、本実施の形態では、駆動側基板 10 上に有機 EL 素子 10A、トランジスタ 10B と共に設けられた保持容量素子 10C が、酸化物半導体よりなる半導体層 11 上に絶縁膜 12B（ゲート絶縁膜 12A と同層）を介して導電膜 13B（ゲート電極 13A と同層）が設けられた積層構造を有する。半導体層 11 上の選択的な領域には、導電膜 13B および絶縁膜 12B が除去されてなる凹部 H1 が設けられている。これにより、保持容量素子 10C において、印加電圧に依存する容量変動を抑制し、所望の容量を保持することができるようになる。よって、画質劣化を抑制することが可能となる。

【0071】

また、これにより、アクティブ駆動方式のディスプレイにおいて高品質な画像を表示することが可能となり、大画面化、高精細化、ハイレームレート化に対応することが可能になる。更に、容量を比較的大きく確保可能であるため、画素レイアウトにおいても、配線の占有割合を低減でき、欠陥の少ない高歩留まりのパネルを製造することが可能となる。

【0072】

<変形例>

次に、上記実施の形態の変形例に係る表示装置（液晶表示装置 2）について説明する。図 15 は、液晶表示装置 2 の断面構造を表すものである。液晶表示装置 2 は、上記実施の形態の有機 EL 表示装置と同様、駆動側基板 10 上に、表示素子と、トランジスタ 10B と、保持容量素子 10C とを有するものであるが、表示素子として有機 EL 素子ではなく液晶表示素子 20A を含んでいる。即ち、液晶表示装置 2 では、駆動側基板 10 上に、トランジスタ 10B および保持容量素子 10C が配設されており、これらの上層に液晶表示素子 20A を有している。また、駆動側基板 10 の下方には、バックライト 27 が備えられており、駆動側基板 10 のバックライト 27 側および封止用基板 23 上には、偏光板 28a, 28b が貼り合わせられている。尚、上記実施の形態と同様の構成要素については

、同一の符号を付し、適宜その説明を省略する。

【0073】

液晶表示素子20Aは、例えば、画素電極29と対向電極26との間に液晶層25を封止したものであり、画素電極29および対向電極26の液晶層25側の各面には、配向膜24a, 24bが形成されている。画素電極29は、画素毎に配設されており、例えばトランジスタ10Bのソース・ドレイン電極層16に電氣的に接続されている。対向電極26は、複数の画素に共通の電極として設けられ、例えばコモン電位に保持されている。液晶層25は、例えばVA (Vertical Alignment: 垂直配向) モード, TN (Twisted Nematic) モードあるいはIPS (In Plane Switching) モード等により駆動される液晶により構成されている。

10

【0074】

バックライト27は、液晶層25へ向けて光を照射する光源であり、例えばLED (Light Emitting Diode) やCCFL (Cold Cathode Fluorescent Lamp) 等を複数含むものである。このバックライト27は、図示しないバックライト駆動部によって、点灯状態および消灯状態が制御されるようになっている。

【0075】

偏光板28a, 28b (偏光子, 検光子) は、例えば互いにクロスニコルの状態で配置されており、これにより、例えばバックライト27からの照明光を電圧無印加状態 (オフ状態) では遮断、電圧印加状態 (オン状態) では透過させるようになっている。

【0076】

20

このような液晶表示装置2においても、上記実施の形態の有機EL表示装置1と同様、保持容量素子10Cが、トランジスタ10Bにおける半導体層11の一部を利用して形成されると共に、その半導体層11上の選択的な領域において、導電膜13Bおよび絶縁膜12Bが除去されてなる凹部H1を有している。これにより、本変形例においても、保持容量素子10Cにおいて、比較的大きな保持容量が確保されると共に、容量の電圧依存性が緩和される。即ち、本開示の表示装置としては、上述のような有機EL表示装置1に限らず、液晶表示装置2にも適用可能である。

【0077】

< 適用例 >

以下、上記のような表示装置 (有機EL表示装置1, 液晶表示装置2) の電子機器への適用例について説明する。電子機器としては、例えばテレビジョン装置, デジタルカメラ, ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラ等が挙げられる。言い換えると、上記表示装置は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

30

【0078】

(モジュール)

上記表示装置は、例えば図16に示したようなモジュールとして、後述の適用例1~5などの種々の電子機器に組み込まれる。このモジュールは、例えば、駆動側基板10の一辺に、封止用基板23から露出した領域210を設け、この露出した領域210に、水平セクタ51、ライトスキャナ52および電源スキャナ53の配線を延長して外部接続端子 (図示せず) を形成したものである。この外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (FPC; Flexible Printed Circuit) 220が設けられていてもよい。

40

【0079】

(適用例1)

図17は、テレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300が上記表示装置に相当する。

【0080】

50

(適用例 2)

図 18 は、デジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 410、表示部 420、メニュースイッチ 430 およびシャッターボタン 440 を有しており、この表示部 420 が上記表示装置に相当する。

【0081】

(適用例 3)

図 19 は、ノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 510、文字等の入力操作のためのキーボード 520 および画像を表示する表示部 530 を有しており、この表示部 530 が上記表示装置に相当する。

【0082】

(適用例 4)

図 20 は、ビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 610、この本体部 610 の前方側面に設けられた被写体撮影用のレンズ 620、撮影時のスタート/ストップスイッチ 630 および表示部 640 を有している。この表示部 640 が上記表示装置に相当する。

【0083】

(適用例 5)

図 21 は、携帯電話機の外観を表したものである。この携帯電話機は、例えば上側筐体 710 と下側筐体 720 とを連結部（ヒンジ部）730 で連結したものであり、ディスプレイ 740、サブディスプレイ 750、ピクチャーライト 760 およびカメラ 770 を有している。そして、これらのうちのディスプレイ 740 またはサブディスプレイ 750 が、上記表示装置に相当する。

【0084】

以上、実施の形態および変形例を挙げて本開示を説明したが、本開示はこれらの実施の形態に限定されず、種々の変形が可能である。例えば、上記実施の形態では、本開示における凹部の一例として、半導体層 11 上の選択的な領域において、導電膜 13B および絶縁膜 12B の全部が除去された（導電膜 13B の表面から半導体層 11 の表面まで貫通する開口が設けられた）構成を例に挙げたが、必ずしも導電膜 13B および絶縁膜 12B の全部が除去されていなくともよい。即ち、半導体層 11 上の選択的な領域において、導電膜 13B および絶縁膜 12B が、それらの厚み（深さ）方向における一部が除去されたものであってもよい（導電膜 13B の表面から半導体層 11 の表面まで貫通していなくともよい）。

【0085】

例えば、図 22（A）に示したように、厚み方向において、導電膜 13B（または導電膜 13B の一部）のみが選択的に除去されて凹部 H1 が形成されていてもよい。また、図 22（B）に示したように、導電膜 13B の全部と絶縁膜 12B の上面側の一部が除去されて凹部 H1 が設けられていてもよい。但し、本実施の形態のように、凹部 H1 が半導体層 11 の表面まで貫通した構造の方が、半導体層 11 からの酸素離脱による電圧依存抑制の効果をより効果的に得ることができると共に、製造プロセスが簡易である。

【0086】

また、上記実施の形態等では、保持容量素子 10C の絶縁膜 12B が、トランジスタ 10B のゲート絶縁膜 12A と分離してパターンニングした構成を図示したが、これらのゲート絶縁膜 12A および絶縁膜 12B は必ずしも分離されていなくともよく、トランジスタ 10B から保持容量素子 10C にわたって連続的に形成されていてもよい。また、半導体層 11 についてはトランジスタ 10B から保持容量素子 10C にかけて一体的に（連続して）形成された構成を例示したが、トランジスタ 10B および保持容量素子 10C のそれぞれにおいて半導体層 11 が分離して設けられていてもよい。

【0087】

更に、上記実施の形態等では、高抵抗膜 14 を設けた構成を例に挙げて説明したが、こ

10

20

30

40

50

の高抵抗膜 14 は設けられていなくともよい。但し、上述のように、高抵抗膜 14 を設けた場合の方が、トランジスタ 10B および保持容量素子 10C の電気特性を安定的に保持することができるため望ましい。

【0088】

加えて、上記実施の形態等では、半導体層 11 における所定の領域を低抵抗化させるための手法として、金属膜 14a と半導体層 11 との反応による手法を用いたが、この他にも、プラズマ処理によって低抵抗化する手法、プラズマ CVD 法によりシリコン窒化膜を成膜し、このシリコン酸化膜からの水素拡散等により低抵抗化させる手法などを用いてもよい。

【0089】

また、上記実施の形態等では、保持容量素子 10C に形成される凹部 H1 として、上面からみたときの形状（開口形状）が方形状（図 3（A））または矩形状（図 3（B））である場合を例示したが、凹部の開口形状はこれらの形状に限定されるものではなく、他の様々な形状（例えば円形状や多角形状等）であってもよい。

【0090】

尚、本開示は、以下の（１）～（９）に記載したような構成であってもよい。

（１）基板上に、表示素子と、前記表示素子の駆動素子としてのトランジスタと、映像信号に対応する電荷を保持する保持容量素子とを備え、前記保持容量素子は、酸化物半導体よりなる第 1 半導体層上に第 1 絶縁膜を介して第 1 導電膜を有し、かつ前記第 1 半導体層上の選択的な領域に、前記第 1 導電膜および前記第 1 絶縁膜のうちの少なくとも一部が除去されてなる凹部を有する表示装置。

（２）前記トランジスタは、前記基板側から順に、酸化物半導体よりなる第 2 半導体層と、前記第 2 半導体層上の選択的な領域に設けられたゲート絶縁膜としての第 2 絶縁膜と、前記第 2 絶縁膜に対応する領域に配設されたゲート電極としての第 2 導電膜と、前記第 1 半導体層に電氣的に接続されて設けられたソース・ドレイン電極層とを有する上記（１）に記載の表示装置。

（３）前記第 1 半導体層と前記第 2 半導体層とが同一材料により構成され、前記第 1 導電膜と前記第 2 導電膜とが同一材料により構成され、かつ前記第 1 絶縁膜と第 2 絶縁膜とが同一材料により構成されている上記（２）に記載の表示装置。

（４）第 1 半導体層は、前記第 2 半導体層と一体的に設けられている上記（２）または（３）に記載の表示装置。

（５）前記第 1 半導体層および前記第 2 半導体層は、前記第 1 導電膜および前記保持容量素子のそれぞれに非対向な領域に、他の領域よりも電気抵抗が低い低抵抗領域を有する上記（２）ないし（４）のいずれかに記載の表示装置。

（６）前記ソース・ドレイン電極層は、前記第 1 半導体層の低抵抗領域に電氣的に接続されている上記（５）に記載の表示装置。

（７）前記保持容量素子は、高抵抗膜により覆われている上記（１）ないし（６）のいずれかに記載の表示装置。

（８）前記表示素子として有機電界発光素子を有する上記（１）ないし（７）のいずれかに記載の表示装置。

（９）前記表示素子として液晶表示素子を有する上記（１）ないし（７）のいずれかに記載の表示装置。

【符号の説明】

【0091】

1 ... 有機 EL 表示装置、10A ... 有機 EL 素子、10B ... トランジスタ、10C ... 保持容量素子、10 ... 駆動側基板、11 ... 半導体層、11SD ... ソース・ドレイン領域、12A ... ゲート絶縁膜、13A ... ゲート電極、15 ... 層間絶縁膜、16 ... ソース・ドレイン電極層、12B ... 絶縁膜、13B ... 導電膜、14 ... 高抵抗膜、17 ... 平坦化膜、18 ... 第 1 電極、19 ... 画素分離膜、20 ... 有機層、21 ... 第 2 電極、22 ... 保護層、23 ... 封止用基板、2 ... 液晶表示装置、20A ... 液晶表示素子、29 ... 画素電極、24a, 24b ... 配

10

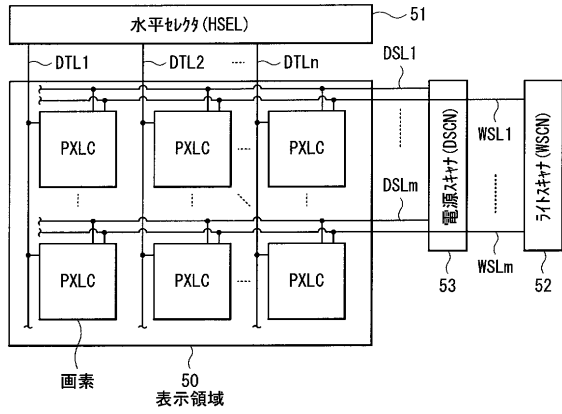
20

30

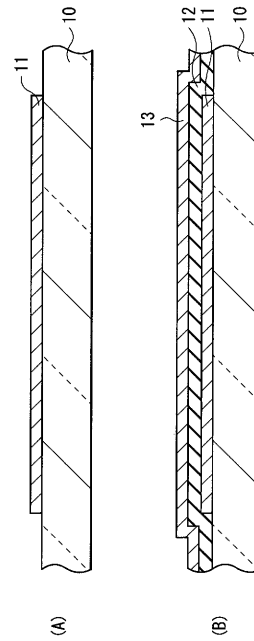
40

50

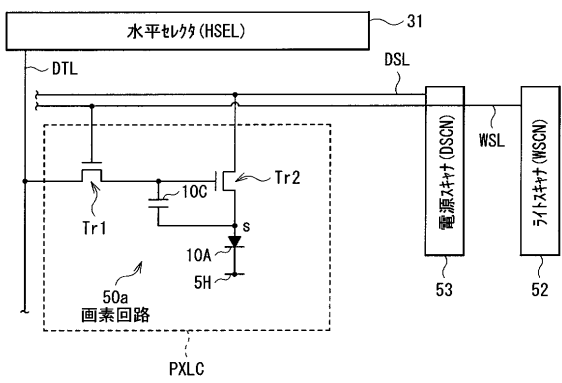
【図 4】



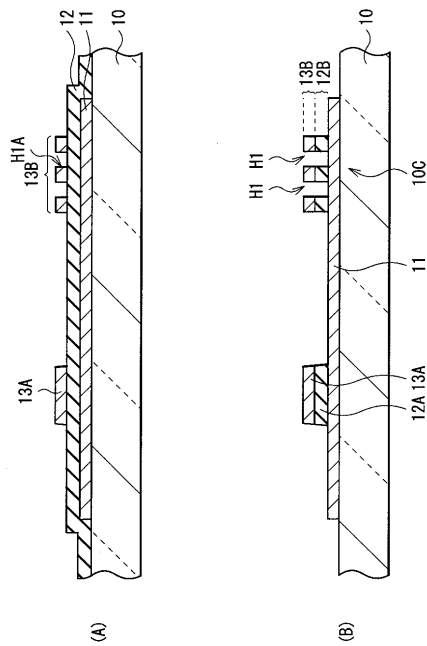
【図 6】



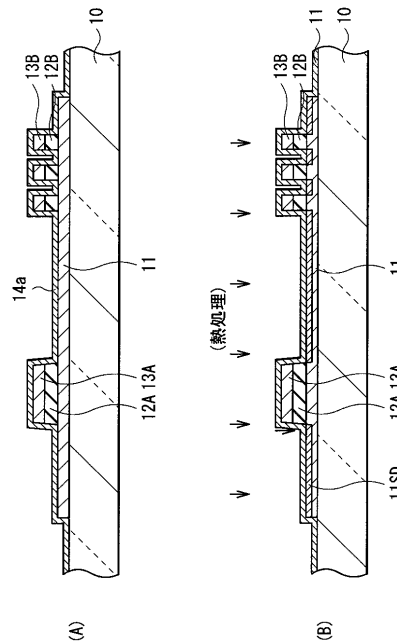
【図 5】



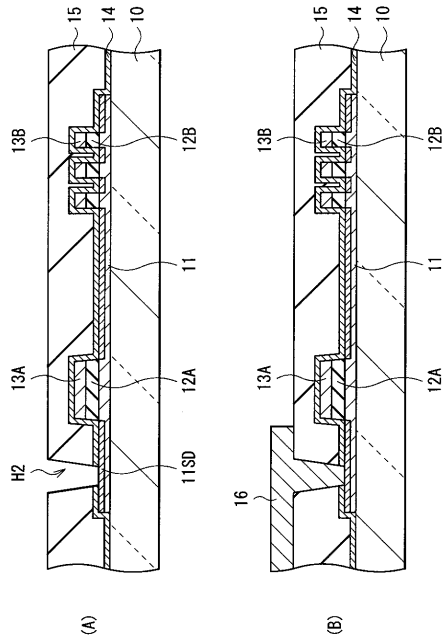
【図 7】



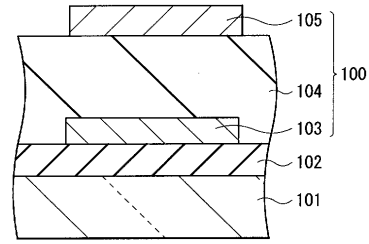
【図 8】



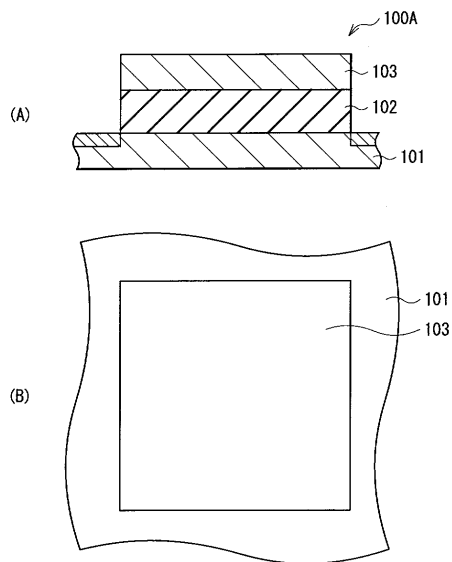
【図 9】



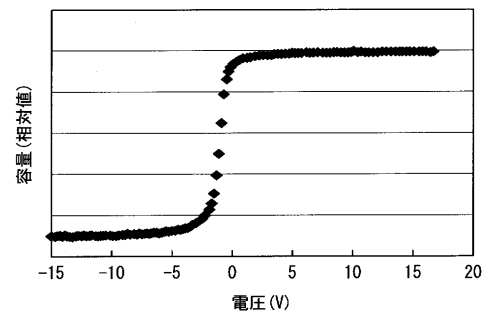
【図 10】



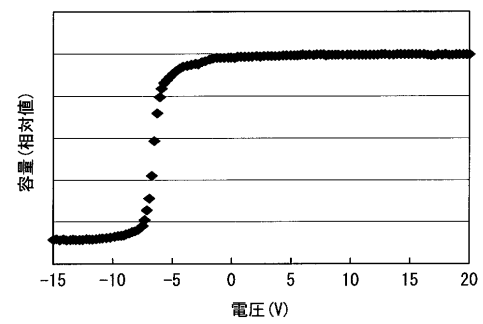
【図 11】



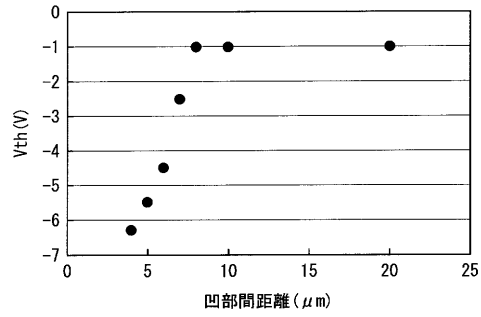
【図 12】



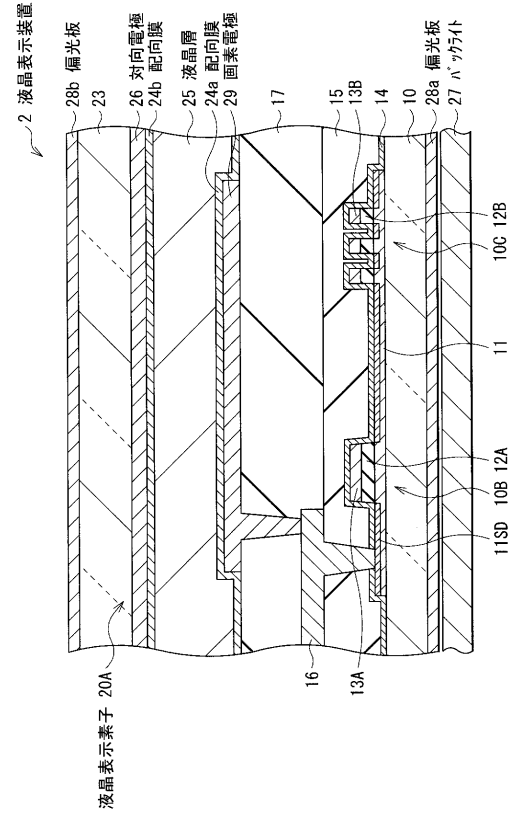
【図 13】



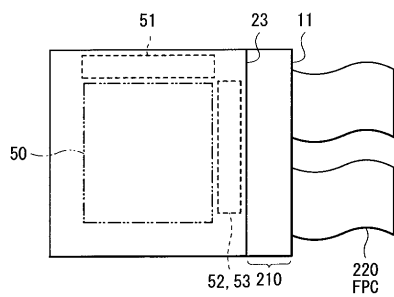
【図 14】



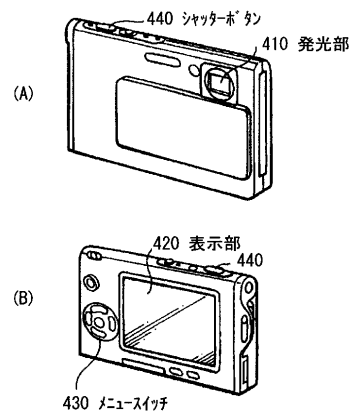
【図 15】



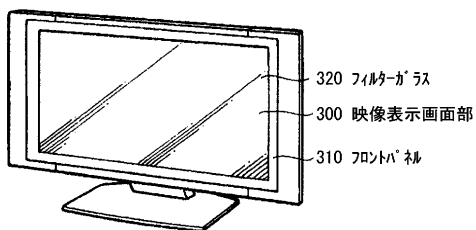
【図 16】



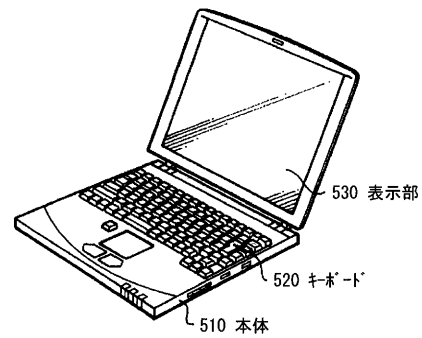
【図 18】



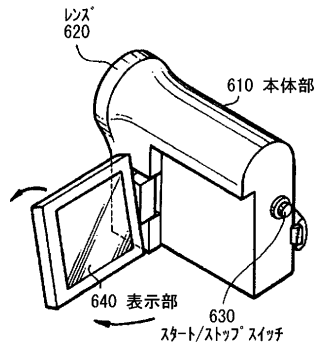
【図 17】



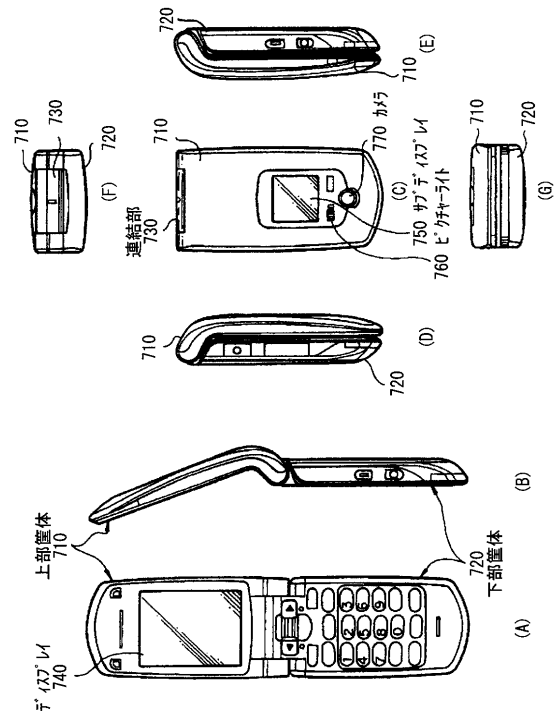
【図 19】



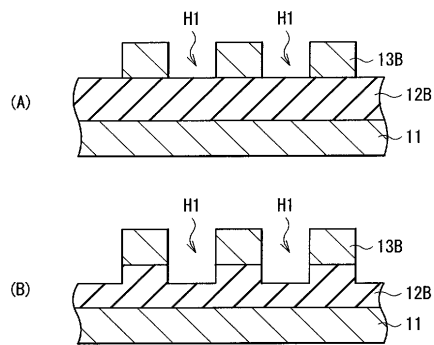
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	33/08
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	33/14
			<i>G 0 2 F</i>	1/1368

A

(56)参考文献 特開2006-106076(JP,A)
 特開2010-156963(JP,A)
 特開2000-312005(JP,A)
 特開2007-101843(JP,A)
 特開2007-220817(JP,A)
 特開2005-346091(JP,A)
 特開2008-197515(JP,A)
 特開平6-75248(JP,A)
 特開平10-96962(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F	9 / 0 0 - 9 / 4 6
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 7 / 3 2
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0
H 0 5 B	3 3 / 0 0 - 3 3 / 2 8
G 0 2 F	1 / 1 3 4 3 - 1 / 1 3 4 5
	1 / 1 3 5 - 1 / 1 3 6 8