

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6689757号
(P6689757)

(45) 発行日 令和2年4月28日 (2020.4.28)

(24) 登録日 令和2年4月10日 (2020.4.10)

(51) Int.Cl.

F I

H O 1 L 31/0747 (2012.01)

H O 1 L 31/06 4 5 5

H O 1 L 31/0236 (2006.01)

H O 1 L 31/04 2 8 0

請求項の数 5 (全 50 頁)

(21) 出願番号 特願2016-569516 (P2016-569516)
 (86) (22) 出願日 平成28年1月14日 (2016.1.14)
 (86) 国際出願番号 PCT/JP2016/051052
 (87) 国際公開番号 W02016/114371
 (87) 国際公開日 平成28年7月21日 (2016.7.21)
 審査請求日 平成30年9月20日 (2018.9.20)
 (31) 優先権主張番号 特願2015-7215 (P2015-7215)
 (32) 優先日 平成27年1月16日 (2015.1.16)
 (33) 優先権主張国・地域又は機関
 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府堺市堺区匠町 1 番地
 (74) 代理人 100120662
 弁理士 川上 桂子
 (74) 代理人 100112715
 弁理士 松山 隆夫
 (72) 発明者 神川 剛
 大阪府堺市堺区匠町 1 番地 シャープ株式
 会社内
 (72) 発明者 原田 真臣
 大阪府堺市堺区匠町 1 番地 シャープ株式
 会社内

最終頁に続く

(54) 【発明の名称】 光電変換素子、それを備えた太陽電池モジュールおよび太陽光発電システム

(57) 【特許請求の範囲】

【請求項 1】

少なくとも一方の面にテクスチャが形成された半導体基板と、
 前記半導体基板の前記テクスチャが形成されている面に形成され、第 1 の導電型を有する第 1 の非晶質半導体層と、
 前記半導体基板の前記テクスチャが形成されている面に形成されるとともに前記半導体基板の面内方向において前記第 1 の非晶質半導体層との間で所望の間隔を隔てて配置され、前記第 1 の導電型と反対の第 2 の導電型を有する第 2 の非晶質半導体層と、
 前記第 1 の非晶質半導体層の一部の上、前記第 2 の非晶質半導体層の一部の上、および前記第 1 の非晶質半導体層と前記第 2 の非晶質半導体層との間に配置された保護膜と、
前記第 1 の非晶質半導体層上に形成された第 1 の電極と、
前記第 2 の非晶質半導体層上に形成された第 2 の電極と、を備え、
前記保護膜は、絶縁膜からなり、更に、前記第 1 の電極の前記半導体基板と反対側の面
の一部、および前記第 2 の電極の前記半導体基板と反対側の面の一部に接し、
 前記テクスチャを平面視した場合に、前記テクスチャの凸部の外接円の直径の平均値は、
 30 μm 未満である、光電変換素子。

【請求項 2】

前記半導体基板の前記テクスチャが形成されている面と、前記第 1 の非晶質半導体層および前記第 2 の非晶質半導体層との間に形成された真性の非晶質半導体層をさらに備える、請求項 1 に記載の光電変換素子。

【請求項 3】

前記半導体基板上に成膜された一の薄膜において、最も厚い膜厚を有し、かつ、膜厚が一定であるフラット領域の端に位置する 1 つの点、または膜厚が最大である 1 つの点を第 1 の点とし、当該一の薄膜の面内方向において当該薄膜の膜厚の減少率が第 1 の減少率から前記第 1 の減少率よりも大きい第 2 の減少率に変化する点、または当該一の薄膜の面内方向において当該一の薄膜の膜厚の変化率の符号が負から正に変化する点を第 2 の点とし、当該一の薄膜の面内方向において前記第 1 の点から前記第 2 の点までの領域を膜厚減少領域と定義したとき、

前記第 1 の非晶質半導体層および前記第 2 の非晶質半導体層の少なくとも一方の半導体層は、前記膜厚減少領域を有する、請求項 1 または請求項 2 に記載の光電変換素子。

10

【請求項 4】

前記第 1 の非晶質半導体層は、リンをドーパントとして含む n 型非晶質半導体層であり、

前記第 2 の非晶質半導体層は、ボロンをドーパントとして含む p 型非晶質半導体層であり、

前記 n 型非晶質半導体層と前記半導体基板との間には、前記 p 型非晶質半導体層が形成されている領域におけるボロン濃度よりもボロン濃度が高いボロンの高濃度領域は含まれない、請求項 1 に記載の光電変換素子。

【請求項 5】

前記半導体基板の前記 n 型非晶質半導体層及び前記 p 型非晶質半導体層が形成されている面にはテクスチャが形成されている、請求項 4 に記載の光電変換素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換素子、それを備えた太陽電池モジュールおよび太陽光発電システムに関する。

【背景技術】

【0002】

従来、n 型の結晶シリコン基板と p 型の非晶質シリコン層との間に真性 (i 型) の非晶質シリコンを介在させて、界面での欠陥を低減し、ヘテロ接合界面での特性を改善させた光電変換装置が知られている。この光電変換装置は、ヘテロ接合型太陽電池と呼ばれている。

30

【0003】

国際公開第 2013/133005 号パンフレットに記載されているヘテロ接合型太陽電池を図 29 に示す。n 電極 1506、p 電極 1507 は、それぞれ、n 型非晶質半導体層 1503 および p 型非晶質半導体層 1505 上に形成されている。ヘテロ接合型太陽電池においては、シリコン基板中で発生した多数キャリアである電子は、n 型非晶質半導体層 1503 へ拡散し、n 電極 1506 で収集される。また、少数キャリアである正孔は、p 型非晶質半導体層 1505 へ拡散し、p 電極 1507 で収集される。

【0004】

40

図 29 に示す太陽電池では、受光面とは反対側の裏面に n 型非晶質半導体層 1503 および p 型非晶質半導体層 1505 が形成されている。このように、裏面に n 型半導体層および p 型半導体層が形成されたヘテロ接合型太陽電池を、裏面ヘテロ接合型太陽電池と呼ぶ。

【発明の開示】

【0005】

国際公開第 2013/133005 号パンフレットに記載の裏面ヘテロ接合型太陽電池では、平坦な面に n 型非晶質半導体層および p 型非晶質半導体層を形成している。従って、基板にテクスチャを形成し、テクスチャが形成された面上に n 型半導体層および p 型半導体層を形成する場合には、どのように形成すれば良質な太陽電池が得られるか知られて

50

いない。

【0006】

本発明の実施の形態では、テクスチャが形成された半導体基板の面上にn型非晶質半導体層およびp型非晶質半導体層を形成した光電変換素子であって、品質を向上可能な光電変換素子を提供する。

【0007】

また、本発明の実施の形態では、品質を向上可能な光電変換素子を備えた太陽電池モジュールを提供する。

【0008】

さらに、本発明の実施の形態では、品質を向上可能な光電変換素子を備えた太陽光発電システムを提供する。

10

【0009】

本発明の一実施形態における光電変換素子は、少なくとも一方の面にテクスチャが形成された半導体基板と、前記半導体基板の前記テクスチャが形成されている面に形成され、第1の導電型を有する第1の非晶質半導体層と、前記半導体基板の前記テクスチャが形成されている面に形成されるとともに前記半導体基板の面内方向において前記第1の非晶質半導体層に隣接して形成され、前記第1の導電型と反対の第2の導電型を有する第2の非晶質半導体層と、を備え、前記テクスチャを平面視した場合に、前記テクスチャの凸部の外接円の直径の平均値は、30 μ m未満である。

20

【0010】

本発明の実施の形態によれば、半導体基板に形成されているテクスチャを平面視した場合に、テクスチャの凸部の外接円の直径の平均値を30 μ m未満としたので、逆方向飽和電流密度が飽和するのを抑制して、光電変換素子の品質を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】図1は、この発明の実施の形態1による光電変換素子の構成を示す断面図である。

【図2】図2は、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されたテクスチャ構造を示す図である。

【図3】図3は、半導体基板の裏面のテクスチャサイズと逆方向飽和電流密度との関係を示す図である。

30

【図4】図4は、図1に示す電極および保護膜の拡大図である。

【図5】図5は、図1に示すn型非晶質半導体層の詳細な構造を示す断面図である。

【図6】図6は、図1に示すn型非晶質半導体層の他の詳細な構造を示す断面図である。

【図7】図7は、図1に示す光電変換素子の製造方法を示す第1の工程図である。

【図8】図8は、図1に示す光電変換素子の製造方法を示す第2の工程図である。

【図9】図9は、図1に示す光電変換素子の製造方法を示す第3の工程図である。

【図10】図10は、図1に示す光電変換素子の製造方法を示す第4の工程図である。

【図11】図11は、図1に示す光電変換素子の製造方法を示す第5の工程図である。

【図12】図12は、サイズが異なるテクスチャ構造が形成された半導体基板のSEM写真を示す図である。

40

【図13】図13は、図1に示す光電変換素子の裏面側から見た平面図である。

【図14】図14は、配線シートの平面図である。

【図15】図15は、防湿耐性試験の結果を示す図である。

【図16】図16は、テクスチャの傾斜角を説明するための図である。

【図17】図17は、n型非晶質半導体層およびp型非晶質半導体層をパターニングした場合に、シャドーマスクの下に半導体層やドーパントが回り込むことを説明するための図である。

【図18】図18は、テクスチャが形成された半導体基板とシャドーマスクとの間の空隙領域を説明するための図である。

50

【図 19】図 19 は、シャドーマスクの端から面内方向内側に、p 型ドーパントであるボロンの回り込みが生じることを説明するための図である。

【図 20】図 20 は、テクスチャサイズによって、ボロンの回り込み幅が異なることを説明するための図である。

【図 21】図 21 は、本発明の実施の形態 2 による光電変換素子の構成を示す断面図である。

【図 22】図 22 は、クラスター型の CVD 装置の構成を示す模式図である。

【図 23】図 23 は、実施の形態 3 による光電変換素子を備える光電変換モジュールの構成を示す概略図である。

【図 24】図 24 は、実施の形態 4 による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【図 25】図 25 は、図 24 に示す光電変換モジュールアレイの構成を示す概略図である。

【図 26】図 26 は、実施の形態 4 による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【図 27】図 27 は、実施の形態 5 による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【図 28】図 28 は、実施の形態 5 による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【図 29】図 29 は、国際公開第 2013/133005 号パンフレットに記載されているヘテロ接合型太陽電池を示す断面図である。

【図 30】図 30 は、実施の形態 6 における光電変換素子の構成を示す断面図である。

【図 31】図 31 は、実施の形態 6 における光電変換素子の製造方法のうちの一部の工程を示す図であって、p 型非晶質半導体層が形成された後に、n 型非晶質半導体層を形成する際の製造方法を説明するための図である。

【図 32】図 32 は、実施の形態 6 による光電変換素子の構成であって、半導体基板の裏面にテクスチャが形成されていない場合の構成を示す断面図である。

【発明を実施するための形態】

【0012】

本発明の一実施形態における光電変換素子は、少なくとも一方の面にテクスチャが形成された半導体基板と、前記半導体基板の前記テクスチャが形成されている面に形成され、第 1 の導電型を有する第 1 の非晶質半導体層と、前記半導体基板の前記テクスチャが形成されている面に形成されるとともに前記半導体基板の面内方向において前記第 1 の非晶質半導体層に隣接して形成され、前記第 1 の導電型と反対の第 2 の導電型を有する第 2 の非晶質半導体層と、を備え、前記テクスチャを平面視した場合に、前記テクスチャの凸部の外接円の直径の平均値は、 $30\text{ }\mu\text{m}$ 未満である（第 1 の構成）。

【0013】

第 1 の構成によれば、逆方向飽和電流密度が飽和するのを抑制することができるので、光電変換素子の質を向上させることができる。また、第 1 の非晶質半導体層や第 2 の非晶質半導体層を成膜する際に使う原料ガスやドーパントガスの回り込みを抑制して、光電変換素子の特性や信頼性を向上させることができる。

【0014】

第 1 の構成において、前記半導体基板の前記テクスチャが形成されている面と、前記第 1 の非晶質半導体層および前記第 2 の非晶質半導体層との間に形成された真性の非晶質半導体層をさらに備える構成とすることもできる（第 2 の構成）。第 2 の構成によれば、半導体基板と第 1 の非晶質半導体層との界面、および半導体基板と第 2 の非晶質半導体層との界面における欠陥を低減することができる。

【0015】

第 1 または第 2 の構成において、光電変換素子は、前記第 1 の非晶質半導体層上に形成された第 1 の電極と、前記第 2 の非晶質半導体層上に形成された第 2 の電極と、前記第 1

10

20

30

40

50

の電極および前記第2の電極の少なくとも一部を覆うように形成された保護膜と、をさらに備えるようにしてもよい(第3の構成)。第3の構成によれば、保護膜の下側の電極の表面は、保護膜によって保護されており、表面の酸化および変色等を合わせて防止できるので、電極の長期信頼性を確保できる。

【0016】

第1～第3のいずれかの構成において、前記半導体基板上に成膜された一の薄膜において、膜厚が最大である点を第1の点とし、当該一の薄膜の面内方向において当該薄膜の膜厚の減少率が第1の減少率から前記第1の減少率よりも大きい第2の減少率に変化する点、または当該一の薄膜の面内方向において当該一の薄膜の膜厚の変化率の符号が負から正に変化する点を第2の点とし、当該一の薄膜の面内方向において前記第1の点から前記第2の点までの領域を膜厚減少領域と定義したとき、前記第1の非晶質半導体層および前記第2の非晶質半導体層の少なくとも一方の半導体層は、前記膜厚減少領域を有する構成としてもよい(第4の構成)。第4の構成によれば、第1の非晶質半導体層および第2の非晶質半導体層が膜厚減少領域を有していない構成と比べて、キャリアが非晶質半導体層を介して電極へ到達するときの抵抗が小さくなる。これにより、光電変換素子の変換効率を向上できる。

10

【0017】

本発明の一実施形態における光電変換素子は、半導体基板と、前記半導体基板上に形成され、リンをドーパントとして含むn型非晶質半導体層と、前記半導体基板上で前記半導体基板の面内方向において前記n型非晶質半導体層に隣接して形成され、ボロンをドーパントとして含むp型非晶質半導体層と、を備え、前記n型非晶質半導体層と前記半導体基板との間には、前記p型非晶質半導体層が形成されている領域におけるボロン濃度よりもボロン濃度が高いボロンの高濃度領域は含まれない(第5の構成)。第5の構成によれば、ボロンの高濃度領域の上にn型非晶質半導体層が形成された場合の電気的特性の低下を抑制することができるので、光電変換素子の品質を向上させることができる。

20

【0018】

第5の構成において、前記半導体基板の前記n型非晶質半導体層及び前記p型非晶質半導体層が形成されている面にはテクスチャが形成されていてもよい(第6の構成)。半導体基板にテクスチャが形成されている構造では、テクスチャが形成されていない構造と比べて、ボロンの高濃度領域におけるボロン濃度が大きくなり、また、ボロンの拡散領域の幅が広がる。しかしながら、第6の構成によれば、半導体基板のn型非晶質半導体層及びp型非晶質半導体層が形成されている面にテクスチャが形成されている場合でも、n型非晶質半導体層は、ボロンの高濃度領域に重ならないように形成されるので、少数キャリアのライフタイムが低下するのを抑制することができるので、光電変換素子の質を向上させることができる。

30

【0019】

第6の構成において、前記テクスチャを平面視した場合に、前記テクスチャの凸部の外接円の直径の平均値は、 $30\mu\text{m}$ 未満とすることができる。第6の構成によれば、逆方向飽和電流密度が飽和するのを抑制することができるので、光電変換素子の質を向上させることができる。また、n型非晶質半導体層やp型非晶質半導体層を成膜する際に使う原料ガスやドーパントガスの回り込みを抑制して、光電変換素子の特性や信頼性を向上させることができる。

40

【0020】

[実施の形態]

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一または相当部分には同一符号を付してその説明は繰り返さない。なお、説明を分かりやすくするために、以下で参照する図面においては、構成が簡略化または模式化して示されたり、一部の構成部材が省略されたりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

【0021】

50

この明細書においては、非晶質半導体層は、微結晶相を含んで良いものとする。微結晶相は、平均粒子径が1～50nmである結晶を含む。

【0022】

〔実施の形態1〕

図1は、この発明の実施の形態1による光電変換素子の構成を示す断面図である。図1を参照して、この発明の実施の形態1による光電変換素子10は、半導体基板1と、反射防止膜2と、パッシベーション膜3と、n型非晶質半導体層4と、p型非晶質半導体層5と、電極6、7と、保護膜8とを備える。

【0023】

半導体基板1は、例えば、n型単結晶シリコン基板からなる。半導体基板1は、例えば、100～150μmの厚さを有する。そして、半導体基板1は、両面にテクスチャ構造が形成されている。

【0024】

反射防止膜2は、半導体基板1の一方の表面（受光面）に接して配置される。半導体基板1の両面のうち、反射防止膜2が配置されている側の面から太陽光を入射させるため、反射防止膜2が配置されている側の面を受光面と呼ぶ。また、半導体基板1の両面のうち、受光面と反対側の面を裏面と呼ぶ。

【0025】

本実施の形態における光電変換素子10では、半導体基板1の裏面に形成するテクスチャのサイズを30μm未満とした。テクスチャサイズの定義、及び半導体基板1の裏面に形成するテクスチャのサイズを30μm未満とした理由については後述する。

【0026】

なお、反射防止膜2と、半導体基板1の受光面との間に、真性非晶質半導体層や、n型、p型の導電型の非晶質半導体層を設けても良い。この構成によれば、受光面のパッシベーション性を向上することができるので好ましい。

【0027】

パッシベーション膜3は、半導体基板1の裏面に接して配置される。

【0028】

n型非晶質半導体層4は、パッシベーション膜3に接して配置される。

【0029】

p型非晶質半導体層5は、半導体基板1の面内方向においてn型非晶質半導体層4に隣接して配置される。より詳しくは、p型非晶質半導体層5は、半導体基板1の面内方向においてn型非晶質半導体層4との間で所望の間隔を隔てて配置される。

【0030】

そして、n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向において交互に配置される。

【0031】

電極6は、n型非晶質半導体層4上に、n型非晶質半導体層4に接して配置される。

【0032】

電極7は、p型非晶質半導体層5上に、p型非晶質半導体層5に接して配置される。

【0033】

保護膜8は、パッシベーション膜3、n型非晶質半導体層4、p型非晶質半導体層5および電極6、7に接して配置される。より詳しくは、保護膜8は、隣接するn型非晶質半導体層4およびp型非晶質半導体層5間において、n型非晶質半導体層4、p型非晶質半導体層5および電極6、7の一部に接して配置されるとともに、n型非晶質半導体層4とp型非晶質半導体層5との間に配置されたパッシベーション膜3の一部に接して配置される。そして、保護膜8は、電極6、7上に開口部8Aを有し、電極6、7の端から電極6、7の内側へ向かって5μm以上の領域に形成される。

【0034】

反射防止膜2は、例えば、窒化シリコン膜からなり、例えば、60nmの膜厚を有する

10

20

30

40

50

。

【0035】

パッシベーション膜3は、例えば、非晶質シリコン、非晶質シリコンの酸化物、非晶質シリコンの窒化物、非晶質シリコンの酸窒化物、および多結晶シリコンのいずれかからなる。

【0036】

パッシベーション膜3が非晶質シリコンの酸化物からなる場合、パッシベーション膜3は、シリコンの熱酸化膜からなっているてもよいし、プラズマCVD (Chemical Vapour Deposition) 法等の気相成膜法によって形成されたシリコンの酸化物からなっているてもよい。

10

【0037】

パッシベーション膜3は、例えば、1~20nmの膜厚を有し、好ましくは、1~3nmの膜厚を有する。そして、パッシベーション膜3がシリコンの絶縁膜からなる場合、パッシベーション膜3は、キャリア（電子および正孔）がトンネル可能な膜厚を有する。実施の形態1においては、パッシベーション膜3は、シリコンの熱酸化膜からなり、パッシベーション膜3の膜厚は、2nmに設定された。

【0038】

n型非晶質半導体層4は、n型の導電性を有し、水素を含有する非晶質半導体層である。n型非晶質半導体層4は、例えば、n型非晶質シリコン、n型非晶質シリコンゲルマニウム、n型非晶質ゲルマニウム、n型非晶質シリコンカーバイド、n型非晶質シリコンナイトライド、n型非晶質シリコンオキサイド、n型非晶質シリコンオキシナイトライド、およびn型非晶質シリコンカーボンオキサイド等からなる。

20

【0039】

n型非晶質半導体層4は、例えば、n型ドーパントとしてリン(P)を含む。そして、n型非晶質半導体層4は、例えば、3~50nmの膜厚を有する。

【0040】

p型非晶質半導体層5は、p型の導電性を有し、水素を含有する非晶質半導体層である。p型非晶質半導体層5は、例えば、p型非晶質シリコン、p型非晶質シリコンゲルマニウム、p型非晶質ゲルマニウム、p型非晶質シリコンカーバイド、p型非晶質シリコンナイトライド、p型非晶質シリコンオキサイド、p型非晶質シリコンオキシナイトライド、およびp型非晶質シリコンカーボンオキサイド等からなる。

30

【0041】

p型非晶質半導体層5は、例えば、p型ドーパントとしてボロン(B)を含む。そして、p型非晶質半導体層5は、例えば、5~50nmの膜厚を有する。

【0042】

[テクスチャサイズの定義]

本明細書において、テクスチャのサイズとは、半導体基板の主面を平面視した状態、すなわち主面に対して垂直上方から見た状態におけるサイズを意味する。テクスチャの具体例としては、主面が(100)面であるn型単結晶シリコン基板に、異方性エッチングを施すことによって得られるピラミッド状(四角錐状や四角錐台状)の凹凸構造がある。実際のテクスチャは、図2に示すように、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されている。この凹凸には、重なり合っているものや、変形したものも含まれている。

40

【0043】

従って、本実施の形態では、テクスチャを平面視した場合に、テクスチャの凸部の外接円の直径の平均値をテクスチャのサイズと定義する。ここでは、下記の方法により、テクスチャのサイズを求めた。

【0044】

半導体基板1から100 μ m \times 100 μ mの大きさの領域を抽出し、抽出した領域から、ピラミッド状の凹凸の側面の斜線長(平面視における斜線長)rのうち、長いものから

50

順に20個(r_1 、 r_2 、...、 r_{20})を検出する。そして、検出した20個の斜線長 r (r_1 、 r_2 、...、 r_{20})の平均長の2倍をテクスチャ構造のサイズとする。これは、半導体基板1の $100\mu\text{m} \times 100\mu\text{m}$ の大きさの領域内で、テクスチャを平面視した場合に、ピラミッド状の凸部の外接円の直径 R のうち、長いものから順に20個(R_1 、 R_2 、...、 R_{20})を検出し、検出した20個の外接円の直径 R の平均長と等しい。

【0045】

なお、ピラミッド状の凹凸の底面の一边の長さに基づいて、テクスチャ構造のサイズを定義してもいいし、ピラミッド状の凹凸の高さに基づいて、テクスチャ構造のサイズを定義してもよい。例えば、ピラミッド状の凹凸の形状が底面が正方形の四角錐であるとした場合、底面の一边の長さ a は、平面視した側面の斜線長 r と $a = 2 \times r / \sqrt{2}$ の関係がある。また、底面と、側面の斜辺との成す角を θ とした場合、高さ b は、 $b = r \times \tan \theta$ の関係がある。

【0046】

後述するように、テクスチャのサイズは $30\mu\text{m}$ 未満とする。また、テクスチャのサイズは、 $25\mu\text{m}$ 以下とすることが好ましい。なお、テクスチャのサイズは、SEMなどによる観察で容易に測定することができる。

【0047】

[半導体基板1の裏面に形成するテクスチャのサイズを $30\mu\text{m}$ 未満とした理由]

本実施形態における裏面ヘテロ接合型太陽電池では、半導体基板1の裏面に n 型非晶質半導体層4と p 型非晶質半導体層5が隣り合って存在する。後述するように、シャドーマスクを用いて n 型非晶質半導体層4および p 型非晶質半導体層5を形成する際に、シャドーマスク下部の面内方向内側に、原料ガスやドーパントガスの回り込みが発生する。この回り込みが大きくなると、作製した太陽電池セルの $I-V$ 特性の逆方向飽和電流密度が増大することが分かった。また、原料ガス、ドーパントガスの回り込みが大きくなると、 n 型非晶質半導体層4および p 型非晶質半導体層5の間の絶縁性が損なわれ、電流リークが発生することも分かった。

【0048】

図3は、半導体基板1の裏面のテクスチャサイズと逆方向飽和電流密度との関係を示す図である。テクスチャサイズが $30\mu\text{m}$ 以上では、逆方向飽和電流密度が $5 \times 10^{-3} \text{mA} / \text{cm}^2$ 以上となり、逆方向飽和電流密度はテクスチャサイズに関係なく飽和傾向を示す。このことより、電流リークが大きいと考えられる。

【0049】

一方、テクスチャサイズが $30\mu\text{m}$ 未満では、逆方向飽和電流密度は約 $6 \times 10^{-4} \text{mA} / \text{cm}^2$ 以下となり、1桁程度逆方向飽和電流密度を低減することができる。逆方向飽和電流密度は、光電変換素子の pn 接合の質を決めるものであり、値が小さい方が開放電圧等の太陽電池の静特性を向上させることができる。

【0050】

図3に示すように、テクスチャサイズが $30\mu\text{m}$ 以上の場合には、逆方向飽和電流密度がほぼ一定の特性(k_2)となるが、テクスチャサイズが $30\mu\text{m}$ 未満の場合には、テクスチャサイズが小さくなるほど、逆方向飽和電流密度が小さくなる特性(k_1)となる。すなわち、テクスチャサイズが $30\mu\text{m}$ 以上の場合と、 $30\mu\text{m}$ 未満の場合とで、特性が大きく異なることが分かった。上述したように、逆方向飽和電流密度は小さい方が太陽電池の静特性を向上させることができる。

【0051】

すなわち、テクスチャサイズを $30\mu\text{m}$ 未満とすることに臨界的意義があるため、本実施の形態における光電変換素子では、半導体基板1の裏面に形成するテクスチャのサイズを $30\mu\text{m}$ 未満とする。

【0052】

図3に示すように、テクスチャサイズが $25\mu\text{m}$ 以下の場合には、テクスチャサイズが $30\mu\text{m}$ 以上の場合と比べて、特性に大きな段差があり、逆方向飽和電流密度が1桁程度

10

20

30

40

50

小さくなる。従って、テクスチャサイズを $25\ \mu\text{m}$ 以下とすることにも臨界的意義があるため、テクスチャサイズは $25\ \mu\text{m}$ 以下とすることがより好ましい。

【0053】

また、テクスチャサイズが $10\ \mu\text{m}$ 以下になると、逆方向飽和電流密度は $3 \times 10^{-5}\text{mA}/\text{cm}^2$ 以下となるので、より好ましい。

【0054】

図4は、図1に示す電極6、7および保護膜8の拡大図である。図4の(a)は、電極6が形成されている部分の拡大図であり、図4の(b)は、電極7が形成されている部分の拡大図である。ただし、図4では、構造を分かりやすくするために、半導体基板1の裏面が平坦であり、平らなパッシベーション膜3の上に、n型非晶質半導体層4およびp型非晶質半導体層5が形成されている構造を示している。しかし、実際には、図1に示すように、基板1の裏面にはテクスチャ構造が形成されており、テクスチャ構造が形成されている面にパッシベーション膜3が形成され、凹凸形状を有するパッシベーション膜3の上に、n型非晶質半導体層4およびp型非晶質半導体層5が形成されている。

【0055】

図4を参照して、電極6は、導電層6a、6bからなる。

【0056】

導電層6aは、n型非晶質半導体層4に接して配置される。導電層6bは、導電層6aに接して配置される。保護膜8の開口部8Aの幅をLとし、電極6、7の端から開口部8Aまでの距離をHとした場合、導電層6a、6bは、n型非晶質半導体層4の面内方向において、n型非晶質半導体層4の中心から両側に $H + L/2$ の範囲に形成される。幅Lは、例えば、 $20\ \mu\text{m}$ 以上であり、好ましくは、 $100\ \mu\text{m}$ 以上である。幅Lがこのような値に設定されることによって、外部配線と電極6、7との密着性を確保できるとともに、コンタクト抵抗を低下できる。また、距離Hは、電極6、7と保護膜8との密着性を考慮すると、例えば、 $5\ \mu\text{m}$ 以上である。

【0057】

電極7は、導電層7a、7bからなる。導電層7aは、p型非晶質半導体層5に接して配置される。導電層7bは、導電層7aに接して配置される。導電層7a、7bは、p型非晶質半導体層5の面内方向において、p型非晶質半導体層5の中心から両側に $H + L/2$ の範囲に形成される。

【0058】

その結果、電極6、7の各々は、n型非晶質半導体層4およびp型非晶質半導体層5の面内方向において、 $2H + L$ の長さを有する。

【0059】

保護膜8は、例えば、保護層8a、8bの2層構造からなる。保護膜8がn型非晶質半導体層4上に形成される場合、保護層8aは、パッシベーション膜3、n型非晶質半導体層4および電極6に接して配置される。保護層8bは、保護層8aに接して配置される。保護膜8がp型非晶質半導体層5上に形成される場合、保護層8aは、パッシベーション膜3、p型非晶質半導体層5および電極7に接して配置される。保護層8bは、保護層8aに接して配置される。

【0060】

そして、n型非晶質半導体層4の面内方向において、電極6の端よりもn型非晶質半導体層4の外側の領域をギャップ領域G1と言い、p型非晶質半導体層5の面内方向において、電極7の端よりもp型非晶質半導体層5の外側の領域をギャップ領域G2と言う。その結果、n型非晶質半導体層4の面内方向において、n型非晶質半導体層4の両側にギャップ領域G1が存在する。また、p型非晶質半導体層5の面内方向において、p型非晶質半導体層5の両側にギャップ領域G2が存在する。

【0061】

保護膜8がパッシベーション膜3、n型非晶質半導体層4および電極6に接して配置されるとともにパッシベーション膜3、p型非晶質半導体層5および電極7に接して配置さ

10

20

30

40

50

れる結果、半導体基板 1 の面内方向において隣接する n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の領域では、ギャップ領域 G (= G 1 + G 2) が存在する。保護膜 8 は、図 1 に示すように、電極 6、7 の一部およびギャップ領域 G 上に形成される。

【 0 0 6 2 】

このギャップ領域 G は、パッシベーション膜 3、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 がむき出しになった領域であり、例えば、20 μm ~ 500 μm の幅を有する。

【 0 0 6 3 】

電極 6、7 が例えば銀 (Ag) やアルミニウム (Al) で構成されている場合、電極 6、7 の反射率は 90 % 以上となる。半導体基板 1 の裏面に到達することができる光は、800 - 1200 nm 程度の長波長領域の光である。半導体基板 1 の受光面から入射してきた光は、電極 6、7 が設けられている領域に入射すれば、電極 6、7 によって反射して半導体基板 1 内に戻るの、半導体基板 1 で有効に吸収される確率が高くなる。しかし、電極 6、7 が設けられていないギャップ領域 G に光が入射した場合、電極 6、7 による反射が無い、そのまま裏面に抜けて、入射光を有効に利用できない場合がある。ギャップ領域 G の幅が広がると、電極 6、7 で反射しない光が増えるため、好ましくない。このため、ギャップ領域 G の幅は 500 μm 以下が好ましく、300 μm 以下であることがより好ましい。

【 0 0 6 4 】

導電層 6 a、7 a の各々は、透明導電膜からなる。透明導電膜は、例えば、ITO (Indium Tin Oxide)、ZnO および IWO (Indium Tungsten Oxide) からなる。

【 0 0 6 5 】

導電層 6 b、7 b の各々は、金属からなる。金属は、例えば、Ag、Al、ニッケル (Ni)、銅 (Cu)、錫 (Sn)、白金 (Pt)、金 (Au)、クロム (Cr)、タングステン (W)、コバルト (Co) およびチタン (Ti) のいずれか、またはこれらの合金、またはこれら金属の 2 層以上の積層膜からなる。

【 0 0 6 6 】

導電層 6 a、7 a としては、それぞれ、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 と密着性が高い透明導電膜を用いることが好ましく、導電層 6 b、7 b としては、導電率が高い金属を用いることが好ましい。

【 0 0 6 7 】

導電層 6 a、7 a の各々の膜厚は、例えば、3 ~ 100 nm である。導電層 6 b、7 b の各々の膜厚は、50 nm 以上であることが好ましく、実施の形態 1 においては、例えば、0.8 μm である。

【 0 0 6 8 】

なお、実施の形態 1 においては、電極 6 は、導電層 6 b のみからなっており、電極 7 は、導電層 7 b のみからなっている。この場合、導電層 6 a、7 a が無く、導電層 6 b、7 b がそれぞれ n 型非晶質半導体層 4 および p 型非晶質半導体層 5 に接する。

【 0 0 6 9 】

導電層 6 a、7 a が無い場合、導電層 6 b、7 b は、金属膜で構成されており、それぞれ、下地である n 型非晶質半導体層 4 および p 型非晶質半導体層 5 と密着性が高い金属であることが好ましい。例えば、導電層 6 b、7 b は、Ti、Ni、Al、Cr 等からなり、かつ、1 ~ 10 nm 程度の膜厚を有する密着層と、Al、Ag 等を主成分とする光反射金属との積層構造からなる。

【 0 0 7 0 】

また、導電層 6 b、7 b は、保護膜 8 と接するため、保護膜 8 との密着性を考慮する必要がある。保護膜 8 として、シリコン、アルミニウム、チタンおよびジルコニア等の酸化物、シリコンおよびアルミニウムの窒化膜、シリコンおよびアルミニウムの酸窒化膜等を用いた場合、導電層 6 b、7 b の保護膜 8 側の表面は、Al、インジウム (In)、Ti、Ni、Cu、Cr、W、Co、パラジウム (Pd) および Sn 等の金属からなることが

10

20

30

40

50

好ましい。

【0071】

更に、電極6、7の各々は、透明導電膜の単膜からなっているてもよい。この場合、透明導電膜は、上述したITO等からなる。

【0072】

保護層8a、8bの各々は、無機絶縁膜からなる。無機絶縁膜は、酸化膜、窒化膜および酸窒化膜等からなる。

【0073】

酸化膜は、シリコン、アルミニウム、チタン、ジルコニア、ハフニウム、亜鉛、タンタルおよびイットリウム等の酸化膜からなる。

10

【0074】

窒化膜は、シリコンおよびアルミニウム等の窒化膜からなる。

【0075】

酸窒化膜は、シリコンおよびアルミニウム等の酸窒化膜からなる。

【0076】

保護層8bは、保護層8aと異なる無機絶縁膜からなる。即ち、上述した無機絶縁膜の中から2種類の膜を選択して保護層8a、8bを形成する。

【0077】

また、保護層8aが半導体層からなり、保護層8bが上述した無機絶縁膜からなっているてもよい。

20

【0078】

この場合、半導体層は、非晶質半導体層からなる。そして、非晶質半導体層は、非晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、非晶質シリコンカーバイド、非晶質シリコンナイトライド、非晶質シリコンオキシライド、非晶質シリコンオキシナイトライドおよび非晶質シリコンカーボンオキシライド等からなる。絶縁性が高い方が電極6、7間のリークを抑制できるため、保護層8aは、真性の非晶質半導体層からなることが好ましい。例えば、保護層8aは、真性の非晶質シリコンからなり、保護層8bは、シリコンの窒化膜からなる。

【0079】

但し、保護層8bが絶縁膜からなる場合、保護層8aは、n型非晶質半導体層またはp型非晶質半導体層からなっているてもよい。

30

【0080】

保護層8bは、正の固定電荷を持つ誘電体膜からなることが好ましい。正の固定電荷を持つ誘電体膜は、例えば、シリコンの窒化膜およびシリコンの酸窒化膜である。

【0081】

半導体基板1は、n型単結晶シリコンからなるので、保護層8bが正の固定電荷を持つ誘電体膜からなる場合、保護層8bは、少数キャリアである正孔に対して電界を及ぼし、ギャップ領域Gにおける少数キャリア（正孔）のライフタイムを長く維持することができる。

【0082】

保護膜8は、2層構造に限らず、単層、または2層構造以上の多層構造からなっているてもよい。

40

【0083】

保護膜8が単層からなる場合、保護膜8は、上述した無機絶縁膜の中から選択された1種類の膜からなる。

【0084】

保護膜8が多層構造からなる場合、保護膜8は、上述した保護層8a、8bを多層構造の中に含む。

【0085】

上述したように、保護膜8が2層構造からなる場合、保護層8aを非晶質半導体層で形

50

成し、保護層 8 b を絶縁膜で形成することによって、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 に対するパッシベーション性と、電極 6 , 7 間の絶縁性とを両立できるので、好ましい。

【 0 0 8 6 】

また、半導体基板 1 が n 型シリコン基板からなる場合、正の固定電荷を持つ誘電体膜によって保護層 8 b を形成することにより、電界をギャップ領域に及ぼし、ギャップ領域における少数キャリア（正孔）のライフタイムを長くできるので、更に、好ましい。

【 0 0 8 7 】

更に、上述した無機絶縁膜が保護膜 8 の多層構造の中に含まれる場合、非晶質半導体層（n 型非晶質半導体層 4 および p 型非晶質半導体層 5）に拡散してくる水分等を防ぐ防湿効果を得ることができるので、好ましい。上述した無機絶縁膜の中でも、シリコンの窒化膜、シリコンの酸窒化膜は、他の無機絶縁膜に比べて防湿性が特に高いため、特に好ましい。そして、n 型シリコン基板を用いた場合には、防湿性と正の固定電荷による電界効果とを合わせて得ることができるので、光電変換素子 10 の長期的な信頼性と高効率化とを両立することができる。

【 0 0 8 8 】

例えば、保護膜 8 が 2 層構造以上の多層膜、例えば、3 層構造からなる場合、1 つの保護層（n 型非晶質半導体層 4 または p 型非晶質半導体層 5 に接する保護層）が非晶質半導体層からなり、残りの 2 つの保護層が無機絶縁膜の中から選択された 2 種類の膜からなる。

【 0 0 8 9 】

更に、保護膜 8 が単層または多層からなる場合、保護膜 8 は、上述した無機絶縁膜上に有機物の絶縁膜等が形成された構造からなってもよい。

【 0 0 9 0 】

有機物は、例えば、イミド系樹脂、エポキシ樹脂、フッ素樹脂、ポリカーボネート、および液晶ポリマー等からなる。

【 0 0 9 1 】

イミド系樹脂は、例えば、ポリイミドである。フッ素樹脂は、例えば、ポリテトラフルオロエチレン（PTFE）である。また、有機物は、スクリーン印刷で形成されたレジストであってもよい。

【 0 0 9 2 】

図 5 は、図 1 に示す n 型非晶質半導体層 4 の詳細な構造を示す断面図である。ただし、図 5 でも図 4 と同様に、半導体基板 1 の裏面が平坦であり、平らなパッシベーション膜 3 の上に、n 型非晶質半導体層 4 が形成されている構造を示しているが、実際には、半導体基板 1 の裏面にはテクスチャ構造が形成されている。

【 0 0 9 3 】

図 5 を参照して、n 型非晶質半導体層 4 は、n 型非晶質半導体層 4 の面内方向において、フラット領域 FT と、膜厚減少領域 TD とを有する。フラット領域 FT は、n 型非晶質半導体層 4 のうち、最も厚い膜厚を有し、かつ、膜厚がほぼ一定である部分からなる。

【 0 0 9 4 】

フラット領域 FT の両端の点を A 点とし、膜厚の減少率が第 1 の減少率から第 1 の減少率よりも大きい第 2 の減少率に変化する点を B 点としたとき、膜厚減少領域 TD は、n 型非晶質半導体層 4 の面内方向において A 点から B 点までの領域である。

【 0 0 9 5 】

そして、膜厚減少領域 TD は、n 型非晶質半導体層 4 の面内方向においてフラット領域 FT の両側に配置される。

【 0 0 9 6 】

n 型非晶質半導体層 4 が膜厚減少領域 TD を有するのは、後述するように、シャドーマスクを用いてプラズマ CVD 法によって n 型非晶質半導体層 4 を形成するからである。膜厚減少領域 TD は、フラット領域 FT よりも薄い膜厚を有するので、膜厚減少領域 TD の

10

20

30

40

50

ドーパント濃度は、フラット領域 F T のドーパント濃度よりも高い。

【 0 0 9 7 】

電極 6 は、 n 型非晶質半導体層 4 のフラット領域 F T の全体と膜厚減少領域 T D の一部とに接して配置される。

【 0 0 9 8 】

p 型非晶質半導体層 5 も、図 5 に示す n 型非晶質半導体層 4 と同じ構造からなる。そして、電極 7 は、 p 型非晶質半導体層 5 のフラット領域 F T の全体と膜厚減少領域 T D の一部とに接して配置される。

【 0 0 9 9 】

その結果、キャリア（電子）が n 型非晶質半導体層 4 を介して電極 6 へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する n 型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）が p 型非晶質半導体層 5 を介して電極 7 へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する p 型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子 1 0 の変換効率を向上できる。

10

【 0 1 0 0 】

なお、電極 6 は、 n 型非晶質半導体層 4 の膜厚減少領域 T D の全体に接していてもよく、電極 7 は、 p 型非晶質半導体層 5 の膜厚減少領域 T D の全体に接していてもよい。

【 0 1 0 1 】

図 6 は、図 1 に示す n 型非晶質半導体層 4 の他の詳細な構造を示す断面図である。図 6 の（ a ）を参照して、光電変換素子 1 0 は、 n 型非晶質半導体層 4 に代えて n 型非晶質半導体層 4 1 を備え、電極 6 に代えて電極 6 1 を備えていてもよい。

20

【 0 1 0 2 】

n 型非晶質半導体層 4 1 において、膜厚が最大である点を C 点とし、膜厚の減少率が第 1 の減少率から第 1 の減少率よりも大きい第 2 の減少率に変化する点を D 点とする。その結果、膜厚減少領域 T D は、 n 型非晶質半導体層 4 1 の面内方向において C 点から D 点までの領域である。

【 0 1 0 3 】

そして、 n 型非晶質半導体層 4 1 は、 n 型非晶質半導体層 4 1 の面内方向において 2 つの膜厚減少領域 T D を有する。2 つの膜厚減少領域 T D は、 n 型非晶質半導体層 4 1 の面内方向において相互に接して配置される。

30

【 0 1 0 4 】

電極 6 1 は、 2 つの膜厚減少領域 T D のうち、一方の膜厚減少領域 T D の一部と他方の膜厚減少領域 T D の一部とに接して配置される。

【 0 1 0 5 】

光電変換素子 1 0 は、 p 型非晶質半導体層 5 に代えて、図 6 の（ a ）に示す n 型非晶質半導体層 4 1 と同じ構造からなる p 型非晶質半導体層を備えていてもよい。

【 0 1 0 6 】

その結果、キャリア（電子）が n 型非晶質半導体層 4 1 を介して電極 6 1 へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する n 型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）が n 型非晶質半導体層 4 1 と同じ構造を有する p 型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する p 型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子 1 0 の変換効率を向上できる。

40

【 0 1 0 7 】

なお、電極は、 n 型非晶質半導体層 4 1 と、 n 型非晶質半導体層 4 1 と同じ構造を有する p 型非晶質半導体層とにおいて、 2 つの膜厚減少領域 T D の全体に接して配置されていてもよい。

【 0 1 0 8 】

図 6 の（ b ）を参照して、光電変換素子 1 0 は、 n 型非晶質半導体層 4 に代えて n 型非

50

晶質半導体層 4 2 を備え、電極 6 に代えて電極 6 2 を備えていてもよい。

【0109】

n 型非晶質半導体層 4 2 において、膜厚が最大である点を E 点とし、膜厚の減少率が第 1 の減少率から第 1 の減少率よりも大きい第 2 の減少率に変化する点を F 点とし、膜厚の変化率の符号が負から正に変化する点を G 点とする。

【0110】

その結果、膜厚減少領域 T D 1 は、n 型非晶質半導体層 4 2 の面内方向において E 点から F 点までの領域であり、膜厚減少領域 T D 2 は、n 型非晶質半導体層 4 2 の面内方向において E 点から G 点までの領域である。

【0111】

そして、n 型非晶質半導体層 4 2 は、n 型非晶質半導体層 4 2 の面内方向において 2 つの膜厚減少領域 T D 1 と 2 つの膜厚減少領域 T D 2 とを有する。

【0112】

2 つの膜厚減少領域 T D 2 は、n 型非晶質半導体層 4 2 の面内方向における膜厚分布が G 点を通る線に対して対称になるように配置される。2 つの膜厚減少領域 T D 1 は、n 型非晶質半導体層 4 2 の面内方向において 2 つの膜厚減少領域 T D 2 の両側に配置される。

【0113】

電極 6 2 は、2 つの膜厚減少領域 T D 2 の全体と、一方の膜厚減少領域 T D 1 の一部と、他方の膜厚減少領域 T D 1 の一部とに接して配置される。

【0114】

光電変換素子 1 0 は、p 型非晶質半導体層 5 に代えて、図 6 の (b) に示す n 型非晶質半導体層 4 2 と同じ構造からなる p 型非晶質半導体層を備えていてもよい。

【0115】

その結果、キャリア（電子）が n 型非晶質半導体層 4 2 を介して電極 6 2 へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する n 型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）が n 型非晶質半導体層 4 2 と同じ構造を有する p 型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜 3 の面内方向において一定の膜厚を有する p 型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子 1 0 の変換効率を向上できる。

【0116】

なお、電極は、n 型非晶質半導体層 4 2 と、n 型非晶質半導体層 4 2 と同じ構造を有する p 型非晶質半導体層とにおいて、2 つの膜厚減少領域 T D 1 の全体と、2 つの膜厚減少領域 T D 2 の全体とに接して配置されていてもよい。

【0117】

このように、光電変換素子 1 0 は、膜厚減少領域 T D (T D 1 , T D 2) を有する n 型非晶質半導体層および p 型非晶質半導体層を備える。そして、この発明の実施の形態においては、膜厚減少領域は、膜厚減少領域 T D , T D 1 , T D 2 のいずれかからなる。

【0118】

従って、n 型非晶質半導体層または p 型非晶質半導体層の膜厚が最大である点を第 1 の点とし、n 型非晶質半導体層または p 型非晶質半導体層の面内方向において、膜厚の減少率が第 1 の減少率から第 1 の減少率よりも大きい第 2 の減少率に変化する点、または膜厚の変化率の符号が負から正に変化する点を第 2 の点としたとき、膜厚減少領域は、n 型非晶質半導体層または p 型非晶質半導体層の面内方向において、第 1 の点から第 2 の点までの領域である。

【0119】

なお、この発明の実施の形態においては、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の少なくとも一方が膜厚減少領域を有していればよい。

【0120】

図 7 から図 11 は、それぞれ、図 1 に示す光電変換素子 1 0 の製造方法を示す第 1 から第 5 の工程図である。

10

20

30

40

50

【 0 1 2 1 】

図7を参照して、光電変換素子10の製造が開始されると、バルクのシリコンからワイヤーソーによって100～300μmの厚さを有するウェハーを切り出す。そして、ウェハーの表面のダメージ層を除去するためのエッチングと、厚さを調整するためのエッチングとを行い、半導体基板1'を準備する(図7の工程(a)参照)。

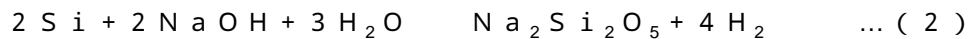
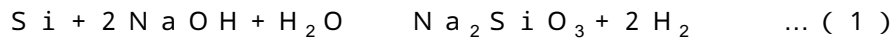
【 0 1 2 2 】

一般的に、テクスチャ構造を有する半導体基板は、シリコンインゴットをワイヤーソー等によりスライスして得られる半導体基板をエッチングすることにより製造される。テクスチャ構造を形成する半導体基板は、遊離砥粒方式によるスライス基板が主流であるが、コスト削減やスライス技術の向上もあり、固定砥粒方式によるスライス基板においても同様のテクスチャ構造が形成可能である。

10

【 0 1 2 3 】

半導体基板1'のエッチングは、アルカリ性のエッチング液を用いた湿式エッチングにより行うことができる。このエッチングは、水酸化ナトリウム溶液中の場合、以下の反応式(1)、(2)、(3)等の反応によって進行する。



半導体基板1'の表面にテクスチャ構造を形成するために、例えばエッチング速度を制御したエッチング液を使用することにより異方性エッチングを行う。半導体基板1'の表面へのテクスチャ構造の形成は以下のメカニズムに基づく。半導体基板1'のアルカリ水溶液によるエッチング速度は、シリコンの(100)面が最も早く、(111)面が最も遅い。そのため、アルカリ水溶液にエッチング速度を低下させることができる特定の添加剤(以下、「エッチング抑制剤」とも言う。)を添加することによってエッチングの速度を抑制すると、シリコンの(100)面等のエッチングされやすい結晶面が優先的にエッチングされ、エッチング速度の遅い(111)面が表面に残存する。この(111)面は、(100)面に対して約54度の傾斜を持つために、プロセスの最終段階では、(111)面とその等価な面で構成されるピラミッド状の凹凸構造が形成される。

20

【 0 1 2 4 】

しかし、エッチング条件によっては、約40～54度程度の傾斜を持ったテクスチャが形成されることもあり、必ずしもテクスチャの傾斜面が(111)面で形成される訳ではない。すなわち、テクスチャの傾斜面が(111)面である必要はなく、例えばテクスチャの傾斜が緩やかな構成であってもよい。

30

【 0 1 2 5 】

テクスチャ形成用エッチング液としては、水酸化ナトリウム(NaOH)水溶液に、エッチング抑制剤としてイソプロピルアルコールを添加したエッチング液を使用することができる。このエッチング液を60～80℃程度に加熱し、(100)面の半導体基板を10～30分間浸漬させることによって、エッチングを行う。

【 0 1 2 6 】

また、水酸化ナトリウム又は水酸化カリウムと、リグニン等の特定の添加剤と、炭酸水素ナトリウム又は炭酸水素カリウムを含むエッチング液を使用することにより、微小なピラミッド構造のテクスチャ構造(凹凸の凹部の底から凸部の頂点までの高さが1μm以下)を形成することができる。このように、エッチング液の温度、処理時間、エッチング抑制剤の種類、エッチング速度、基板の種類など種々の条件を変えることで、テクスチャのサイズを制御することができる。

40

【 0 1 2 7 】

上記のように、エッチング条件を変えて、テクスチャサイズが異なる凹凸を半導体基板の表面に形成した。

【 0 1 2 8 】

図12は、サイズが異なるテクスチャ構造が形成された半導体基板のSEM(Scanning

50

Electron Microscopy) 写真を示す図である。図 12 の (a) は、テクスチャ構造を構成するピラミッドの底辺の長さが $2\text{ }\mu\text{m}$ 以下である場合の SEM 写真を示し、図 12 の (b) は、ピラミッドの底辺の長さが $10\text{ }\mu\text{m}$ 以下である場合の SEM 写真を示し、図 12 の (c) は、ピラミッドの底辺の長さが $15\text{ }\mu\text{m}$ 程度である場合の SEM 写真を示す。

【 0 1 2 9 】

図 7 の工程 (a) の後、半導体基板 1 ' を NaOH および KOH 等のアルカリ溶液 (例えば、 KOH : $1\sim 5\text{ wt}\%$ 、イソプロピルアルコール : $1\sim 10\text{ wt}\%$ の水溶液) を用いてエッチングする。これによって、半導体基板 1 ' の両面が異方性エッチングされ、ピラミッド形状のテクスチャ構造が両面に形成された半導体基板 1 が得られる (図 7 の工程 (b) 参照)。

10

【 0 1 3 0 】

引き続いて、半導体基板 1 の表面を熱酸化して酸化膜 1 1 を半導体基板 1 の受光面に形成するとともに、パッシベーション膜 3 を半導体基板 1 の裏面に形成する (図 7 の工程 (c) 参照)。

【 0 1 3 1 】

半導体基板 1 の酸化は、ウェット処理および熱酸化のいずれでもよい。ウェット酸化の場合は、例えば、半導体基板 1 を過酸化水素、硝酸およびオゾン水等に浸漬し、その後、ドライ雰囲気中で $800\sim 1000$ で半導体基板 1 を加熱する。また、熱酸化の場合、例えば、酸素または水蒸気の雰囲気中で半導体基板 1 を $900\sim 1000$ に加熱する。

【 0 1 3 2 】

20

図 7 の工程 (c) の後、スパッタリング法、EB (Electron Beam) 蒸着および CVD 法等を用いて酸化膜 1 1 に接して窒化シリコン膜 1 2 を形成する。これによって、反射防止膜 2 が半導体基板 1 の受光面に形成される (図 8 の工程 (d) 参照)。

【 0 1 3 3 】

図 8 の工程 (d) の後、半導体基板 1 をプラズマ装置の反応室に入れ、シャドーマスク 3 0 を半導体基板 1 のパッシベーション膜 3 上に配置する (図 8 の工程 (e) 参照)。

【 0 1 3 4 】

シャドーマスク 3 0 は、例えばメタルマスクからなる。メタルマスクは、例えば、ステンレス鋼からなり、厚さが $200\text{ }\mu\text{m}$ であり、開口幅が $850\text{ }\mu\text{m}$ であり、マスクされている幅が $1050\text{ }\mu\text{m}$ で、周期は $1900\text{ }\mu\text{m}$ となる。

30

【 0 1 3 5 】

そして、半導体基板 1 の温度を $130\sim 180$ に設定し、 $0\sim 100\text{ sccm}$ の水素 (H_2) ガス、 40 sccm の SiH_4 ガス、および 40 sccm のホスフィン (PH_3) ガスを反応室に流し、反応室の圧力を $40\sim 120\text{ Pa}$ に設定する。その後、RF パワー密度が $5\sim 15\text{ mW/cm}^2$ である高周波電力 (13.56 MHz) を平行平板電極に印加する。なお、 PH_3 ガスは、水素によって希釈されており、 PH_3 ガスの濃度は、例えば、 1% である。

【 0 1 3 6 】

これによって、シャドーマスク 3 0 によって覆われていないパッシベーション膜 3 の領域に n 型非晶質シリコンが堆積され、n 型非晶質半導体層 4 がパッシベーション膜 3 上に形成される (図 8 の工程 (f) 参照)。

40

【 0 1 3 7 】

シャドーマスク 3 0 がパッシベーション膜 3 上に配置された場合、シャドーマスク 3 0 とパッシベーション膜 3 との間には、隙間が存在する。その結果、プラズマによって分解された SiH および SiH_2 等の活性種がシャドーマスク 3 0 とパッシベーション膜 3 との間の隙間に回り込み、シャドーマスク 3 0 によって覆われた一部の領域にも n 型非晶質半導体層 4 が形成される。テクスチャ構造が形成されていない半導体基板に成膜する場合と比べると、テクスチャ構造が形成されている半導体基板 1 に成膜する場合には、シャドーマスク 3 0 とパッシベーション膜 3 との間の隙間への回り込みが多くなる。これにより、膜厚減少領域 TD を有する n 型非晶質半導体層 4 がパッシベーション膜 3 上に形成され

50

る。また、シャドーマスク 30 上にも、n 型非晶質シリコン 31 が堆積する。

【0138】

なお、n 型非晶質半導体層 4 における膜厚減少領域 TD の幅および膜厚減少率は、n 型非晶質半導体層 4 を成膜するときの成膜圧力、シャドーマスク 30 の厚さおよびシャドーマスク 30 の開口幅を変えることによって制御される。例えば、シャドーマスク 30 の厚さを厚くすると、膜厚減少領域 TD の幅が広がる。

【0139】

図 8 の工程 (f) の後、シャドーマスク 30 に代えてシャドーマスク 40 をパッシベーション膜 3 および n 型非晶質半導体層 4 上に配置する (図 9 の工程 (g) 参照) 。シャドーマスク 40 は、材質、厚さおよび開口幅がシャドーマスク 30 と同じである。

10

【0140】

なお、図 9 の工程 (g) においては、シャドーマスク 40 は、パッシベーション膜 3 から離れているように図示されているが、n 型非晶質半導体層 4 の膜厚は、上述したように 3 ~ 50 nm と非常に薄いので、実際には、シャドーマスク 40 は、パッシベーション膜 3 に近接して配置されている。

【0141】

そして、半導体基板 1 の温度を 130 ~ 180 に設定し、0 ~ 100 s c c m の H_2 ガス、40 s c c m の SiH_4 ガス、および 40 s c c m のジボラン (B_2H_6) ガスを反応室に流し、反応室の圧力を 40 ~ 200 Pa に設定する。その後、RF パワー密度が 5 ~ 15 mW / c m² である高周波電力 (13 . 56 MHz) を平行平板電極に印加する。

20

なお、 B_2H_6 ガスは、水素によって希釈されており、 B_2H_6 ガスの濃度は、例えば、2 % である。

【0142】

これによって、シャドーマスク 40 によって覆われていないパッシベーション膜 3 の領域に p 型非晶質シリコンが堆積され、p 型非晶質半導体層 5 がパッシベーション膜 3 上に形成される (図 9 の工程 (h) 参照) 。

【0143】

シャドーマスク 40 がパッシベーション膜 3 および n 型非晶質半導体層 4 上に配置された場合、シャドーマスク 40 とパッシベーション膜 3 との間には、隙間が存在する。その結果、プラズマによって分解された SiH および SiH_2 等の活性種がシャドーマスク 40 とパッシベーション膜 3 との間の隙間に回り込み、シャドーマスク 40 によって覆われた一部の領域にも p 型非晶質半導体層 5 が形成される。テクスチャ構造が形成されていない半導体基板に成膜する場合と比べると、テクスチャ構造が形成されている半導体基板 1 に成膜する場合には、シャドーマスク 40 とパッシベーション膜 3 との間の隙間への回り込みが多くなる。これにより、膜厚減少領域 TD を有する p 型非晶質半導体層 5 がパッシベーション膜 3 上に形成される。また、シャドーマスク 40 上にも、p 型非晶質シリコン 32 が堆積する。

30

【0144】

なお、p 型非晶質半導体層 5 における膜厚減少領域 TD の幅および膜厚減少率は、p 型非晶質半導体層 5 を成膜するときの成膜圧力、シャドーマスク 40 の厚さおよびシャドーマスク 40 の開口幅を変えることによって制御される。例えば、シャドーマスク 40 の厚さを厚くすると、膜厚減少領域 TD の幅が広がる。

40

【0145】

なお、n 型非晶質半導体層 4 に膜厚減少領域 TD を設けない構成とする場合には、例えば、シャドーマスク 30 を配置することなく、パッシベーション膜 3 の上面の全面に n 型非晶質半導体層 4 を形成し、エッチングによって所定の領域に n 型非晶質半導体層 4 を形成する。p 型非晶質半導体層 5 に膜厚減少領域 TD を設けない構成とする場合にも、同様の方法により形成することができる。

【0146】

p 型非晶質半導体層 5 を堆積した後、シャドーマスク 40 を除去すると、半導体基板 1

50

の面内方向に交互に配置された n 型非晶質半導体層 4 および p 型非晶質半導体層 5 がパッシベーション膜 3 上に形成された状態になる（図 9 の工程（i）参照）。

【0147】

図 9 の工程（i）の後、開口部が n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上に位置するようにシャドーマスク 50 を配置する（図 10 の工程（j）参照）。シャドーマスク 50 は、材質および厚さがシャドーマスク 30 と同じである。また、開口幅は、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 のフラット領域 FT の幅と 2 つの膜厚減少領域 TD の幅との和に設定される。開口幅は、前記の幅に対して多少前後しても構わない。

【0148】

図 10 の工程（j）の後、シャドーマスク 50 を介して導電層 6a、7a および導電層 6b、7b を順次堆積する。これによって、電極 6、7 がそれぞれ n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上に堆積される（図 10 の工程（k）参照）。

【0149】

導電層 6a、7a および導電層 6b、7b は、スパッタリング法、蒸着法、イオンプレーティング法、熱 CVD 法、MOCVD（Metal Organic Chemical Vapour Deposition）法、ゾルゲル法、液状にした原料を噴霧加熱する方法、およびインクジェット法等を用いて形成される。

【0150】

導電層 6a、7a は、例えば、ITO、IWO、ZnO のいずれかであり、導電層 6b、7b は、Ti（3nm）/Al（500nm）の 2 層構造からなる。

【0151】

ITO は、例えば、SnO₂ を 0.5 ~ 4 wt % ドープした ITO ターゲットを、アルゴンガスまたはアルゴンガスと酸素ガスとの混合ガスを流し、25 ~ 250 の基板温度、0.1 ~ 1.5 Pa の圧力、0.01 ~ 2 kW の電力でスパッタ処理を行うことによって形成される。

【0152】

ZnO は、ITO ターゲットに代えて、Al を 0.5 ~ 4 wt % ドープした ZnO ターゲットを用いて同様の条件でスパッタ処理を行うことにより形成される。

【0153】

Ti / Al の 2 層構造は、EB 蒸着によって形成される。

【0154】

また、電極 6、7 は、それぞれ、導電層 6a、7a をシード電極としてメッキ成膜法によって導電層 6b、7b を形成することによって形成されてもよい。この場合、導電層 6b、7b は、例えば、Ni、W、Co、Ti、Cr、これらの合金、およびこれらの合金と P、B との合金のいずれかからなる。また、導電層 6b、7b 上にメッキ法で Cu、Al、Sn 等を形成することもできる。

【0155】

図 10 の工程（k）の後、シャドーマスク 60 を電極 6、7 上に配置する（図 10 の工程（l）参照）。シャドーマスク 60 は、材質および厚さがシャドーマスク 30 と同じである。

【0156】

そして、保護膜 8 をパッシベーション膜 3、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6、7 上に形成する。

【0157】

より具体的には、プラズマ CVD 法を用いて真性非晶質半導体膜およびシリコンの窒化膜をパッシベーション膜 3、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6、7 上に順次堆積する。この場合、例えば、SiH₄ ガスを材料ガスとして真性非晶質半導体膜を形成し、真性非晶質半導体膜の膜厚は、例えば、10 nm である。また、例えば、SiH₄ ガスおよび NH₃ ガスを材料ガスとしてシリコンの窒化膜を形成し、シリコンの

10

20

30

40

50

窒化膜の膜厚は、例えば、120 nmである。これによって、光電変換素子10が完成する(図11の工程(m)参照)。

【0158】

上述した説明において、シャドーマスク30、40、50、60の材料の一例としてステンレス鋼を挙げたが、ステンレス鋼に限定されることはなく、例えば、銅、ニッケル、ニッケル合金(42アロイ、インバー材等)またはモリブデン等であってもよい。

【0159】

また、シャドーマスク30、40、50、60は、メタルマスクである必要はなく、ガラスマスク、セラミックマスクまたは有機フィルムマスク等であってもよい。

【0160】

また、半導体基板1と同じ材質の半導体基板をエッチングにより加工して、シャドーマスクとしてもよい。この場合、半導体基板1とシャドーマスクは共に同じ材質で構成されているため、熱膨張係数は同一であり、熱膨張係数の相違による位置ずれは生じない。

【0161】

半導体基板1の熱膨張係数との関係および原料コストを考慮すると、シャドーマスク30、40、50、60の材料は、42アロイが好ましい。半導体基板1の熱膨張係数との関係に着目すると、シャドーマスク30、40、50、60の材料として、ニッケルの組成が36%程度、鉄の組成が64%程度の場合に、半導体基板1の熱膨張係数に最も近くなり、熱膨張係数差によるアライメント誤差を最も小さくできる。

【0162】

また、シャドーマスク30、40、50、60の厚さに関しては、生産のランニングコストを抑制する観点から、再生して多数回使用できることが好ましい。この場合、シャドーマスク30、40、50、60に付着した成膜物は、フッ酸またはNaOHを用いて除去することができる。これらの再生回数を考慮すると、シャドーマスク30、40、50、60の厚さは、30 μm~300 μmが好ましい。

【0163】

また、上述した製造方法においては、保護膜8を構成する真性非晶質半導体膜/シリコンの窒化膜を1つの反応室で連続して形成すると説明したが、この発明の実施の形態においては、これに限らず、真性非晶質半導体層を形成した後、シリコンの窒化膜をスパッタリング装置、または別のCVD装置で形成するように、1回、試料を大気に暴露してもよい。

【0164】

保護膜8を構成する真性非晶質半導体膜/シリコンの窒化膜を、大気暴露せずに形成した場合、大気中における有機物または水分のコンタミネーションを抑制することができるため、好ましい。

【0165】

更に、保護膜8は、EB蒸着、スパッタリング法、レーザアブレーション法、CVD法およびイオンプレーティング法を用いて形成されてもよい。

【0166】

更に、この発明の実施の形態においては、パッシベーション膜3を形成した後、窒素(N₂)ガスを用いたプラズマCVD法によりパッシベーション膜3を窒化し、SiONからなるパッシベーション膜を形成してもよい。その結果、パッシベーション膜3上に形成したp型非晶質半導体層5中のドーパント(B)が半導体基板1へ拡散するのを抑制できる。そして、トンネル電流を流すことができる膜厚を有するパッシベーション膜3を形成した場合であっても、有効にボロン(B)の拡散を抑制できるため、好ましい。

【0167】

上述したように、n型非晶質半導体層4およびp型非晶質半導体層5は、シャドーマスク30、40を用いて半導体基板1上に堆積されるため、隣接するn型非晶質半導体層4およびp型非晶質半導体層5間には、ギャップ領域Gが形成される。そして、隣接する電極6、7間において、保護膜8が電極6、7およびギャップ領域G(パッシベーション膜

10

20

30

40

50

3、n型非晶質半導体層4およびp型非晶質半導体層5)上に形成される。

【0168】

その結果、隣接する電極6,7間に、導電性の塵が付着した場合でも、短絡が防止される。

【0169】

従って、光電変換素子10の信頼性を向上できる。

【0170】

また、電極6,7は、端から内側に向かって5μm以上の領域が保護膜8によって覆われている。その結果、保護膜8の開口端から水分が浸入するのを効果的に抑制することができるとともに、保護膜8のはがれを抑制でき、生産時のアライメントずれによる歩留まりの低下を防止できる。

10

【0171】

また、電極6,7として、電極6,7が接している非晶質半導体層4,5との間の密着性が乏しい電気材料を用いた場合でも、保護膜8を形成することで、密着性が向上する。このため、電極金属選択の範囲が広がり、特性向上が容易になり好ましい。

【0172】

基板表面の一面にn型非晶質半導体層またはp型非晶質半導体層とTCO(透明導電膜)をほぼ全面に形成する従来のヘテロ接合型太陽電池では、非晶質半導体層とTCOとの間に切れ目はない。しかし、本実施形態における裏面ヘテロ接合型太陽電池のように、n型非晶質半導体層またはp型非晶質半導体層や、TCO、電極等の層を交互に複数形成する場合、図13に示すように、各層の端部が多数発生することになる。このような構成でピールテスト等を行うと、端部から剥がれる可能性がある。しかし、半導体基板1の表面にテクスチャ構造を形成することによりアンカー効果が生じ、剥がれ等を抑制しやすくなるので好ましい。また、最も剥がれやすい電極端部を保護膜によって覆うことで、剥がれをより効果的に抑制することができ、より好ましい。

20

【0173】

更に、ギャップ領域Gにおいては、パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5は、保護膜8によって覆われる。その結果、光電変換素子10の長期安定性の効果を得ることができる。

【0174】

図13は、図1に示す光電変換素子10の裏面側から見た平面図である。図13の(a)を参照して、n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向に交互に所望の間隔で配置される。そして、電極6,7は、それぞれ、n型非晶質半導体層4およびp型非晶質半導体層5上に配置される。その結果、隣接する電極6,7間には、ギャップ領域Gが形成される。

30

【0175】

図13の(b)を参照して、保護膜8は、ギャップ領域Gおよび半導体基板1の周辺領域上に配置される。そして、電極6,7上には、幅Lを有する開口部8Aが形成される。電極6,7は、開口部8Aを介して配線シートに接続される。

【0176】

なお、図13の(b)においては、半導体基板1の周辺部には、保護膜8で覆われていない領域が存在するが、光電変換素子10においては、半導体基板1の裏面の全面を保護膜で覆い、電極6,7の一部が露出している状態が最も好ましい。

40

【0177】

図14は、配線シートの平面図である。図14を参照して、配線シート70は、絶縁基材710と、配線材71~87とを含む。

【0178】

絶縁基材710は、電気絶縁性の材質であればよく、特に限定なく用いることができる。絶縁基材710は、例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリフェニレンサルファイド(PPS)、ポリビニルフルオリ

50

ド(PVF)およびポリイミド等からなる。

【0179】

また、絶縁基材710の膜厚は、特に限定されないが、好ましくは、25 μ m以上150 μ m以下である。そして、絶縁基材710は、1層構造であってもよく、2層以上の多層構造であってもよい。

【0180】

配線材71は、バスバー部711と、フィンガー部712とを有する。フィンガー部712は、その一方端がバスバー部711に接続される。

【0181】

配線材72は、バスバー部721と、フィンガー部722, 723とを有する。フィンガー部722は、その一方端がバスバー部721に接続される。フィンガー部723は、バスバー部721に対してバスバー部721とフィンガー部722との接続部の反対側において、その一方端がバスバー部721に接続される。

10

【0182】

配線材73は、バスバー部731と、フィンガー部732, 733とを有する。フィンガー部732は、その一方端がバスバー部731に接続される。フィンガー部733は、バスバー部731に対してバスバー部731とフィンガー部732との接続部の反対側において、その一方端がバスバー部731に接続される。

【0183】

配線材74は、バスバー部741と、フィンガー部742, 743とを有する。フィンガー部742は、その一方端がバスバー部741に接続される。フィンガー部743は、バスバー部741に対してバスバー部741とフィンガー部742との接続部の反対側において、その一方端がバスバー部741に接続される。

20

【0184】

配線材75は、バスバー部751と、フィンガー部752, 753とを有する。フィンガー部752, 753は、バスバー部751の長さ方向において隣接して配置され、その一方端がバスバー部751の同じ側においてバスバー部751に接続される。

【0185】

配線材76は、バスバー部761と、フィンガー部762, 763とを有する。フィンガー部762は、その一方端がバスバー部761に接続される。フィンガー部763は、バスバー部761に対してバスバー部761とフィンガー部762との接続部の反対側において、その一方端がバスバー部761に接続される。

30

【0186】

配線材77は、バスバー部771と、フィンガー部772, 773とを有する。フィンガー部772は、その一方端がバスバー部771に接続される。フィンガー部773は、バスバー部771に対してバスバー部771とフィンガー部772との接続部の反対側において、その一方端がバスバー部771に接続される。

【0187】

配線材78は、バスバー部781と、フィンガー部782, 783とを有する。フィンガー部782は、その一方端がバスバー部781に接続される。フィンガー部783は、バスバー部781に対してバスバー部781とフィンガー部782との接続部の反対側において、その一方端がバスバー部781に接続される。

40

【0188】

配線材79は、バスバー部791と、フィンガー部792, 793とを有する。フィンガー部792, 793は、バスバー部791の長さ方向において隣接して配置され、その一方端がバスバー部791の同じ側においてバスバー部791に接続される。

【0189】

配線材80は、バスバー部801と、フィンガー部802, 803とを有する。フィンガー部802は、その一方端がバスバー部801に接続される。フィンガー部803は、バスバー部801に対してバスバー部801とフィンガー部802との接続部の反対側に

50

において、その一方端がバスバー部 8 0 1 に接続される。

【 0 1 9 0 】

配線材 8 1 は、バスバー部 8 1 1 と、フィンガー部 8 1 2 , 8 1 3 とを有する。フィンガー部 8 1 2 は、その一方端がバスバー部 8 1 1 に接続される。フィンガー部 8 1 3 は、バスバー部 8 1 1 に対してバスバー部 8 1 1 とフィンガー部 8 1 2 との接続部の反対側において、その一方端がバスバー部 8 1 1 に接続される。

【 0 1 9 1 】

配線材 8 2 は、バスバー部 8 2 1 と、フィンガー部 8 2 2 , 8 2 3 とを有する。フィンガー部 8 2 2 は、その一方端がバスバー部 8 2 1 に接続される。フィンガー部 8 2 3 は、バスバー部 8 2 1 に対してバスバー部 8 2 1 とフィンガー部 8 2 2 との接続部の反対側において、その一方端がバスバー部 8 2 1 に接続される。

10

【 0 1 9 2 】

配線材 8 3 は、バスバー部 8 3 1 と、フィンガー部 8 3 2 , 8 3 3 とを有する。フィンガー部 8 3 2 , 8 3 3 は、バスバー部 8 3 1 の長さ方向において隣接して配置され、その一方端がバスバー部 8 3 1 の同じ側においてバスバー部 8 3 1 に接続される。

【 0 1 9 3 】

配線材 8 4 は、バスバー部 8 4 1 と、フィンガー部 8 4 2 , 8 4 3 とを有する。フィンガー部 8 4 2 は、その一方端がバスバー部 8 4 1 に接続される。フィンガー部 8 4 3 は、バスバー部 8 4 1 に対してバスバー部 8 4 1 とフィンガー部 8 4 2 との接続部の反対側において、その一方端がバスバー部 8 4 1 に接続される。

20

【 0 1 9 4 】

配線材 8 5 は、バスバー部 8 5 1 と、フィンガー部 8 5 2 , 8 5 3 とを有する。フィンガー部 8 5 2 は、その一方端がバスバー部 8 5 1 に接続される。フィンガー部 8 5 3 は、バスバー部 8 5 1 に対してバスバー部 8 5 1 とフィンガー部 8 5 2 との接続部の反対側において、その一方端がバスバー部 8 5 1 に接続される。

【 0 1 9 5 】

配線材 8 6 は、バスバー部 8 6 1 と、フィンガー部 8 6 2 , 8 6 3 とを有する。フィンガー部 8 6 2 は、その一方端がバスバー部 8 6 1 に接続される。フィンガー部 8 6 3 は、バスバー部 8 6 1 に対してバスバー部 8 6 1 とフィンガー部 8 6 2 との接続部の反対側において、その一方端がバスバー部 8 6 1 に接続される。

30

【 0 1 9 6 】

配線材 8 7 は、バスバー部 8 7 1 と、フィンガー部 8 7 2 とを有する。フィンガー部 8 7 2 は、その一方端がバスバー部 8 7 1 に接続される。

【 0 1 9 7 】

配線材 7 1 は、フィンガー部 7 1 2 が配線材 7 2 のフィンガー部 7 2 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 1 9 8 】

配線材 7 2 は、フィンガー部 7 2 2 が配線材 7 1 のフィンガー部 7 1 2 と噛み合い、フィンガー部 7 2 3 が配線材 7 3 のフィンガー部 7 3 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

40

【 0 1 9 9 】

配線材 7 3 は、フィンガー部 7 3 2 が配線材 7 2 のフィンガー部 7 2 3 と噛み合い、フィンガー部 7 3 3 が配線材 7 4 のフィンガー部 7 4 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 0 】

配線材 7 4 は、フィンガー部 7 4 2 が配線材 7 3 のフィンガー部 7 3 3 と噛み合い、フィンガー部 7 4 3 が配線材 7 5 のフィンガー部 7 5 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 1 】

配線材 7 5 は、フィンガー部 7 5 2 が配線材 7 4 のフィンガー部 7 4 3 と噛み合い、フ

50

ィンガー部 7 5 3 が配線材 7 6 のフィンガー部 7 6 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 2 】

配線材 7 6 は、フィンガー部 7 6 2 が配線材 7 5 のフィンガー部 7 5 3 と噛み合い、フィンガー部 7 6 3 が配線材 7 7 のフィンガー部 7 7 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 3 】

配線材 7 7 は、フィンガー部 7 7 2 が配線材 7 6 のフィンガー部 7 6 3 と噛み合い、フィンガー部 7 7 3 が配線材 7 8 のフィンガー部 7 8 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

10

【 0 2 0 4 】

配線材 7 8 は、フィンガー部 7 8 2 が配線材 7 7 のフィンガー部 7 7 3 と噛み合い、フィンガー部 7 8 3 が配線材 7 9 のフィンガー部 7 9 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 5 】

配線材 7 9 は、フィンガー部 7 9 2 が配線材 7 8 のフィンガー部 7 8 3 と噛み合い、フィンガー部 7 9 3 が配線材 8 0 のフィンガー部 8 0 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 6 】

配線材 8 0 は、フィンガー部 8 0 2 が配線材 7 9 のフィンガー部 7 9 3 と噛み合い、フィンガー部 8 0 3 が配線材 8 1 のフィンガー部 8 1 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

20

【 0 2 0 7 】

配線材 8 1 は、フィンガー部 8 1 2 が配線材 8 0 のフィンガー部 8 0 3 と噛み合い、フィンガー部 8 1 3 が配線材 8 2 のフィンガー部 8 2 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 0 8 】

配線材 8 2 は、フィンガー部 8 2 2 が配線材 8 1 のフィンガー部 8 1 3 と噛み合い、フィンガー部 8 2 3 が配線材 8 3 のフィンガー部 8 3 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

30

【 0 2 0 9 】

配線材 8 3 は、フィンガー部 8 3 2 が配線材 8 2 のフィンガー部 8 2 3 と噛み合い、フィンガー部 8 3 3 が配線材 8 4 のフィンガー部 8 4 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 1 0 】

配線材 8 4 は、フィンガー部 8 4 2 が配線材 8 3 のフィンガー部 8 3 3 と噛み合い、フィンガー部 8 4 3 が配線材 8 5 のフィンガー部 8 5 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 1 1 】

配線材 8 5 は、フィンガー部 8 5 2 が配線材 8 4 のフィンガー部 8 4 3 と噛み合い、フィンガー部 8 5 3 が配線材 8 6 のフィンガー部 8 6 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

40

【 0 2 1 2 】

配線材 8 6 は、フィンガー部 8 6 2 が配線材 8 5 のフィンガー部 8 5 3 と噛み合い、フィンガー部 8 6 3 が配線材 8 7 のフィンガー部 8 7 2 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 1 3 】

配線材 8 7 は、フィンガー部 8 7 2 が配線材 8 6 のフィンガー部 8 6 3 と噛み合うように絶縁基材 7 1 0 上に配置される。

【 0 2 1 4 】

50

配線材 71 ~ 87 の各々は、電気導電性のものであればよく、特に限定されない。配線材 71 ~ 87 の各々は、例えば、Cu, Al, Ag およびこれらを主成分とする合金からなる。

【0215】

また、配線材 71 ~ 87 の厚さは、特に限定されないが、例えば、10 μ m 以上 80 μ m 以下が好適である。10 μ m 未満では、配線抵抗が高くなり、80 μ m を超えると、光電変換素子 10 と貼り合わせるときに印加される熱によって配線材とシリコン基板との熱膨張係数の違いに起因してシリコン基板に反りが発生する。

【0216】

絶縁基材 710 の形状は、図 14 に示す形状に限定されず、適宜、変更可能である。また、配線材 71 ~ 87 の表面の一部に、Ni, Au, Pt, Pd, Sn, In および ITO 等の導電性材料を形成してもよい。このように、配線材 71 ~ 87 の表面の一部に、Ni 等の導電性材料を形成するのは、配線材 71 ~ 87 と光電変換素子 10 の電極 6, 7 との電氣的接続を良好なものとし、配線材 71 ~ 87 の耐候性を向上させるためである。更に、配線材 71 ~ 87 は、単層構造であってもよく、多層構造であってもよい。

【0217】

電極 6 が配線材 71 のフィンガー部 712 に接続され、電極 7 が配線材 72 のフィンガー部 722 に接続されるように光電変換素子 10 を領域 REG1 上に配置し、電極 6 が配線材 72 のフィンガー部 723 に接続され、電極 7 が配線材 73 のフィンガー部 732 に接続されるように光電変換素子 10 を領域 REG2 上に配置される。以下、同様にして光電変換素子 10 を配線材 73 ~ 87 上に配置する。これによって、16 個の光電変換素子 10 が直列に接続される。

【0218】

光電変換素子 10 の電極 6, 7 は、接着剤によって配線材 71 ~ 87 に接続される。接着剤は、例えば、半田樹脂、半田、導電性接着剤、熱硬化型 Ag ペースト、低温硬化型銅ペースト、異方性導電フィルム (ACF: Anisotropic Conductive Film)、異方性導電ペースト (ACP: Anisotropic Conductive Paste) および絶縁性接着剤 (NCP: Non Conductive Paste) からなる群から選択された 1 種類以上の接着材からなる。

【0219】

例えば、半田樹脂としては、タムラ科研 (株) 製の TCAP - 5401 - 27 等を用いることができる。

【0220】

絶縁性接着剤としては、エポキシ樹脂、アクリル樹脂およびウレタン樹脂等を用いることができ、熱硬化型および光硬化型の樹脂を用いることができる。

【0221】

導電性接着剤としては、錫およびビスマスの少なくとも一方を含む半田粒子等を用いることができる。より好ましくは、導電性接着剤は、錫と、ビスマス、インジウムおよび銀等との合金である。これにより、半田融点を抑えることができ、低温による接着プロセスが可能になる。

【0222】

n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6, 7 上に保護膜 8 を形成した光電変換素子 10 を用いる場合には、電極 6, 7 上の無機絶縁膜と、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上の無機絶縁膜とが存在し、これら 2 つの無機絶縁膜は、下地が異なる。そして、光電変換素子 10 においては、下地が異なる無機絶縁膜が連続して形成されている。このような状況では、熱履歴が、下地が異なる無機絶縁膜に印加されると、下地の熱膨張係数の違いから無機絶縁膜の剥がれ等が発生する場合がある。

【0223】

従って、低温、特に、200 以下の熱プロセスが好ましく、その結果、低温で硬化し、電氣的に接合できる熱硬化型 Ag ペースト、低温硬化型銅ペースト、異方性導電フィルムおよび異方性導電ペーストが特に好ましい。

10

20

30

40

50

【0224】

上述したように、配線シート70上に配置した光電変換素子10を、ガラス基板上に配置されたエチレンビニルアセテート樹脂(EVA樹脂)と、PETフィルム上に配置されたEVA樹脂との間に配置する。そして、ラミネータ装置を用いて真空圧着によりガラス基板側のEVA樹脂を光電変換素子10に圧着させるとともに、PETフィルム側のEVA樹脂を光電変換素子10に圧着させた状態で125℃に加熱し、硬化させた。これにより、ガラス基板とPETフィルムとの間で硬化したEVA樹脂中に、配線シート70が付いた光電変換素子10が封止されることによって太陽電池モジュールを作製することができる。

【0225】

[絶縁性]

光電変換素子10において、ギャップ領域Gの幅、隣接する開口部8A間のピッチXおよび開口部8Aの開口幅Lを変えたときの光電変換素子10を備える太陽電池モジュールを作成した。保護膜8が無い場合には、配線シートと光電変換素子とを接合する際に、ギャップ領域Gにゴミ等の微小な導電体が付着し、n型非晶質半導体層4に接続された電極6と、p型非晶質半導体層5に接続された電極7とが短絡する問題が発生し、歩留まりが70%台と低くなることが分かった。

【0226】

このように、電極6と電極7との間のギャップ領域Gの幅が狭くなると、短絡が原因となる歩留まりの低下が起こる。光電変換素子をモジュール化した後の歩留まりの低下は、プロセス工程の最終段階であるため、金額的な損失が大きくなり、問題である。

【0227】

一方、保護膜8が形成された光電変換素子10を用いた場合には、太陽電池モジュールの歩留まりは、90%を超えており、上記で問題となった電極間の短絡による歩留まりの低下は、見られなかった。そして、保護膜8があることにより、電極間の短絡を抑制することがわかった。

【0228】

絶縁性の確保を考えると、無機絶縁膜の厚さは、20nm以上が好ましく、40nm以上がより好ましい。1μm以上の厚膜になると、電極上の無機絶縁膜の内部応力により、無機絶縁膜の剥がれが生じることもあるため、好ましくない。

【0229】

保護膜8の開口部8Aにおいては、下地の電極6,7が露出しており、電極6,7は、上述した接着剤によって配線材に接続されている。このため、開口部8Aが狭いと、コンタクト抵抗が上昇するため、開口部8Aの幅Lは、20μm以上が必要であり、より好ましくは、100μm以上である。通常、図1に示す電極6,7の幅は、200μm以上であるため、開口部8Aの幅Lは、電極6,7の幅よりも小さくなる。そして、電極6,7と配線材との接続を考慮すると、開口部8Aは、電極6,7上にあることが好ましい。即ち、開口部8Aの幅Lは、20μm以上であり、電極6,7の幅よりも狭く、開口部8Aが電極6,7上にあることが好ましい。

【0230】

更に、電極6の幅と電極7の幅とを比較した場合、幅が狭い電極(電極6,7のいずれか)上の開口部8Aの幅が広いことが好ましい。このように設定することにより、コンタクト抵抗の増大を抑制できる。

【0231】

[防湿性]

図15は、防湿耐性試験の結果を示す図である。図15を参照して、iは、真性非晶質シリコンを表し、i/nは、真性非晶質シリコンおよびn型非晶質シリコンの積層膜を表し、i/SiNは、真性非晶質シリコンおよびシリコンナイトライドの積層膜を表す。

【0232】

また、i/n/SiNは、真性非晶質シリコン、n型非晶質シリコンおよびシリコンナ

10

20

30

40

50

イトライドの積層膜を表し、 $i / SiON$ は、真性非晶質シリコンおよびシリコンオキシナイトライドの積層膜を表し、 i / SiO_2 は、真性非晶質シリコンおよび二酸化シリコンの積層膜を表し、 i / TiO_2 は、真性非晶質シリコンおよび二酸化チタンの積層膜を表す。

【0233】

また、 n / SiN や $n / SiON$ 、 n / SiO_2 、 n / TiO_2 のような i 層を n 層に置き換えた場合でもよい。

【0234】

なお、 n 型非晶質シリコン中における P の濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ である。

【0235】

図15に示す非晶質半導体膜をシリコン基板上に成膜し、成膜直後に、試料の少数キャリアのライフタイムを μPCD (microwave Photo Conductivity Decay) 法を用いて測定した。 μPCD 法では、半導体層の表面にレーザ光を照射することによって半導体層にキャリアを誘起する状態と、レーザ光の照射を停止することによって、誘起したキャリアが消失する状態とを作り出してキャリアのライフタイムを測定する。キャリア量を測定するために半導体層の表面にマイクロ波を照射してマイクロ波の反射率を測定する。

【0236】

その後、3日後および8日後に上記と同じ条件で少数キャリアのライフタイムを測定した。

【0237】

なお、図15においては、成膜直後のライフタイムで規格化したライフタイムを示す。

【0238】

図15に示すように、アモルファスシリコン等の非晶質半導体膜では、大気雰囲気中からの水分(H_2O 、 OH 基等)が拡散することで、3日後および8日後のライフタイムは、成膜直後に比べて30~50%程度大きく低下する(サンプル1~サンプル4参照)。

【0239】

これは、次の理由による。非晶質膜は、同じ組成の単結晶膜に比べて膜密度が低く、膜中に多くのボイドを含む。非晶質膜の屈折率が結晶よりも低いのは、このボイドが多いことが原因であり、ボイドの存在が防湿性に関して、膜厚が薄い場合は、効果が得られにくいことが原因であると考えられる。数 nm から30 nm 程度の膜厚では、外部からの水分を、非晶質半導体層が吸湿し、結晶シリコン界面のパッシベーション性を低下させるものと考えられる。

【0240】

一方、非晶質半導体層上に SiN 、 $SiON$ 、 SiO_2 のいずれかを形成した場合、3日後および8日後のライフタイムは、成膜直後のライフタイムを維持しており、非晶質半導体層上に TiO_2 を形成した場合、3日後および8日後のライフタイムは、成膜直後のライフタイムから約1割程度低下するに留まっている(サンプル5~サンプル9参照)。

【0241】

このように、非晶質半導体層上に無機絶縁膜(SiN 等)を形成することで、上記の吸湿を抑制し、ライフタイムの低下を抑制できることが分かった。

【0242】

なお、シリコン基板上に熱酸化膜(2 nm)を形成した場合、ライフタイムは、8日後では、成膜直後のライフタイムに比べ約4割低下している。従って、シリコン基板の表面を真性非晶質シリコンで覆うことがライフタイムの低下を抑制する上で重要であることが分かった(サンプル5~サンプル10参照)。

【0243】

上記のように、非晶質半導体層上に無機絶縁膜を形成することにより、防湿性を確保し、パッシベーション性の経時変化を抑制できることが分かった。

【0244】

このような知見から、非晶質半導体層上に無機絶縁膜を形成する構造を採用することに

10

20

30

40

50

よって、電気的な絶縁性と、防湿性とを実現できる。

【0245】

従って、保護膜8として無機絶縁膜を採用することにより、パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5との組み合わせにおいて、保護膜8の形成が、電極6,7間の短絡防止、ギャップ領域Gにおける防湿性向上、およびパッシベーション性の向上を同時に実現できる。

【0246】

また、非晶質半導体層上に無機絶縁膜を形成する2層構造によって保護膜8を構成することにより、電気的な絶縁性と、防湿性とを実現できるため、好ましい。

【0247】

無機絶縁膜の膜厚に関しては、防湿性を考慮すると、20nm以上であることが好ましく、防湿性の高いシリコン窒化膜またはシリコン酸窒化膜であれば、10nm以上であることが好ましい。

【0248】

電極6,7が形成されている領域に関しては、金属電極またはノおよびTCO電極が形成されているため、これらが防湿性を確保するので、金属電極上またはTCO電極上の保護膜8の開口部8Aに関して防湿性を確保できる。

【0249】

また、電極6,7上の一部を覆うように、ギャップ領域Gと同様に保護膜8が形成されているため、保護膜8の下側の電極6,7の表面は、保護膜8によって保護されており、表面の酸化および変色等を合わせて防止できる。その結果、電極6,7の長期信頼性を確保できるため、好ましい。

【0250】

このように、電極6,7上およびギャップ領域G上に保護膜8が形成されていることが絶縁性と防湿性とを改善するために好ましい。電極6,7上の保護膜と、ギャップ領域G上の保護膜とは、必ずしも連続膜である必要はないが、連続膜として形成することでプロセスの工数を削減でき、膜質も一定で均一になるため、より好ましい。

【0251】

上述した防湿性の効果は、テクスチャが形成された半導体基板1の表面においても得られることが分かった。

【0252】

[耐熱性]

上述したように、光電変換素子10をモジュール化する際に、導電性接着剤または絶縁性接着剤を用いて光電変換素子10と配線シート70とを接合する工程があり、180、20分程度の加熱プロセスが存在する。

【0253】

この180、20分の熱履歴が入る場合、ギャップ領域G、およびウェハー周辺部の非晶質半導体層上に保護膜8が存在する場合と保護膜8が存在しない場合とについて、ギャップ領域G、およびウェハー周辺部における少数キャリアのライフタイムを調べた。

【0254】

非晶質半導体層上に保護膜8が存在しない場合、通常、2400μs程度である少数キャリアのライフタイムが700μsまで低下した。

【0255】

一方、非晶質半導体層上に保護膜8が存在する場合、少数キャリアのライフタイムは、2000μsの低下に留まった。

【0256】

このように、ギャップ領域Gおよびウェハー周辺部においても、保護膜8が存在することによって、ウェハー全体の少数キャリアのライフタイムが低下するのを抑制できることが分かった。

【0257】

10

20

30

40

50

また、無機絶縁膜（保護膜 8）が電極 6，7 上にも存在し、電極 6，7 が無機絶縁膜の放熱を助けているため、耐熱性に関しては、より好ましい効果が得られている。

【0258】

上述した耐熱性の効果は、テクスチャが形成された半導体基板 1 の表面においても得られることが分かった。

【0259】

〔保護膜の密着性〕

テクスチャが形成された半導体基板 1 の表面上に保護膜 8 を形成した場合、保護膜 8 の密着性が向上する効果が確認された。保護膜 8 は、電極 6，7 上に形成されている部分と、ギャップ領域 G に形成されている部分があり、下地の材料の選択と組み合わせによって、剥がれが生じる可能性がある。しかし、テクスチャが形成されている面に保護膜 8 を形成すると、剥がれるような下地との組み合わせであっても密着性が大幅に改善する効果がみられた。簡単なピールテストにおいて、テクスチャが形成されていない平坦面では剥がれる場合でも、テクスチャが形成されている面に保護膜 8 を形成した場合には剥がれにくくなる効果がある。これらは、光電変換素子 10 の長期信頼性に貢献するものである。

【0260】

〔電極浮き〕

テクスチャが形成された面に n 型非晶質半導体層 4 および p 型非晶質半導体層 5 をパターンニングした本実施形態の光電変換素子 10 と比べるため、テクスチャが形成されていない半導体基板に n 型非晶質半導体層および p 型非晶質半導体層をパターンニングした比較例の光電変換素子を作製した。この 2 つの光電変換素子について、150、170、190、210 と温度を上げて、各々の温度で 10 分間ずつ大気中で加熱し、電極の浮き上がりを観察した。

【0261】

この電極浮き上がりの観察では、電極 6，7 として銀電極を非晶質半導体層上に直接形成した光電変換素子を用いた。テクスチャが形成されていない平坦面にパターンニングした比較例の光電変換素子では、190 で加熱した際に、電極 7 に浮き上がりが生じたが、テクスチャが形成されている半導体基板 1 を備えた本実施形態の光電変換素子 10 では、電極の浮き上がりは観測されなかった。いずれの光電変換素子でも非晶質半導体層の成膜条件は同じであるが、半導体基板 1 のテクスチャ表面では、(111) 面や、それに近い面方位の表面が形成されて非晶質半導体層の膜質が変化しているために、結果が異なると考えられる。

【0262】

半導体基板が (100) 面では、最表面にシリコンのダングリングボンドが 2 本出ているのに対し、テクスチャが形成された (111) 面では、ダングリングボンドが 1 本になる。このダングリングボンドの数の違いなどにより、半導体基板表面のパッシベーション性や、成膜された非晶質半導体層の膜質、例えば膜中の水素量、酸素量、窒素量なども変わるため、電極浮きの状態が変化すると考えられる。

【0263】

比較例の光電変換素子の構成でも電極浮きはそれほど問題はないと考えられる。しかし、本実施形態における光電変換素子 10 の構成によれば、高い温度で加熱した場合でも電極浮きを抑えられるため、歩留まり等を考慮すると、半導体基板にテクスチャを形成する構成の方がより好ましい。

【0264】

この電極浮きは、上記理由により、テクスチャの傾斜角とも相関関係があることが分かった。テクスチャの傾斜角とは、図 16 に示すように、例えば (100) 面の半導体基板である場合に、(100) 面の表面と、テクスチャの傾斜面 (111) 面との間でなす角度 となる。

【0265】

角度 は、エッチング条件等により、理論値の 54.7 度から小さい方の角度にずれる

10

20

30

40

50

ことがある。角度 が 30 度以上である場合に、電極浮きの歩留まりが向上することが分かった。角度 は好ましくは 40 度以上である。電極浮きが生じると、コンタクト抵抗の上昇を引き起こし、電極剥がれにつながって信頼性を低下させてしまう。本実施形態の光電変換素子 10 のように、半導体基板にテクスチャを形成した構成によれば、高い温度で加熱した場合でも電極浮きを抑えられるため、モジュール化工程におけるプロセスの自由度が増すため、より好ましい。

【0266】

[回り込みの影響]

図 17 は、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 をパターニングした場合に、シャドーマスクの下に半導体層やドーパントが回り込むことを説明するための図である。図 17 の (a) は、テクスチャが形成された半導体基板 1 に非晶質半導体層 161 をパターニングした場合の図であり、図 17 の (b) は、テクスチャが形成されていない平坦な半導体基板に非晶質半導体層 161 a をパターニングした場合の図である。

10

【0267】

半導体基板にテクスチャが形成されている場合およびテクスチャが形成されていない場合のいずれの場合でも、シャドーマスク 160 の下に、シャドーマスク 160 の端 Z から面内方向内側に d だけ、非晶質半導体層 161 やドーパントが回り込むことが分かった。

【0268】

図 17 の (b) に示す半導体基板 1 a が平坦面の場合、表面の平坦性が高く 1 nm の凹凸しかないため、シャドーマスク 160 a と半導体基板 1 a との隙間を非常に狭くすることができる。このため、シャドーマスク 160 a と半導体基板 1 a との間に原料ガスやドーパントガスが流入しにくくなるため、回り込み幅 d が大幅に抑制される。

20

【0269】

一方、図 17 の (a) に示すテクスチャが形成された半導体基板 1 では、表面に凹凸が形成されているため、シャドーマスク 160 と半導体基板 1 の表面との隙間が平坦面に比べて大きくなる。特に、上述したように、半導体基板でアルカリ溶液を使用して異方性エッチングによりピラミッド状のテクスチャを形成した場合、ピラミッドの頂点付近は空隙部分が多く、原料ガスやドーパントガスの回り込みを抑制しにくい形状になっている。この大きくなった隙間に、原料ガスやドーパントガスが流入するため、回り込み幅 d が大きくなる。

30

【0270】

図 18 の (a) は、半導体基板 1 に形成されたテクスチャを示す図であり、図 18 の (b) は、テクスチャが形成された半導体基板 1 とシャドーマスク 170 との間の空隙領域を説明するための図である。図 18 の (a) に示すように、テクスチャサイズが大きくなると、1 つのピラミッドの大きさの差が拡大する。例えば、領域 B では、テクスチャサイズが 40 μm 程度の大きなピラミッドが存在するのに対して、領域 A では、テクスチャサイズが 15 μm 程度の小さなピラミッドが複数存在する。従って、領域 A と領域 B のピラミッドのテクスチャサイズの差は、25 μm と大きい。

【0271】

大きなテクスチャサイズの凹凸を形成すると、上記のように、テクスチャサイズの大きい差と、小さいテクスチャが複数個集まった領域の存在により、図 18 の (b) に模式的に示すように、シャドーマスク 170 と半導体基板の表面との間に大きい空隙領域 171 が生じる。この空隙領域 171 に原料ガスやドーパントガスが回り込むため、回り込み幅 d が大きくなる。

40

【0272】

図 19 は、シャドーマスク 160 の端から面内方向内側に、p 型ドーパントであるボロンの回り込みが生じることを説明するための図である。図 19 の (a) は、TOF-SIMS (飛行時間型二次イオン質量分析法) により測定した表面のボロン濃度特性を示す。図 19 の (b) は、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の配置関係を示す

50

。半導体基板 1 上に真性 (i 型) の非晶質半導体層を全面に形成し、その後、 n 型非晶質半導体層 4 をシャドーマスクにより形成し、次に p 型非晶質半導体層 5 を形成して、ボロン濃度特性を測定した。図 19 の (b) の矢印で示すように、 p 型非晶質半導体層 5 から、 i 型非晶質半導体層に向かって X 軸方向のボロン濃度特性を測定した。図 19 の (c) は、図 19 の (b) に示す Y 軸方向におけるボロンの回り込み幅の大小を示す。

【 0 2 7 3 】

図 19 の (a) では、半導体基板 1 にテクスチャを形成した本実施形態の光電変換素子 10 と、半導体基板にテクスチャを形成していない比較例の光電変換素子の 2 つについて、シャドーマスク 150 の面内方向内側への距離と、ボロンの濃度との関係を示している。ただし、0 ~ 180 μm までの間は、 p 型非晶質半導体層 5 が形成されている領域である。半導体基板に形成するテクスチャのサイズは、1.5 μm とした。

10

【 0 2 7 4 】

テクスチャサイズが大きくなると、空隙が大きい領域と、空隙が小さい領域とが面内に形成されるため、シャドーマスクを配置したときに、図 19 の (c) に示すように、シャドーマスクと平行な Y 軸方向において、ボロンの回り込み幅が場所によって異なることが分かった。このボロンの回り込み幅のばらつきは、光電変換素子の特性の安定性や歩留まりを考慮すると小さい方が好ましい。空隙の大きい場所では、図 19 の (c) の d1 や d3 のように回り込み幅は大きくなり、テクスチャサイズが比較的同じ領域では、d2 のように回り込み幅は小さくなる。従って、できるだけ d1 や d3 のようにボロンの回り込み幅が大きくなる領域を抑制する必要がある。

20

【 0 2 7 5 】

テクスチャサイズを小さくすると、図 18 の (b) に示すような大きい空隙領域の発生を抑制することができる。これにより、ボロンの回り込み幅 d を Y 軸方向に比較的均一で、小さくすることができる。

【 0 2 7 6 】

図 20 は、テクスチャサイズによって、ボロンの回り込み幅が異なることを説明するための図である。図 20 の (a) は、ボロンの濃度を分析した領域を示す。ただし、図 20 の (a) の上図は上面図であり、下図は側面図である。また、図 20 の (b) は、テクスチャサイズを 35 μm とした場合のボロンの濃度特性を示し、図 20 の (c) は、テクスチャサイズを 3 μm とした場合のボロンの濃度特性を示す。

30

【 0 2 7 7 】

ここでは、半導体基板の表面に、まず i 型の真性非晶質半導体層を 8 nm 成膜し、その上にシャドーマスクを用いて、 p 型非晶質半導体層 5 を形成した。そして、TOF-SIMS を用いて、最表面のボロン濃度の面内分布を測定した。テクスチャサイズが 35 μm の場合は、i 層領域に約 300 μm の領域において、非常に高い濃度でボロンが回り込んでいる。これに対し、テクスチャサイズが 3 μm の場合は、約 300 μm の領域におけるボロン濃度がテクスチャサイズ 35 μm の場合のボロン濃度と比べて低くなっている。

【 0 2 7 8 】

[ドーパント種による回り込みの違い]

ドーパントガスの回り込みは、ドーパントガス種によって特性が異なることが分かった。 p 型非晶質半導体層 5 のドーパントガスとして、ボロンを含むドーパントガスを用いた場合、非常に特殊な回り込みが起こることが分かった。ここでは、ジボラン (B_2H_6) を用いた場合の結果について説明するが、ボロンを含む他のドーパントガスを用いてもよい。

40

【 0 2 7 9 】

図 19 の (a) において、0 ~ 180 μm までの間は、 p 型非晶質半導体層 5 が形成されている領域である。半導体基板 1 にテクスチャが形成されている場合、図 19 の (a) に示すように、 p 型非晶質半導体層 5 が形成されている領域と形成されていない領域の境界付近 (約 180 μm の領域) において、ボロン濃度がピークとなり、 p 型非晶質半導体層 5 が形成されている領域の約 4 倍程度となっている。この境界付近から、 p 型非晶質半

50

導体層 5 が形成されていない領域に向かって、 $180\text{ }\mu\text{m} \sim 300\text{ }\mu\text{m}$ 程度までボロンの拡散領域が見られる。このボロンの拡散領域の幅が回り込み幅 d ($d = 300\text{ }\mu\text{m} - 180\text{ }\mu\text{m} = 120\text{ }\mu\text{m}$) となる。ここでは、p 型非晶質半導体層 5 が形成されている領域におけるボロン濃度よりもボロン濃度が高い領域を「ボロンの高濃度領域」と呼ぶ。

【0280】

半導体基板にテクスチャが形成されていない平坦面においても、ボロンの濃度がピークとなる領域が存在するが、この領域のボロン濃度は、p 型非晶質半導体層 5 が形成されている領域のボロン濃度の 2 倍以下程度となっている。このため、半導体基板 1 の凹凸面とボロンの高濃度領域におけるボロン濃度は相関関係があり、半導体基板 1 に形成されているテクスチャの凹凸が大きくなると、ボロン濃度が増大することが分かる。

10

【0281】

このため、ボロンをドーパントとして用いた p 型非晶質半導体層 5 を形成する場合、n 型非晶質半導体層 4 は、ボロンの高濃度領域に重ならないように形成することが好ましい。これは、p 型非晶質半導体層 5 の成膜に対して、n 型非晶質半導体層 4 を後に形成した場合には、i 型非晶質半導体層と n 型非晶質半導体層 4 の界面にボロンの高濃度領域が形成され、この領域では、少数キャリアのライフタイムが低下する現象が観測されたため、好ましくない。例えば、図 4 の (a) に示す n 型非晶質半導体層 4 の形成領域のうち、 $(L + 2H)$ の幅の領域がボロンの高濃度領域から外れて形成されていればよい。また、図 5 では、2 つの B 点で挟まれた領域がボロンの高濃度領域から外れて形成されていればよく、図 6 の (a) では、2 つの D 点で挟まれた領域、図 6 の (b) では、2 つの F 点で挟

20

【0282】

また、同様の理由により、n 型電極 6 もボロンの高濃度領域から外れて形成されていればよい。図 4 の (a) の $(L + 2H)$ の幅の領域をボロンの高濃度領域から外れて形成することが好ましい。

【0283】

n 型非晶質半導体層 4 のドーパントとしては、リンを含むドーパントガスを用いて成膜を行った。本実施形態では、リンを含むドーパントガスとして、ホスフィン (PH_3) を用いた。リンを含むドーパントガスを用いた場合、ボロンのような特殊な回り込みを引き起こすことはなかった。ボロンでは、回り込み幅 d は $120\text{ }\mu\text{m}$ 程度となったが、リンの回り込み幅は、同条件のテクスチャサイズ、シャドーマスクを用いても、 $20 \sim 30\text{ }\mu\text{m}$ 程度であった。このように、ドーパント種による回り込み量は異なることが分かった。

30

【0284】

シャドーマスクを用いて p 型非晶質半導体層 5 または n 型非晶質半導体層 4 をパターンニングする場合、回り込み幅の小さいドーパントを含む非晶質半導体層を先に形成する方が好ましい。パッシベーション膜 3 と p 型非晶質半導体層 5 または n 型非晶質半導体層 4 との界面は特に重要であり、ここに、異なる導電層のドーパントが入ることは好ましくない。パッシベーション膜 3 を形成した後に、回り込み幅の大きいドーパントを含む非晶質半導体層を先に形成すると、後から形成する回り込み幅の小さい非晶質半導体層のパッシベーション膜上の領域に回り込み幅の大きいドーパントが拡散し、特性が低下する可能性が高い。

40

【0285】

すなわち、上記のボロンとリンの場合であれば、先に回り込み幅の小さいリンを含む n 型非晶質半導体層 4 を形成し、その後、回り込み幅の大きいボロンを含む p 型非晶質半導体層 5 を形成することが好ましい。

【0286】

[実施の形態 2]

図 21 は、本発明の実施の形態 2 による光電変換素子の構成を示す断面図である。図 21 を参照して、実施の形態 2 による光電変換素子 200 は、図 1 に示す光電変換素子 10 の反射防止膜 2 を反射防止膜 201 に代え、パッシベーション膜 3 をパッシベーション膜

50

202に代えたものであり、その他の構成は、光電変換素子10と同じである。

【0287】

反射防止膜201は、半導体基板1の受光面に接して配置される。

【0288】

反射防止膜201は、i型非晶質シリコン/n型非晶質シリコン/シリコン窒化膜の3層構造からなる。この場合、i型非晶質シリコンの膜厚は、例えば5nmであり、n型非晶質シリコンの膜厚は、例えば8nmであり、シリコン窒化膜の膜厚は、例えば60nmである。

【0289】

パッシベーション膜202は、半導体基板1と、n型非晶質半導体層4およびp型非晶質半導体層5との間に、半導体基板1、n型非晶質半導体層4、p型非晶質半導体層5、および保護膜8に接して配置される。

10

【0290】

パッシベーション膜202は、i型非晶質半導体層からなる。i型非晶質半導体層は、実質的に真性で水素を含有する非晶質半導体層である。i型非晶質半導体層は、例えばi型非晶質シリコン、i型非晶質シリコンゲルマニウム、i型非晶質ゲルマニウム、i型非晶質シリコンカーバイド、i型非晶質シリコンカーバイド、i型非晶質シリコンナイトライド、i型非晶質シリコンオキシナイトライド、i型非晶質シリコンオキサイド、i型非晶質シリコンカーボンオキサイド等からなる。

【0291】

20

パッシベーション膜202の膜厚は、例えば1nm~15nmであり、好ましくは3nm~12nmである。

【0292】

このように、パッシベーション膜202をi型非晶質シリコンオキシナイトライドやi型非晶質シリコンナイトライドで形成することにより、パッシベーション膜202上に形成されるp型非晶質半導体層5に含まれるボロン等のドーパントが半導体基板1に拡散するのを抑制することができる。

【0293】

パッシベーション膜202を構成するi型非晶質半導体層は、半導体基板1とn型非晶質半導体層4との界面、および半導体基板1とp型非晶質半導体層5との界面における欠陥を低減する。

30

【0294】

光電変換素子200は、図7~図11に示す製造工程のうち、反射防止膜2を形成する工程(図8の(d))を反射防止膜201を形成する工程に代え、パッシベーション膜3を形成する工程(図7の(c))を、パッシベーション膜202を形成する工程に代えた製造工程に従って製造される。

【0295】

反射防止膜201は、i型非晶質シリコン、n型非晶質シリコン、およびシリコン窒化膜をプラズマCVD法によって半導体基板1の受光面上に順次堆積することによって形成する。より具体的には、基板温度:130~180、水素ガス流量:0~100sccm、シランガス流量:40sccm、圧力:40~120Pa、RFパワー密度:5~15mW/cm²の条件下でプラズマCVD法によってi型非晶質シリコンを堆積する。

40

【0296】

また、n型非晶質シリコンは、上記条件において、PH₃ガスをさらに流してプラズマCVD法によって形成され、シリコン窒化膜は、上記条件において、NH₃ガスをさらに流してプラズマCVD法によって形成される。

【0297】

反射防止膜201を形成した後に、パッシベーション膜202を半導体基板1の裏面に形成する。より具体的には、反射防止膜201のi型非晶質シリコンと同じ条件を用いて、プラズマCVD法によってi型非晶質シリコンを半導体基板1の裏面に堆積することに

50

よって、パッシベーション膜 202 を形成する。

【0298】

そして、パッシベーション膜 202 を形成した後、図 8 の工程 (e) ~ 図 11 の工程 (m) を順次実行することによって、光電変換素子 200 が完成する。

【0299】

この場合、図 10 の工程 (l) では、 $Ag/Ni = 100\text{ nm} / 350\text{ nm}$ を電極 6、7 として形成した。

【0300】

また、図 11 の工程 (m) では、 4 nm の i 型非晶質シリコン、 8 nm の n 型非晶質シリコン、 60 nm のシリコン窒化膜 (SiN) からなる 3 層構造の保護膜 8 を形成した。

10

【0301】

上述したように、実施の形態 2 では、パッシベーション膜 202 である i 型非晶質シリコンを半導体基板 1 の全面に 1 回の成膜で形成している。このため、ほぼ均一な膜厚で半導体基板 1 の表面を覆って半導体基板 1 をパッシベーションすることができる。本実施形態では、膜厚を 9 nm とした。

【0302】

そして、均一なパッシベーション膜 202 の上に、膜厚減少領域を有する n 型非晶質半導体層 4 および p 型非晶質半導体層 5 をシャドーマスクを用いて、 $100\text{ }\mu\text{m}$ 離間して形成した。従って、パッシベーション性および低抵抗化を両立することができる。

【0303】

20

また、上述したように、回り込み幅の小さいリンを含む n 型非晶質半導体層 4 を先に形成し、その後、回り込み幅の大きいボロンを含む p 型非晶質半導体層 5 を形成した。

【0304】

シリコン窒化膜は、i 型非晶質シリコンを形成したプラズマ装置と同じプラズマ装置において、 NH_3 ガスを追加で流すことにより、プラズマ CVD 法によって形成される。また、n 型非晶質シリコンは、i 型非晶質シリコンを形成したプラズマ装置と同じプラズマ装置において、 PH_3 ガスを追加で流すことにより、プラズマ CVD 法によって形成される。従って、反射防止膜 201 を構成する i 型非晶質シリコン / n 型非晶質シリコン / シリコン窒化膜の 3 層構造を真空雰囲気中で連続して成膜することができる。

【0305】

30

また、反射防止膜 201 を形成した後、プラズマ装置内のマニピュレータで半導体基板 1 を反転し、半導体基板 1 の裏面に i 型非晶質シリコンをプラズマ CVD 法によって堆積し、パッシベーション膜 202 を形成する。

【0306】

さらに、シャドーマスクを適切な位置にアライメントし、その後、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6、7 の導電層を実施の形態 1 において説明した条件で成膜することにより、大気に暴露することなく真空雰囲気中で光電変換素子 200 の受光面および裏面の構造を作製することができ、光電変換素子 200 を製造できる。

【0307】

実施の形態 2 においては、上述したように、i 型非晶質シリコン / n 型非晶質シリコン / シリコン窒化膜の 3 層構造を連続して成膜して反射防止膜 201 を形成し、その後、半導体基板 1 を反転して裏面のパッシベーション膜 202 を形成し、シャドーマスク (本実施の形態ではメタルマスク) を用いて n 型非晶質半導体層 4 および p 型非晶質半導体層 5 を成膜することが好ましい。特に、裏面の i 型非晶質シリコン (パッシベーション膜 202) を成膜する前に、受光面において、非晶質シリコン層上にシリコン窒化膜を形成しておく、裏面に i 型非晶質シリコン (パッシベーション膜 202) を成膜する際の熱履歴により、受光面のパッシベーション性が低下することがあるが、シリコン窒化膜がこのパッシベーション性の低下を抑制するため、好ましい。

40

【0308】

また、上述したように、保護膜 8 は、3 層構造からなるが、3 層構造からなる保護膜 8

50

を形成する場合にも、電極 6 , 7 上およびギャップ領域 G 上に保護膜 8 が形成されることが絶縁性および防湿性を改善するため、好ましい。電極 6 , 7 上の保護膜と、ギャップ領域 G 上の保護膜とは、必ずしも連続していなくてもよいが、連続して形成することにより、プロセス工数を削減でき、膜質も均一になるため、より好ましい。

【 0 3 0 9 】

更に、光電変換素子 2 0 0 においては、耐熱性および電極浮き抑制効果に関して、実施の形態 1 における効果と同様の効果が得られることが分かった。

【 0 3 1 0 】

また、光電変換素子 2 0 0 では、テクスチャサイズを 3 0 μ m 未満にすることによる回り込み幅の抑制、それに伴う逆方向飽和電流の抑制も同様の効果が得られることが分かった。また、本実施の形態では、パッシベーション膜が異なるだけなので、実施の形態 1 に記載する導電層や、絶縁膜に関する効果として、同様の効果が得られる。

【 0 3 1 1 】

光電変換素子 1 0 のパッシベーション膜 3 は、熱酸化膜からなるので、実施の形態 1 においては、受光面および裏面の非晶質シリコンを全て真空雰囲気中で成膜することは困難である。

【 0 3 1 2 】

しかし、本実施の形態では、図 2 2 に示すようなクラスター型の C V D 装置で光電変換素子 2 0 0 の作製を行った。図 2 2 に示す全てのチャンバー 2 2 2 ~ 2 2 7 および搬送室 2 2 0 は真空であり、作製する光電変換素子は、大気暴露されることなく、搬送室 2 2 0 のアーム 2 2 0 a を用いて各チャンバー間を移動可能である。以下で、光電変換素子 2 0 0 の作製手順について説明する。

【 0 3 1 3 】

R C A 洗浄が終わった両面にテクスチャが形成された半導体基板 1 をロードロック部 2 1 1 にセットし、チャンバー内を真空とした。

【 0 3 1 4 】

その後、半導体基板 1 を搬送室 2 2 0 経由で i 層形成チャンバー 2 2 5 に送り、半導体基板 1 の受光面側に i 型非晶質半導体層を形成する。その後、半導体基板 1 を n 層形成チャンバー 2 2 2 に送り、i 型非晶質半導体層に接して n 型非晶質半導体層を形成する。その後、半導体基板 1 を S i N 形成チャンバー 2 2 6 に送り、n 型非晶質半導体層に接してシリコン窒化膜を成膜する。これにより、大気暴露なく、半導体基板 1 の受光面に反射防止膜 2 0 1 が形成される。

【 0 3 1 5 】

次に、半導体基板 1 を真空アライメント & ウェハー反転チャンバー 2 2 4 に送り、半導体基板 1 を反転する。そして、半導体基板 1 を i 層形成チャンバー 2 2 5 に送り、半導体基板 1 の裏面のテクスチャ表面の全面に i 型非晶質半導体層を形成する。

【 0 3 1 6 】

次に、半導体基板 1 を真空アライメント & ウェハー反転チャンバー 2 2 4 に送り、n 型非晶質半導体層成膜用のシャドーマスク (メタルマスク) を半導体基板 1 の所定の位置にアライメントし、その後、n 層形成チャンバー 2 2 2 に移送し、n 型非晶質半導体層 4 を i 層非晶質半導体層上に成膜する。

【 0 3 1 7 】

続いて、真空アライメント & ウェハー反転チャンバー 2 2 4 において、p 型非晶質半導体層成膜用のシャドーマスク (メタルマスク) を所定の位置 (p 型非晶質半導体層を形成するための位置) に設置し直し、p 層形成チャンバー 2 2 3 にて、p 型非晶質半導体層 5 を成膜する。

【 0 3 1 8 】

次に、真空アライメント & ウェハー反転チャンバー 2 2 4 において、p 型非晶質半導体層成膜用のシャドーマスク (メタルマスク) を電極形成用のシャドーマスク (メタルマスク) に置き換え、半導体基板 1 上の所定の位置にアライメントする。その後、電極形成チ

10

20

30

40

50

チャンバー 227 にて、n 型非晶質半導体層 4、および p 型非晶質半導体層 5 の上に、1 回の成膜で電極 6、7 を形成する。

【0319】

その後、真空アライメント&ウェハー反転チャンバー 224 において、電極形成用のシャドーマスクを取り除いて電極保護膜 SiN 用シャドーマスクに置き換え、所定の位置にアライメントする。最後に、SiN 形成チャンバー 226 において、保護膜 8 を形成することで、大気暴露することなく、裏面接合型の太陽電池を作製することができる。このようなプロセスを行うことにより、非常に短いプロセス時間で裏面接合型の太陽電池を作製することができる。

【0320】

また、i 型（真性）、p 型、n 型非晶質半導体層は、大気暴露すると酸化されやすく、酸化すると、直列抵抗成分が増大することがある。しかしながら、上記のプロセスを経て作製することにより、界面等の酸化を抑制することができ、低抵抗の太陽電池を作製することができるので好ましい。

【0321】

上述したプロセスでは、受光面の非晶質半導体層の成膜、裏面の非晶質半導体層の成膜、裏面の電極の成膜、裏面の保護膜の成膜の全てを大気暴露無しで行ったが、受光面側の成膜を行った後、もしくは裏面の電極の形成前や、裏面の保護膜の形成前に、別の装置でプロセスを行うために大気暴露を行ってもよい。好ましくは、裏面の非晶質半導体層の成膜（真性非晶質半導体層の成膜、n 型非晶質半導体層の成膜、p 型非晶質半導体層の成膜）は、大気暴露無しで、真空中でシャドーマスクのアライメントを行うことで、界面の酸化を抑制でき、低抵抗な太陽電池を作製することができるため好ましい。

【0322】

上述した観点からすれば、実施の形態 2 は、実施の形態 1 よりも好ましい。受光面および裏面の非晶質シリコンの全てを真空雰囲気中で成膜することにより、生産上のばらつきを抑制し、歩留まりを向上できるため、好ましい。

【0323】

上記では、クラスター型の PECVD 装置での作製プロセスを説明したが、ライン状に一系列に連なった形のインライン型でプロセス装置が並ぶような配置でも問題はない。

【0324】

更に、大気暴露することなく、電極 6、7 および保護膜 8 を形成することは、より好ましく、電極表面の酸化防止、および保護膜 8 との密着性向上等の効果を得ることができる。

【0325】

実施の形態 2 におけるその他の説明は、実施の形態 1 における説明と同じである。

【0326】

さらに、上記においては、非晶質半導体層は、プラズマ CVD 法によって形成されたと説明したが、プラズマ CVD 法に限定されることはなく、CatCVD（触媒 CVD）法等の他の方法で形成してもよい。CatCVD 法を用いる場合、成膜条件は、例えば、基板温度：100～300、圧力：10～500 Pa、触媒媒体の温度（熱触媒媒体としてタングステンを用いた場合）：1500～2000、RF パワー密度：0.01～1 W/cm² である。これにより、品質が高い非晶質半導体層を比較的低温、かつ短時間で形成することができる。

【0327】

[実施の形態 3]

図 23 は、実施の形態 3 による光電変換素子を備える光電変換モジュールの構成を示す概略図である。図 23 を参照して、光電変換モジュール 1000 は、複数の光電変換素子 1001 と、カバー 1002 と、出力端子 1003、1004 とを備える。

【0328】

複数の光電変換素子 1001 は、アレイ状に配置され、直列に接続される。なお、複数

10

20

30

40

50

の光電変換素子 1 0 0 1 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせて接続されてもよい。

【 0 3 2 9 】

そして、複数の光電変換素子 1 0 0 1 の各々は、光電変換素子 1 0 , 2 0 0 のいずれかからなる。

【 0 3 3 0 】

カバー 1 0 0 2 は、耐候性のカバーからなり、複数の光電変換素子 1 0 0 1 を覆う。カバー 1 0 0 2 は、例えば、光電変換素子 1 0 0 1 の受光面側に設けられた透明基材（例えば、ガラス等）と、光電変換素子 1 0 0 1 の受光面側と反対の裏面側に設けられた裏面基材（たとえば、ガラス、樹脂シート等）と、透明基材と裏面基材との間の隙間を埋める封止材（例えば、EVA等）とを含む。

10

【 0 3 3 1 】

出力端子 1 0 0 3 は、直列に接続された複数の光電変換素子 1 0 0 1 の一方端に配置される光電変換素子 1 0 0 1 に接続される。

【 0 3 3 2 】

出力端子 1 0 0 4 は、直列に接続された複数の光電変換素子 1 0 0 1 の他方端に配置される光電変換素子 1 0 0 1 に接続される。

【 0 3 3 3 】

上述したように、光電変換素子 1 0 , 2 0 0 は、絶縁性、防湿性および耐熱性に優れる。

20

【 0 3 3 4 】

従って、光電変換モジュール 1 0 0 0 の絶縁性、防湿性および耐熱性を向上できる。

【 0 3 3 5 】

なお、光電変換モジュール 1 0 0 0 に含まれる光電変換素子 1 0 0 1 の数は、2 以上の任意の整数である。

【 0 3 3 6 】

また、実施の形態 3 による光電変換モジュールは、図 2 3 に示す構成に限らず、光電変換素子 1 0 , 2 0 0 のいずれかを用いる限り、どのような構成であってもよい。

【 0 3 3 7 】

[実施の形態 4]

30

図 2 4 は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【 0 3 3 8 】

図 2 4 を参照して、太陽光発電システム 1 1 0 0 は、光電変換モジュールアレイ 1 1 0 1 と、接続箱 1 1 0 2 と、パワーコンディショナー 1 1 0 3 と、分電盤 1 1 0 4 と、電力メーター 1 1 0 5 とを備える。

【 0 3 3 9 】

接続箱 1 1 0 2 は、光電変換モジュールアレイ 1 1 0 1 に接続される。パワーコンディショナー 1 1 0 3 は、接続箱 1 1 0 2 に接続される。分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 および電気機器 1 1 1 0 に接続される。電力メーター 1 1 0 5 は、分電盤 1 1 0 4 および系統連系に接続される。

40

【 0 3 4 0 】

光電変換モジュールアレイ 1 1 0 1 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1 1 0 2 に供給する。

【 0 3 4 1 】

接続箱 1 1 0 2 は、光電変換モジュールアレイ 1 1 0 1 が発電した直流電力を受け、その受けた直流電力をパワーコンディショナー 1 1 0 3 へ供給する。

【 0 3 4 2 】

パワーコンディショナー 1 1 0 3 は、接続箱 1 1 0 2 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1 1 0 4 に供給する。

50

【 0 3 4 3 】

分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力および / または電力メーター 1 1 0 5 を介して受けた商用電力を電気機器 1 1 1 0 へ供給する。また、分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力が電気機器 1 1 1 0 の消費電力よりも多いとき、余った交流電力を電力メーター 1 1 0 5 を介して系統連系へ供給する。

【 0 3 4 4 】

電力メーター 1 1 0 5 は、系統連系から分電盤 1 1 0 4 へ向かう方向の電力を計測するとともに、分電盤 1 1 0 4 から系統連系へ向かう方向の電力を計測する。

【 0 3 4 5 】

図 2 5 は、図 2 4 に示す光電変換モジュールアレイ 1 1 0 1 の構成を示す概略図である。

【 0 3 4 6 】

図 2 5 を参照して、光電変換モジュールアレイ 1 1 0 1 は、複数の光電変換モジュール 1 1 2 0 と、出力端子 1 1 2 1 , 1 1 2 2 とを含む。

【 0 3 4 7 】

複数の光電変換モジュール 1 1 2 0 は、アレイ状に配列され、直列に接続される。なお、複数の光電変換モジュール 1 1 2 0 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせで接続されてもよい。そして、複数の光電変換モジュール 1 1 2 0 の各々は、図 2 3 に示す光電変換モジュール 1 0 0 0 からなる。

【 0 3 4 8 】

出力端子 1 1 2 1 は、直列に接続された複数の光電変換モジュール 1 1 2 0 の一方端に位置する光電変換モジュール 1 1 2 0 に接続される。

【 0 3 4 9 】

出力端子 1 1 2 2 は、直列に接続された複数の光電変換モジュール 1 1 2 0 の他方端に位置する光電変換モジュール 1 1 2 0 に接続される。

【 0 3 5 0 】

なお、光電変換モジュールアレイ 1 1 0 1 に含まれる光電変換モジュール 1 1 2 0 数は、2 以上の任意の整数である。

【 0 3 5 1 】

太陽光発電システム 1 1 0 0 における動作を説明する。光電変換モジュールアレイ 1 1 0 1 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1 1 0 2 を介してパワーコンディショナー 1 1 0 3 へ供給する。

【 0 3 5 2 】

パワーコンディショナー 1 1 0 3 は、光電変換モジュールアレイ 1 1 0 1 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1 1 0 4 へ供給する。

【 0 3 5 3 】

分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力が電気機器 1 1 1 0 の消費電力以上であるとき、パワーコンディショナー 1 1 0 3 から受けた交流電力を電気機器 1 1 1 0 に供給する。そして、分電盤 1 1 0 4 は、余った交流電力を電力メーター 1 1 0 5 を介して系統連系へ供給する。

【 0 3 5 4 】

また、分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力が電気機器 1 1 1 0 の消費電力よりも少ないとき、系統連系から受けた交流電力およびパワーコンディショナー 1 1 0 3 から受けた交流電力を電気機器 1 1 1 0 へ供給する。

【 0 3 5 5 】

太陽光発電システム 1 1 0 0 は、上述したように、絶縁性、防湿性および耐熱性に優れた光電変換素子 1 0 , 2 0 0 のいずれかを備えている。

【 0 3 5 6 】

従って、太陽光発電システム 1 1 0 0 の絶縁性、防湿性および耐熱性を改善できる。

10

20

30

40

50

【 0 3 5 7 】

図 2 6 は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【 0 3 5 8 】

この実施の形態による光電変換素子を備える太陽光発電システムは、図 2 6 に示す太陽光発電システム 1 1 0 0 A であってもよい。

【 0 3 5 9 】

図 2 6 を参照して、太陽光発電システム 1 1 0 0 A は、図 2 4 に示す太陽光発電システム 1 1 0 0 に蓄電池 1 1 0 6 を追加したものである、その他は、太陽光発電システム 1 1 0 0 と同じである。

10

【 0 3 6 0 】

蓄電池 1 1 0 6 は、パワーコンディショナー 1 1 0 3 に接続される。

【 0 3 6 1 】

太陽光発電システム 1 1 0 0 A においては、パワーコンディショナー 1 1 0 3 は、接続箱 1 1 0 2 から受けた直流電力の一部または全部を適切に変換して蓄電池 1 1 0 6 に蓄電する。

【 0 3 6 2 】

パワーコンディショナー 1 1 0 3 は、その他、太陽光発電システム 1 1 0 0 における動作と同じ動作を行う。

【 0 3 6 3 】

20

蓄電池 1 1 0 6 は、パワーコンディショナー 1 1 0 3 から受けた直流電力を蓄電する。また、蓄電池 1 1 0 6 は、光電変換モジュールアレイ 1 1 0 1 の発電量および/または電気機器 1 1 1 0 の電力消費量の状況に応じて、蓄電した電力を、適宜、パワーコンディショナー 1 1 0 3 へ供給する。

【 0 3 6 4 】

このように、太陽光発電システム 1 1 0 0 A は、蓄電池 1 1 0 6 を備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池 1 1 0 6 に蓄電された電力を電気機器 1 1 1 0 に供給することができる。

【 0 3 6 5 】

なお、蓄電池 1 1 0 6 は、パワーコンディショナー 1 1 0 3 に内蔵されていてもよい。

30

【 0 3 6 6 】

また、実施の形態 4 による太陽光発電システムは、図 2 4 , 2 5 に示す構成または図 2 5 , 2 6 に示す構成に限らず、光電変換素子 1 0 , 2 0 0 いずれかを用いる限り、どのような構成であってもよい。

【 0 3 6 7 】

[実施の形態 5]

図 2 7 は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【 0 3 6 8 】

図 2 7 を参照して、太陽光発電システム 1 2 0 0 は、サブシステム 1 2 0 1 ~ 1 2 0 n (n は 2 以上の整数) と、パワーコンディショナー 1 2 1 1 ~ 1 2 1 n と、変圧器 1 2 2 1 とを備える。太陽光発電システム 1 2 0 0 は、図 2 4 , 2 6 に示す太陽光発電システム 1 1 0 0 , 1 1 0 0 A よりも規模が大きい太陽光発電システムである。

40

【 0 3 6 9 】

パワーコンディショナー 1 2 1 1 ~ 1 2 1 n は、それぞれ、サブシステム 1 2 0 1 ~ 1 2 0 n に接続される。

【 0 3 7 0 】

変圧器 1 2 2 1 は、パワーコンディショナー 1 2 1 1 ~ 1 2 1 n および系統連系に接続される。

【 0 3 7 1 】

50

サブシステム 1201 ~ 120n の各々は、モジュールシステム 1231 ~ 123j (j は 2 以上の整数) からなる。

【0372】

モジュールシステム 1231 ~ 123j の各々は、光電変換モジュールアレイ 1301 ~ 130i (i は 2 以上の整数) と、接続箱 1311 ~ 131i と、集電箱 1321 とを含む。

【0373】

光電変換モジュールアレイ 1301 ~ 130i の各々は、図 25 に示す光電変換モジュールアレイ 1101 と同じ構成からなる。

【0374】

接続箱 1311 ~ 131i は、それぞれ、光電変換モジュールアレイ 1301 ~ 130i に接続される。

【0375】

集電箱 1321 は、接続箱 1311 ~ 131i に接続される。また、サブシステム 1201 の j 個の集電箱 1321 は、パワーコンディショナー 1211 に接続される。サブシステム 1202 の j 個の集電箱 1321 は、パワーコンディショナー 1212 に接続される。以下、同様にして、サブシステム 120n の j 個の集電箱 1321 は、パワーコンディショナー 121n に接続される。

【0376】

モジュールシステム 1231 の i 個の光電変換モジュールアレイ 1301 ~ 130i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1311 ~ 131i を介して集電箱 1321 へ供給する。モジュールシステム 1232 の i 個の光電変換モジュールアレイ 1301 ~ 130i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1311 ~ 131i を介して集電箱 1321 へ供給する。以下、同様にして、モジュールシステム 123j の i 個の光電変換モジュールアレイ 1301 ~ 130i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1311 ~ 131i を介して集電箱 1321 へ供給する。

【0377】

そして、サブシステム 1201 の j 個の集電箱 1321 は、直流電力をパワーコンディショナー 1211 へ供給する。

【0378】

サブシステム 1202 の j 個の集電箱 1321 は、同様にして直流電力をパワーコンディショナー 1212 へ供給する。

【0379】

以下、同様にして、サブシステム 120n の j 個の集電箱 1321 は、直流電力をパワーコンディショナー 121n へ供給する。

【0380】

パワーコンディショナー 1211 ~ 121n は、それぞれ、サブシステム 1201 ~ 120n から受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器 1221 へ供給する。

【0381】

変圧器 1221 は、パワーコンディショナー 1211 ~ 121n から交流電力を受け、その受けた交流電力の電圧レベルを変換して系統連系へ供給する。

【0382】

太陽光発電システム 1200 は、上述したように、絶縁性、防湿性および耐熱性に優れた光電変換素子 10, 200 のいずれかを備えている。

【0383】

従って、太陽光発電システム 1200 の絶縁性、防湿性および耐熱性を改善できる。

【0384】

10

20

30

40

50

図 28 は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【0385】

この実施の形態による光電変換素子を備える太陽光発電システムは、図 28 に示す太陽光発電システム 1200A であってもよい。

【0386】

図 28 を参照して、太陽光発電システム 1200A は、図 27 に示す太陽光発電システム 1200 に蓄電池 1241 ~ 124n を追加したものであり、その他は、太陽光発電システム 1200 と同じである。

【0387】

蓄電池 1241 ~ 124n は、それぞれ、パワーコンディショナー 1211 ~ 121n に接続される。

【0388】

太陽光発電システム 1200A においては、パワーコンディショナー 1211 ~ 121n は、それぞれ、サブシステム 1201 ~ 120n から受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器 1221 へ供給する。また、パワーコンディショナー 1211 ~ 121n は、それぞれ、サブシステム 1201 ~ 120n から受けた直流電力を適切に変換し、その変換した直流電力をそれぞれ蓄電池 1241 ~ 124n へ蓄電する。

【0389】

蓄電池 1241 ~ 124n は、サブシステム 1201 ~ 120n からの直流電力量に応じて、蓄電した電力をそれぞれパワーコンディショナー 1211 ~ 121n へ供給する。

【0390】

このように、太陽光発電システム 1200A は、蓄電池 1241 ~ 124n を備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池 1241 ~ 124n に蓄電された電力を変圧器 1221 に供給することができる。

【0391】

なお、蓄電池 1241 ~ 124n は、それぞれ、パワーコンディショナー 1211 ~ 121n に内蔵されていてもよい。

【0392】

また、実施の形態 5 による太陽光発電システムは、図 27, 28 に示す構成に限らず、光電変換素子 10, 200 のいずれかをを用いる限り、どのような構成であってもよい。

【0393】

更に、実施の形態 5 においては、太陽光発電システム 1200, 1200A に含まれる全ての光電変換素子が実施の形態 1 ~ 実施の形態 2 による光電変換素子 10, 200 である必要はない。

【0394】

例えば、あるサブシステム（サブシステム 1201 ~ 120n のいずれか）に含まれる光電変換素子の全てが実施の形態 1 ~ 実施の形態 2 による光電変換素子 10, 200 のいずれかであり、別のサブシステム（サブシステム 1201 ~ 120n のいずれか）に含まれる光電変換素子の一部または全部が光電変換素子 10, 200 以外の光電変換素子である場合も有り得るものとする。

【0395】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0396】

上述した各実施の形態では、半導体基板 1 の両面にテクスチャ構造が形成された構成に

10

20

30

40

50

について説明したが、受光面にはテクスチャ構造を設けない構成とすることもできる。

【0397】

また、半導体基板1の裏面に接してパッシベーション膜3（またはパッシベーション膜202）を配置した構成として説明したが、パッシベーション膜3（またはパッシベーション膜202）を配置しない構成とすることもできる。

【0398】

また、上述した各実施の形態では、保護膜8を設けた構成について説明したが、保護膜8を設けない構成とすることもできる。

【0399】

従って、この発明の実施の形態による光電変換素子は、少なくとも一方の面にテクスチャが形成された半導体基板と、半導体基板のテクスチャが形成されている面に形成され、第1の導電型を有する第1の非晶質半導体層と、半導体基板のテクスチャが形成されている面に形成されるとともに半導体基板の面内方向において第1の非晶質半導体層に隣接して形成され、第1の導電型と反対の第2の導電型を有する第2の非晶質半導体層とを備え、テクスチャを平面視した場合に、テクスチャの凸部の外接円の直径の平均値が30μm未満とすれば、品質を向上させることができる。

【0400】

〔実施の形態6〕

実施の形態1で説明したように、ボロンをドーパントとして含むp型非晶質半導体層5を先に形成して、リンをドーパントとして含むn型非晶質半導体層4を後に形成した場合、ボロンの高濃度領域の上に重なってn型非晶質半導体層4が形成される可能性がある。この場合、ボロンの高濃度領域の上に重なってn型非晶質半導体層4が形成された領域では、電気的特性が低下する現象が観測されるため、好ましくない。

【0401】

従って、実施の形態6における光電変換素子600では、ボロンをドーパントとして含むp型非晶質半導体層5を先に形成し、リンをドーパントとして含むn型非晶質半導体層4を後に形成する構成において、n型非晶質半導体層4がボロンの高濃度領域の上に重ならないように形成されている。すなわち、n型非晶質半導体層4と半導体基板1との間には、ボロンの高濃度領域は含まれない

図30は、実施の形態6における光電変換素子600の構成を示す断面図である。図30では、n型非晶質半導体層4とp型非晶質半導体層5との境界付近の拡大図も示している。拡大図では、その領域におけるボロン濃度を一点鎖線で重畳表示している。図30に示すように、n型非晶質半導体層4は、p型非晶質半導体層5が形成されている領域におけるボロン濃度よりもボロン濃度が高いボロンの高濃度領域の上には形成されていない。

【0402】

例えば、図4の(a)を参照して、n型非晶質半導体層4のうち、(L+2H)の幅の領域がボロンの高濃度領域から外れて形成されていればよい。また、図5に示す構成では、2つのB点で挟まれた領域がボロンの高濃度領域から外れて形成されていればよく、図6の(a)に示す構成では、2つのD点で挟まれた領域、図6の(b)に示す構成では、2つのF点で挟まれた領域がボロンの高濃度領域から外れて形成されていればよい。

【0403】

また、同様の理由により、n型電極6もボロンの高濃度領域から外れて形成されていればよい。図4の(a)の(L+2H)の幅の領域がボロンの高濃度領域から外れて形成されていればよい。

【0404】

本実施の形態における光電変換素子600の製造方法が実施の形態1における光電変換素子10の製造方法と異なるのは、n型非晶質半導体層4及びp型非晶質半導体層5の形成順序と、n型非晶質半導体層4がボロンの高濃度領域の上に重ならないように形成することである。

【0405】

図7から図11に示す光電変換素子10の製造方法では、n型非晶質半導体層4を先に形成し(図8の(e)、(f))、p型非晶質半導体層5を後に形成した(図9の(g)、(h))。本実施の形態における光電変換素子600では、p型非晶質半導体層5を先に形成し、n型非晶質半導体層4を後に形成する。p型非晶質半導体層5及びn型非晶質半導体層4の形成方法は、実施の形態1と同じである。ただし、n型非晶質半導体層4の形成時には、n型非晶質半導体層4がボロンの高濃度領域の上に重ならないような幅を有するマスクを用いる。

【0406】

図31の(a)~(c)は、p型非晶質半導体層5が形成された後に、n型非晶質半導体層4を形成する際の製造方法を説明するための図である。p型非晶質半導体層5が形成された後、シャドーマスク50をパッシベーション膜3およびp型非晶質半導体層5上に配置する(図31の工程(a)参照)。

10

【0407】

図19等を用いて説明したように、p型非晶質半導体層5が形成されている領域と形成されていない領域の境界付近においてボロン濃度がピークとなり、ボロン濃度がピークとなる位置を含むボロンの高濃度領域が形成されることが分かっている。従って、n型非晶質半導体層4の形成時には、n型非晶質半導体層4がボロンの高濃度領域の上に重ならないような幅を有するマスク50を用いる。

【0408】

マスク50の配置後、実施の形態1で説明した方法により、n型非晶質半導体層4を形成する(図31の工程(b)参照)。

20

【0409】

n型非晶質半導体層4を形成した後、シャドーマスク50を除去すると、半導体基板1の面内方向に交互に配置されたn型非晶質半導体層4およびp型非晶質半導体層5がパッシベーション膜3上に形成された状態になる(図31の工程(c)参照)。

【0410】

実施の形態6における光電変換素子600では、図1に示す光電変換素子10と同様に、半導体基板1の裏面にテクスチャ構造が形成されていてもよいが、テクスチャのサイズは30 μ m未満でなくてもよい。ただし、テクスチャのサイズを30 μ m未満とすれば、実施の形態1で説明したように、逆方向飽和電流密度を低減することができるので、光電変換素子600の品質を向上させることができる。

30

【0411】

実施の形態6における光電変換素子600では、図1に示す構造とは違って、半導体基板1の裏面にテクスチャ構造が形成されていなくてもよい。

【0412】

図32は、実施の形態6による光電変換素子600Aの構成であって、半導体基板1の裏面にテクスチャが形成されていない場合の構成を示す断面図である。ただし、半導体基板1の裏面だけでなく、受光面にもテクスチャ構造を設けない構成とすることもできる。

【0413】

なお、リンをドーパントとして含むn型非晶質半導体層4を先に形成し、ボロンをドーパントとして含むp型非晶質半導体層5を後に形成した場合には、半導体基板1とn型非晶質半導体層4との間にボロンの高濃度領域は形成されない。従って、実施の形態6における光電変換素子600には、リンをドーパントとして含むn型非晶質半導体層4を先に形成し、ボロンをドーパントとして含むp型非晶質半導体層5を後に形成した構成のものも含まれる。

40

【0414】

上述した実施の形態2における光電変換素子200は、実施の形態1における光電変換素子10の反射防止膜2を反射防止膜201に代え、パッシベーション膜3をパッシベーション膜202に代えた構成であるが(図21参照)、実施の形態6における光電変換素子600においても、同様の変形構成とすることができる。

50

【 0 4 1 5 】

実施の形態 3 による光電変換モジュールは、実施の形態 6 で説明した光電変換素子 6 0 を用いて構成してもよい。

【 0 4 1 6 】

実施の形態 4 による太陽光発電システムは、実施の形態 6 で説明した光電変換素子 6 0 を用いて構成してもよい。

【 0 4 1 7 】

実施の形態 5 による太陽光発電システムは、実施の形態 6 で説明した光電変換素子 6 0 を用いて構成してもよい。

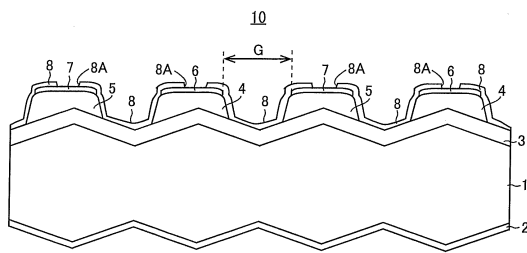
【 産業上の利用可能性 】

10

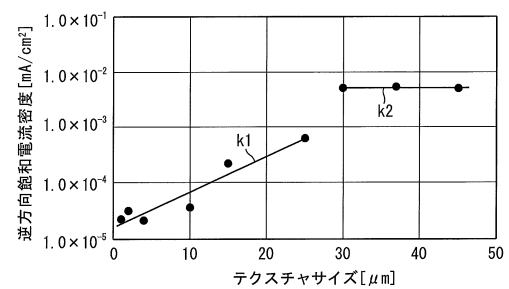
【 0 4 1 8 】

この発明は、光電変換素子、それを備えた太陽電池モジュールおよび太陽光発電システムに適用される。

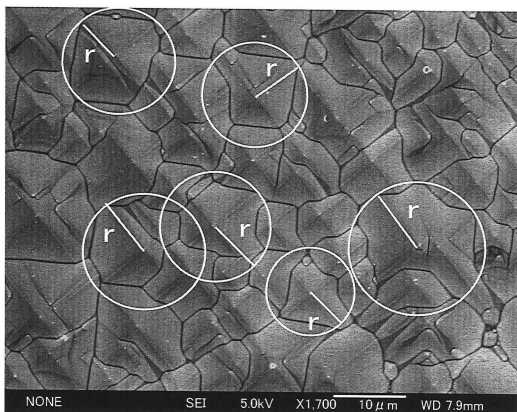
【 図 1 】



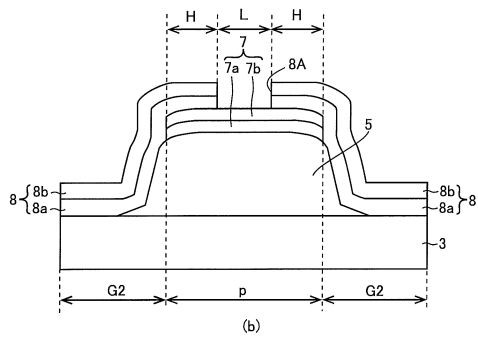
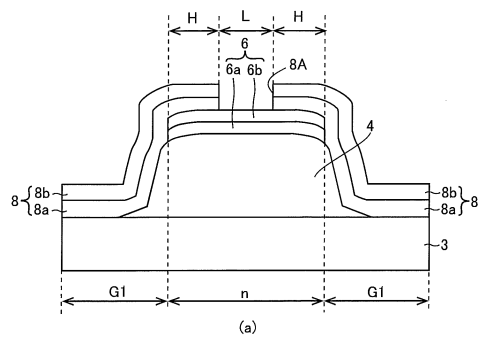
【 図 3 】



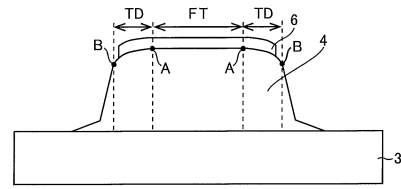
【 図 2 】



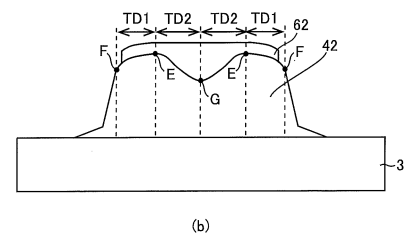
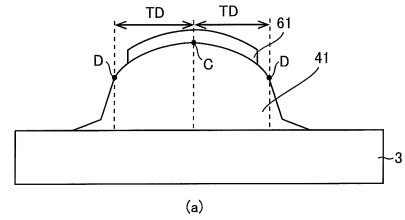
【図 4】



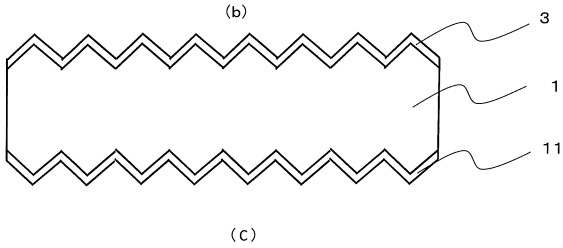
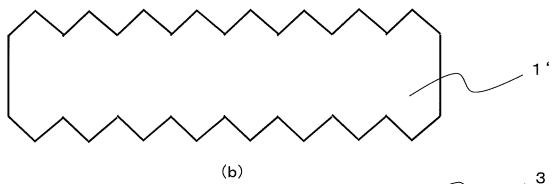
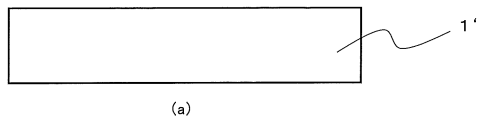
【図 5】



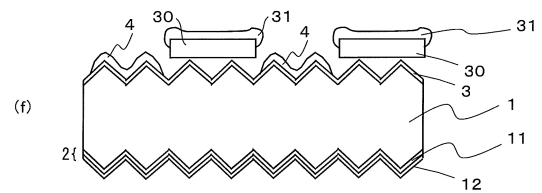
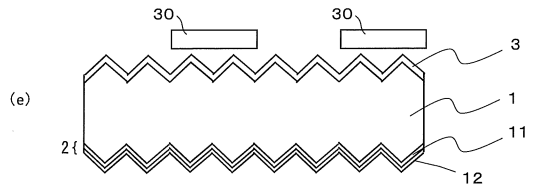
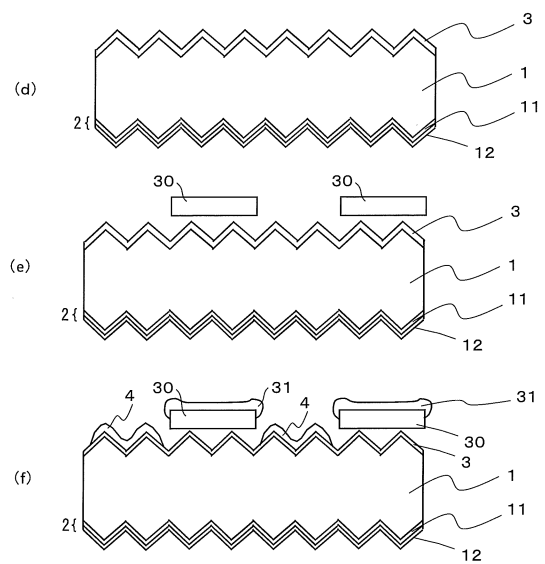
【図 6】



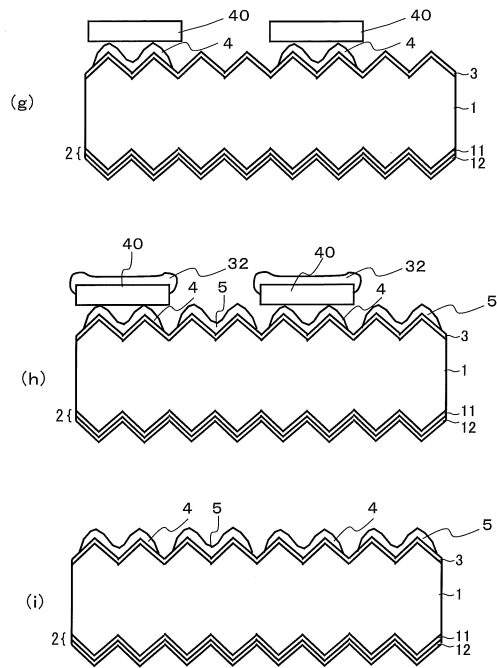
【図 7】



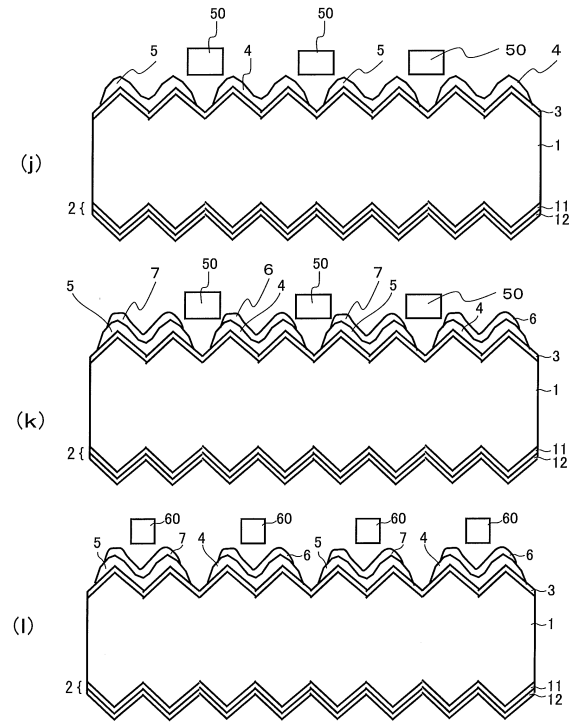
【図 8】



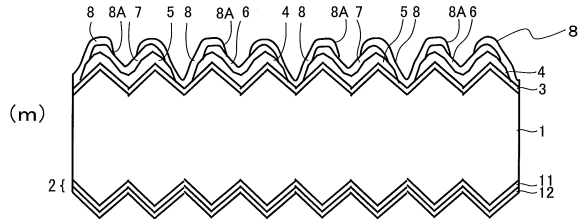
【 図 9 】



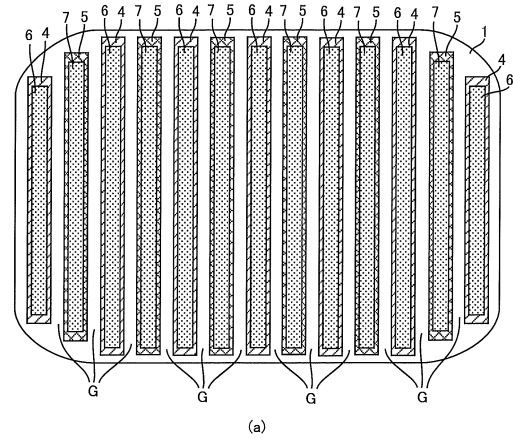
【 図 1 0 】



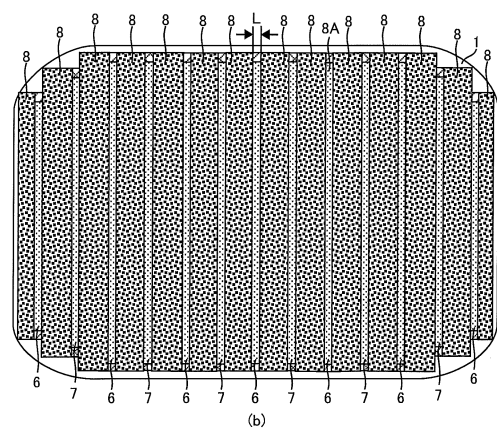
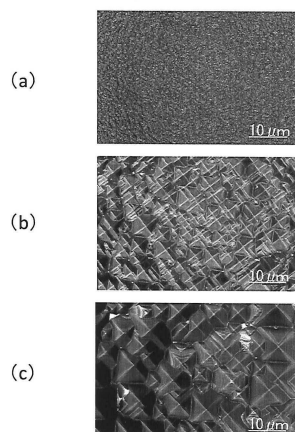
【 図 1 1 】



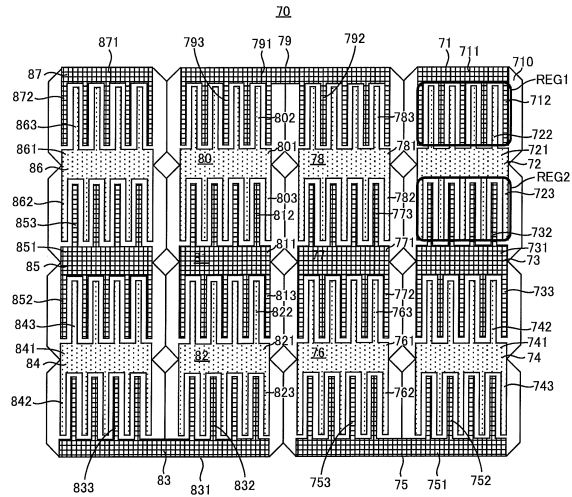
【 図 1 3 】



【 図 1 2 】



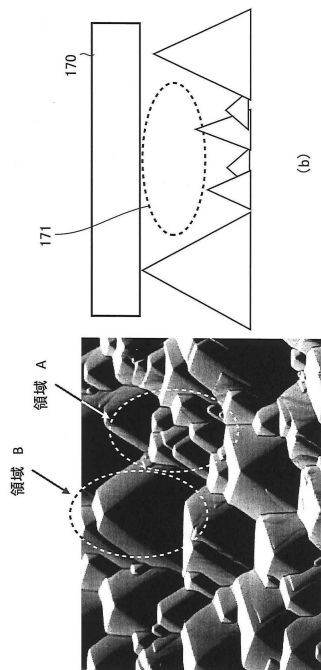
【 図 1 4 】



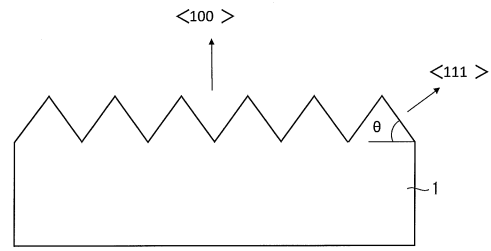
【 図 1 5 】

		成膜直後	3日後	8日後
サンプル1	i=3nm	1	----	0.35
サンプル2	i=6nm	1	----	0.5
サンプル3	i=10nm	1	----	0.82
サンプル4	i/n=4nm/20nm	1	0.5	0.35
サンプル5	i/SiN=10nm/60nm	1	1	1
サンプル6	i/n/SiN=4nm/10nm/80nm	1	1	1
サンプル7	i/SiON=10nm/40nm	1	1	1
サンプル8	i/SiO ₂ =10nm/50nm	1	1	1
サンプル9	i/TiO ₂ =10nm/60nm	1	0.9	0.92
サンプル10	熱酸化膜(2nm)	1	----	0.62

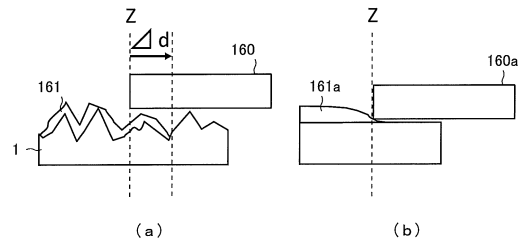
【 圖 1 8 】



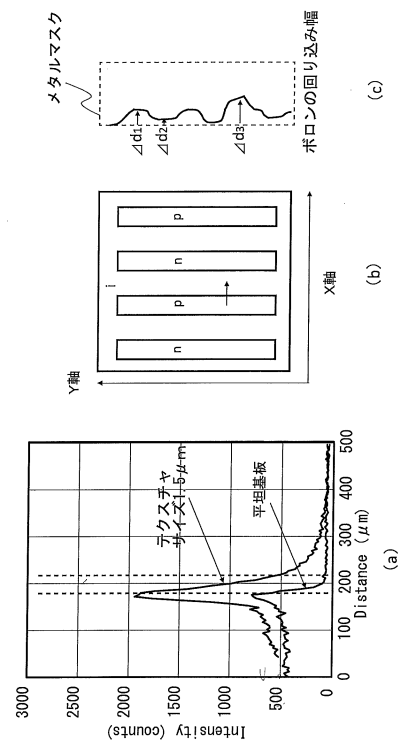
【 図 1 6 】



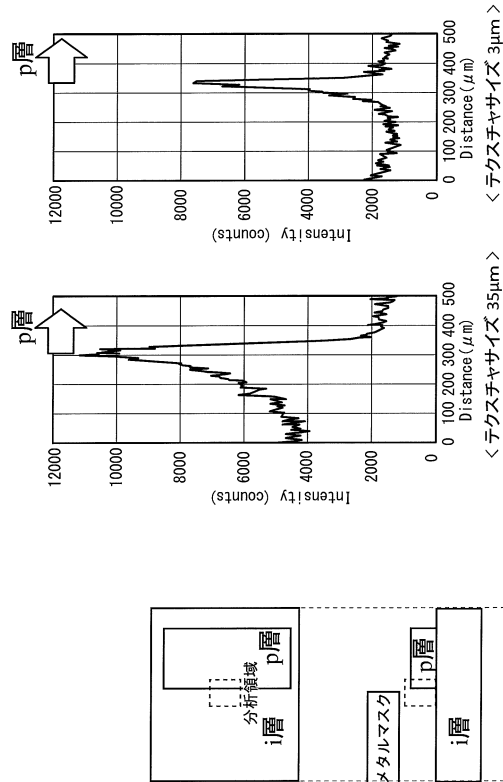
【 図 1 7 】



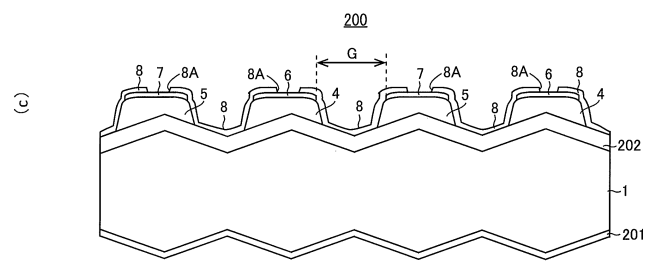
【 図 1 9 】



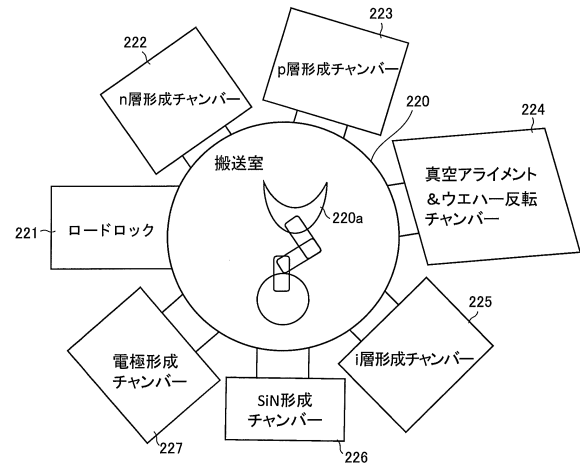
【図 20】



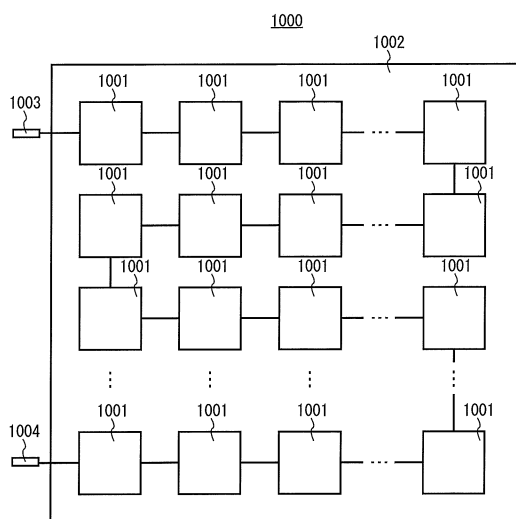
【図 21】



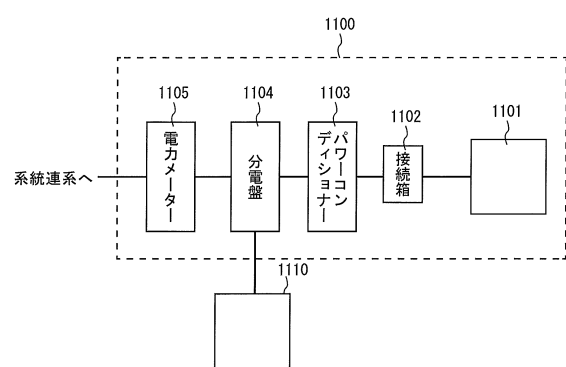
【図 22】



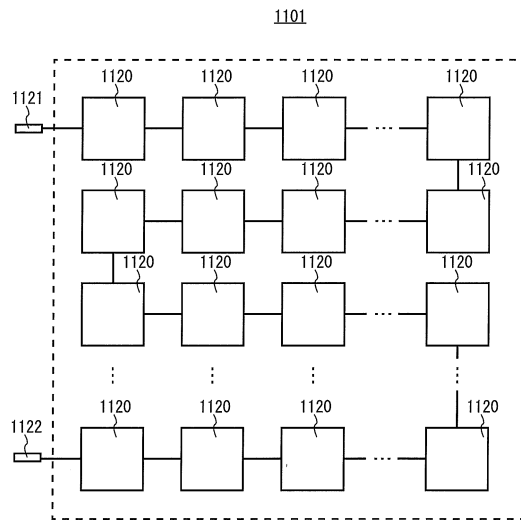
【図 23】



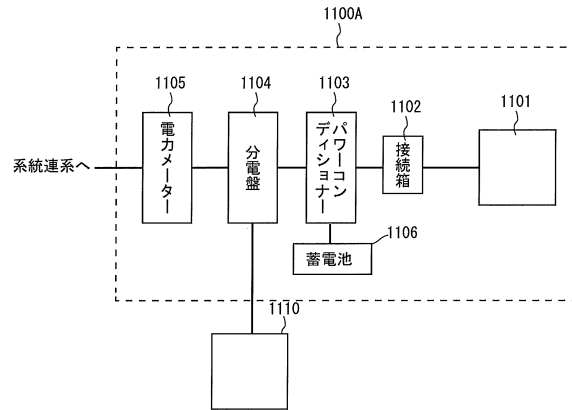
【図 24】



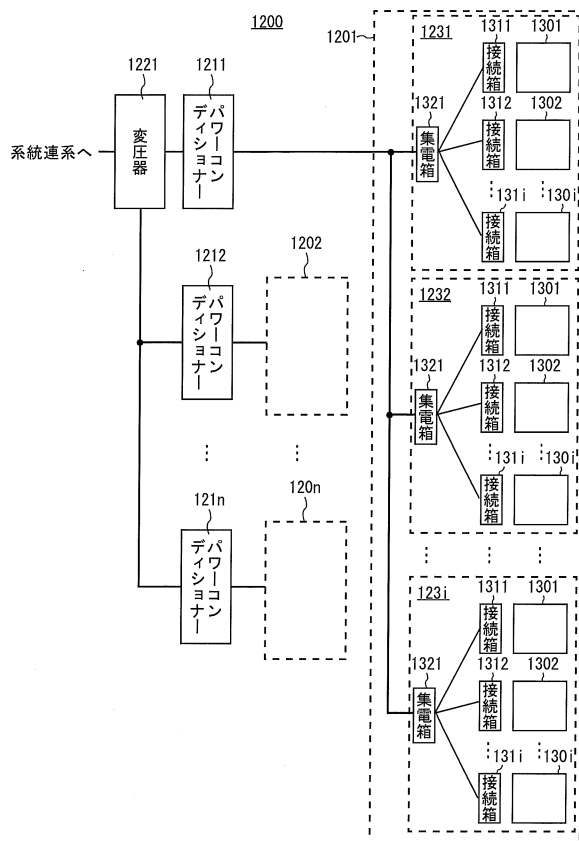
【図 25】



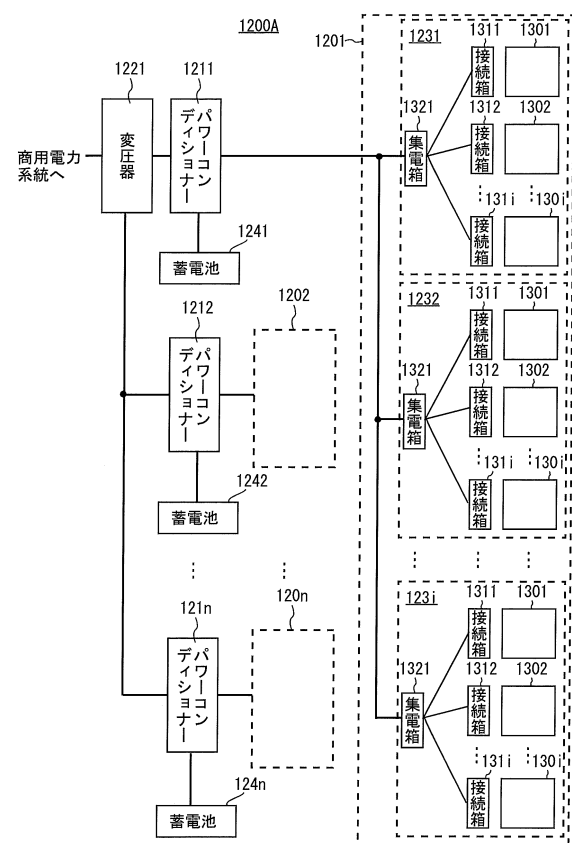
【図 26】



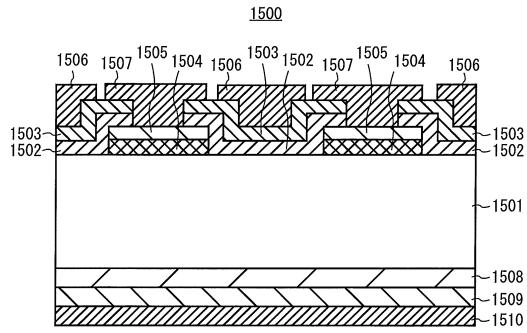
【図 27】



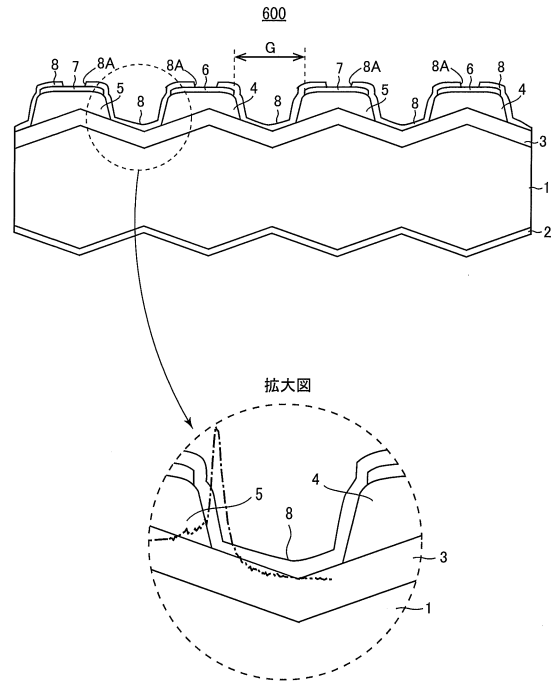
【図 28】



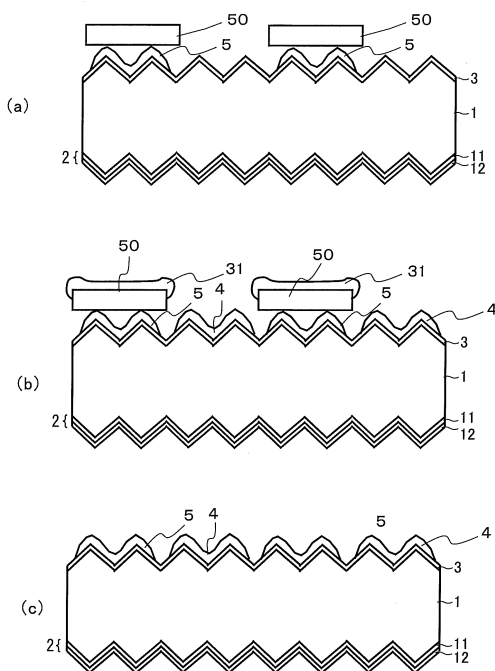
【図 29】



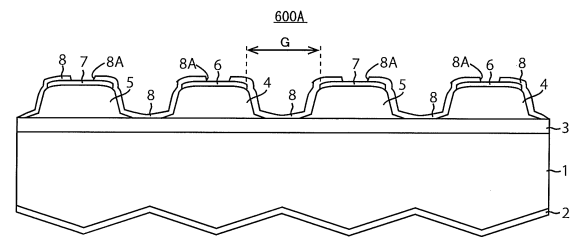
【図 30】



【図 31】



【図 32】



フロントページの続き

- (72)発明者 酒井 敏彦
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 國吉 督章
大阪府堺市堺区匠町1番地 シャープ株式会社内
- (72)発明者 鄒 柳民
大阪府堺市堺区匠町1番地 シャープ株式会社内

審査官 小林 幹

- (56)参考文献 米国特許出願公開第2014/0261671(US, A1)
特開2005-101240(JP, A)
特開2010-258043(JP, A)
国際公開第2012/132615(WO, A1)
国際公開第2014/175066(WO, A1)
特開2013-045951(JP, A)
特開2013-239476(JP, A)
米国特許出願公開第2010/0029039(US, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L31/02-31/078
H01L31/18-31/20
H01L51/42-51/48
H02S10/00-10/40
H02S30/00-99/00