

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-3838  
(P2020-3838A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 12/02 (2006.01)</b>	G06F 12/02 530C	5B160
	G06F 12/02 510A	

審査請求 未請求 請求項の数 10 O L (全 21 頁)

(21) 出願番号	特願2018-119548 (P2018-119548)	(71) 出願人	318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号
(22) 出願日	平成30年6月25日 (2018. 6. 25)	(74) 代理人	110002147 特許業務法人酒井国際特許事務所
		(72) 発明者	三浦 雄志 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
		(72) 発明者	田舎片 健太 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
		Fターム(参考)	5B160 AA10 CA10

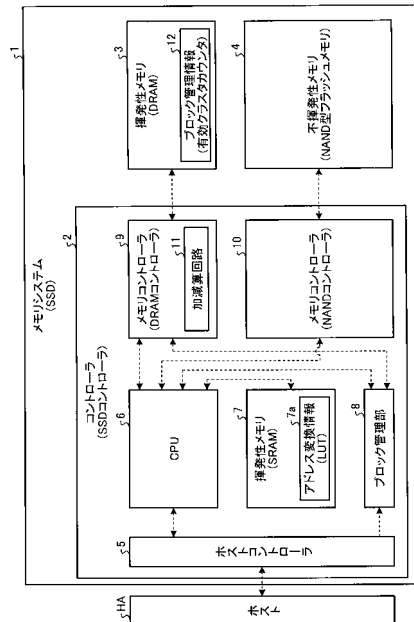
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】一つの実施形態は、各ブロックの有効クラスタ数を効率的に管理できるメモリシステムを提供することを目的とする。

【解決手段】一つの実施形態によれば、メモリシステムにおいて、コントローラは、管理情報を第1の半導体メモリに格納する。管理情報は、ブロックの識別情報と有効クラスタ数とが複数のブロックについてそれぞれ対応付けられた情報である。コントローラは、ブロック管理部と第1のメモリコントローラとを有する。ブロック管理部は、ホストから受けたライト要求に応じて、データがライトされるブロックに対応した有効クラスタ数の更新指示を生成する。第1のメモリコントローラは、第1の半導体メモリから更新指示に応じた有効クラスタ数を読み出す。第1のメモリコントローラは、読み出された有効クラスタ数を更新指示に応じた更新量で更新する。第1のメモリコントローラは、更新された有効クラスタ数を第1の半導体メモリへ書き戻す。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

揮発性の第 1 の半導体メモリと、  
複数のクラスタをそれぞれ含む複数のブロックを有する不揮発性の第 2 の半導体メモリと、

ブロックの識別情報と有効クラスタ数とが前記複数のブロックについてそれぞれ対応付けられた管理情報を前記第 1 の半導体メモリに格納するコントローラと、

を備え、

前記コントローラは、

ホストから受けたライト要求に応じて、データがライトされるブロックに対応した有効クラスタ数の更新指示を生成するブロック管理部と、

前記第 1 の半導体メモリから前記更新指示に応じた有効クラスタ数を読み出し、読み出された有効クラスタ数を前記更新指示に応じた更新量で更新し、更新された有効クラスタ数を前記第 1 の半導体メモリへ書き戻す第 1 のメモリコントローラと、

を有する

メモリシステム。

**【請求項 2】**

前記第 1 のメモリコントローラは、前記読み出された有効クラスタ数を加減算する加減算回路を有する

請求項 1 に記載のメモリシステム。

**【請求項 3】**

前記コントローラは、

前記更新指示の生成に応じて、前記更新された有効クラスタ数の書き戻しが完了する前に、前記ライト要求に対応するライト完了通知を前記ホストへ行うホストコントローラをさらに有する

請求項 1 又は 2 に記載のメモリシステム。

**【請求項 4】**

前記ブロック管理部は、前記更新された有効クラスタ数を含む前記管理情報を用いて、前記複数のブロックのうちソースブロックとデスティネーションブロックとを指定してガーベージコレクションを行わせる実行指示を生成し、

前記コントローラは、

前記実行指示に従い、前記第 2 の半導体メモリにおける前記ソースブロックから有効クラスタのデータを読み出して有効クラスタのデータを前記第 2 の半導体メモリにおける前記デスティネーションブロックへ書き込む処理を指示するコマンドを前記第 2 の半導体メモリへ供給する第 2 のメモリコントローラをさらに有する

請求項 1 から 3 のいずれか 1 項に記載のメモリシステム。

**【請求項 5】**

前記第 1 のメモリコントローラは、前記更新指示に応じた更新量が積算された積算更新量を格納するキャッシュ領域を有する

請求項 1 から 4 のいずれか 1 項に記載のメモリシステム。

**【請求項 6】**

前記第 1 のメモリコントローラは、前記読み出された有効クラスタ数を前記格納された積算更新量で更新する

請求項 5 に記載のメモリシステム。

**【請求項 7】**

前記第 1 の半導体メモリは、複数のリフレッシュ領域を有し、

前記第 1 のメモリコントローラは、前記複数のリフレッシュ領域に対応した複数の前記キャッシュ領域を有する

請求項 5 又は 6 に記載のメモリシステム。

**【請求項 8】**

10

20

30

40

50

前記複数のリフレッシュ領域は、第1のリフレッシュ領域及び第2のリフレッシュ領域を含み、

前記複数のキャッシュ領域は、

前記第1のリフレッシュ領域に対応した第1のキャッシュ領域と、

前記第2のリフレッシュ領域に対応した第2のキャッシュ領域と、

を含み、

前記第1のメモリコントローラは、前記第1の半導体メモリにおける前記第1のリフレッシュ領域でリフレッシュ処理が行われている第1の期間に前記第2のリフレッシュ領域から読み出された有効クラスタ数を前記第2のキャッシュ領域に格納された積算更新量で更新して前記第2のリフレッシュ領域へ書き戻す

10

請求項7に記載のメモリシステム。

【請求項9】

前記第1のメモリコントローラは、前記第1の半導体メモリにおける前記第2のリフレッシュ領域でリフレッシュ処理が行われている第2の期間に前記第1のリフレッシュ領域から読み出された有効クラスタ数を前記第1のキャッシュ領域に格納された積算更新量で更新して前記第1のリフレッシュ領域へ書き戻す

請求項8に記載のメモリシステム。

【請求項10】

前記複数のリフレッシュ領域は、第3のリフレッシュ領域をさらに含み、

前記複数のキャッシュ領域は、前記第3のリフレッシュ領域に対応した第3のキャッシュ領域を含み、

20

前記第1のメモリコントローラは、前記第1の半導体メモリにおける前記第2のリフレッシュ領域でリフレッシュ処理が行われている第2の期間に前記第3のリフレッシュ領域から読み出された有効クラスタ数を前記第3のキャッシュ領域に格納された積算更新量で更新して前記第3のリフレッシュ領域へ書き戻す

請求項8に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、メモリシステムに関する。

30

【背景技術】

【0002】

SSD(Solid State Drive)などのメモリシステムは、NAND型フラッシュメモリなどの不揮発性半導体メモリをストレージ領域として有する。不揮発性半導体メモリは、複数のブロックを有し、各ブロックは、複数のクラスタを含む。メモリシステムでは、不揮発性半導体メモリへのデータの書き換えが進むと、無効なクラスタによって利用効率の低下するブロックが発生する。そのため、各ブロックの有効クラスタ数の管理情報を参照し、複数のブロックのうち有効クラスタ数が閾値より低いブロックから有効クラスタのデータを集めてフリーブロックに書き直し、元のブロックのデータを消去するガベージコレクションが行われる。このとき、各ブロックの有効クラスタ数を効率的に管理することが望まれる。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-141946号公報

【特許文献2】特許第5330432号公報

【特許文献3】特開2016-122227号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

一つの実施形態は、各ブロックの有効クラスタ数を効率的に管理できるメモリシステムを提供することを目的とする。

【課題を解決するための手段】

【0005】

一つの実施形態によれば、第1の半導体メモリと第2の半導体メモリとコントローラとを有するメモリシステムが提供される。第1の半導体メモリは、揮発性の半導体メモリである。第2の半導体メモリは、不揮発性の半導体メモリである。第2の半導体メモリは、複数のブロックを有する。複数のブロックのそれぞれは、複数のクラスタを含む。コントローラは、管理情報を第1の半導体メモリに格納する。管理情報は、ブロックの識別情報と有効クラスタ数とが複数のブロックについてそれぞれ対応付けられた情報である。コントローラは、ブロック管理部と第1のメモリコントローラとを有する。ブロック管理部は、ホストから受けたライト要求に応じて、データがライトされるブロックに対応した有効クラスタ数の更新指示を生成する。第1のメモリコントローラは、第1の半導体メモリから更新指示に応じた有効クラスタ数を読み出す。第1のメモリコントローラは、読み出された有効クラスタ数を更新指示に応じた更新量で更新する。第1のメモリコントローラは、更新された有効クラスタ数を第1の半導体メモリへ書き戻す。

10

【図面の簡単な説明】

【0006】

【図1】図1は、実施形態に係るメモリシステムの構成を示す図である。

【図2】図2は、実施形態における不揮発性メモリのデータの管理単位を示す図である。

20

【図3】図3は、実施形態におけるアドレス変換情報(LUT)のデータ構造を示す図である。

【図4】図4は、実施形態におけるブロック管理情報(有効クラスタカウンタ)のデータ構造を示す図である。

【図5】図5は、実施形態に係るメモリシステムの動作を示すシーケンス図である。

【図6】図6は、実施形態に係るメモリシステムの動作例を示す図である。

【図7】図7は、実施形態に係るメモリシステムの動作の効率化を示す図である。

【図8】図8は、実施形態の第1変形例に係るメモリシステムの構成の一部及び動作を示すデータフロー図である。

【図9】図9は、実施形態の第1変形例に係るメモリシステムの動作の効率化を示す図である。

30

【図10】図10は、実施形態の第2変形例に係るメモリシステムの構成の一部及び動作を示すデータフロー図である。

【図11】図11は、実施形態の第2変形例に係るメモリシステムの動作の効率化(k=2の場合)を示す図である。

【図12】図12は、実施形態の第2変形例に係るメモリシステムの動作の効率化(k=3の場合)を示す図である。

【図13】図13は、実施形態の第3変形例に係るメモリシステムの構成の一部及び動作を示すシーケンス図である。

【発明を実施するための形態】

40

【0007】

以下に添付図面を参照して、実施形態にかかるメモリシステムを詳細に説明する。なお、この実施形態により本発明が限定されるものではない。

【0008】

(実施形態)

SSD(Solid State Drive)などのメモリシステムは、NAND型フラッシュメモリなどの不揮発性半導体メモリをストレージ領域として有する。不揮発性半導体メモリは、そのデータの管理単位として、複数のブロックを有し、各ブロックは、複数のクラスタを含む。メモリシステムでは、不揮発性半導体メモリへのデータの書き換えが進むと、それに応じてアドレス変換情報が更新され、無効クラスタによって利用効率

50

の低下するブロックが発生する。有効クラスタとは、最新のデータを記憶しているクラスタとしてアドレス変換情報上に論理アドレスとの変換情報が存在しているクラスタであり、無効クラスタとは、同一LBAのデータが他の場所に書き込まれるとともにアドレス変換情報から削除され参照されることがなくなったクラスタである。そのため、各ブロックの有効クラスタ数の管理情報を参照し、複数のブロックのうち有効クラスタ数が閾値より低いブロックをソースブロックとし、フリーブロックをデスティネーションブロックとして、ソースブロックから有効クラスタのデータを集めてデスティネーションブロックに書き直し、有効クラスタ数が閾値より低いブロックのデータを消去するガーベジコレクションが行われる。

#### 【0009】

このとき、有効クラスタ数が多いブロックをソースブロックとするよりも、有効クラスタ数が少ないブロックをソースブロックとする方が、ガーベジコレクションの実行に必要なライト動作の回数をメモリシステム全体として少なく抑えることができる。このような考えに基づき、メモリシステムは、ガーベジコレクションを効率的に実行するために各ブロックの有効クラスタ数を数え、ブロックの識別情報と有効クラスタ数とが複数のブロックについて対応付けられたブロック管理情報を保持する。このブロック管理情報は、有効クラスタカウンタ(VCC: Valid Cluster Counter)と呼ばれることもある。なお、本実施形態では、ブロック管理情報の管理単位が論理ブロックである場合について例示するが、ブロック管理情報の管理単位は物理ブロックであってもよい。論理ブロックの構成については、後述する。また、以下において、単なる「ブロック」の表記は、ブロック管理情報の管理単位が論理ブロックである場合に「論理ブロック」を意味するが、ブロック管理情報の管理単位が物理ブロックである場合には「物理ブロック」を意味するものと読み替えることもできる。メモリシステムでは、ホストからホストライト要求を受ける毎に、ブロック管理情報における有効クラスタ数を増減させる更新処理が行われ得る。

#### 【0010】

この更新処理を効率的に行うため、メモリシステムでは、コントローラ内にブロック管理部とSRAMなどの揮発性メモリとを設け、ブロック管理情報をコントローラ内の揮発性メモリに一時記憶させつつ必要に応じて読み出してブロック管理部で更新することが考えられる。メモリシステムにおける不揮発性半導体メモリの容量が増加すると、ブロックの個数および1ブロックあたりのクラスタ数がともに増加する。そのため、大容量のメモリシステムでは、ブロック管理情報がビット数・ワード数ともに増大しそのデータ量がコントローラ内の揮発性メモリの記憶容量を上回る傾向にある。メモリシステムの大容量化に応じて、コントローラ内の揮発性メモリを大容量化すると、メモリシステムのコストが高くなりやすい。

#### 【0011】

一方、コントローラ内の揮発性メモリの大容量化を避けながらブロック管理情報の格納領域を確保するために、メモリシステムでは、コントローラ外にDRAMなどの揮発性メモリを設け、ブロック管理情報をコントローラ外の揮発性メモリに格納することが考えられる。例えば、ホストライト要求を受けると、ブロック管理情報における有効クラスタ数が、コントローラ外の揮発性メモリからメモリコントローラへ読み出され、メモリコントローラからブロック管理部に転送された後に、ブロック管理部で更新される。更新後の有効クラスタ数は、ブロック管理部からメモリコントローラへ転送され、メモリコントローラからコントローラ外の揮発性メモリへ書き戻される。この場合、ブロック管理情報をコントローラ内の揮発性メモリに格納する場合に比べて、有効クラスタ数の更新処理に要する時間が長くなる可能性がある。

#### 【0012】

そこで、本実施形態では、メモリシステムにおいて、コントローラにおける有効クラスタ数の更新動作をブロック管理部に代えて、コントローラ外の揮発性メモリに対するI/Fとなるメモリコントローラで行えるようにすることで、有効クラスタ数の更新処理に要

10

20

30

40

50

する時間の短縮化を図る。

【0013】

具体的には、メモリシステム1は、図1に示すように構成され得る。図1は、メモリシステム1の構成を示す図である。

【0014】

メモリシステム1は、通信バスを介してホストHAの外部に接続され、ホストHAに対する外部記憶装置として機能する。ホストHAは、例えば、パーソナルコンピュータ又はCPUコアを含む。メモリシステム1は、例えば、SSD(Solid State Drive)を含む。

【0015】

メモリシステム1は、コントローラ2、揮発性メモリ3、及び不揮発性メモリ4を有する。メモリシステム1がSSDである場合、コントローラ2は、SSDコントローラとすることができる。コントローラ2は、例えばSoC(System-on-a-Chip)を含むコントローラパッケージとして実装され得る。コントローラ2は、データ等を一時記憶するためのキャッシュメモリとして揮発性メモリ7を含む。

【0016】

揮発性メモリ3は、コントローラ2外に配され、揮発性メモリパッケージとして実装され得る。揮発性メモリ3は、コントローラ2内の揮発性メモリ7よりアクセススピードが遅いがビット当たりの単価が安い揮発性メモリであり、揮発性メモリ7より記憶容量が大きく構成され得る。揮発性メモリ3は、例えば、DRAM(Dynamic Random Access Memory)とすることができる。

【0017】

不揮発性メモリ4は、コントローラ2外に配され、不揮発性メモリパッケージとして実装され得る。不揮発性メモリ4は、例えばNAND型フラッシュメモリとすることができるがこれに限定されない。不揮発性メモリ4は、例えばReRAM(Resistance Random Access Memory)、PRAM(Phase change RAM)、MRAM(Magnetoresistive Random Access Memory)、又は、FeRAM(Ferroelectric Random Access Memory)であってもよい。不揮発性メモリ4は、複数の物理ブロックを有する。各物理ブロックは、データ消去の単位である。各物理ブロックは、複数のメモリセルを有する。各メモリセルは多値記憶が可能である。各物理ブロックにおける同一のワード線に接続されたメモリセル群は、各メモリセルがシングルレベルセルである場合に1つの物理ページとして扱われ、各メモリセルがマルチレベルセルである場合に2つの物理ページとして扱われ、各メモリセルがトリプルレベルセルである場合に3つの物理ページとして扱われる。不揮発性メモリ4におけるデータ管理単位は、図2に示すように構成され得る。図2は、不揮発性メモリ4のデータの管理単位を示す図である。

【0018】

不揮発性メモリ4は、複数のメモリチップで構成され得る。各メモリチップ内部において、一括してデータの書き込みおよび読み出しのアクセスが可能な単位が物理ページである。複数の物理ページから構成され、独立してデータの消去が可能な最小のアクセス単位が物理ブロックである。また、図2に示す例では、8つのチャンネルch0~ch7にメモリチップが接続されている場合が例示されている。コントローラ2は、各チャンネルch0~ch7を互いに並列して制御することが可能である。また、コントローラ2は、各チャンネルch0~ch7についてさらにバンクインターリーブにより複数の並列動作を行うことが可能である。これにより、並列にほぼ一括して書き込み/読み出しが可能な16個の物理ページでデータ記録領域となる1論理ページを構成でき、並列にほぼ一括して消去可能な16個の物理ブロックでデータブロックである1論理ブロックを構成することができる。ガーベージコレクションは、この1論理ブロックの単位で行われ得る。

【0019】

また、1物理ページよりも小さい単位のデータ管理単位であるクラスタで、CPU6に

10

20

30

40

50

より、不揮発性メモリ4内でのデータが管理されるものとする。クラスタサイズは、ホストHAからの最小アクセス単位であるセクタのサイズ以上であり、クラスタサイズの自然数倍が物理ページサイズとなるように定められる。例えば、1物理ページは4クラスタで構成され、1論理ページは64クラスタで構成され得る。なお、各チャネルで並列に一括してデータ書き込みを行うため、この実施形態では、データはクラスタ番号順に格納されることになる。

【0020】

図1に戻って、コントローラ2は、メモリシステム1における各部を統括的に制御する。コントローラ2は、揮発性メモリ7に加えて、ホストコントローラ5、プロセッサ(CPU: Central Processing Unit)6、ブロック管理部8、メモリコントローラ9、及びメモリコントローラ10を有する。

10

【0021】

CPU6は、ファームウェアを実行することにより、コントローラ2における各部を統括的に制御する。

【0022】

ホストコントローラ5は、CPU6による制御のもと、ホストHAに対するインターフェース動作を行う。ホストコントローラ5は、ホストHAから受信したコマンド及び/又はデータをCPU6及び/又はブロック管理部8へ供給する。例えば、ホストコントローラ5は、ホストライト要求及びライトデータをホストHAから受信すると、ホストライト要求及びライトデータをCPU6へ転送するとともにホストライト要求をブロック管理部8へ転送する。また、ホストコントローラ5は、CPU6から供給された通知及び/又はデータをホストHAへ送信する。

20

【0023】

メモリコントローラ9は、CPU6による制御のもと、揮発性メモリ3に対するインターフェース動作を行う。揮発性メモリ3がDRAMである場合、メモリコントローラ9は、DRAMコントローラとすることができる。また、メモリコントローラ9は、加減算回路11を有する。加減算回路11は、有効クラスタ数を更新するために用いられる。

【0024】

メモリコントローラ10は、CPU6による制御のもと、不揮発性メモリ4に対するインターフェース動作を行う。不揮発性メモリ4がNAND型フラッシュメモリである場合、メモリコントローラ9は、NANDコントローラとすることができる。

30

【0025】

揮発性メモリ7は、コントローラ2内に配され、コントローラ2内(コントローラパッケージ内)の回路として実装され得る。揮発性メモリ7は、揮発性メモリ3よりアクセススピードが速いがビット当たりの単価が高い揮発性メモリであり、揮発性メモリ3より記憶容量が小さく構成され得る。揮発性メモリ7は、例えば、SRAM(Static Random Access Memory)とすることができる。

【0026】

揮発性メモリ7は、アドレス変換情報7aを格納する。アドレス変換情報7aは、不揮発性メモリ4へアクセスするための論理アドレス及び物理アドレス間の変換に用いられる情報であり、ルックアップテーブル(LUT: Look Up Table)とも呼ばれ得る。アドレス変換情報7aは、ホストHAからの不揮発性メモリ4へのアクセス(例えば、ホストライト、ホストリード)が行われる度に更新され得る。

40

【0027】

アドレス変換情報7aは、例えば、図3に示すようなデータ構造を有する。図3は、アドレス変換情報7aのデータ構造を示す図である。図3では、アドレス変換情報7aがテーブル形式で(論物変換テーブルとして)構成される場合が例示されている。アドレス変換情報7aでは、論理アドレスと物理アドレスとが対応付けされている。論理アドレスは、例えば、LBA(Logical Block Address)とすることができる。物理アドレスは、論理ブロックの識別情報(例えば、論理ブロック番号)と論理クラス

50

タの識別情報（例えば、論理ページ番号＋論理クラスタ番号）との組み合わせとすることができる。例えば、図3に示すアドレス変換情報7aを参照することで、論理アドレスLBA0と物理アドレスPHA0とが対応していることが分かり、論理アドレスLBakと物理アドレスPhAkとが対応していることが分かる。

【0028】

図1に示すブロック管理部8は、不揮発性メモリ4における各ブロックの管理を行う。例えば、メモリシステム1が起動されると、CPU6は、メモリコントローラ10及びメモリコントローラ9を制御して、不揮発性メモリ4における管理情報格納領域に格納されたブロック管理情報12を読み出して揮発性メモリ3に格納する。

【0029】

ブロック管理情報12は、ブロックの識別情報と有効クラスタ数とが複数のブロックについて対応付けられた管理情報であり、有効クラスタカウンタとも呼ばれ得る。例えば、ブロック管理情報12は、図4に示すようなデータ構造を有する。図4は、ブロック管理情報12（有効クラスタカウンタ）のデータ構造を示す図である。図4では、ブロック管理情報12がテーブル形式で（すなわち、有効クラスタカウンタテーブルとして）構成される場合が例示されている。ブロック管理情報12では、論理ブロックの識別情報（例えば、論理ブロック番号）と有効クラスタ数とが対応付けされている。例えば、図4に示すブロック管理情報12を参照することで、論理ブロックBL0の有効クラスタ数が「CC0」であることが分かり、論理ブロックBLnの有効クラスタ数が「CCn」であることが分かる。

【0030】

このブロック管理情報12は、図5及び図6に示すように更新され得る。図5は、メモリシステム1の動作を示すシーケンス図である。図6は、メモリシステム1の動作例を示す図である。

【0031】

ブロック管理部8は、ホストライト要求を受けると（S1）、ホストライト要求に応じて、不揮発性メモリ4におけるライトが行われるブロックを特定する。ブロック管理部8は、揮発性メモリ7に格納されたアドレス変換情報7aを参照することなどにより、ホストライト要求に対応する論理ブロックを特定する（S2）。ブロック管理部8は、特定された論理ブロックに対する有効クラスタ数の更新指示を生成してメモリコントローラ9へ供給する（S3）。有効クラスタ数の更新指示は、ブロックの識別情報に対応付けられた更新量を含む。ブロックの識別情報は、有効クラスタ数を更新すべき論理ブロックの識別情報（例えば、論理ブロック番号）を含む。更新量は、有効クラスタ数を更新すべき量（例えば、インクリメント（+1）、又はデクリメント（-1））を含む。

【0032】

これにより、メモリコントローラ9は、揮発性メモリ3にアクセスし（S4）、揮発性メモリ3から更新指示に応じた有効クラスタ数を読み出す（S5）。メモリコントローラ9は、加減算回路11を用いて、読み出された有効クラスタ数を更新指示に応じた更新量で更新する（S6）。更新指示に応じた更新量が「+1」である場合、加減算回路11は、有効クラスタ数をインクリメント（+1）する。更新指示に応じた更新量が「-1」である場合、加減算回路11は、有効クラスタ数をデクリメント（-1）する。メモリコントローラ9は、更新された有効クラスタ数を揮発性メモリ3へ書き戻す（S7）。これにより、揮発性メモリ3に格納されたブロック管理情報12が更新され得る。なお、コントローラ2は、メモリコントローラ10によるホストライトの実行が完了している場合、ホストライト要求に対応するライト完了通知を、S6の完了後にホストコントローラ5からホストHAへ行ってもよいし、S6を待たずにS3の完了後にホストコントローラ5からホストHAへ行ってもよい。

【0033】

例えば、図6には、不揮発性メモリ4が4つの論理ブロックBL0～BL3を有し、各論理ブロックBL0～BL3が5つの論理クラスタCL0～CL4を有する場合の動作例

10

20

30

40

50

が例示されている。なお、以下の説明において、CPU 6 が実行すると説明されている機能は所定の専用回路で実行されてもよいし、所定の専用回路で実行されると説明されている機能は、CPU 6 で実行されてもよい。また、図 6 の右図において、× が記載された四角は無効クラスタを表し、空白の四角は消去済みで未書き込みのクラスタを表す。

【0034】

タイミング t 1 の直前において、論理ブロック BL 0 における論理クラスタ CL 2 ~ CL 4、論理ブロック BL 1 における論理クラスタ CL 1, CL 2, CL 4、論理ブロック BL 2 における論理クラスタ CL 1, CL 4 がそれぞれ無効クラスタであり、論理ブロック BL 3 がフリーブロックとなっている。

【0035】

ブロック管理情報 12 では、論理ブロック BL 0, BL 1, BL 2, BL 3 の有効クラスタ数がそれぞれ、「0」、「0」、「0」、「0」となっている。

【0036】

タイミング t 1 において、論理アドレス A を含むホストライト要求とデータ B を含むライトデータとがホストコントローラ 5 で受信される。

【0037】

タイミング t 2 において、ホストライト要求とライトデータとが転送されると、CPU 6 は、「アドレス A」の論理アドレスに対して「BL 0, CL 0」の物理アドレスを割り当て、アドレス変換情報 7 a をそのように更新する。CPU 6 は、ホストライト要求とライトデータとをメモリコントローラ 10 へ転送する。メモリコントローラ 10 は、不揮発性メモリ 4 にアクセスし、論理ブロック BL 0 の論理クラスタ CL 0 に対応する位置にデータ B を書き込む。

【0038】

また、ホストライト要求が転送されると、ブロック管理部 8 は、ホストライト要求に含まれた論理アドレス「アドレス A」に対応する論理ブロックの識別情報「BL 0」を特定する。ブロック管理部 8 は、特定結果に応じて、論理ブロック BL 0 の有効クラスタ数をインクリメント (+ 1) すべきであると判断し、論理ブロックの識別情報「BL 0」に対応付けられた更新量「+ 1」を含む更新指示を作成してメモリコントローラ 9 へ供給する。

【0039】

タイミング t 3 において、更新指示を受けると、メモリコントローラ 9 は、揮発性メモリ 3 から更新指示に応じた論理ブロック BL 0 の有効クラスタ数「0」を読み出す。メモリコントローラ 9 は、読み出された有効クラスタ数「0」を更新指示に応じた更新量「+ 1」で更新する。メモリコントローラ 9 は、更新された有効クラスタ数「1」を揮発性メモリ 3 へ書き戻す。これにより、揮発性メモリ 3 に格納されたブロック管理情報 12 において、論理ブロック BL 0 の有効クラスタ数が「0」「1」に更新される。

【0040】

タイミング t 4 において、論理アドレス C を含むホストライト要求とデータ D を含むライトデータとがホストコントローラ 5 で受信される。

【0041】

タイミング t 5 において、ホストライト要求とライトデータとが転送されると、CPU 6 は、「アドレス C」の論理アドレスに対して「BL 0, CL 1」の物理アドレスを割り当て、アドレス変換情報 7 a をそのように更新する。CPU 6 は、ホストライト要求とライトデータとをメモリコントローラ 10 へ転送する。メモリコントローラ 10 は、不揮発性メモリ 4 にアクセスし、論理ブロック BL 0 の論理クラスタ CL 1 に対応する位置にデータ D を書き込む。

【0042】

また、ホストライト要求が転送されると、ブロック管理部 8 は、ホストライト要求に含まれた論理アドレス「論理アドレス C」に対応する論理ブロックの識別情報「BL 0」を特定する。ブロック管理部 8 は、特定結果に応じて、論理ブロック BL 0 の有効クラスタ

10

20

30

40

50

数をインクリメント (+ 1) すべきであると判断し、論理ブロックの識別情報「BL0」に対応付けられた更新量「+ 1」を含む更新指示を作成してメモリコントローラ9へ供給する。

【0043】

タイミングt6において、更新指示を受けると、メモリコントローラ9は、揮発性メモリ3から更新指示に応じた論理ブロックBL0の有効クラスタ数「1」を読み出す。メモリコントローラ9は、読み出された有効クラスタ数「1」を更新指示に応じた更新量「+ 1」で更新する。メモリコントローラ9は、更新された有効クラスタ数「2」を揮発性メモリ3へ書き戻す。これにより、揮発性メモリ3に格納されたブロック管理情報12において、論理ブロックBL0の有効クラスタ数が「1」「2」に更新される。

10

【0044】

タイミングt7において、論理アドレスAを含むホストライト要求とデータEを含むライトデータとがホストコントローラ5で受信される。

【0045】

タイミングt8において、ホストライト要求とライトデータとが転送されると、CPU6は、「アドレスA」の論理アドレスに対して「BL0, CL0」に代えて「BL1, CL0」の物理アドレスを割り当て、アドレス変換情報7aをそのように更新する。すなわち、アドレス変換情報7aにおける「アドレスA」の論理アドレスに対応する古い対応情報を削除し、「アドレスA」の論理アドレスが「BL1, CL0」の物理アドレスに対応付けられた新しい対応情報を追加する。論理ブロックBL0の論理クラスタCL0は、アドレス変換情報7a中に対応する論理アドレスが存在しなくなり、無効化される。CPU6は、ホストライト要求とライトデータとをメモリコントローラ10へ転送する。メモリコントローラ10は、論理ブロックBL1の論理クラスタCL0にデータEを書き込む。

20

【0046】

また、ホストライト要求が転送されると、ブロック管理部8は、ホストライト要求に含まれた論理アドレス「アドレスA」に対応する旧論理ブロックの識別情報「BL0」と新論理ブロックの識別情報「BL1」とを特定する。ブロック管理部8は、特定結果に応じて、論理ブロックBL0の有効クラスタ数をデクリメント (- 1) し論理ブロックBL1の有効クラスタ数をインクリメント (+ 1) すべきであると判断し、論理ブロックの識別情報「BL0」に対応付けられた更新量「- 1」と論理ブロックの識別情報「BL1」に対応付けられた更新量「+ 1」とを含む更新指示を作成してメモリコントローラ9へ供給する。

30

【0047】

タイミングt9において、更新指示を受けると、メモリコントローラ9は、揮発性メモリ3から更新指示に応じた論理ブロックBL0の有効クラスタ数「2」と論理ブロックBL1の有効クラスタ数「0」とを読み出す。メモリコントローラ9は、読み出された論理ブロックBL0の有効クラスタ数「2」を更新指示に応じた更新量「- 1」で更新し、読み出された論理ブロックBL1の有効クラスタ数「0」を更新指示に応じた更新量「+ 1」で更新する。メモリコントローラ9は、論理ブロックBL0について更新された有効クラスタ数「1」と論理ブロックBL1について更新された有効クラスタ数「1」とを揮発性メモリ3へ書き戻す。これにより、揮発性メモリ3に格納されたブロック管理情報12において、論理ブロックBL0の有効クラスタ数が「2」「1」に更新され、論理ブロックBL1の有効クラスタ数が「0」「1」に更新される。

40

【0048】

同様に、図示しないが、論理アドレス「F」、「H」、「J」、「L」と物理アドレス「BL1, CL3」、「BL2, CL0」、「BL2, CL2」、「BL2, CL3」との対応情報がアドレス変換情報7aに記録される。それとともに、不揮発性メモリ4における物理アドレス「BL1, CL3」、「BL2, CL0」、「BL2, CL2」、「BL2, CL3」に、それぞれ、データ「G」、「I」、「K」、「M」が書き込まれる。

【0049】

50

これに応じて、タイミング  $t_{10}$  において、ブロック管理情報 12 では、論理ブロック  $BL_0$ 、 $BL_1$ 、 $BL_2$ 、 $BL_3$  の有効クラスタ数がそれぞれ、「1」、「2」、「3」、「0」と更新されている。なお、図 6 では、図示の簡略化のため、アドレス変換情報 7a における論理アドレス「F」、「H」、「J」、「L」と物理アドレス「 $BL_1$ 、 $CL_3$ 」、「 $BL_2$ 、 $CL_0$ 」、「 $BL_2$ 、 $CL_2$ 」、「 $BL_2$ 、 $CL_3$ 」との対応情報の図示が省略されている。

#### 【0050】

図 5 に示すブロック管理部 8 は、ガーベージコレクション要求を CPU 6 から受けると (S8)、ブロック管理情報 12 の取得指示をメモリコントローラ 9 へ転送する (S9)。

10

#### 【0051】

これにより、メモリコントローラ 9 は、揮発性メモリ 3 にアクセスし (S10)、揮発性メモリ 3 から取得指示に応じたブロック管理情報 12 を読み出す (S11)。メモリコントローラ 9 は、読み出されたブロック管理情報 12 をブロック管理部 8 へ転送する (S12)。

#### 【0052】

ブロック管理部 8 は、ブロック管理情報 12 を用いて、不揮発性メモリ 4 における複数のブロックのうちガーベージコレクションの対象となるブロックを決定する (S13)。ブロック管理部 8 は、ブロック管理情報 12 を参照し、複数のブロックのうち有効クラスタ数が閾値以下のブロックをソースブロックとして選択してもよいし、複数のブロックのうちフリーブロックを除き有効クラスタ数が少ない順にブロックを選択しソースブロックとしてもよい。ブロック管理部 8 は、ブロック管理情報 12 を参照し、フリーブロックを特定してデスティネーションブロックとしてもよい。ブロック管理部 8 は、ソースブロックとデスティネーションブロックとを指定してガーベージコレクションを行わせる実行指示を生成してメモリコントローラ 10 へ転送する (S14)。

20

#### 【0053】

これにより、メモリコントローラ 10 は、不揮発性メモリ 4 にアクセスし (S15)、ガーベージコレクションを行うように不揮発性メモリ 4 に指示する。不揮発性メモリ 4 は、その指示に応じて、ガーベージコレクションを行う (S16)。すなわち、不揮発性メモリ 4 は、ソースブロックから有効クラスタのデータを集めてデスティネーションブロックに書き直すデータの引っ越し処理を行い、データの引っ越し処理が完了すると、ソースブロックに対してデータの消去処理を行い、ソースブロックをフリーブロックとする。

30

#### 【0054】

例えば、図 6 に示すタイミング  $t_{11}$  において、ガーベージコレクション要求を CPU 6 から受けると、ブロック管理部 8 は、タイミング  $t_{10}$  に更新されたブロック管理情報 12 を参照し、複数のブロック  $BL_0 \sim BL_3$  のうち有効クラスタ数が閾値 (例えば、2) 以下のブロック  $BL_0$ 、 $BL_1$  をソースブロックとして選択する。あるいは、ブロック管理部 8 は、ブロック管理情報 12 を参照し、複数のブロック  $BL_0 \sim BL_3$  のうちフリーブロックを除き有効クラスタ数が少ない順に所定数のブロック (例えば、2つのブロック)  $BL_0$ 、 $BL_1$  を選択しソースブロックとする。ブロック管理部 8 は、ブロック管理情報 12 を参照し、有効クラスタ数がゼロであるブロック  $BL_3$  をフリーブロックとして特定してデスティネーションブロックとする。ブロック管理部 8 は、ソースブロック  $BL_0$ 、 $BL_1$  とデスティネーションブロック  $BL_3$  とを指定してガーベージコレクションを行わせる実行指示を生成してメモリコントローラ 10 へ転送する。

40

#### 【0055】

タイミング  $t_{12}$  において、実行指示を受けると、メモリコントローラ 10 は、不揮発性メモリ 4 にアクセスし、ガーベージコレクションを行うように指示するコマンドを発行して不揮発性メモリ 4 へ供給する。不揮発性メモリ 4 は、そのコマンドに応じて、ガーベージコレクションを行う。すなわち、不揮発性メモリ 4 は、ソースブロック  $BL_0$  から有効クラスタ  $CL_1$  のデータを集め、ソースブロック  $BL_1$  から有効クラスタ  $CL_0$ 、 $CL$

50

3のデータを集めてデスティネーションブロックBL3に書き直すデータの引っ越し処理を行う。不揮発性メモリ4は、データの引っ越し処理が完了すると、ソースブロックBL0, BL1に対してデータの消去処理を行う。これにより、ソースブロックBL0, BL1をフリーブロックとすることができ、不揮発性メモリ4におけるストレージ領域を効率的に確保することができる。

**【0056】**

図5に示す不揮発性メモリ4は、ガーベージコレクションが完了すると、完了通知をメモリコントローラ10へ返す(S17)。これに応じて、メモリコントローラ10は、完了通知をブロック管理部8へ転送する(S18)。ブロック管理部8は、完了通知をCPU6へ転送する(S19)。これにより、CPU6は、ガーベージコレクションが完了したことを認識するとともにアドレス変換情報7aを更新する。また、ブロック管理部8は、完了通知に応じて、データの引っ越し処理が行われた論理ブロックと消去処理が行われた論理ブロックとをそれぞれ特定する(S20)。ブロック管理部8は、特定された論理ブロックに対する有効クラスタ数の更新指示を生成してメモリコントローラ9へ供給する(S21)。有効クラスタ数の更新指示は、ブロックの識別情報に対応付けられた更新量を含む。ブロックの識別情報は、有効クラスタ数を更新すべき論理ブロックの識別情報(例えば、論理ブロック番号)を含む。更新量は、有効クラスタ数を更新すべき量(例えば、インクリメント(+1)、又はデクリメント(-1))を含む。

10

**【0057】**

これにより、メモリコントローラ9は、揮発性メモリ3にアクセスし(S22)、揮発性メモリ3から更新指示に応じた有効クラスタ数を読み出す(S23)。メモリコントローラ9は、加減算回路11を用いて、読み出された有効クラスタ数を更新指示に応じた更新量で更新する(S24)。更新指示に応じた更新量が「+1」である場合、加減算回路11は、有効クラスタ数をインクリメント(+1)する。更新指示に応じた更新量が「-1」である場合、加減算回路11は、有効クラスタ数をデクリメント(-1)する。メモリコントローラ9は、更新された有効クラスタ数を揮発性メモリ3へ書き戻す(S25)。これにより、揮発性メモリ3に格納されたブロック管理情報12が更新され得る。

20

**【0058】**

例えば、図6に示すタイミングt13において、完了通知が転送されると、CPU6は、データDの記憶位置が変更されたことに依拠して、「アドレスC」の論理アドレスに対して「BL0, CL1」に代えて「BL3, CL1」の物理アドレスを割り当て、アドレス変換情報7aをそのように更新する。CPU6は、データEの記憶位置が変更されたことに依拠して、「アドレスA」の論理アドレスに対して「BL1, CL0」に代えて「BL3, CL0」の物理アドレスを割り当て、アドレス変換情報7aをそのように更新する。CPU6は、データGの記憶位置の変更についても、図示しないが、アドレス変換情報7aを更新する。

30

**【0059】**

また、完了通知が転送されると、ブロック管理部8は、完了通知に応じて、データの引っ越し処理が行われた論理ブロックBL0, BL1, BL3と消去処理が行われた論理ブロックBL0, BL1とをそれぞれ特定する。ブロック管理部8は、特定結果に応じて、論理ブロックBL0の有効クラスタ数を-1して0にし論理ブロックBL1の有効クラスタ数を-2して0にし論理ブロックBL1の有効クラスタ数を+3して3にすべきであると判断し、論理ブロックの識別情報「BL0」に対応付けられた更新量「-1」と論理ブロックの識別情報「BL1」に対応付けられた更新量「-2」と論理ブロックの識別情報「BL3」に対応付けられた更新量「+3」とを含む更新指示を作成してメモリコントローラ9へ供給する。

40

**【0060】**

タイミングt14において、更新指示を受けると、メモリコントローラ9は、揮発性メモリ3から更新指示に応じた論理ブロックBL0の有効クラスタ数「1」と論理ブロックBL1の有効クラスタ数「2」と論理ブロックBL3の有効クラスタ数「0」とを読み出

50

す。メモリコントローラ 9 は、読み出された論理ブロック B L 0 の有効クラスタ数「 1 」を更新指示に応じた更新量「 - 1 」で更新し、読み出された論理ブロック B L 1 の有効クラスタ数「 2 」を更新指示に応じた更新量「 - 2 」で更新し、読み出された論理ブロック B L 3 の有効クラスタ数「 0 」を更新指示に応じた更新量「 + 3 」で更新する。メモリコントローラ 9 は、論理ブロック B L 0 について更新された有効クラスタ数「 0 」と論理ブロック B L 1 について更新された有効クラスタ数「 0 」と論理ブロック B L 3 について更新された有効クラスタ数「 3 」とを揮発性メモリ 3 へ書き戻す。これにより、揮発性メモリ 3 に格納されたブロック管理情報 1 2 において、論理ブロック B L 0 の有効クラスタ数が「 1 」 「 0 」に更新され、論理ブロック B L 1 の有効クラスタ数が「 2 」 「 0 」に更新され、論理ブロック B L 3 の有効クラスタ数が「 0 」 「 3 」に更新される。

10

#### 【 0 0 6 1 】

以上のように、実施形態では、メモリシステム 1 において、コントローラ 2 における有効クラスタ数の更新動作をブロック管理部 8 に代えてコントローラ外の揮発性メモリ 3 に対する I / F となるメモリコントローラ 9 で行えるようにする。これにより、不揮発性メモリ 4 が大容量化しブロック管理情報（有効クラスタカウンタ） 1 2 のデータ容量が増大した場合に、コントローラ 2 内の揮発性メモリ 7 を大容量化することなく（すなわち、メモリシステム 1 のコスト増加を抑制しながら）、有効クラスタ数の更新処理に要する時間を容易に短縮化できる。

#### 【 0 0 6 2 】

例えば、図 7 に示すように、少なくとも、揮発性メモリ 3 から読み出された有効クラスタ数をメモリコントローラ 9 からブロック管理部 8 へ転送する際の転送遅延 T P 0 1 と更新された有効クラスタ数をブロック管理部 8 からメモリコントローラ 9 へ転送する際の転送遅延 T P 0 2 とを削減できる。この結果、ブロック管理部 8 で更新動作を行う場合の処理時間 T P 0 に比較して、実施形態では、有効クラスタ数の更新処理を T P 1 短縮された処理時間 T P 1 で実現できる。

20

#### 【 0 0 6 3 】

なお、有効クラスタ数の複数回の更新動作を一括して行うことができれば、メモリコントローラ 9 による揮発性メモリ 3 への平均的なアクセス頻度を低減でき、有効クラスタ数の更新処理の平均的な処理時間をさらに低減できると期待できる。

#### 【 0 0 6 4 】

そのような考えに基づき、図 8 に示すように、メモリコントローラ 9 内にキャッシュ領域 2 1 3 を設けてもよい。図 8 は、実施形態の第 1 変形例に係るメモリシステム 1 の構成の一部及び動作を示すデータフロー図である。キャッシュ領域 2 1 3 は、例えば S R A M で実現され得る。

30

#### 【 0 0 6 5 】

例えば、有効クラスタ数の 3 回の更新動作を一括して行う場合について説明する。ブロック管理部 8 は、1 回目のホストライト要求（ S 1 - 1 ）に対応する論理ブロックを特定し（ S 2 - 1 ）、1 回目の有効クラスタ数の更新指示を生成してメモリコントローラ 9 へ供給する（ S 3 - 1 ）。メモリコントローラ 9 は、更新指示に応じた更新量をブロックごとに識別情報に対応付けて集計し、識別情報に対応付けられた積算更新量をキャッシュ領域 2 1 3 に格納する（ S 2 0 1 - 1 ）。

40

#### 【 0 0 6 6 】

ブロック管理部 8 は、2 回目のホストライト要求（ S 1 - 2 ）に対応する論理ブロックを特定し（ S 2 - 2 ）、2 回目の有効クラスタ数の更新指示を生成してメモリコントローラ 9 へ供給する（ S 3 - 2 ）。メモリコントローラ 9 は、更新指示に応じた更新量をブロックごとに識別情報に対応付けて集計し、識別情報に対応付けられた積算更新量をキャッシュ領域 2 1 3 に格納する（ S 2 0 1 - 2 ）。

#### 【 0 0 6 7 】

ブロック管理部 8 は、3 回目のホストライト要求（ S 1 - 3 ）に対応する論理ブロックを特定し（ S 2 - 3 ）、3 回目の有効クラスタ数の更新指示を生成してメモリコントロー

50

ラ9へ供給する(S3-3)。メモリコントローラ9は、更新指示に応じた更新量をブロックごとに識別情報に対応付けて集計し、識別情報に対応付けられた積算更新量をキャッシュ領域213に格納する(S201-3)。

【0068】

そして、メモリコントローラ9は、揮発性メモリ3にアクセスし(S4)、揮発性メモリ3から更新指示に応じた有効クラスタ数を読み出す(S5)。メモリコントローラ9は、加減算回路11を用いて、読み出された有効クラスタ数を積算更新量で更新する(S6)。メモリコントローラ9は、更新された有効クラスタ数を揮発性メモリ3へ書き戻す(S7)。これにより、揮発性メモリ3に格納されたブロック管理情報12が更新され得る。

10

【0069】

例えば、図6に示す動作例では、タイミングt1のホストライト要求に応じて、タイミングt2において、論理ブロックの識別情報「BL0」に対応付けられた更新量「+1」を含む更新指示がメモリコントローラ9へ供給される。

【0070】

タイミングt3において、更新指示を受けると、メモリコントローラ9は、論理ブロックの識別情報「BL0」に対応付けられた積算更新量「+1」を生成してキャッシュ領域213に格納する。

【0071】

タイミングt4のホストライト要求に応じて、タイミングt5において、論理ブロックの識別情報「BL0」に対応付けられた更新量「+1」を含む更新指示がメモリコントローラ9へ供給される。

20

【0072】

タイミングt6において、更新指示を受けると、メモリコントローラ9は、キャッシュ領域213から積算更新量を読み出し、論理ブロックの識別情報「BL0」に対応付けられた積算更新量「+1」に更新量「+1」を加算し、積算更新量「+2」を求める。メモリコントローラ9は、論理ブロックの識別情報「BL0」に対応付けられた積算更新量「+2」をキャッシュ領域213に格納する。

【0073】

タイミングt7のホストライト要求に応じて、タイミングt8において、論理ブロックの識別情報「BL0」に対応付けられた更新量「-1」と論理ブロックの識別情報「BL1」に対応付けられた更新量「+1」とを含む更新指示がメモリコントローラ9へ供給される。

30

【0074】

タイミングt9において、更新指示を受けると、メモリコントローラ9は、キャッシュ領域213から積算更新量を読み出し、論理ブロックの識別情報「BL0」に対応付けられた積算更新量「+2」に更新量「-1」を加算し、積算更新量「+1」を求める。メモリコントローラ9は、論理ブロックの識別情報「BL0」に対応付けられた積算更新量「+1」をキャッシュ領域213に格納する。また、メモリコントローラ9は、論理ブロックの識別情報「BL1」に対応付けられた積算更新量「0」に更新量「+1」を加算し、積算更新量「+1」を求める。メモリコントローラ9は、論理ブロックの識別情報「BL1」に対応付けられた積算更新量「+1」をキャッシュ領域213に格納する。

40

【0075】

そして、メモリコントローラ9は、揮発性メモリ3から論理ブロックBL0の有効クラスタ数「0」と論理ブロックBL1の有効クラスタ数「0」とを読み出す。メモリコントローラ9は、読み出された論理ブロックBL0の有効クラスタ数「0」を1回目～3回目の更新指示に応じた積算更新量「+1」で更新し、読み出された論理ブロックBL1の有効クラスタ数「1」を1回目～3回目の更新指示に応じた積算更新量「+1」で更新する。メモリコントローラ9は、論理ブロックBL0について更新された有効クラスタ数「1」と論理ブロックBL1について更新された有効クラスタ数「2」とを揮発性メモリ3へ

50

書き戻す。これにより、揮発性メモリ 3 に格納されたブロック管理情報 1 2 において、論理ブロック B L 0 の有効クラスタ数が「 0 」 「 1 」に更新され、論理ブロック B L 1 の有効クラスタ数が「 0 」 「 1 」に更新される。

【 0 0 7 6 】

このように、有効クラスタ数の複数回の更新動作を一括して行うことができれば、メモリコントローラ 9 による揮発性メモリ 3 への平均的なアクセス頻度を低減でき、有効クラスタ数の更新処理の平均的な処理時間をさらに低減できる。

【 0 0 7 7 】

例えば、図 9 に示すように、少なくとも、複数回のうち最終回を除く各回の更新処理時間 T P 1 - 1 , T P 1 - 2 における更新後の有効クラスタ数を揮発性メモリ 3 へ書き込む時間 T P 1 1 1 - 1 , T P 1 1 1 - 2 を削減できる。この結果、毎回更新動作を行う場合の処理時間 T P 1 1 に比較して、実施形態の第 1 変形例では、有効クラスタ数の更新処理を T P 1 2 短縮された処理時間 T P 1 2 で実現できる。

10

【 0 0 7 8 】

なお、有効クラスタ数の複数回の更新動作を一括して行うトリガー条件は、更新動作の回数が所定回数に達したことであってもよいし、積算更新量のデータ容量がキャッシュ領域 2 1 3 の記憶容量に達したことであってもよいし、ガーベージコレクション時であってもよい。

【 0 0 7 9 】

例えば有効クラスタ数の複数回の更新動作をガーベージコレクション時に行う場合、次の動作が行われてもよい。ガーベージコレクション時には、CPU 6 がブロック管理部 8 、メモリコントローラ 9 を通じて揮発性メモリ 3 にアクセスして有効カウンタ数を読み込んでおく。このときに、メモリコントローラ 9 は、キャッシュ領域 2 1 3 の中に読み込み先の論理ブロックに関するエントリがあるか確認し、必要に応じて加減算処理を行う。あるいは、キャッシュ領域 2 1 3 内で、ガーベージコレクションの結果に応じた積算値を保持し、これをアイドル時等の空き時間に揮発性メモリ 3 に書き戻してもよい。この構成により、揮発性メモリ ( D R A M ) 3 に対するアクセス頻度を少なくすることができる。

20

【 0 0 8 0 】

あるいは、揮発性メモリ 3 が複数のリフレッシュ領域を有する場合、有効クラスタ数の更新のためのメモリアクセスを複数のリフレッシュ領域のうちリフレッシュされていないリフレッシュ領域に対して行えば、有効クラスタ数の更新処理を揮発性メモリ 3 のリフレッシュ処理との関係で効率化できると期待できる。

30

【 0 0 8 1 】

そのような考えに基づき、図 1 0 に示すように、揮発性メモリ 3 が複数のリフレッシュ領域 1 4 - 1 ~ 1 4 - k ( k は 2 以上の整数 ) を有することに対応して、メモリコントローラ 9 内にキャッシュ領域 3 1 3 - 1 ~ 3 1 3 - k を設けてもよい。各リフレッシュ領域 1 4 は、揮発性メモリ 3 におけるリフレッシュ処理、すなわち定期的なメモリセルへの電荷の充電の処理を行う単位となる領域であり、例えば、D I M M 領域 ( すなわち、電源の供給単位となる領域 ) であってもよいし、ランク領域 ( すなわち、1メモリチップとなる領域 ) であってもよいし、バンク領域 ( メモリコントローラ 9 が揮発性メモリ 3 を管理する単位となる領域 ) であってもよい。

40

【 0 0 8 2 】

例えば、CPU 6 は、不揮発性メモリ 4 におけるストレージ領域のアドレス空間を論理ブロックの単位でリフレッシュ領域の数 ( k 個 ) に分割して、k 個のリフレッシュ領域 1 4 - 1 ~ 1 4 - k と k 個のキャッシュ領域 3 1 3 - 1 ~ 3 1 3 - k とにそれぞれ割り当てる。

【 0 0 8 3 】

メモリシステム 1 が起動されると、CPU 6 は、メモリコントローラ 1 0 及びメモリコントローラ 9 を制御して、不揮発性メモリ 4 における管理情報格納領域に格納されたブロック管理情報 1 2 を読み出して揮発性メモリ 3 に格納する。このとき、CPU 6 は、プロ

50

ック管理情報 1 2 における各論理ブロックのレコード（論理ブロック番号と有効クラスタ数との対応情報）がその論理ブロックに割り当てられたリフレッシュ領域 1 4 に格納されるように制御する。図 1 0 では、ブロック管理情報 1 2 は、k 個のリフレッシュ領域 1 4 - 1 ~ 1 4 - k に跨って揮発性メモリ 3 内に格納される場合が例示されている。

【 0 0 8 4 】

メモリコントローラ 9 は、CPU 6 による制御のもと、不揮発性メモリ 4 における複数の論理ブロックと k 個のキャッシュ領域 3 1 3 - 1 ~ 3 1 3 - k との対応関係に応じて、各論理ブロックの有効クラスタ数に対する積算更新量をその論理ブロックに対応するキャッシュ領域 3 1 3 に格納する。メモリコントローラ 9 は、一括更新のタイミングになると、そのキャッシュ領域 3 1 3 に対応するリフレッシュ領域 1 4 から有効クラスタ数を読み出し、そのキャッシュ領域 3 1 3 に格納された積算更新量で更新し、更新された有効クラスタ数をそのリフレッシュ領域 1 4 へ書き戻す。この更新された有効クラスタ数をそのリフレッシュ領域 1 4 へ書き戻す処理を、CPU 6 は、他のリフレッシュ領域 1 4 に対するリフレッシュ処理と並行して行うように制御することができる。

10

【 0 0 8 5 】

例えば、k = 2 である場合、図 1 1 に示すように、有効クラスタ数の更新処理と揮発性メモリ 3 に対するリフレッシュ処理とを並行させることができる。図 1 1 は、実施形態の第 2 変形例に係るメモリシステムの動作の効率化（k = 2 の場合）を示す図である。すなわち、トータルのリフレッシュ時間 T P r f 1 は、リフレッシュ領域 1 4 - 2 のリフレッシュ時間 T P 2 1 とリフレッシュ領域 1 4 - 1 のリフレッシュ時間 T P 2 2 とを含む。

20

【 0 0 8 6 】

CPU 6 による制御のもと、メモリコントローラ 9 は、リフレッシュ領域 1 4 - 2 のリフレッシュ時間 T P 2 1 に、キャッシュ領域 3 1 3 - 1 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 1 へ書き戻す。メモリコントローラ 9 は、リフレッシュ領域 1 4 - 1 のリフレッシュ時間 T P 2 2 に、キャッシュ領域 3 1 3 - 2 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 2 へ書き戻す。

【 0 0 8 7 】

これにより、キャッシュ領域 3 1 3 - 1 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 1 へ書き戻す処理の時間 T P 2 1 1 をリフレッシュ領域 1 4 - 2 のリフレッシュ時間 T P 2 1 で隠すことができ、キャッシュ領域 3 1 3 - 2 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 2 へ書き戻す処理の時間 T P 2 2 1 をリフレッシュ領域 1 4 - 1 のリフレッシュ時間 T P 2 2 で隠すことができる。

30

【 0 0 8 8 】

あるいは、例えば、k = 3 である場合、図 1 2 に示すように、有効クラスタ数の更新処理と揮発性メモリ 3 に対するリフレッシュ処理とを並行させることができる。図 1 2 は、実施形態の第 2 変形例に係るメモリシステムの動作の効率化（k = 3 の場合）を示す図である。すなわち、トータルのリフレッシュ時間 T P r f 2 は、リフレッシュ領域 1 4 - 3 のリフレッシュ時間 T P 3 1 とリフレッシュ領域 1 4 - 1 のリフレッシュ時間 T P 3 2 とリフレッシュ領域 1 4 - 2 のリフレッシュ時間 T P 3 3 とを含む。

【 0 0 8 9 】

CPU 6 による制御のもと、メモリコントローラ 9 は、リフレッシュ領域 1 4 - 3 のリフレッシュ時間 T P 3 1 に、キャッシュ領域 3 1 3 - 1 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 1 へ書き戻す。メモリコントローラ 9 は、リフレッシュ領域 1 4 - 1 のリフレッシュ時間 T P 3 2 に、キャッシュ領域 3 1 3 - 2 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 2 へ書き戻す。メモリコントローラ 9 は、リフレッシュ領域 1 4 - 2 のリフレッシュ時間 T P 3 3 に、キャッシュ領域 3 1 3 - 3 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 1 4 - 3 へ書き戻す。

40

【 0 0 9 0 】

これにより、キャッシュ領域 3 1 3 - 1 の積算更新量で更新された有効クラスタ数をリ

50

フレッシュ領域 14 - 1 へ書き戻す処理の時間 T P 3 1 1 をリフレッシュ領域 14 - 3 のリフレッシュ時間 T P 3 1 で隠すことができ、キャッシュ領域 3 1 3 - 2 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 14 - 2 へ書き戻す処理の時間 T P 3 2 1 をリフレッシュ領域 14 - 1 のリフレッシュ時間 T P 3 2 で隠すことができ、キャッシュ領域 3 1 3 - 3 の積算更新量で更新された有効クラスタ数をリフレッシュ領域 14 - 3 へ書き戻す処理の時間 T P 3 3 1 をリフレッシュ領域 14 - 2 のリフレッシュ時間 T P 3 3 で隠すことができる。

【 0 0 9 1 】

このように、揮発性メモリ ( D R A M ) 3 における複数のリフレッシュ領域に対応してメモリコントローラ 9 内に複数のキャッシュ領域を設け、メモリコントローラ 9 による有効クラスタ数の更新のためのメモリアクセスを複数のリフレッシュ領域のうちリフレッシュ対象ではないリフレッシュ領域に対して行う。これにより、有効クラスタ数の更新のためのメモリアクセスの時間をリフレッシュ処理の時間に隠すことができ、メモリコントローラ 9 におけるキャッシュ領域 3 1 3 のページによる処理時間のロスを見えなくすることが可能となる。この結果、有効クラスタ数の更新処理を揮発性メモリ 3 のリフレッシュ処理との関係で効率化できる。

10

【 0 0 9 2 】

あるいは、有効クラスタ数が閾値以下であるブロックがガーベージコレクションのソースブロックとなる場合、有効クラスタ数が更新された時点でその論理ブロックの閾値比較をしてソースブロックとなるか判断しておけば、ガーベージコレクション要求を受けてからその完了通知を返すまでのガーベージコレクションの処理時間を短縮できると期待できる。

20

【 0 0 9 3 】

そのような考えに基づき、図 1 3 に示すように、メモリコントローラ 9 内に閾値比較回路 4 1 6 を設けるとともにブロック管理部 8 がガーベージコレクションのソースブロックを示すビットマップ 4 1 5 を保持してもよい。図 1 3 は、実施形態の第 3 変形例に係るメモリシステム 1 の構成の一部及び動作を示すシーケンス図である。閾値比較回路 4 1 6 は、C P U 6 により予め設定された閾値を有し、メモリコントローラ 9 で更新された有効クラスタ数をその閾値と比較する。ビットマップ 4 1 5 は、不揮発性メモリ 4 に含まれるブロックの数に対応したビット数を有する。ビットマップ 4 1 5 は、各ビット位置が論理ブロックの識別情報と対応しており、そのビット値がソースブロックとなるか否か ( 例えば、ビット値「 1 」であればソースブロックであり、ビット値「 0 」であればソースブロックでないこと ) を表している。

30

【 0 0 9 4 】

例えば、実施形態と同様に S 1 ~ S 7 が行われた後、メモリコントローラ 9 における閾値比較回路 4 1 6 は、更新後の有効クラスタ数を閾値と比較する ( S 3 1 ) 。この比較に用いられる閾値は、C P U 6 により閾値比較回路 4 1 6 へ予め ( S 3 1 より前に ) 設定され得る。閾値比較回路 4 1 6 は、比較結果をブロック管理部 8 へ供給する ( S 3 2 ) 。比較結果は、論理ブロックの識別情報とその有効クラスタ数が閾値以下であるか否かの情報とを含む。

40

【 0 0 9 5 】

ブロック管理部 8 は、比較結果を用いてビットマップ 4 1 5 を更新する ( S 3 3 ) 。すなわち、ブロック管理部 8 は、比較結果から論理ブロックの識別情報を抽出し、ビットマップ 4 1 5 における論理ブロックの識別情報に対応したビット位置を参照する。ブロック管理部 8 は、有効クラスタ数が閾値以下である旨の情報が比較結果に含まれていれば、そのビット位置のビット値を「 1 」に更新し、有効クラスタ数が閾値より大きい旨の情報が比較結果に含まれていれば、そのビット位置のビット値を「 0 」に更新する。

【 0 0 9 6 】

これにより、ブロック管理部 8 は、ガーベージコレクション要求を C P U 6 から受けると ( S 8 ) 、ビットマップ 4 1 5 を参照して、不揮発性メモリ 4 における複数のブロック

50

のうちガーベジコレクションの対象となるブロックを決定する(S34)。そして、実施形態と同様にS14~S25が行われる。

【0097】

この構成及び動作により、ガーベジコレクション対象ブロックを決定する際の揮発性メモリ3へのアクセスを無くすことが可能となる。したがって、ガーベジコレクション要求を受けてからその完了通知を返すまでのガーベジコレクションの処理時間を短縮できる。

【0098】

また、ハードウェアを用いた処理により有効クラスタ数の少ないブロックの検索を高速に処理できる。すなわち、ガーベジコレクション要求を受ける前に行うビットマップ415の更新に要する処理時間を容易に短縮できる。

10

【0099】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

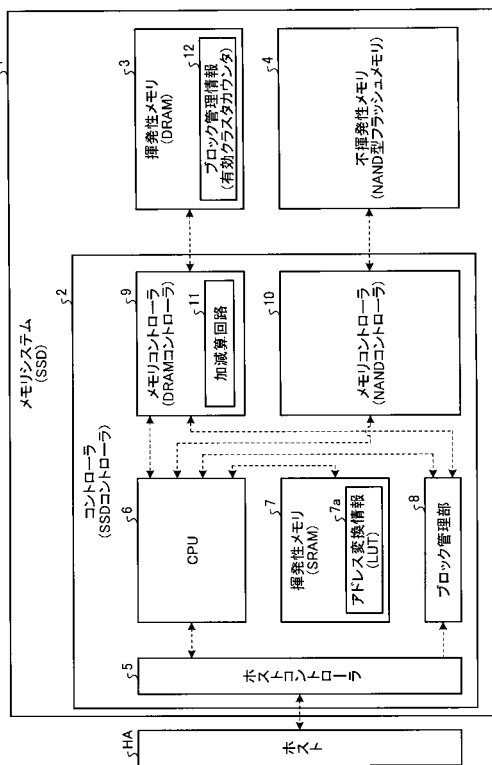
【符号の説明】

【0100】

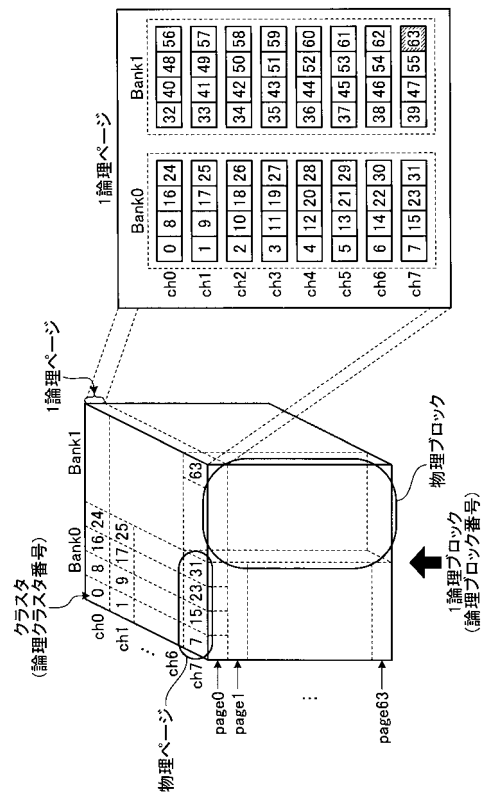
- 1 メモリシステム、2 コントローラ、3 揮発性メモリ、4 不揮発性メモリ、8 ブロック管理部、9 メモリコントローラ、10 メモリコントローラ。

20

【図1】



【図2】



【 図 3 】

論理アドレス (LBA)	物理アドレス (論理ブロック番号+論理ページ番号+論理クラスタ番号)
LBA0	PHA0
⋮	⋮
LBAk	PHAk
⋮	⋮

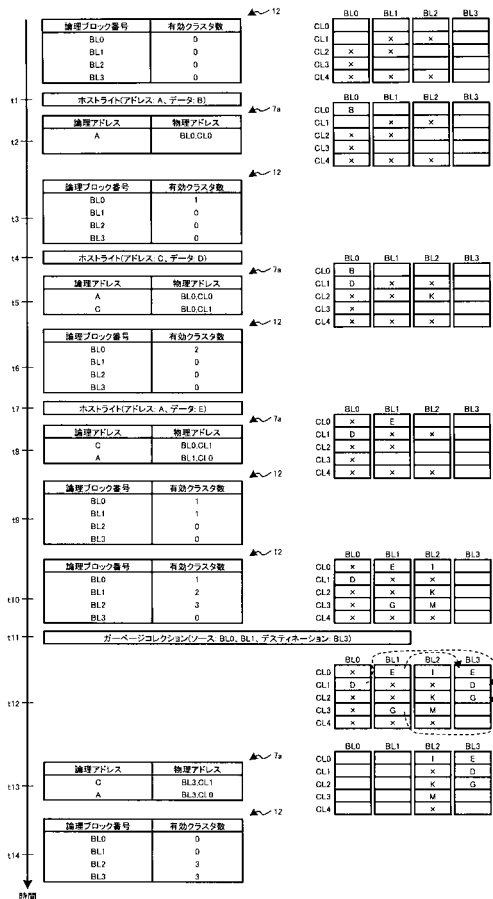
7a

【 図 4 】

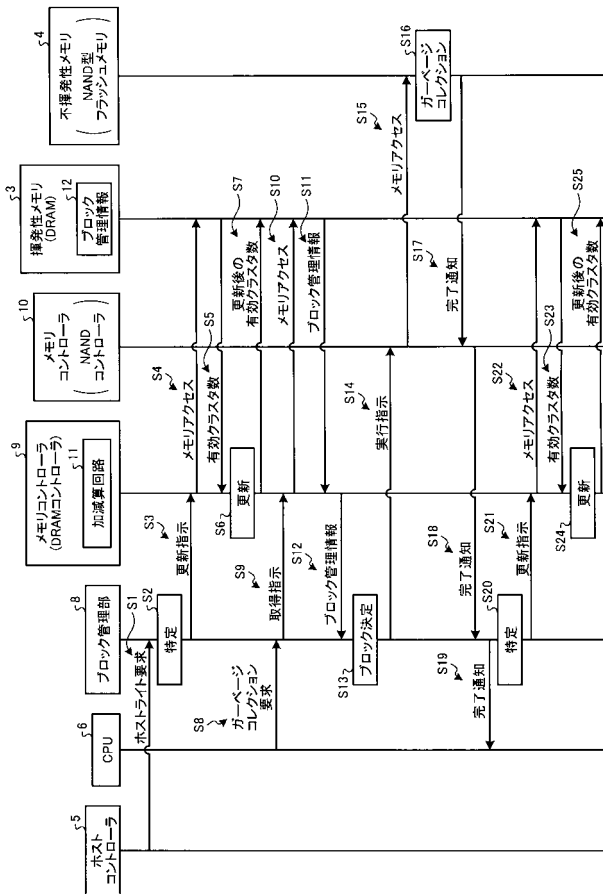
論理ブロック番号	有効クラスタ数
BL0	CC0
⋮	⋮
BLn	CCn
⋮	⋮

12

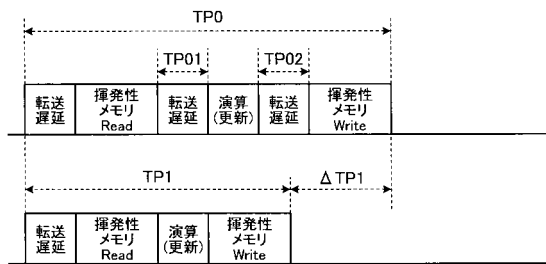
【 図 6 】



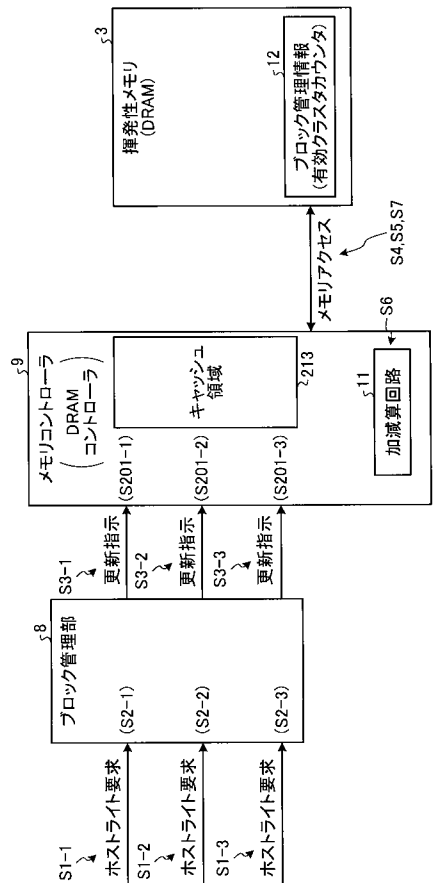
【 図 5 】



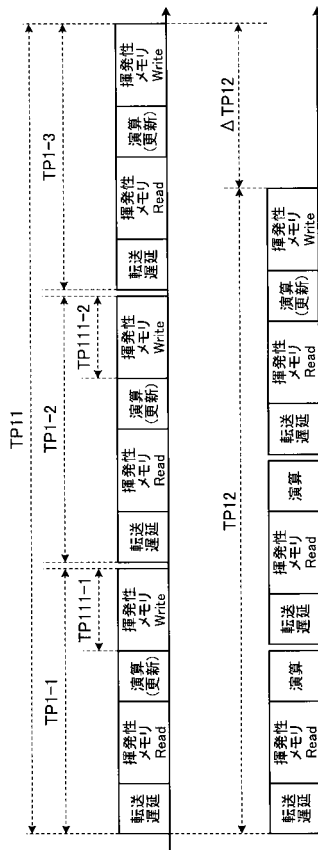
【 図 7 】



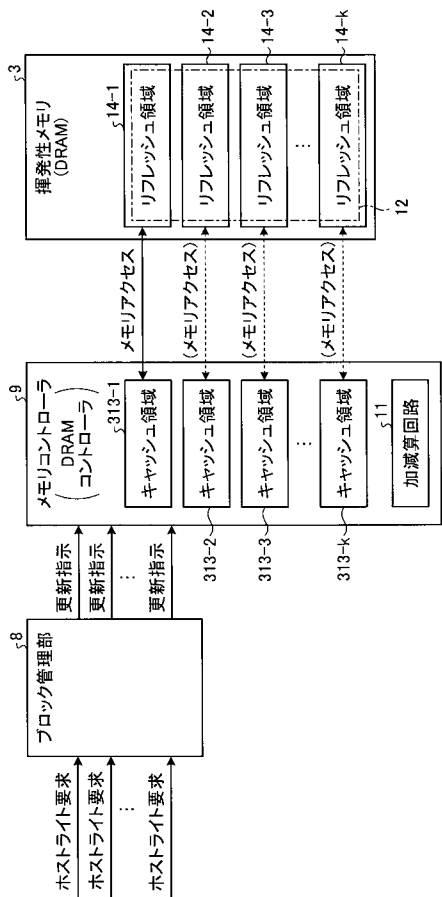
【 図 8 】



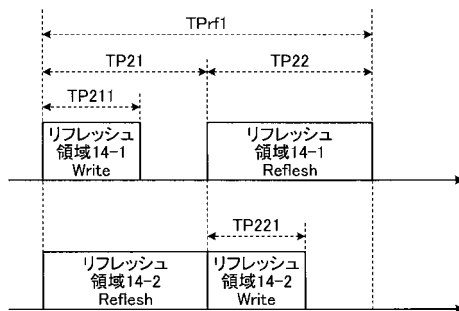
【 図 9 】



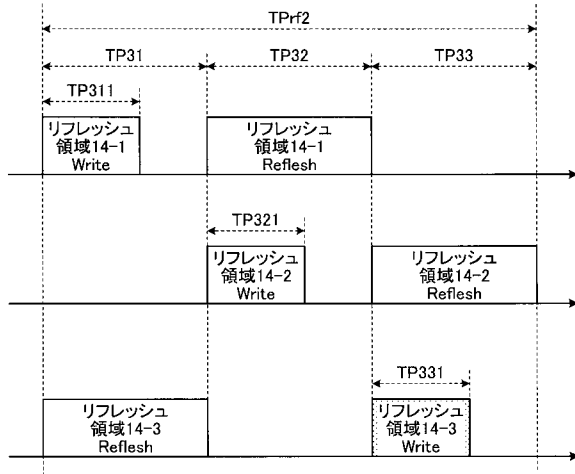
【 図 10 】



【 図 11 】



【 図 1 2 】



【 図 1 3 】

