

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4715260号  
(P4715260)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl.		F I			
HO 4 R	19/04	(2006.01)	HO 4 R	19/04	
HO 1 L	29/84	(2006.01)	HO 1 L	29/84	Z
HO 4 R	31/00	(2006.01)	HO 4 R	31/00	C

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2005-84455 (P2005-84455)	(73) 特許権者	000004075
(22) 出願日	平成17年3月23日 (2005. 3. 23)		ヤマハ株式会社
(65) 公開番号	特開2006-270408 (P2006-270408A)		静岡県浜松市中区中沢町10番1号
(43) 公開日	平成18年10月5日 (2006. 10. 5)	(74) 代理人	100103735
審査請求日	平成20年1月22日 (2008. 1. 22)		弁理士 鈴木 隆盛
		(74) 代理人	100102635
			弁理士 浅見 保男
		(74) 代理人	100106459
			弁理士 高橋 英生
		(74) 代理人	100105500
			弁理士 武山 吉孝
		(74) 代理人	100118821
			弁理士 祖父江 栄一

最終頁に続く

(54) 【発明の名称】 コンデンサマイクロホンおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

大気に連通する開口を備えたシリコン基板の該開口の上部に第1電極を形成し、この上部に空間部を介して第2電極が対向するように配置してコンデンサを形成するようにしたコンデンサマイクロホンの製造方法であって、

前記シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、

前記エッチングストッパー膜の上にダイヤフラムとなる第1電極を成膜する第1電極成膜工程と、

前記第1電極および前記エッチングストッパー膜に所定形状の貫通孔を形成する貫通孔形成工程と、

前記貫通孔が形成された第1電極の上に犠牲層を形成する犠牲層形成工程と、

前記犠牲層の上に背面板となる第2電極を成膜する第2電極成膜工程と、

前記第2電極の上に犠牲層エッチングストッパー膜を成膜する犠牲層エッチングストッパー膜成膜工程と、

前記シリコン基板に大気に連通する開口を形成する開口形成工程と、

前記第1電極および前記エッチングストッパー膜に形成された貫通孔を通して前記犠牲層を除去する犠牲層除去工程とを備えたことを特徴とするコンデンサマイクロホンの製造方法。

【請求項2】

10

20

大気に連通する開口を備えたシリコン基板の該開口の上部に第 1 電極を形成し、この上部に空間部を介して第 2 電極が対向するように配置してコンデンサを形成するようにした チップ・サイズ・パッケージの製造方法であって、

前記シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、

前記エッチングストッパー膜の上にダイヤフラムとなる第 1 電極を成膜する第 1 電極成膜工程と、

前記第 1 電極および前記エッチングストッパー膜に所定形状の貫通孔を形成する貫通孔形成工程と、

前記貫通孔が形成された第 1 電極の上に犠牲層を形成する犠牲層形成工程と、

10

前記犠牲層の上に背面板となる第 2 電極を成膜する第 2 電極成膜工程と、

前記第 2 電極の上に犠牲層エッチングストッパー膜を成膜する犠牲層エッチングストッパー膜成膜工程と、

前記シリコン基板に大気に連通する開口を形成する開口形成工程と、

前記第 1 電極および前記エッチングストッパー膜に形成された貫通孔を通して前記犠牲層を除去する犠牲層除去工程とを備え、

前記シリコン基板上に前記第 1 電極、前記第 2 電極と接続するパンプが形成されていることを特徴とするチップ・サイズ・パッケージの製造方法。

#### 【請求項 3】

大気に連通する開口を備えたシリコン基板の該開口の上部に第 1 電極を形成し、この上部に空間部を介して第 2 電極が対向するように配置してコンデンサを形成するようにしたコンデンサマイクロホンの製造方法であって、

20

前記シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、

前記エッチングストッパー膜の上にダイヤフラムとなる第 1 電極を成膜する第 1 電極成膜工程と、

前記第 1 電極に所定形状の貫通孔を形成する貫通孔形成工程と、

前記貫通孔が形成された第 1 電極の上に犠牲層を形成する犠牲層形成工程と、

前記犠牲層の上に背面板となる第 2 電極を成膜する第 2 電極成膜工程と、

前記第 2 電極の上に犠牲層エッチングストッパー膜を成膜する犠牲層エッチングストッパー膜成膜工程と、

30

前記第 2 電極と前記犠牲層エッチングストッパー膜を貫通して大気に連通する気体流通孔を形成する気体流通孔形成工程と、

前記シリコン基板に大気に連通する開口を形成する開口形成工程と、

前記シリコン基板に形成された前記開口の上部に存在する前記エッチングストッパー膜を除去するとともに、前記第 1 電極に形成された貫通孔および前記第 2 電極と前記犠牲層エッチングストッパー膜に形成された気体流通孔を通して前記犠牲層を除去する犠牲層除去工程とを備えたことを特徴とするコンデンサマイクロホンの製造方法。

#### 【請求項 4】

大気に連通する開口を備えたシリコン基板の該開口の上部に第 1 電極を形成し、この上部に空間部を介して第 2 電極が対向するように配置してコンデンサを形成するようにした チップ・サイズ・パッケージの製造方法であって、

40

前記シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、

前記エッチングストッパー膜の上にダイヤフラムとなる第 1 電極を成膜する第 1 電極成膜工程と、

前記第 1 電極に所定形状の貫通孔を形成する貫通孔形成工程と、

前記貫通孔が形成された第 1 電極の上に犠牲層を形成する犠牲層形成工程と、

前記犠牲層の上に背面板となる第 2 電極を成膜する第 2 電極成膜工程と、

前記第 2 電極の上に犠牲層エッチングストッパー膜を成膜する犠牲層エッチングストッ

50

パー膜成膜工程と、

前記第 2 電極と前記犠牲層エッチングストッパ膜を貫通して大気に連通する気体流通孔を形成する気体流通孔形成工程と、

前記シリコン基板に大気に連通する開口を形成する開口形成工程と、

前記シリコン基板に形成された前記開口の上部に存在する前記エッチングストッパ膜を除去するとともに、前記第 1 電極に形成された貫通孔および前記第 2 電極と前記犠牲層エッチングストッパ膜に形成された気体流通孔を通して前記犠牲層を除去する犠牲層除去工程とを備え、

前記シリコン基板上に前記第 1 電極、前記第 2 電極と接続するパンプが形成されていることを特徴とするチップ・サイズ・パッケージの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、大気に連通する開口を備えたシリコン基板の該開口の上部に第 1 電極（ダイアフラム）と第 2 電極（背面板：バックプレート）が空間部を介して相対向するように配置されてコンデンサが形成されたコンデンサマイクロホンおよびその製造方法に関する。

【背景技術】

【0002】

従来より、音圧で振動する薄いダイアフラム（第 1 電極）と、これに近接して平行に形成されたバックプレート（第 2 電極）とで構成されるコンデンサ型のマイクロホン（コンデンサマイクロホン）が知られている。この種のコンデンサマイクロホンは、ダイアフラム（第 1 電極）が振動するとコンデンサの容量が変化し、これを電圧に変換して音声信号として取り出すようになされている。このような従来のマイクロホンにあっては、複数種の部品を組み立てて作製するため、主に、次の（1）～（3）に示されるような種々の問題点があった。

20

【0003】

（1）部品の組立工程の精度の制約により、小型化するのにも限界があることから、携帯電話機等の小型の電子機器に搭載されている半導体部品などの他のモジュールに比べて、厚さや占有面積も大きくなってしまい、回路基板の実装密度を高めることの妨げになっていた。

30

（2）また、部品の材質が個々に異なって、熱膨張率に差異があることから、実装工程における半田付けなどの複数回の熱処理による熱衝撃で、熱歪みによる変形が生じてしまうということがあった。

（3）さらに、振動膜やスペーサー絶縁部などに樹脂材料からなる部品を採用した場合には、パンプ/リフローなどのように高温処理を伴う実装工程により一括処理することができず、効率化を図ることができなかった。

【0004】

そこで、マイクロマシン技術（MEMS：Micro Electro Mechanical System）を適用して、マイクロホンを小型化することが特許文献 1 あるいは特許文献 2 にて提案されるようになった。特許文献 1 にて提案されたマイクロホンにあっては、基台（シリコン基板）の中央部に音圧により振動する振動膜を形成するとともに、この振動膜の周囲を囲む支持部が背面板を支持して振動膜に対面させることにより、振動膜と背面板との間に支持部を介装して振動膜の振動空間を確保する積層構造に構成するようにしている。これにより、半導体製造技術（マイクロマシン技術）により作製可能でコンデンサ型マイクロホンとして機能するチップマイクロホンが実現できるというものである。この場合、振動膜（ダイアフラム）には貫通孔が形成されておらず、背面板に貫通孔が形成されていて圧力の調整が行われるようになされている。

40

【0005】

また、特許文献 2 にて提案されたものには、SOI（Silicon On Insulator）基板のボディー・シリコン層の上に形成されたポリシリコンダイアフラムを有するマイクロ

50

メカニカルデバイスとして設計されている。このマイクロメカニカルデバイスにおいては、基板内の裏側にはボディー・シリコン層内の開口を介してダイヤフラムとボディー・シリコン層間の空洞と接続されている空所が存在し、この開口によりダイヤフラムの振動静止時に空洞（チャンバー）内の圧力平衡が生じるようになされている。この場合、SOI基板で構成されたチップ表面からの音圧をダイヤフラムで受け、ダイヤフラム内で発生する気体の流通および圧力の調整をチップ裏面に形成された空洞（チャンバー）に連通する流通孔を通して行われるようになされている。

【特許文献1】特開2003-078981号公報

【特許文献2】特表2001-508940号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、上述した特許文献1にて提案されたマイクロホンにおいては、組立時にチップ表面に空間を形成する必要があるため、組み立て工程が複雑になるという問題を生じた。また、モジュール基板への実装面にキャップによる凹凸があるため、実装工程が複雑になり、製造コストが高くなるという問題を生じた。

【0007】

一方、上述した特許文献2にて提案されたマイクロホンにおいては、チップ表面に気体の流通孔があるため、チップ表面を樹脂でモールドするプラスチックパッケージやチップ・サイズ・パッケージ（CSP）とのマッチングが悪いという問題が生じた。

【0008】

そこで、本発明は上記の如き問題点を解消するためになされたものであり、チップ・サイズ・パッケージ（CSP）で容易にコンデンサマイクロホンが製造できる構造にして、超小型のコンデンサマイクロホンを低コストで提供できるようにすることを目的とする。

【課題を解決するための手段】

【0009】

本発明は、大気に連通する開口を備えたシリコン基板の該開口の上部に第1電極と第2電極が空間部を介して対向するように配置されてコンデンサが形成されたコンデンサマイクロホンの製造方法であって、上記目的を達成するため、シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、エッチングストッパー膜の上にダイヤフラムとなる第1電極を成膜する第1電極成膜工程と、第1電極およびエッチングストッパー膜に所定形状の貫通孔を形成する貫通孔形成工程と、貫通孔が形成された第1電極の上に犠牲層を形成する犠牲層形成工程と、犠牲層の上に背面板（バックプレート）となる第2電極を成膜する第2電極成膜工程と、第2電極の上に犠牲層エッチングストッパー膜を成膜する犠牲層エッチングストッパー膜成膜工程と、シリコン基板に大気に連通する開口を形成する開口形成工程と、第1電極およびエッチングストッパー膜に形成された貫通孔を通して犠牲層を除去する犠牲層除去工程とを備えていることを特徴とする。

【0012】

このように、第1電極と第2電極が犠牲層を介して相対向するように形成されており、この犠牲層を第1電極とエッチングストッパー膜に形成された貫通孔を通して除去するだけで、ダイヤフラムとなる第1電極と背面板（バックプレート）となる第2電極が空間部を介して容易に対向させることが可能となる。このため、この種のコンデンサマイクロホンを容易に超小型化することが可能になるとともに、簡単、容易に製造でき、しかも、安価に製造できるようになる。

【0019】

そして、上述のようなコンデンサマイクロホンを製造するには、シリコン基板上にエッチングストッパー膜を成膜するエッチングストッパー膜成膜工程と、エッチングストッパー膜の上にダイヤフラムとなる第1電極を成膜する第1電極成膜工程と、第1電極に所定形状の貫通孔を形成する貫通孔形成工程と、貫通孔が形成された第1電極の上に犠牲層を形成する犠牲層形成工程と、犠牲層の上に背面板となる第2電極を成膜する第2電極成膜

10

20

30

40

50

工程と、第2電極の上に犠牲層エッチングストッパ膜を成膜する犠牲層エッチングストッパ膜成膜工程と、第2電極と犠牲層エッチングストッパ膜を貫通して大気に連通する気体流通孔を形成する気体流通孔形成工程と、シリコン基板に大気に連通する開口を形成する開口形成工程と、シリコン基板に形成された開口の上部に存在するエッチングストッパ膜を除去するとともに、第1電極に形成された貫通孔および第2電極と犠牲層エッチングストッパ膜に形成された気体流通孔を通して犠牲層を除去する犠牲層除去工程とを備えるようにすればよい。

#### 【0020】

このように、第1電極と第2電極が犠牲層を間にして形成されており、この犠牲層を第1電極に形成された貫通孔および第2電極と犠牲層エッチングストッパ膜に形成された気体流通孔を通して除去するだけで、ダイヤフラムとなる第1電極と背面板（バックプレート）となる第2電極が空間部を介して容易に対向させることが可能となる。このため、この種のコンデンサマイクロホンを容易に超小型化することが可能になるとともに、簡単、容易に製造でき、しかも、安価に製造できるようになる。

#### 【発明を実施するための最良の形態】

#### 【0022】

以下に、本発明のコンデンサマイクロホンの実施の形態を、実施例1のコンデンサマイクロホンおよび実施例2のコンデンサマイクロホンとして図1～図27に基づいて説明するが、本発明はこれらの実施例に何ら限定されるものでなく、本発明の目的を変更しない範囲で適宜変更して実施することが可能である。なお、図1は実施例1のコンデンサマイクロホンの要部を模式的に示す断面図であり、図2～図13はその製造工程を模式的に示す断面図である。また、図14は実施例2のコンデンサマイクロホンの要部を模式的に示す断面図であり、図15～図27はその製造工程を模式的に示す断面図である。

#### 【0023】

##### 1. 実施例1

本実施例1のコンデンサマイクロホン10は、図1に示すように、シリコン基板（シリコンウェハ）11の略中央部に形成された開口11aを備え、この開口11aの上部に、ポリシリコンからなる第1電極12と、ポリシリコンからなる第2電極13が空間部14を介して対向するように配置されている。このように空間部14を介して第1電極12と第2電極13が対向することによりコンデンサが形成され、コンデンサ型マイクロホンとして機能するようになされている。

#### 【0024】

ここで、ポリシリコンからなる第1電極12は音圧に応答して第2電極13に対して移動可能なダイヤフラムとして作用する。そして、この第1電極12の開口11a側の表面には、シリコン窒化膜からなるエッチングストッパ膜12aが残存していて、これらの第1電極12とエッチングストッパ膜12aを貫通して開口11aに連通する貫通孔12bが形成されている。一方、ポリシリコンからなる第2電極13は第1電極12に対する背面板（バックプレート）として作用する。そして、この第2電極13の第1電極12に対向する面の反対側には、シリコン窒化膜からなる犠牲層エッチングストッパ膜13aが残存している。

#### 【0025】

なお、第1電極12の一端部はメタル配線16aに接続されているとともに、第2電極13の一端部はメタル配線16bに接続されている。そして、第2電極（背面板）13を覆うように、シリコン酸化膜からなる層間絶縁膜15が形成されている。また、層間絶縁膜15を覆うとともに、メタル配線16a、16bを覆うようにチップ保護膜（酸化膜と窒化膜からなる積層膜）16が形成されている。これらの上部はCSP（チップ・サイズ・パッケージ）を形成した封止樹脂（エポキシ樹脂）17により被覆されている。この場合、封止樹脂17の上部にはんだバンプ（突起電極）19が形成されており、このはんだバンプ19はポスト18aを介して再配線層18に接続されており、この再配線層18はメタル配線16aのいずれかに接続されている。なお、はんだバンプ19は図示しない回

10

20

30

40

50

路基板にフリップチップ接続されるようになされている。

【0026】

次に、上述のような構成となる実施例1のコンデンサマイクロホン10の半導体製造技術による作製手順（製造工程）を、図2～図13を用いて以下に説明する。まず、図2に示すように、素子間分離層（フィールド酸化膜）11xやマイクロホンの周辺回路となるウェル、ソース、ドレンなどからなるトランジスタ11yがCMOS半導体製造プロセスにより形成されたシリコン基板（シリコンウェハ）11を用意する。ついで、図3に示すように、この全面にレジスト12cを塗布し、このレジスト12cをダイアフラム形成部（第1電極）12の形状にパターニングした後、レジスト12cをマスクにしてダイアフラム形成部（第1電極）12のフィールド酸化膜11xをエッチングする。

10

【0027】

ついで、図4に示すように、レジスト12cを除去した後、この全面にエッチングストップ膜12aとなるシリコン窒化膜をLPCVD（Low Pressure Chemical Vapor Deposition：減圧化学気相成長）法により堆積させる。ついで、この全面に第1電極（ダイアフラム）12となるポリシリコン膜を成膜する。ついで、この上にレジスト12dを塗布して、所定の第1電極（ダイアフラム）12の形状および所定の貫通孔の形状にパターニングする。ついで、図5に示すように、パターニングされたレジスト12dをマスクにしてレジスト12dおよびポリシリコン膜からなる第1電極（ダイアフラム）12をエッチングした後、レジスト12dを除去する。これにより、第1電極（ダイアフラム）12に貫通孔12bが形成されることとなる。

20

【0028】

ついで、この全面にレジスト12eを塗布し、このレジスト12eを第1電極（ダイアフラム）12より小さめの形状にパターニングした後、レジスト12eと第1電極（ダイアフラム）12をマスクにして、貫通孔12bの下部のシリコン窒化膜からなるエッチングストップ膜12aをフロロカーボン系ガス（例えば、 $CF_4$ 、 $CHF_4$ 等）を用いてエッチングする。これにより、図6に示すように、第1電極（ダイアフラム）12に形成された貫通孔12bはエッチングストップ膜12aを貫通してシリコン基板11の表面に到達することとなる。ついで、レジスト12eを除去した後、この全面に犠牲膜14aとなるシリコン酸化膜と、第2電極（背面板）13となるポリシリコン膜を成膜した後、レジスト13bを塗布して、所定の第2電極（背面板）13の形状にパターニングする。

30

【0029】

この後、図7に示すように、レジスト13bをマスクにしてポリシリコン膜からなる第2電極（背面板）13およびシリコン酸化膜からなる犠牲膜14aを所定の形状にエッチングした。このエッチングにおいては、まず、 $Cl_2$ と $O_2$ の混合ガスを用いてポリシリコン膜からなる第2電極（背面板）13のエッチングを行った後、フロロカーボン系ガス（例えば、 $CF_4$ 、 $CHF_4$ 等）を用いてシリコン酸化膜からなる犠牲膜14aのエッチングを行った。ついで、レジスト13bを除去した後、図8に示すように、この全面にエッチングストップ膜13aとなるシリコン窒化膜をLPCVD法により堆積させる。ついで、図9に示すように、これらの上に層間絶縁膜15、メタル配線16a、16bおよびチップ保護膜16を周知のCMOS半導体製造技術により形成する。

40

【0030】

ついで、CSP（Chip Size Package）工程において、図10に示すように、これらの全面にパッケージとなる封止樹脂層（エポキシ樹脂）17を被覆させた。この場合、封止樹脂層17の一部に銅（Cu）からなるポスト18aが埋設され、かつ、このポスト18aとメタル配線16aの一部とが接続されるように銅（Cu）からなる再配線層18が形成されるようにした。

【0031】

ついで、図11に示すように、基板11の裏面の全面に開口11a形成用のマスク11bを形成するとともに、基板11の表面の全面にも封止樹脂層17の保護用のマスク17aを形成する。この場合、マスク11b、17aの材質としては、レジスト層、アルミニ

50

ウム膜、シリコン酸化膜、シリコン窒化膜などから選択するようにすればよい。この後、基板 11 の裏面を D e e p R I E (Deep Reactive Ion Etching)、T M A H (Tetramethyl ammonium hydroxide) や K O H を用いてエッチングして、基板 11 の裏面に開口 11 a を形成した。なお、このエッチングにおいて、開口 11 a の深さ(高さ)がシリコン窒化膜からなるエッチングストップ膜 12 a までとなるように行われる。

#### 【0032】

ついで、基板 11 の表裏面に形成されたマスク 11 b, 17 a を除去した後、図 12 に示すように、この表面に封止樹脂層 17 の保護用のマスク 17 b を形成する。この場合、マスク 17 b の材質としては、レジスト層、アルミニウム膜、シリコン窒化膜などから選択するようにすればよい。この後、フッ酸(例えば、63 B H F、希釈 H F、ストレート H F など)に浸漬してフッ酸処理を行い、第 1 電極(ダイヤフラム) 12 と第 2 電極(背面板) 13 との間に形成されてシリコン酸化膜からなる犠牲膜 14 a を除去した。このフッ酸処理において、処理液は貫通孔 12 b を通して犠牲膜 14 a 内に流入することとなる。これにより、第 1 電極(ダイヤフラム) 12 と第 2 電極(背面板) 13 との間に貫通孔 12 b を通して開口 11 a に連通する空間部 14 が形成されることとなる。

#### 【0033】

ついで、マスク 17 b を除去した後、封止樹脂層 17 に埋設するように形成されたポスト 18 a にはんだバンプ 19 (図 1 参照)を固着する。このようにして基板 11 にマイク領域 A を形成した後、図 13 に示すように、ダイジングブレード B により各マイク領域 A 毎にダイジングする。これにより、図 1 に示すように、C S P の表面にマイクロホンが形成されたチップ、即ち、コンデンサマイクロホン 10 が形成されることとなる。

#### 【0034】

上述したように、本実施例 1 のコンデンサマイクロホン 10 は、背面板(バックプレート)となる第 2 電極 13 に対向する第 1 電極 12 と、この上に形成されたエッチングストップ膜 12 a に大気に連通する貫通孔 12 b が形成されているので、音圧が第 1 電極 12 に作用した際に第 1 電極 12 と第 2 電極 13 で形成される空間部 14 に存在する空気が、当該貫通孔 12 b より大気に連通する開口 11 a 内に排気されるようになる。これにより、第 1 電極 12 は第 2 電極 13 に対して敏感に移動可能なダイヤフラムとなって、音圧に敏感に応答することができるようになり、感度の優れたコンデンサマイクロホンとなる。また、第 1 電極 12 の開口 11 a 側の表面にエッチングストップ膜 12 a が残存している

#### 【0035】

この場合、第 1 電極 12 と第 2 電極 13 の間に犠牲層 14 a を形成しておき、この犠牲層 14 a を第 1 電極 12 とエッチングストップ膜 12 a に形成された貫通孔 12 b を通して除去するだけで、ダイヤフラムとなる第 1 電極 12 と背面板(バックプレート)となる第 2 電極 13 が空間部 14 を介して容易に対向させることが可能となる。このため、この種のコンデンサマイクロホンを容易に超小型化することが可能になるとともに、簡単、容易に製造でき、しかも、安価に製造できるようになる。

#### 【0050】

### 2. 実施例 2

ついで、実施例 2 のマイクロホンについて、図 14 に基づいて以下に説明する。本実施例 2 のマイクロホン 30 は、図 14 に示すように、シリコン基板(シリコンウェハ) 31 の略中央部に形成された大気に連通する開口 31 a を備え、この開口 31 a の上部に、ポリシリコンからなる第 1 電極 32 と、ポリシリコンからなる第 2 電極 33 が空間部 34 を介して対向するように配置されている。このように空間部 34 を介して第 1 電極 32 と第 2 電極 33 が対向することによりコンデンサが形成され、コンデンサ型マイクロホンとして機能するようになされている。

#### 【0051】

ここで、ポリシリコンからなる第 1 電極 32 は音圧に应答して第 2 電極 33 に対して移

10

20

30

40

50

動可能なダイヤフラムとして作用する。そして、この第1電極32の開口31a側の表面には、シリコン窒化膜からなるエッチングストップ膜32aは残存しないようになされている。一方、ポリシリコンからなる第2電極33は第1電極32に対する背面板(バックプレート)として作用する。そして、この第2電極33の第1電極32に対向する面の反対側には、シリコン窒化膜からなる犠牲層エッチングストップ膜33aが残存していて、これらの第2電極33とエッチングストップ膜33aと後述するチップ保護膜(酸化膜と窒化膜からなる積層膜)36を貫通して大気に連通する気体流通孔34aが形成されている。

#### 【0052】

なお、第1電極32の一端部はメタル配線36aに接続されているとともに、第2電極33の一端部はメタル配線36bに接続されている。そして、第2電極(背面板)33を覆うように、シリコン酸化膜からなる層間絶縁膜35が形成されている。また、層間絶縁膜35を覆うとともに、メタル配線36a、36bを覆うようにチップ保護膜(酸化膜と窒化膜からなる積層膜)36が形成されている。これらの上部はCSP(チップ・サイズ・パッケージ)を形成した封止樹脂(エポキシ樹脂)37により被覆されている。この場合、封止樹脂37の上部にはんだバンプ39が形成されており、このはんだバンプ39はポスト38aを介して再配線層38に接続されており、この再配線層38はメタル配線36aのいずれかに接続されている。なお、はんだバンプ39は図示しない回路基板にフリップチップ接続されるようになされている。

#### 【0053】

次に、上述のような構成となる実施例2のコンデンサマイクロホン30の半導体製造技術による作製手順(製造工程)を、図15~図27に基づいて以下に説明する。まず、図15に示すように、素子間分離層(フィールド酸化膜)31xやマイクロホンの周辺回路となるウェル、ソース、ドレンなどからなるトランジスタ31yがCMOS半導体製造プロセスにより形成されたシリコン基板(シリコンウェハ)31を用意する。ついで、図16に示すように、この全面にレジスト32cを塗布し、このレジスト32cをダイヤフラム形成部(第1電極)32の形状にパターニングした後、レジスト32cをマスクにしてダイヤフラム形成部(第1電極)32のフィールド酸化膜31xをエッチングする。

#### 【0054】

ついで、図17に示すように、レジスト32cを除去した後、この全面にエッチングストップ膜32aとなるシリコン窒化膜をLPCVD(Low Pressure Chemical Vapor Deposition: 減圧化学気相成長)法により堆積させる。ついで、この全面に第1電極(ダイヤフラム)32となるポリシリコン膜を成膜する。ついで、この上にレジスト32dを塗布して、所定の第1電極(ダイヤフラム)32の形状および所定の貫通孔32bの形状にパターニングする。ついで、図18に示すように、パターニングされたレジスト32dをマスクにしてポリシリコン膜からなる第1電極(ダイヤフラム)32をエッチングした後、レジスト32dを除去する。これにより、第1電極(ダイヤフラム)32に気体流通孔32bが形成されることとなる。

#### 【0055】

ついで、この全面に犠牲膜34bとなるシリコン酸化膜と、第2電極(背面板)33となるポリシリコン膜を成膜した後、レジスト33bを塗布して、所定の第2電極(背面板)33の形状にパターニングする。この後、図19に示すように、レジスト33bをマスクにしてポリシリコン膜からなる第2電極(背面板)33およびシリコン酸化膜からなる犠牲膜34bを所定の形状にエッチングした。ついで、レジスト33bを除去した後、図20に示すように、この全面にエッチングストップ膜33aとなるシリコン窒化膜をLPCVD法により堆積させる。ついで、図21に示すように、これらの上に層間絶縁膜35、メタル配線36a、36bおよびチップ保護膜36を周知のCMOS半導体製造技術により形成する。

#### 【0056】

ついで、この上にレジスト37aを塗布して、後述する気体流通孔34aの形状にパタ

10

20

30

40

50

ーニングする。ついで、図 2 2に示すように、パターンニングされたレジスト 3 7 a をマスクにしてチップ保護膜 3 6、シリコン窒化膜からなるエッチングストップ膜 3 3 a および第 2 電極（背面板）3 3 をエッチングする。この後、レジスト 3 7 a を除去することにより、チップ保護膜 3 6、エッチングストップ膜 3 3 a および第 2 電極（背面板）3 3 に気体流通孔 3 4 a が形成されることとなる。

【 0 0 5 7 】

ついで、C S P（Chip Size Package）工程において、図 2 3に示すように、これらの全面にパッケージとなる封止樹脂層（エポキシ樹脂）3 7 を被覆させた。この場合、封止樹脂層 3 7 の一部に銅（C u）からなるポスト 3 8 a が埋設され、かつ、このポスト 3 8 a とメタル配線 3 6 a の一部とが接続されるように銅（C u）からなる再配線層 3 8 が形成されるようにした。

10

【 0 0 5 8 】

この後、基板 3 1 の表面に第 2 電極（背面板）3 3 の上部に形成される開口 3 7 c の形状に一致するマスク 3 7 b をレジストにより形成する。ついで、図 2 4に示すように、D e e p R I E（Deep Reactive Ion Etching）、T M A H（Tetramethyl ammonium hydroxide）や K O H を用いて封止樹脂層 3 7 をエッチングして、第 2 電極（背面板）3 3 の上部の封止樹脂層 3 7 に開口 3 7 c を形成するとともに、チップ保護膜 3 6 に気体流通孔 3 4 a を形成した。

【 0 0 5 9 】

ついで、基板 3 1 の裏面の全面に開口 3 1 a 形成用のシリコン酸化膜からなるマスク 3 1 b を形成する。この場合、マスク 3 1 b の材質としては、レジスト層、アルミニウム膜、シリコン酸化膜、シリコン窒化膜などから選択するようにすればよい。この後、基板 3 1 の裏面を D e e p R I E（Deep Reactive Ion Etching）、T M A H（Tetramethyl ammonium hydroxide）や K O H を用いてエッチングして、図 2 5に示すように、基板 3 1 の裏面に開口 3 1 a を形成した。なお、このエッチングにおいて、開口 3 1 a の深さ（高さ）がシリコン酸化膜からなるエッチングストップ膜 3 2 a までとなるように行われる。

20

【 0 0 6 0 】

ついで、基板 3 1 の裏面に形成されたマスク 3 1 b を除去した後、フッ酸（例えば、6 3 B H F、希釈 H F、ストレート H F など）に浸漬してフッ酸処理を行い、開口 3 1 a の上部に存在するシリコン酸化膜からなるエッチングストップ膜 3 2 a を除去するとともに、第 1 電極（ダイアフラム）3 2 と第 2 電極（背面板）3 3 との間に形成されてシリコン酸化膜からなる犠牲膜 3 4 a を除去する。これにより、図 2 6に示すように、第 1 電極（ダイアフラム）3 2 と第 2 電極（背面板）3 3 との間に気体流通孔 3 4 a を通して開口 3 7 c に連通するとともに、貫通孔 3 2 b を通して開口 3 1 a に連通する空間部 3 4 が形成されることとなる。

30

【 0 0 6 1 】

ついで、マスク 3 7 b を除去した後、図 1 4に示すように、封止樹脂層 3 7 に埋設するように形成されたポスト 3 8 a にはんだバンプ 3 9 を固着する。このようにして基板 3 1 にマイク領域 C を形成した後、図 2 7に示すように、ダイジングブレード B により各マイク領域 A 毎にダイジングする。これにより、図 1 4に示すように、C S P の表面にマイク

40

【 0 0 6 2 】

上述したように、本実施例 2のコンデンサマイクロホン 3 0 は、開口 3 1 a に連通する貫通孔 3 2 b が第 1 電極 3 2 に形成されているとともに、第 2 電極 3 3 と犠牲層エッチングストップ膜 3 3 a を貫通して大気に連通する気体流通孔 3 4 a が形成されているので、音圧が第 1 電極 3 2 に作用した際に第 1 電極 3 2 と第 2 電極 3 3 で形成される空間部 3 4 に存在する空気が、当該貫通孔 3 2 b および気体流通孔 3 4 a より大気中に排気されるようになる。これにより、第 1 電極 3 2 は第 2 電極 3 3 に対してさらに敏感に移動可能なダイヤフラムとなって、音圧にさらに敏感に応答することができるようになり、さらに感度

50

の優れたコンデンサマイクロホンとなる。

【0063】

この場合、第1電極32と第2電極33が犠牲層34bを間にして形成されており、この犠牲層34bを第1電極32に形成された貫通孔32b、および第2電極33と犠牲層エッチングストッパ膜33aに形成された気体流通孔34aを通して除去するだけで、ダイヤフラムとなる第1電極32と背面板(バックプレート)となる第2電極33が空間部34を介して容易に対向させることが可能となる。このため、この種のコンデンサマイクロホンを容易に超小型化することが可能になるとともに、簡単、容易に製造でき、しかも、安価に製造できるようになる。

【0064】

なお、上述した実施形態においては、チップ保護膜(16, 36)として酸化膜と窒化膜からなる積層膜を用いる例について説明したが、これらの上にさらにポリイミド膜を形成するようにしてもよい。また、上述した実施形態においては、封止樹脂層(17, 37)を形成する樹脂としてエポキシ樹脂を用いる例について説明したが、エポキシ樹脂に代えてポリイミド樹脂を用いるようにしてもよい。

【図面の簡単な説明】

【0065】

【図1】実施例1のコンデンサコンデンサマイクロホンの要部を模式的に示す断面図である。

【図2】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図3】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図4】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図5】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図6】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図7】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図8】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図9】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図10】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図11】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図12】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図13】図1のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図14】実施例2のコンデンサコンデンサマイクロホンの要部を模式的に示す断面図である。

【図15】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図16】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図17】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図18】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図19】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図20】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図21】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図22】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図23】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図24】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図25】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図26】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【図27】図14のコンデンサマイクロホンを製造する一工程を模式的に示す図である。

【符号の説明】

【0066】

10...マイクロホン、11...シリコン基板(シリコンウエハ)、11a...開口、11x...フィールド酸化膜、11y...トランジスタ、12...第1電極、12a...エッチングストッ

10

20

30

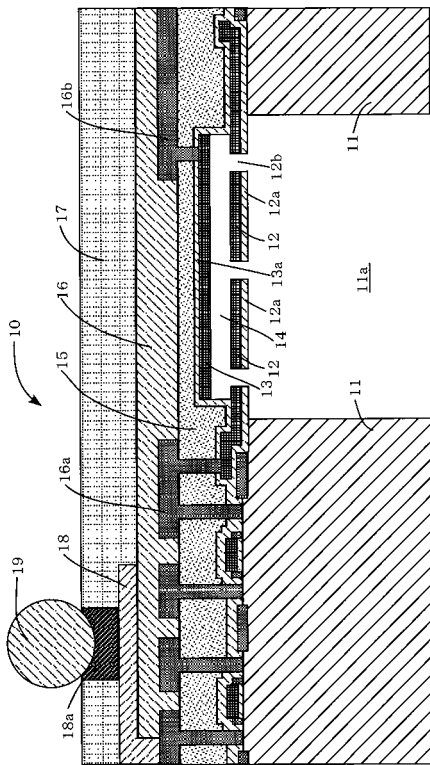
40

50

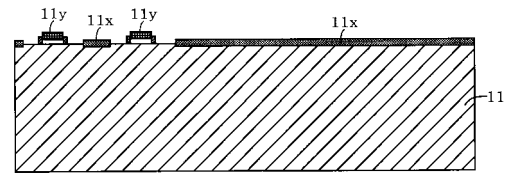
12 b ... 貫通孔、12 c ... レジスト、12 d ... レジスト、12 e ... レジスト、13 ... 第2電極、13 a ... エッチングストップ膜、13 a ... 犠牲層エッチングストップ膜、13 b ... レジスト、14 ... 空間部、14 a ... 犠牲層(犠牲膜)、15 ... 層間絶縁膜、16 ... チップ保護膜、16 a ... メタル配線、16 b ... メタル配線、17 ... 封止樹脂層、17 a ... マスク、17 b ... マスク、18 ... 再配線層、18 a ... ポスト、19 ... はんだバンプ、30 ... マイクロホン、31 ... シリコン基板(シリコンウェハ)、31 a ... 開口、31 b ... マスク、31 x ... フィールド酸化膜、31 y ... トランジスタ、32 ... 第1電極、32 a ... エッチングストップ膜、32 b ... 貫通孔、32 c ... レジスト、32 d ... レジスト、33 ... 第1電極、33 a ... 犠牲層エッチングストップ膜、33 b ... レジスト、34 ... 空間部、34 a ... 気体流通孔、34 b ... 犠牲層(犠牲膜)、35 ... 層間絶縁膜、36 ... チップ保護膜、36 a ... メタル配線、36 b ... メタル配線、37 ... 封止樹脂層、37 a ... レジスト、37 b ... マスク、37 c ... 開口、38 ... 再配線層、38 a ... ポスト、39 ... はんだバンプ

10

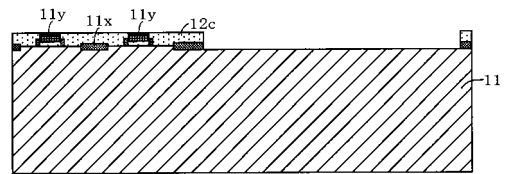
【図1】



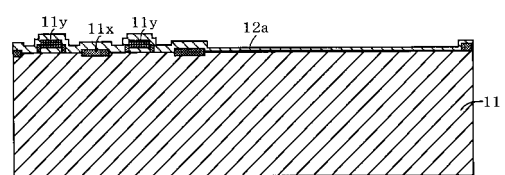
【図2】



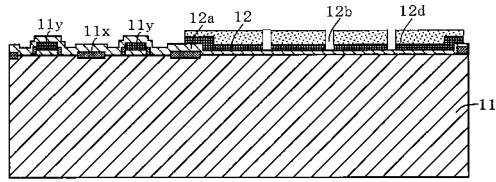
【図3】



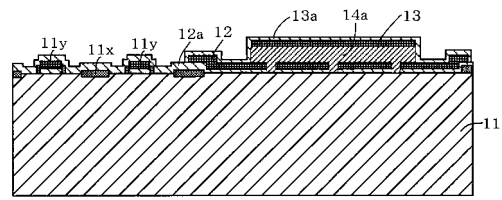
【図4】



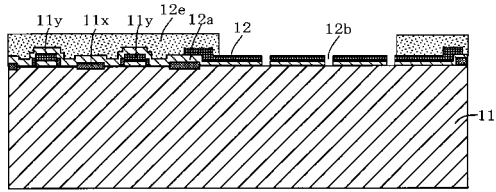
【図 5】



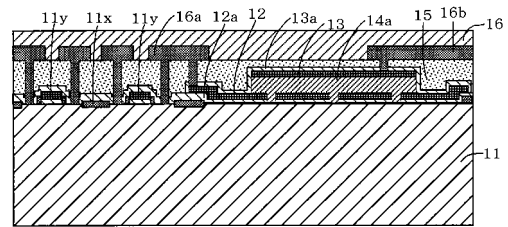
【図 8】



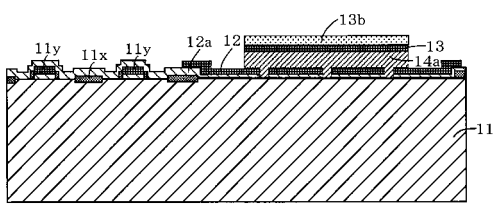
【図 6】



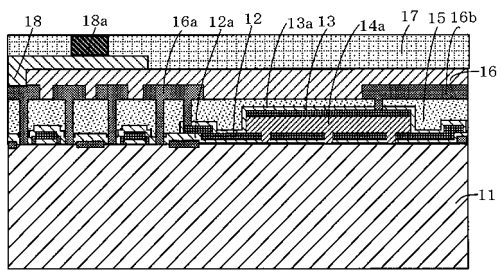
【図 9】



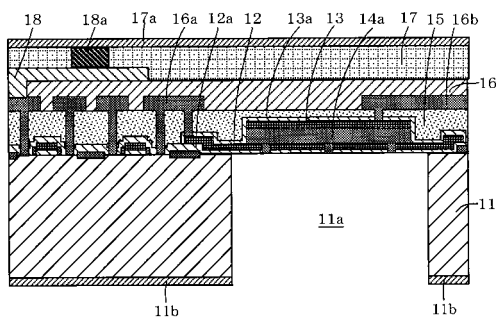
【図 7】



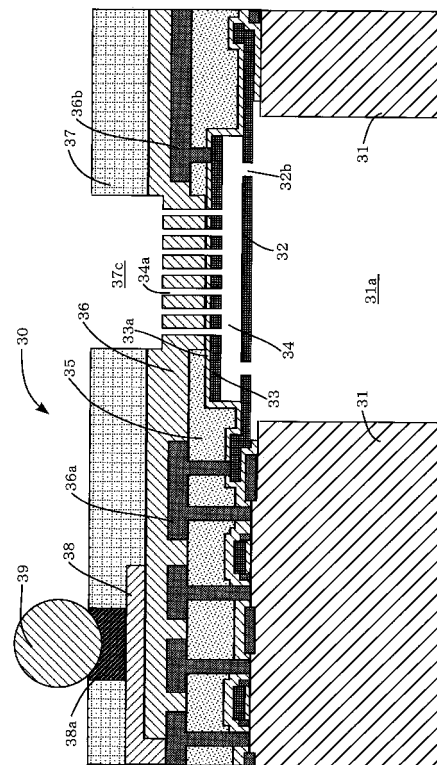
【図 10】



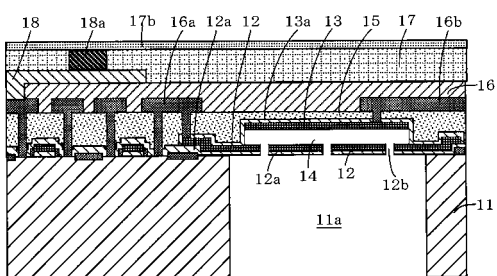
【図 11】



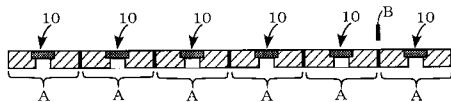
【図 14】



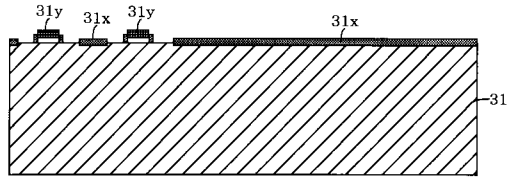
【図 12】



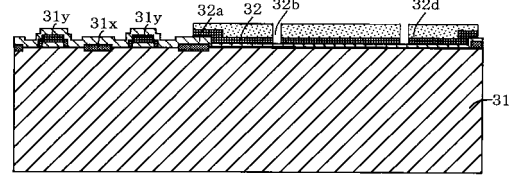
【図 13】



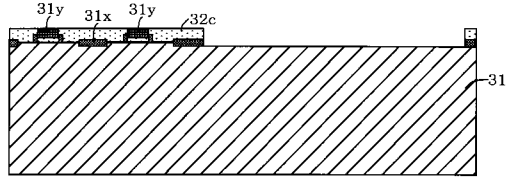
【図 15】



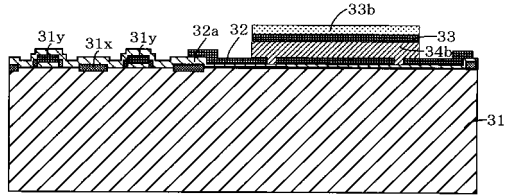
【図 18】



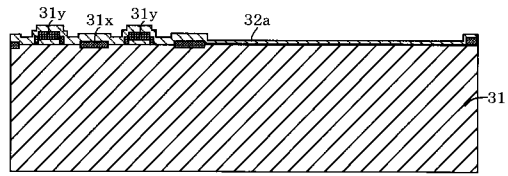
【図 16】



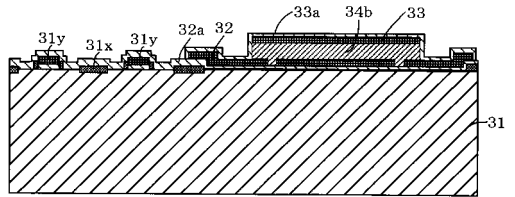
【図 19】



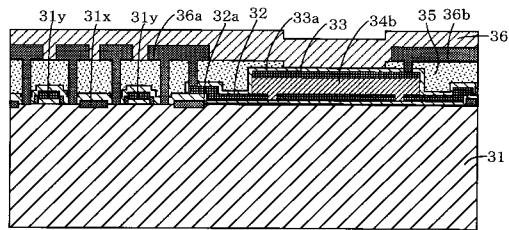
【図 17】



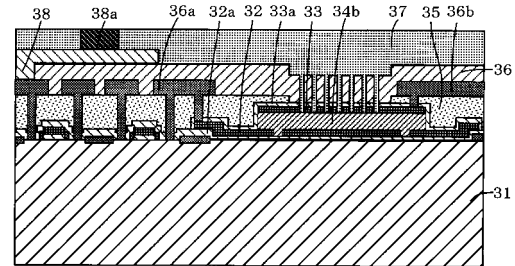
【図 20】



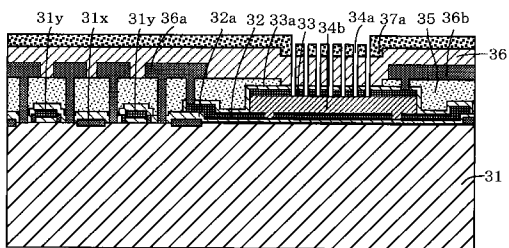
【図 21】



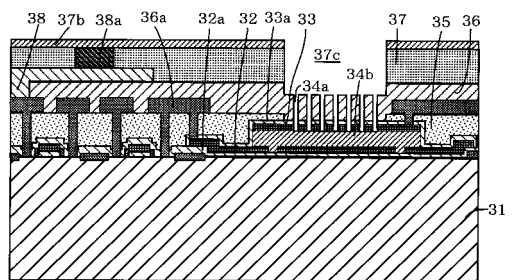
【図 23】



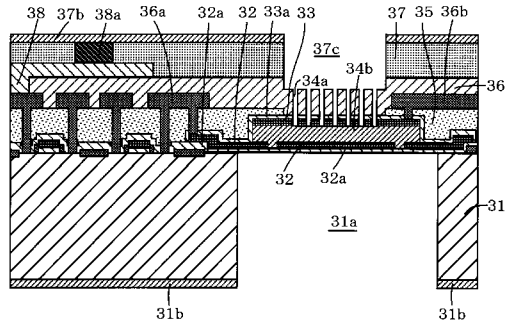
【図 22】



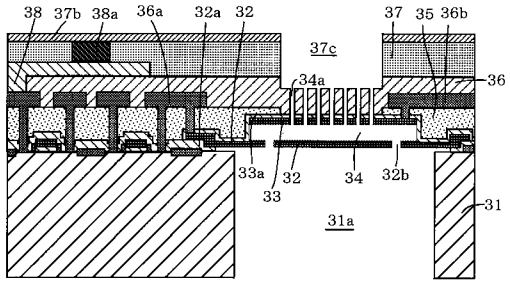
【図 24】



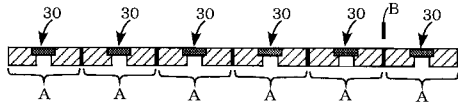
【図 25】



【図 26】



【図 27】



---

フロントページの続き

- (72)発明者 藤田 晴光  
静岡県浜松市中沢町10番1号 ヤマハ株式会社内
- (72)発明者 鈴木 民人  
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

審査官 境 周一

- (56)参考文献 特開2002-095093(JP,A)  
特表2000-508860(JP,A)  
特開2003-163996(JP,A)  
特表2001-518246(JP,A)  
特開2005-039652(JP,A)  
特開2002-343979(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04R	1/00 - 31/00
H01L	29/84
B81B	1/00 - 7/04
B81C	1/00 - 99/00
G01H	1/00 - 17/00