

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02828175.6

G11C 16/04 (2006. 01)
G11C 16/06 (2006. 01)
G11C 7/00 (2006. 01)

[45] 授权公告日 2009 年 9 月 9 日

[11] 授权公告号 CN 100538896C

[22] 申请日 2002.11.26 [21] 申请号 02828175.6

[30] 优先权

[32] 2001. 12. 18 [33] US [31] 10/025,749

[86] 国际申请 PCT/US2002/037972 2002.11.26

[87] 国际公布 WO2003/052766 英 2003.6.26

「85」进入国家阶段日期 2004.8.17

[73] 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 坎德克尔·N·奎德尔

卡因·T·纽因 潘 锋

朗·C·凡姆 亚历山大·K·马吉

[56] 参考文献

US5163021A 1992-11-10

US6278632B1 2001 8 21

US6317364B1 2001 11 13

审查员 邓晓蓓

[74] 专利代理机构 北京律盟知识产权代理有限责任公司
代理人 刘国伟

代理人 刘国伟

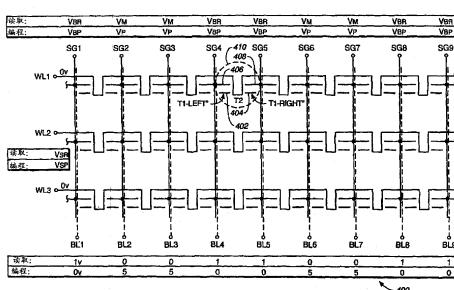
权利要求书 10 页 说明书 14 页 附图 9 页

[54] 发明名称

编程和禁止多电平非易失性存储单元的方法及系统

[57] 摘要

本发明提供一种多电平非易失性存储单元编程/闭锁方法及系统(100)。该非易失性存储单元包括：第一组的一个或多个存储单元，其被选择用于保存等于或大于第一预定电荷电平(504)的电荷；第二组的一个或多个存储单元，其被选择用于保存等于或大于第二预定电荷电平的电荷；将该存储设备配置成对第一和第二组存储单元同时编程，并禁止对任何已经达到或超过第一预定电荷电平的存储单元进行编程，直到第一组中所有的存储单元都已经达到或超过第一预定电荷电平。



1、一种对复数个非易失性存储单元进行编程使其具有复数个阈值电压电平的方法，该方法包括：

使用至少一个电压脉冲对所述存储单元进行编程；

在至少一个电压脉冲之后，如果没有存储单元达到或超过第一预定阈值电压电平则继续编程，该第一预定阈值电压电平代表第一组数据位；

禁止对已经达到或超过该第一预定阈值电压电平的任何存储单元进行编程；

判定是否所有被选择以保存该第一组数据位的存储单元都已经达到或超过该第一预定阈值电压电平；

如果被选择以保存该第一组数据位的至少一个存储单元没有达到或超过该第一预定阈值电压电平，则继续对未被禁止的存储单元进行编程；

如果所有被选择以保存该第一组数据位的存储单元都已经达到或超过该第一预定阈值电压电平，则判定是否所有被选择以保存第二或第三组数据位的存储单元都已经达到或超过该第一预定阈值电压电平；

如果被选择以保存第二或第三组数据位的至少一个存储单元没有达到或超过该第一预定阈值电压电平，则继续对未被禁止的存储单元进行编程直到所有被选择以保存第二或第三组数据位的存储单元都已达到或超过该第一预定阈值电压电平；和

如果所有被选择以保存第二或第三组数据位的存储单元都已经达到或超过该第一预定阈值电压电平，则继续对所有被选择以保存第二或第三组数据位的存储单元进行编程。

2、如权利要求1所述的方法，还包括接收对应于复数个将在所述存储单元中被编程的预定阈值电压电平的复数个数据位。

3、如权利要求1所述的方法，还包括选择一个存储单元集合来编程。

4、如权利要求3所述的方法，其中该所选择的集合包括超过1000个单元。

5、如权利要求1所述的方法，其中所述非易失性存储单元被配置成NAND型阵列。

6、如权利要求 1 所述的方法，其中所述非易失性存储单元被配置成 NOR 型阵列。

7、如权利要求 1 所述的方法，其中所述非易失性存储单元形成一电可擦除可编程只读存储器（EEPROM）。

8、如权利要求 1 所述的方法，其中所述非易失性存储单元形成一快速存储器。

9、如权利要求 1 所述的方法，其中编程包括施加一个具有一定预定振幅的电压脉冲。

10、如权利要求 1 所述的方法，其中编程包括在每个没被禁止的存储单元中的一个浮动栅晶体管上保存电荷。

11、如权利要求 1 所述的方法，其中如果没有存储单元已经达到或超过第一预定阈值电压电平则继续编程，这包括对所述存储单元施加振幅高于一个先前电压脉冲的振幅的电压脉冲。

12、如权利要求 1 所述的方法，还包括判定是否任何存储单元都已经达到或超过第一预定阈值电压电平。

13、如权利要求 12 所述的方法，其中判定是否存储单元已经达到或超过第一预定阈值电压电平包括对所述存储单元施加一第一校验电压并判定所述存储单元是否被激活。

14、如权利要求 1 所述的方法，其中禁止对任何已经达到或超过该第一预定阈值电压电平的存储单元进行编程包括：

在该方法的剩余期间，禁止对被选择以保存该第一组数据位的存储单元进行编程；以及

在第一编程期间，禁止对被选择以保存第二或第三组数据位的存储单元进行编程。

15、如权利要求 1 所述的方法，其中判定是否所有被选择以保存第二或第三组数据位的存储单元都已经达到或超过该第一预定阈值电压包括对所述存储单元施加一第一校验电压并判定所述存储单元是否被激活。

16、如权利要求 1 所述的方法，还包括：

在至少一个电压脉冲之后，如果没有存储单元已达到或超过第二预定阈值电压电平，则继续对未被禁止的存储单元进行编程，该第二预定阈值电压电平代表该第二组数据位；

禁止对任何已经达到或超过该第二预定阈值电压电平的存储单元进行编程；

判定是否所有被选择以保存第二或第三组数据位的存储单元都已经达到或超过第二预定阈值电压电平；

如果被选择以保存该第二或第三组数据位的至少一个存储单元没有达到或超过该第二预定阈值电压电平，则继续对未被禁止的存储单元进行编程；

如果所有被选择以保存该第二或第三组数据位的存储单元都已经达到或超过该第二预定阈值电压电平，则判定是否所有被选择以保存该第三组数据位的存储单元都已经达到或超过该第二预定阈值电压电平；

如果被选择以保存该第三组数据位的至少一个存储单元没有达到或超过该第二预定阈值电压电平，则继续对未被禁止的被选择以保存该第三组数据位的存储单元进行编程，直到所有被选择以保存该第三组数据位的存储单元都已达到或超过该第二预定阈值电压电平；以及

如果所有被选择以保存该第三组数据位的存储单元都已经达到或超过该第二预定阈值电压电平，则继续对所有被选择以保存该第三组数据位的存储单元进行编程。

17、如权利要求 1 所述的方法，其中所述存储单元被耦接到一条字线。

18、如权利要求 1 所述的方法，还包括禁止对被选择以保存第四组数据位的存储单元进行编程。

19、如权利要求 1 所述的方法，还包括对另一个存储单元集合重复该方法。

20、一种使用复数个非易失性存储单元的方法，该方法包括：在所述存储单元中保存电荷；

如果没有存储单元已达到或超过第一预定电荷电平，则继续在所述存储单元中保存电荷，该第一预定电荷电平代表至少两个数据位；

禁止在已经达到或超过该第一预定电荷电平的任何存储单元中保存电荷；

判定是否所有被选择以保存该第一预定电荷电平的存储单元都已经达到或超过该第一预定电荷电平；

如果被选择以保存第一预定电荷电平的至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单

元中保存电荷；

如果所有的被选择以保存该第一预定电荷电平的存储单元都已经达到或超过该第一预定电荷电平，则判定是否所有被选择以保存第二或第三预定电荷电平的存储单元都已经达到或超过该第一预定电荷电平；以及

如果被选择以保存第二或第三预定电荷电平的至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷，直到所有被选择以保存第二或第三预定电荷电平的存储单元都已达到或超过该第一预定电荷电平。

21、如权利要求 20 所述的方法，还包括：

如果所有被选择以保存第二或第三预定电荷电平的存储单元都已经达到或超过该第一预定电荷电平，则继续在所有被选择以保存第二或第三预定电荷电平的存储单元中保存电荷。

22、如权利要求 20 所述的方法，其中每个存储单元包括至少一个被配置以保存电荷的浮动栅晶体管。

23、一种对复数个非易失性存储单元进行编程的方法，所述存储单元包括被选择以保存一个等于或大于对应于第一组数据位的第一预定电荷电平的电荷电平的第一组之一个或多个存储单元，被选择以保存一个等于或大于对应于第二组数据位的第二预定电荷电平的电荷电平的第二组之一个或多个存储单元以及被选择以保存一个等于或大于对应于第三组数据位的第三预定电荷电平的电荷电平的第三组之一个或多个存储单元，该方法包括：

在所述第一组、第二组和第三组存储单元中同时保存电荷；

如果没有存储单元已达到或超过该第一预定电荷电平，则继续在所述存储单元中保存电荷；

禁止将电荷保存在所述第一组、第二组和第三组中任何已经达到或超过该第一预定电荷电平的存储单元中；

判定是否该第一组中所有的存储单元都已经达到或超过该第一预定电荷电平；以及

如果该第一组中至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷。

24、如权利要求 23 所述的方法，还包括：

如果该第一组中所有的存储单元都已经达到或超过该第一预定电荷电平，则判定是否所述第二组和第三组中的所有存储单元

都已经达到或超过该第一预定电荷电平；

如果所述第二组和第三组中至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在所述第二组和第三组中未被禁止的存储单元中保存电荷，直到所述第二组和第三组中所有的存储单元都已经达到或超过该第一预定电荷电平；以及

如果所述第二组和第三组中所有的存储单元都已经达到或超过该第一预定电荷电平，则继续在所述第二组和第三组中所有的存储单元中保存电荷。

25、一种对复数个非易失性存储单元进行编程使其具有复数个阈值电压电平的方法，该方法包括：

使用至少一个电压脉冲对所述存储单元进行编程；

在至少一个电压脉冲之后，如果没有存储单元已达到或超过第一预定阈值电压电平，则继续编程，该第一预定阈值电压电平代表第一组数据位；

禁止对任何已经达到或超过该第一预定阈值电压电平的存储单元进行编程；

判定是否所有被选择以保存该第一组数据位的存储单元都已经达到或超过该第一预定阈值电压电平；

如果被选择以保存该第一组数据位的至少一个存储单元没有达到或超过该第一预定阈值电压电平，则继续对未被禁止的存储单元进行编程；

如果所有被选择以保存该第一组数据位的存储单元都已经达到或超过该第一预定阈值电压电平，则判定是否任何存储单元都已经达到或超过第二预定阈值电压电平，该第二预定阈值电压电平代表第二组数据位；以及

禁止对任何已经达到或超过该第二预定阈值电压电平的存储单元进行编程，并继续对未被禁止的存储单元进行编程。

26、如权利要求 25 所述的方法，还包括：

判定是否所有被选择以保存所述第二组数据位或一第三组数据位的存储单元都已经达到或超过该第二预定阈值电压电平；

如果所有被选择以保存所述第二组或第三组数据位的存储单元都已经达到或超过该第二预定阈值电压电平，则判定是否所有被选择以保存该第三组数据位的存储单元都已经达到或超过第三预定阈值电压电平；以及

禁止对任何已经达到或超过该第三预定阈值电压电平的存储单元进行编程，并继续对未被禁止的存储单元进行编程。

27、一种使用复数个非易失性存储单元的方法，该方法包括：在所述存储单元中保存电荷；

如果没有存储单元已达到或超过第一预定电荷电平，则继续在所述存储单元中保存电荷，该第一预定电荷电平代表至少两个数据位；

禁止在任何已经达到或超过该第一预定电荷电平的存储单元中保存电荷；

判定是否所有被选择以保存该第一预定电荷电平的存储单元都已经达到或超过该第一预定电荷电平；

如果被选择以保存该第一预定电荷电平的至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷；

如果所有被选择以保存该第一预定电荷电平的存储单元都已经达到或超过第一预定电荷电平，则判定是否任何被选择以保存第二或第三预定电荷电平的存储单元都已经达到或超过该第二预定电荷电平；

禁止在任何已经达到或超过该第二预定电荷电平的存储单元中保存电荷；以及

如果被选择以保存第二或第三预定电荷电平的存储单元都没有达到或超过该第二预定电荷电平，则继续在未被禁止的存储单元保存电荷。

28、如权利要求 27 所述的方法，还包括：

判定是否所有被选择以保存该第二预定电荷电平的存储单元都已经达到或超过该第二预定电荷电平；

如果被选择以保存该第二预定电荷电平的至少一个存储单元没有达到或超过该第二预定电荷电平，则继续在未被禁止的存储单元中保存电荷；以及

如果所有被选择以保存该第二预定电荷电平的存储单元都已经达到或超过该第二预定电荷电平，则判定是否任何被选择以保存该第三预定电荷电平的存储单元都已经达到或超过该第三预定电荷电平；

如果被选择以保存该第三预定电荷电平的至少一个存储单元

没有达到或超过该第二预定电荷电平，则继续在所有被选择以保存该第三预定电荷电平的存储单元中保存电荷，直到所有被选择以保存该第三预定电荷电平的存储单元都已达到或超过该第三预定电荷电平。

29、如权利要求 27 所述的方法，其中每个存储单元都包括至少一个被配置以保存电荷的浮动栅晶体管。

30、一种对复数个非易失性存储单元进行编程的方法，所述存储单元包括被选择以保存一个等于或大于对应于第一组数据位的第一预定电荷电平的电荷电平的第一组之一个或多个存储单元，被选择以保存一个等于或大于对应于第二组数据位的第二预定电荷电平的电荷电平的第二组之一个或多个存储单元，以及被选择以保存一个等于或大于对应于第三组数据位的第三预定电荷电平的电荷电平的第三组之一个或多个存储单元，该方法包括：

在所述第一组、第二组和第三组的存储单元中同时保存电荷；

如果没有存储单元已达到或超过该第一预定电荷电平，则继续在所述存储单元中保存电荷；

禁止对所述第一组、第二组和第三组中任何已经达到或超过该第一预定电荷电平的存储单元保存进行充电；

判定是否该第一组中所有的存储单元都已经达到或超过该第一预定电荷电平；

如果该第一组中至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷；

如果该第一组中的所有存储单元都已经达到或超过该第一预定电荷电平，则判定是否该第二组中的任何存储单元都已经达到或超过该第二预定电荷电平；以及

如果该第二组中至少一个存储单元没有达到或超过该第二预定电荷电平，则继续在第二组中未被禁止的存储单元中保存电荷。

31、一种存储设备，包括：

复数个非易失性存储单元，所述存储单元包括：

被选择以保存一个等于或大于对应于第一组数据位的第一预定电荷电平的电荷电平的第一组之一个或多个存储单元；

被选择以保存一个等于或大于对应于第二组数据位的第二预定电荷电平的电荷电平的第二组之一个或多个存储单元，其中将该存储设备配置成对所述第一组和第二组的存储单元同时编程，

并禁止对任何已经达到或超过该第一预定电荷电平的存储单元进行编程，直到该第一组中的所有存储单元都已经达到或超过该第一预定电荷电平。

32、如权利要求 31 所述的存储设备，其中该存储设备还被配置以继续编程直到该第二组中的所有存储单元都已经达到或超过该第一预定电荷电平。

33、如权利要求 31 所述的存储设备，其中该存储设备还被配置以通过对所述存储单元施加一第一测试电压来校验是否存储单元已经达到或超过该第一预定电荷电平。

34、如权利要求 31 所述的存储设备，其中该存储设备还被配置以继续编程直到该第二组中的所有存储单元都已经达到或超过该第二预定电荷电平。

35、如权利要求 34 所述的存储设备，其中该存储设备还被配置以通过对所述存储单元施加一第二测试电压来校验是否存储单元已经达到或超过该第二预定电荷电平。

36、如权利要求 31 所述的存储设备，其中每个存储单元包括一个被配置以存储电荷的浮动栅晶体管。

37、如权利要求 31 所述的存储设备，其中将所述存储单元组织成复数个行和列。

38、如权利要求 31 所述的存储设备，其中所述第一组和第二组的存储单元位于一个被激活的存储单元行中。

39、一种对复数个非易失性存储单元进行编程的方法，该方法包括：

在第一组和第二组存储单元中保存电荷；

如果没有存储单元已经达到或超过第一预定电荷电平，则继续在所述存储单元中保存电荷，该第一预定电荷电平代表至少两个数据位；

禁止在任何已经达到或超过该第一预定电荷电平的存储单元中保存电荷；

判定是否该第一组存储单元中的所有存储单元都已经达到或超过该第一预定电荷电平；

如果该第一组中至少一个存储单元没有达到或超过该第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷；以及

如果该第一组中的所有存储单元都已经达到或超过该第一预

定电荷电平，则继续在该第一组存储单元中保存电荷。

40、如权利要求39所述的方法，其中该第一组存储单元具有一第一初始电荷电平，该第二组存储单元具有一第二初始电荷电平，其中该第二初始电荷电平高于该第一初始电荷电平，且该预定电荷电平高于该第一初始电荷电平和该第二初始电荷电平。

41、一种编程方法，其并行地将复数个非易失性存储单元从一个共同的阈值电压电平编程到由保存在所述存储单元中的数据所指定的至少第一和第二阈值电压电平，该方法包括：

对所有的为所述第一和第二阈值电压电平指定的复数个存储单元施加编程条件；

当为所述第一和第二阈值电压电平指定的所述单元独立地达到所述第一阈值电压电平时，停止对为所述第一和第二阈值电压电平指定的所述复数个存储单元中的独立存储单元施加所述编程条件；

在所述为该第一阈值电压电平指定的存储单元全部达到该第一阈值电压电平之后，对所述复数个存储单元中为该第二阈值电压电平指定的那些存储单元施加编程条件；以及

当为该第二阈值电压电平指定的所述单元独立地达到所述第二阈值电压电平时，停止对为所述第二阈值电压电平所指定的所述复数个存储单元中的独立存储单元施加所述编程条件。

42、如权利要求41所述的方法，其中在所述存储单元中为该第二阈值电压电平指定的那些存储单元全部达到该第一阈值电压电平之后，对所述复数个存储单元中为该第二阈值电压电平指定的那些存储单元施加编程条件。

43、如权利要求41所述的方法，其中该共同的阈值电压电平也是一个由该保存在所述存储单元中的数据所指定的已被编程的电平，并且所述复数个存储单元中为该共同的阈值电压电平指定的那些存储单元被闭锁而不能接收编程条件。

44、一种存储设备，包括：

复数个非易失性存储单元，所述存储单元包括：

被选择以保存一个等于或大于对应于第一组数据位的第一预定电荷电平的电荷的第一组之一个或多个存储单元；

被选择以保存一个等于或大于对应于第二组数据位的第二预定电荷电平的电荷的第二组之一个或多个存储单元，其中将该存

储设备配置成对所述第一组和第二组的存储单元同时编程，并禁止对任何已经达到或超过该第一预定电荷电平的存储单元进行编程，直到该第一组中所有的存储单元都已经达到或超过该第一预定电荷电平。

45、如权利要求 44 所述的存储设备，还包括用于为编程选择所述第一组和第二组的存储单元的装置。

编程和禁止多电平非易失性存储单元的方法及系统

技术领域

本发明涉及非易失性存储器，更具体地说，其涉及一种编程和禁止多电平非易失性存储单元的方法及系统。

背景技术

配置非易失性存储器以保存数据。快速电可擦除可编程只读存储器(EEPROM)是一类非易失性存储器。快速 EEPROM 包括排成列和行的存储单元的阵列。每个存储单元包括一个晶体管，其具有配置成保存至少两种电荷电平的浮动栅或电介质层。

发明内容

根据本发明提供一种对多电平非易失性存储器编程和禁止的方法及系统。该编程/禁止方法及系统有利地避免了充电快于其它存储单元的存储单元被过度编程。

本发明的一个方面涉及一种对复数个非易失性存储单元进行编程使其具有复数个阈值电压电平的方法。该方法包括使用至少一个电压脉冲对存储单元进行编程。在至少一个电压脉冲之后，如果没有存储单元达到或超过第一预定阈值电压电平则该方法继续编程。第一预定阈值电压电平代表第一组数据位。该方法禁止对已经达到或超过第一预定阈值电压电平的任何存储单元进行编程。该方法判定是否所有被选择用于保存第一组数据位的存储单元已经达到或超过第一预定阈值电压电平。如果被选择用于保存第一组数据位的至少一个存储单元没有达到或超过第一预定阈值电压电平，则该方法继续对未被禁止的存储单元进行编程。如果所有被选择用于保存第一组数据位的存储单元都已经达到或超过第一预定阈值电压电平，则该方法判定是否所有被选择用于保存第二或第三组数据位的存储单元已经达到或超过第一预定阈值电压电平。如果被选择用于保存第二或第三组数据位的至少一个存储单元没有达到或超过第一预定阈值电压电平，则该方法继续对未被禁止的存储单元进行编程直到所有被选择用于保存第二或第三组数据位的存储单元都已达到或超过第一预定阈值电压电平。如果所有被选择用于保存第二或第三组数据位的存储单元都已经达到或超过第一预定阈值电压电平，则该方法继续对所

有被选择用于保存第二或第三组数据位的存储单元进行编程。

本发明的另一方面涉及一种用于对复数个非易失性存储单元进行编程的方法。该存储单元包括被选择用于保存等于或大于与第一组数据位对应的第一预定电荷电平的电荷电平的第一组之一个或多个存储单元，被选择用于保存等于或大于与第二组数据位对应的第二预定电荷电平的电荷电平的第二组之一个或多个存储单元以及被选择用于保存等于或大于与第三组数据位对应的第三预定电荷电平的电荷电平的第三组之一个或多个存储单元。该方法包括在第一、第二和第三组存储单元中同时保存电荷，以保存电荷于存储单元中。如果没有存储单元达到或超过第一预定电荷电平则该方法继续在存储单元中保存电荷。该方法禁止对已经达到或超过第一预定电荷电平的第一、第二和第三组中的任何存储单元进行充电。该方法判定是否第一组中所有的存储单元都已经达到或超过第一预定电荷电平。如果第一组中至少一个存储单元没有达到或超过第一预定电荷电平，则该方法继续在未被禁止的存储单元中保存电荷。

本发明的另一方面涉及一种对多个非易失性存储单元进行编程使其具有复数个阈值电压电平的方法。该方法包括使用至少一个电压脉冲对存储单元进行编程。在至少一个电压脉冲之后，如果没有存储单元达到或超过第一预定阈值电压电平则该方法继续编程。第一预定阈值电压电平代表第一组数据位。该方法禁止对已经达到或超过第一预定阈值电压电平的任何存储单元进行编程。该方法判定是否所有被选择用于保存第一组数据位的存储单元已经达到或超过第一预定阈值电压电平。如果被选择用于保存第一组数据位的至少一个存储单元没有达到或超过第一预定阈值电压电平，则该方法继续对未被禁止的存储单元进行编程。如果所有被选择用于保存第一组数据位的存储单元都已经达到或超过第一预定阈值电压电平，则该方法判定是否任一存储单元已经达到或超过第二预定阈值电压电平。第二预定阈值电压电平代表第二组数据位。该方法禁止对已经达到或超过第二预定阈值电压电平的任何存储单元进行编程，并继续对未被禁止的存储单元进行编程。

本发明的另一方面涉及一种包括复数个非易失性存储单元的存储设备。存储单元包括被选择用于保存等于或大于与第一组数据位对应的第一预定电荷电平的电荷的第一组之一个或多个存储单元；和被选择用于保存等于或大于与第二组数据位对应的第二预定电荷电平的电荷的第二组之一个或多个存储单元。将存储设备配置成对第一和第二组存储单元同时编程，并禁止对已经达到或超过第一预定电荷电平的任一存储单元进行编程，直到第一组中所有的存储单元都已经达到或超过第一预定电荷电平。

本发明的另一方面涉及一种对复数个非易失性存储单元进行编程的方

法。该方法包括在第一组和第二组存储单元中保存电荷；如果没有存储单元达到或超过第一预定电荷电平则继续在存储单元中保存电荷，第一预定电荷电平代表至少两个数据位；禁止在已经达到或超过第一预定电荷电平的任一存储单元中保存电荷；判定是否第一组存储单元中所有的存储单元都已经达到或超过第一预定电荷电平；如果第一组中至少一个存储单元没有达到或超过第一预定电荷电平，则继续在未被禁止的存储单元中保存电荷；如果第一组中所有的存储单元都已经达到或超过第一预定电荷电平，则继续在第一组存储单元中保存电荷。

本发明的另一方面涉及一种编程方法，其并行地将复数个非易失性存储单元从共同的阈值电压电平编程到由保存在存储单元中的数据指定的至少第一和第二阈值电压电平。该方法包括施加编程条件于所有为第一和第二阈值电压电平指定的复数个存储单元；当为第一和第二阈值电压电平单独指定的单元达到所述的第一阈值电压电平时，停止施加编程条件于第一和第二阈值电压电平所指定的复数个存储单元中的独立单元；在该等为第一阈值电压电平指定的存储单元全部达到第一阈值电压电平之后，对复数个存储单元中为第二阈值电压电平指定的那些存储单元应用编程条件；当为第二阈值电压电平单独指定的单元达到所述的第二阈值电压电平时，停止施加编程条件于为第二阈值电压电平指定的复数个存储单元中的独立单元。。

附图说明

图 1 举例说明可实现本发明各个方面的非易失性存储系统的一种具体实施方式；

图 2 举例说明可于图 1 的系统中实现的 NAND 型快速 EEPROM 存储单元阵列的具体实施方式；

图 3 举例说明可实现本发明各个方面的非易失性存储系统的另一种具体实施方式；

图 4A 举例说明可于图 3 的系统中实现的 NOR 型快速 EEPROM 存储单元阵列的具体实施方式的一部分；

图 4B 举例说明可于图 3 的系统中实现的 NOR 型快速 EEPROM 存储单元的具体实施方式；

图 5 举例说明图 1 存储阵列或图 3 存储阵列中存储单元的分布，该等存储单元被编程至复数个阈值电压保存状态；

图 6 举例说明图 1 存储阵列或图 3 存储阵列中存储单元的分布，该等存储单元被编程至复数个阈值电压保存状态，包括在 Vt2 和 Vt3 状态分布的快速位；

图 7 举例说明一种编程、校验和封锁图 1 存储阵列或图 3 存储阵列中的复数个存储单元的方法的具体实施方式；

图 8 给出了编程、校验和闭锁图 1 存储阵列或图 3 存储阵列中的复数个存储单元的方法的另一具体实施方式；

图 9 举例说明图 1 存储阵列或图 3 存储阵列中存储单元的分布，该等存储单元被编程至不含过度编程存储单元的阈值电压 $Vt1$ 保存状态；

图 10 举例说明图 1 存储阵列或图 3 存储阵列中存储单元的分布，该等存储单元被编程至不含过度编程位的阈值电压 $Vt1$ 和 $Vt2$ 保存状态；

图 11 举例说明图 1 存储阵列或图 3 存储阵列中存储单元的分布，该等存储单元被编程至不含过度编程位的阈值电压 $Vt1$ 、 $Vt2$ 和 $Vt3$ 保存状态；

图 12A 举例说明第一页编程过程之后的图 1 存储阵列或图 3 存储阵列中存储单元的分布；

图 12B 举例说明第二页编程过程之后的图 1 存储阵列或图 3 存储阵列中存储单元的分布。

具体实施方式

本发明的原理可应用于当前存在的各种类型的非易失性存储单元，例如，可擦除可编程只读存储器 (EPROM) 或电可擦除可编程只读存储器 (EEPROM)。本发明的原理也可应用于使用新技术的各种非易失性存储器。此处将对于快速 EEPROM 描述本发明的实现，其中每个存储单元包括至少一个电荷存储元件，例如具有浮动栅或电介质层的晶体管。

图 1 举例说明可实现本发明各个方面的一种具体实施方式。在 2001 年 6 月 27 日提交的标题为 “Operating Technique For Reducing Effect Of Coupling Between Storage Elements Of A Non-Volatile Memory Operated In Multiple Data States” (Attorney Docket No. M - 10321) 的共同转让的序列号为 09/893,277 的美国专利申请案中描述了图 1 中的系统 100，据此将该申请的全部内容以引用的方式并入本文。

图 1 中的存储阵列 1 包括排列成行和列矩阵的复数个存储单元或存储元件 (Ms)。存储单元阵列 1 被列控制电路 2、行控制电路 3、C - SOURCE 控制电路 4 和 C - P - WELL 控制电路 5 控制。

图 1 中的列控制电路 2 耦接到存储单元阵列 1 的位线 (BLs)。列控制电路 2 控制位线 (BLs) 的电位，即，应用编程或禁止编程，以于编程操作期间判定存储单元 (Ms) 的状态，并读取保存在存储单元 (Ms) 中的数据。

图 1 中的行控制电路 3 耦接到字线 (WLs) 以选择其中一根字线 (WLs)，从而施加与列控制电路 2 控制的位线电位组合的编程电压，施加读取电压以

及施加擦除电压。擦除电压可与其上形成存储单元 (Ms) 的 P 型区域 (“C - P - WELL”) 的电压耦接。

图 1 中的 C - SOURCE 控制电路 4 控制连接到存储单元 (Ms) 的公共源极线 (图 3 中标记为 “C - SOURCE”)。C - P - WELL 控制电路 5 控制 C - P - WELL 的电压。

列控制电路 2 可读取保存在阵列 1 的存储单元 (Ms) 中的数据，并经过数据输入/输出缓冲器 6 将该数据输出到外部 I/O 线 101。外部 I/O 线 101 连接到控制器 20。外部 I/O 线 101 可将将保存在存储单元中的编程数据传输到数据输入/输出缓冲器 6，数据输入/输出缓冲器 6 将该数据传输到列控制电路 2。

可将控制快速存储设备 100 的命令数据输入到耦接至外部控制线 102 的命令接口 (未展示)，外部控制线 102 耦接至控制器 20。命令数据可将被请求的操作告知存储系统 100。控制器 20 将输入命令传输至状态机 8，状态机 8 控制列控制电路 2、行控制电路 3、C - SOURCE 控制电路 4、C - P - WELL 控制电路 5 和数据输入/输出缓冲器 6。状态机 8 能够输出快速存储器的状态数据如 READY/BSDY 或 PASS/FAIL。

图 1 中控制器 20 与或可与主机系统 (未显示) 如个人计算机、数码相机或个人数字化助理 (PDA) 连接。主机系统启动诸如保存和读取数据的命令到存储阵列 1 以及自存储阵列 1 启动诸如保存和读取数据的命令，并分别提供和接收这样的数据。控制器 20 将该等命令转换成能够被命令电路 7 解析并执行的命令信号。控制器 20 可含有用于保存正在写入存储阵列 1 或已从存储阵列 1 读取的用户数据的缓冲存储器。

如图 1 所示，存储系统 100 可包含一个集成电路芯片 21，其包含控制器 20，以及一个或多个集成电路芯片 22，每一个集成电路芯片 22 都含有存储阵列 1 和相关的控制、命令、输入/输出和状态机电路 2、3、4、5、6、7、8。在另一个具体实施方中，控制器 20 (以及可能的其它控制电路) 和一个或多个存储阵列 1 被一起集成在一个或多个集成电路芯片上。存储系统 100 可被嵌入成为主机系统的一部分，或者可包含在存储卡上，该存储卡可拆卸地插入主机系统的接合插座中。此卡可包括整个存储系统 100 或控制器 20 和存储阵列 1，并具有相关外围电路。在另一个具体实施方式中，可在单独的存储卡中提供相关外围电路。

图 1 中的存储单元阵列 1 可包括任何数量的存储单元。可将存储单元阵列 1 构造成一种或多种类型的快速 EEPROM 单元阵列，例如 NAND 型或 NOR 型阵列。在共同转让的美国专利号为 6,151,248 的专利中，标题为 “Dual Floating Gate EEPROM Cell Array With Steering Gate Shared By Adjacent

Ce11s”的序列号为 09/893,277 的美国专利申请案中以及转让给东芝公司的美国专利号为 6,046,935、标题为“Semiconductor Device And Memory System”的专利中描述了 NAND 型或 NOR 型阵列的实例，以上全部内容以引用的方式并入本文。下面将说明快速 EEPROM 单元阵列的一些实例。

NAND 型存储阵列

图 2 举例说明可于图 1 的系统 100 中实现的 NAND 型快速 EEPROM 存储单元阵列 200 的具体实施方式。阵列 200 包括复数个模块 202A – 202N。每个模块 202 包括多页存储单元。例如，模块 202 可包括 8 或 16 页存储单元。在一个具体实施方式中，“模块”是可被同时擦除的单元的最小单位，“页”是可被同时编程的单元的最小单位。

图 2 中的页可包括一行存储单元，其耦接到诸如字线 WL2 的字线和特定的位线上，例如甚至是位线 B1e0 – B1e4255。模块 202 中的每列可包括存储单元的一个集合或“串”210，例如该等存储单元可为 4、8、16 或 32 个单元，其经过两端中任一端的选择晶体管 208A、208B 串联在位线 204 与基准电位线 206 之间。图 2 中的阵列 200 可包括任何数量的单元。如图 2 所示，将字线 212 耦接到数个串连串中的单元的控制门。

已经以引用方式并入本文的序列号为 09/893,277 的美国专利申请案中进一步描述了 NAND 型阵列的实例。专利号为 5,570,315、5,774,397 和 6,046,935 的美国专利以及序列号为 09/667,610 的专利申请案中描述了此种 NAND 型阵列的其它实例，其转让给东芝（Toshiba）公司，以上全部内容以引用的方式并入本文。

NOR 型存储阵列

图 3 举例说明了可实现本发明各个方面的非易失性存储系统 300 的另一种具体实施方式。已经以引用方式并入本文的专利号为 6,151,248 的美国专利中描述了图 3 中的系统 300。系统 300 包括其它部件中的存储阵列 311。

图 4A 举例说明可于图 3 的系统 300 中实现的 NOR 型快速 EEPROM 存储单元阵列的具体实施方式的一部分 400。阵列部分 400 包括复数个存储单元，例如连接在相邻位线（BLs）（列）BL4 和 BL5 与连接到字线（行）WL1 的选择晶体管之间的存储单元 408。虽然图 4A 中给出特定数量的存储单元的作为实例，但阵列部分 400 可包括任何数量的单元。可以用模块和/或页的形式组织单元。

图 4B 举例说明可被用于图 3 的系统 300 中的 NOR 型快速 EEPROM 存储单元 408 的具体实施方式。每个单元 408 包括两个具有浮动栅 402 和 404 的晶体管 T1 – LEFT、T1 – RIGHT，以及两个浮动栅晶体管之间的一个选择晶体管

T2。

在美国专利号为 5,095,344、5,172,3385,602,987、5,663,901、5,430,859、5,657,332、5,712,180、5,890,192 和 6,151,248 的专利以及于 2000 年 2 月 17 日提交的序列号为 09/505,555 的美国专利申请案和 2000 年 9 月 22 日提交的序列号为 09/667,344 的美国专利申请案中描述了 NOR 型阵列的实例及其在存储系统中的用途，其转让给 SanDisk 公司，以上全部内容以引用的方式并入本文。美国专利号为 6,046,935 的美国专利中描述了 NOR 型阵列的其它实例及其操作，该美国专利已经以引用的方式并入本文。

浮动栅晶体管和可编程状态

诸如图 4B 中浮动栅晶体管 T1 - LEFT 的浮动栅晶体管包括控制门端子 406、浮动栅 402、源端子 412 和漏端子 414。图 3 中控制电路可对晶体管 T1 - LEFT 施加编程电压。在编程电压之后，将浮动栅 402 配置成保存属于几种不同电荷电平范围之一的电荷电平。序列号为 09/893,277 的美国专利申请案和美国专利号为 6,046,935 的美国专利中揭示了编程电压的实例，以上美国专利申请案和美国专利已经以引用的方式并入本文。

每个电荷电平范围与阈值电压电平的范围一致，例如图 5 中的范围 503，当充足的读取或校验电压施加到控制门 406 时，阈值电压电平将使晶体管 T1 - LEFT（图 4B）“导通”，即，使电流在源端子 412 和漏端子 414 之间通过。因此，阈值电压电平的每个范围定义一个保存状态，例如图 5 中的“Vt0”状态。

图 5 举例说明图 1 存储阵列 1 或图 3 存储阵列 311 中存储单元的分布（编号），该等存储单元被编程至复数个阈值电压存储状态，例如 Vt0、Vt1、Vt2 和 Vt3。例如，存储状态 Vt1 可由具有最小阈值电压 504 的范围 505 定义。图 5 中的“Verify1”电压可设置在最小阈值电压 504 或偏移一小余量，以解决非理想的测定条件，例如噪声。

如果图 4B 中浮动栅 402 具有两个可编程的阈值电压范围，即，两个已保存的电荷电平的范围，例如图 5 中的范围 503、505，则浮动栅晶体管 T1 - LEFT 具有两种可编程状态，例如图 5 中的 Vt0 和 Vt1 状态。因此，晶体管 T1 - LEFT 可保存一位二进制的数据，其中 Vt0 状态可对应“1”数据位，Vt1 状态可对应“0”数据位。

如果图 4B 中的浮动栅 402 具有四个可编程的阈值电压范围，例如图 5 中的范围 503、505、507、509，则浮动栅晶体管 T1 - LEFT 具有四种可编程状态，例如图 5 中的 Vt0、Vt1、Vt2 和 Vt3 状态。晶体管 T1 - LEFT 可保存两位二进制数据，其中 Vt0、Vt1、Vt2 和 Vt3 状态可对应任何可配置顺序的“00”、“01”、“10”、“11”。例如，Vt0、Vt1、Vt2 和 Vt3 状态可分别对应“11”、

“10”、“01”和“00”。如另一例，Vt0、Vt1、Vt2 和 Vt3 状态可分别对应 00”、“01”、“10”和“11”。

一种使图 1 中存储系统 100 的尺寸最小的方式是缩小存储阵列 1 的尺寸。一种解决方案是通过在每个浮动栅晶体管中保存多于 1 位的数据来增加存储阵列 1 的数据保存密度。浮动栅晶体管可被编程至任何数量的保存状态，例如 4、8、16 或 32 种状态。每个浮动栅晶体管可具有该晶体管可工作的阈值电压的总范围或总窗口。例如，图 5 中的总范围 500 包括范围 503、505、507、509，其为特定晶体管 400 定义了四种状态 Vt0、Vt1、Vt2 和 Vt3，并且在范围 503、505、507、509 之间定义余量以使各状态彼此清晰区分。

编程多种状态

一种多电平非易失性存储系统，例如图 1 中的系统 100 或图 3 中的系统 300，通常在编程或再编程之前擦除大量被组织成“模块”的所选存储单元。然后系统 100 在模块内同时将一“页”中的所选单元从擦除状态编程到对应于将要被保存在存储阵列 1 中的引入数据的独立状态。在一个具体实施方式中，将系统 100 配置成同时对超过 1000 个单元进行编程，例如 4,256 个单元。

在一个具体实施方式中，系统 100 交替地对所选的存储单元并行施加编程电压并读取单元的状态（即校验阈值电压）以判定是否独立单元已经达到或超过其预定的状态。序列号为 09/893,277 的美国专利申请案和美国专利号为 6,046,935 的美国专利中描述了编程和校验方法的实例，包括编程和校验电平，以上专利申请案和专利已经以引用方式并入本文。

系统 100 通过使用例如图 5 中的“Verify1”的校验电压，禁止对经校验已达到其预定最小阈值电压电平（例如图 5 中最小阈值电压电平 504）的任何单元进行编程。可继续对该页中其它的单元进行编程直到将该页中所有的单元充分编程。

例如，图 1 中的非易失性存储系统 100 可根据接收的 1 和 0 的数据模式将一或多页的存储单元编程到各种状态，例如图 5 中的 Vt0、Vt1、Vt2 和 Vt3 状态。在存储阵列 1（图 1）的页中的所有多电平存储单元起始于完全擦除的状态，例如一个具体实施方式中的 Vt0。在此具体实施方式中，Vt0 是图 5 中最低状态，Vt3 是将被编程的最高状态。被选择以保存对应于 Vt0 状态的数据（例如 00）的存储单元不需要编程脉冲，并将被禁止编程。从 Vt0 状态开始对被选择以保存对应于 Vt1、Vt2 和 Vt3 状态的数据（例如，01、10 和 11）的存储单元编程。

如此处所使用的，与复数个 Vt 状态相关的编程数据可称作“Vt 数据”。例如，与 Vt1 状态相关的“01”数据可称作“Vt1 数据”。

同时编程

在一个具体实施方式中，由于被选择以保存 Vt2 和 Vt3 数据的存储单元需要被编程至较高的阈值电压电平，所以在 Vt1 编程期间存储系统 100(图 1) 可同时将 Vt2 和 Vt3 数据编程至所选的存储单元中。此编程方法减少总编程时间。在此具体实施方式中，假设每个编程脉冲使每个存储单元的阈值电压电平增加一个小于编程步长的特定 ΔV_t 。

在图 5 中编程脉冲之间的电压差决定了 Vt0、Vt1、Vt2 和 Vt3 存储单元分布的宽度。例如，编程脉冲之间的差越小，则图 5 中 Vt0、Vt1、Vt2 和 Vt3 分布的宽度越窄。但是与具有较大电压差的编程脉冲相比，具有相对小的电压差的编程脉冲将花费较长的时间周期对存储单元进行编程。

当被选择以保存 Vt1 数据的存储单元被完全地编程并校验时，Vt1 数据的存储单元将具有至少高于 Vt1 校验电平(图 5 中的“Verify1”)的阈值电压电平，并具有接近编程步长的分布宽度。禁止将来对该等具有 Vt1 数据的存储单元进行任何编程。此时，大多数被选出以编程至 Vt2 和 Vt3 状态的单元所具有的阈值电压电平约为与 Vt1 状态相关的阈值电压电平，即，从 Vt0 起始状态的阈值电压电平增加。在一种方法中，所选择的处于 Vt1 状态的存储单元是未经校验或在 Vt1 状态下禁止编程的，这将导致如下所述的问题。

图 1 中的存储系统 100 其后对具有 Vt2 数据的存储单元进行编程和校验，但禁止对具有 Vt0 和 Vt1 数据的存储单元进行编程，而被选择以具有 Vt3 数据的存储单元被同时编程。其后存储系统 100 完成对被选择以具有 Vt3 数据的存储单元的编程。

慢速位和快速位

如果存储单元的阈值电压电平并行增加而没有太多的“快速位”或“慢速位”，则上述的编程方法是可接受的，快速位或慢速位是经历电荷和阈值电压电平经历快速或慢速增加的具有浮动栅的存储单元。许多因素可导致产生快速位和慢速位，例如晶体管制造过程中的偏差或缺陷、重复编程和擦除所引发的晶体管特性变化等等。如果存在大量的快数位和/或慢速位，则前述的方法可造成存储单元的过度编程或编程不足。

例如，当存储系统 100(图 1) 对 Vt1 数据进行编程并校验时，一些被选择以保存 Vt1 数据的存储单元将需要几个额外的编程脉冲。该等存储单元可被称作慢速位或编程不足单元。

此外，在 Vt1 编程期间对被选择以保存 Vt2 和 Vt3 数据的存储单元被同时编程。在 Vt2 和 Vt3 分布(被选择以保存 Vt2 数据或 Vt3 数据的存储单元)中可能存在一些快速位，该等快速位在 Vt1 编程还没完成时已经通过了 Vt1 校验电平(图 5 中的“Verify1”)。在 Vt2 数据编程期间，Vt3 分布(被选择以保存 Vt3 数据的存储单元)中也可存在一些快速位。

图 6 举例说明了图 1 中存储阵列 1 或图 3 中存储阵列 311 的存储单元的分布(编号)，该等存储单元被编程至复数个阈值电压保存状态，包含在 Vt2 和 Vt3 状态分布 600 中的快速(过度编程)位。如图 6 所示，在 Vt1 校验期间，Vt2 和 Vt3 状态分布 600 中的快速位没有被校验和闭锁(编程禁止)。因此，在 Vt2 和 Vt3 状态分布 600 中的快速位将接收完成 Vt1 编程所需的额外的编程脉冲。在完成对 Vt1 的编程之后，Vt2 和 Vt3 状态分布 600 中的快速位可能过快移动并达到 Vt3 校验电平(图 6 中的“Verify3”)。此时，无法恢复 Vt2 分布中的快速位。

在一个具体实施方式中，也期望多电平存储单元具有紧密分布的状态以减小在读取操作期间施加的最高电压并最小化单元耦接的数量或 Yupin 效应，序列号为 09/893,277 的美国专利申请案中说明了此效应，该专利申请案已经以引用方式并入本文。

由于独立状态的较小的电压范围需要较高的编程精度，所以如果每个电荷存储元件的存储状态数量增加，例如从 4 个增加到 8 个，则编程时间通常也将增加。编程时间的增加可对存储系统的性能具有显著的不利影响。

一种编程和闭锁方法

以下参照图 7-12B 描述的方法指出上述的对象和问题。虽然以下描述的方法是参照图 1 的系统 100，但图 3 中系统 300 也可执行该等方法。以下描述的方法将可被任何类型的存储阵列执行，例如 NAND 型或 NOR 型单元阵列。

图 7 举例说明一种编程、校验和闭锁图 1 存储阵列 1 或图 3 存储阵列 311 中的复数个存储单元的方法的具体实施方式。在图 7 的方块 700 中，图 1 中的控制器 20 接收对应于如 Vt0、Vt1、Vt2 和 Vt3 的多种状态的混和数据模式，该混和数据模式将被写入存储阵列 1 中的一或多页存储单元。系统 100(图 1)禁止对存储页中所有被选择以处于 Vt0 状态的存储单元进行编程。系统 100 在方块 700 中使用编程脉冲同时对所有被选择以保存 Vt1 数据、Vt2 数据和 Vt3 数据的所有存储单元进行编程。

方块 702 中，在一个或多个编程脉冲之后，系统 100(图 1)通过对这些页中被编程的存储单元施加读取电压条件以及通过判定是否任何已编程的存储单元都具有高于图 9 中“Verify1”的阈值电压，即，达到 Vt1 状态来执行校验操作。图 9 中的“Verify1”电压可设定在最小阈值电压 902 或偏移一小余量以解决非理想测定条件，例如噪声。存在几种校验存储单元编程的方式，例如，监控电流或电平，该等方式是所属领域的技术人员已知的。

对被选择以保存 Vt1、Vt2 或 Vt3 数据的存储模块中的所有存储单元执行 Vt1 校验操作。因此，被选择以保存 Vt2 或 Vt3 数据的存储单元与被选择以保存 Vt1 数据的存储单元在具有“Verify1”电压的 Vt1 状态被同时编程并校

验。如果没有已编程的存储单元达到 Vt1 状态，则系统 100 返回方块 700。如果已编程的一个或多个存储单元已经达到 Vt1 状态，则系统 100 进行到方块 704。

方块 704 (图 7) 中，系统 100 (图 1) 在剩余的 Vt1 编程过程中闭锁或禁止对已经达到 Vt1 状态的每个存储单元进行编程。闭锁或编程禁止防止快速 Vt2 和 Vt3 位被过度编程，如图 6 中 Vt2 和 Vt3 存储单元分布 600。

图 9 举例说明图 1 存储阵列 1 或图 3 存储阵列 311 中存储单元的分布(编号)，该等存储单元被编程至没有过度编程的存储单元的阈值电压 Vt1 保存状态。

在方块 706 中，系统 100 执行校验操作以判定是否所有被选择以保存 Vt1 数据的存储单元都已达到具有 Verify1 电压 (图 9) 的 Vt1 状态。如果被选择以保存 Vt1 数据的至少一个存储单元没有达到 Vt1 状态，则系统 100 返回到方块 700。否则，系统进行至图 7 中的方块 708 或图 8 中的方块 800。

在方块 708 中，所有被选择以保存 Vt1 数据的存储单元都已经达到 Vt1 状态。系统 100 执行校验操作以判定是否所有被选择以保存 Vt2 数据或 Vt3 数据的存储单元都已达到 Vt1 状态。如果被选择用于保存 Vt2 数据或 Vt3 数据的存储单元没有全部达到 Vt1 状态，则系统 100 对被选择用于保存 Vt2 数据或 Vt3 数据的存储单元重复方块 700 至 704 并返回到方块 708。

如果被选择以保存 Vt2 数据或 Vt3 数据的存储单元都已达到 Vt1 状态，则系统 100 以与方块 700 至 706 类似的过程继续对被选择以保存 Vt2 数据或 Vt3 数据的存储单元进行编程和校验。具体而言，系统 100 使用编程脉冲对所有被选择以保存 Vt2 数据的存储单元和所有被选择以保存 Vt3 数据的存储单元进行编程。

在一个或多个脉冲之后，系统 100 执行校验操作以判定是否任何的存储单元都已达到 Vt2 状态。在剩余的 Vt2 编程过程中，系统 100 闭锁或禁止对已经达到 Vt2 状态的每个存储单元进行编程。系统 100 执行校验操作以判定是否所有被选择以保存 Vt2 数据的存储单元都已达到具有 Verify2 电压(图 10) 的 Vt2 状态。如果被选择以保存 Vt2 数据的至少一个存储单元没有达到 Vt2 状态，则系统 100 继续 Vt2 编程。否则，系统进行 Vt3 编程。

图 10 举例说明图 1 存储阵列 1 或图 3 存储阵列 311 中存储单元的分布(编号)，该等存储单元被编程至没有过度编程位的阈值电压 Vt1 和 Vt2 保存状态。

图 11 举例说明图 1 存储阵列 1 或图 3 存储阵列 311 中存储单元的分布(编号)，该等存储单元被编程至没有过编程位的阈值电压 Vt1、Vt2 和 Vt3 保存状态。

以上参照图 7 至 11 描述的方法允许被选择以保存 Vt2 数据的存储单元使用紧密的(窄的)存储单元分布开始 Vt2 编程/校验过程，并造成如图 10 所示的 Vt2 分布。类似地，被选择以保存 Vt3 数据的存储单元将使用紧密的(窄的)存储单元分布开始 Vt2 和 Vt3 编程/校验过程，并造成如图 11 所示的 Vt3 分布。

另一种编程和闭锁方法

图 8 举例说明编程、校验和闭锁图 1 存储阵列 1 或图 3 存储阵列 311 中复数个存储单元的方法的另一具体实施方式。在图 8 中方法的开始处，图 1 的系统 100 已经按照图 7 中方块 700 至 706 对所有被选择以保存 Vt1 数据的存储单元进行编程和校验，如图 9 所示。

在方块 800 中，系统 100 执行校验操作以判定是否任何被选择以保存 Vt2 数据的存储单元都已经达到具有图 10 中 Verify2 电压的 Vt2 状态。如果被选择用于保存 Vt2 数据的一个或多个存储单元已经达到 Vt2 状态，则系统 100 进行到方块 802。

方块 802 中，系统 100 在剩余的 Vt2 编程过程中闭锁或禁止对已经达到 Vt2 状态的每个存储单元进行编程。系统 100 进行到方块 806。

如果被选择以保存 Vt2 数据的存储单元中没有一个达到 Vt2 状态(方块 800)，则在方块 804 中系统 100 使用编程脉冲对被选择以保存 Vt2 数据的存储单元进行编程。在一个或多个编程脉冲之后，系统返回到方块 800。

在方块 806 中，系统 100 使用 Verify2 电压执行校验操作，以判定是否所有被选择以保存 Vt2 数据的存储单元都已经达到 Vt2 状态。如果被选择以保存 Vt2 数据的一个或多个存储单元没有达到 Vt2 状态，则系统 100 返回到方块 804 并继续编程。如果所有被选择以保存 Vt2 数据的存储单元都已经达到 Vt2 状态，则系统 100 已经成功地闭锁 Vt2 和 Vt3 分布中的快速位，并获得类似于图 10 所示分布的存储单元分布。

在方块 808 中，系统 100 使用图 10 中的 Verify3 电压执行校验操作，以判定是否任何被选择以保存 Vt3 数据的存储单元都已经达到 Vt3 状态。方块 810 中，系统 100 在剩余的 Vt3 编程过程中闭锁或禁止对已经达到 Vt3 状态的每个存储单元进行编程。然后系统 100 继续对未被闭锁的被选择以保存 Vt3 数据的存储单元进行编程以及校验编程的电平。

因此，图 8 的方法完全地闭锁 Vt2 和 Vt3 分布中所有的快速位，以获得类似于图 11 所示的存储单元分布。如图 8 中方块 800 至 806 所示，任何不经过 Vt1 校验过程(图 7 中方块 700 至 706)的被选择以保存 Vt2 或 Vt3 数据的慢速位(编程速度慢的存储单元)将被编程，并在具有 Verify2 电压的 Vt2 状态下被校验。因此，被选择用于保存 Vt2 或 Vt3 数据的慢速位不会产生问

题。

上述图 7 和图 8 中状态转换的编程顺序可应用于任何的状态转换顺序，只要存在超过两种被同时从一个或多个较低的状态开始编程的状态。

图 1 的系统 100 可包括列控制电路 2 (或控制器 20、命令电路 7 或数据输入/输出电路 6) 中的数据锁存器或寄存器。将数据锁存器配置成保持将被写入存储阵列 1 的数据以及已从存储阵列 1 读取的数据。序列号为 09/893, 277 的美国专利申请案的图 7 中和美国专利号为 6, 064, 935 的美国专利中描述了数据锁存器或寄存器的实例及其操作，以上专利申请案和专利已经以引用方式并入本文。

在图 7 的方法和/或图 8 的方法中，当系统 100 中的数据锁存器被 Vt2 和 Vt3 编程数据复位时，将禁止对具有 Vt1 或 Vt0 数据的存储单元进行编程。然后将 Vt2 和 Vt3 数据编程并校验至 Vt2 状态。

通过使用上述方法中的一种，被编程至图 11 中每个状态的存储单元应当具有小于或等于编程步长的 Vt 分布宽度（例如，宽度 503、595、507、509）。序列号为 09/893, 277 的美国专利申请案和美国专利号为 6, 064, 935 的美国专利中描述了 Vt 分布宽度和编程步长的实例，以上专利申请案和专利已经以引用方式并入本文。

上部页和下部页编程

可在使用上部页和下部页编程技术对存储单元进行编程的存储系统中实现上述图 7 和 8 中的编程顺序。序列号为 09/893, 277 的美国专利申请案和美国专利号为 6, 064, 935 的美国专利中描述了上部页和下部页编程技术的实例，以上专利申请案和专利已经以引用方式并入本文。

图 12A 举例说明在第一页编程过程之后图 1 中存储阵列 1 或图 3 中存储阵列 311 中存储单元的分布。第一页可被称作“上部”页或“下部”页。一些存储系统首先对下部页进行编程，如在序列号为 09/893, 277 的美国专利申请案（见图 10A - 10B）中所述。其它的存储系统首先对上部页进行编程，如美国专利号为 6, 064, 935 的美国专利（见图 44B - 44C）中所述。在第一页编程期间，一些存储单元可被编程禁止在图 12A 中的第一状态 1201，而其它的存储单元被从第一状态 1201 编程至第二状态 1202。

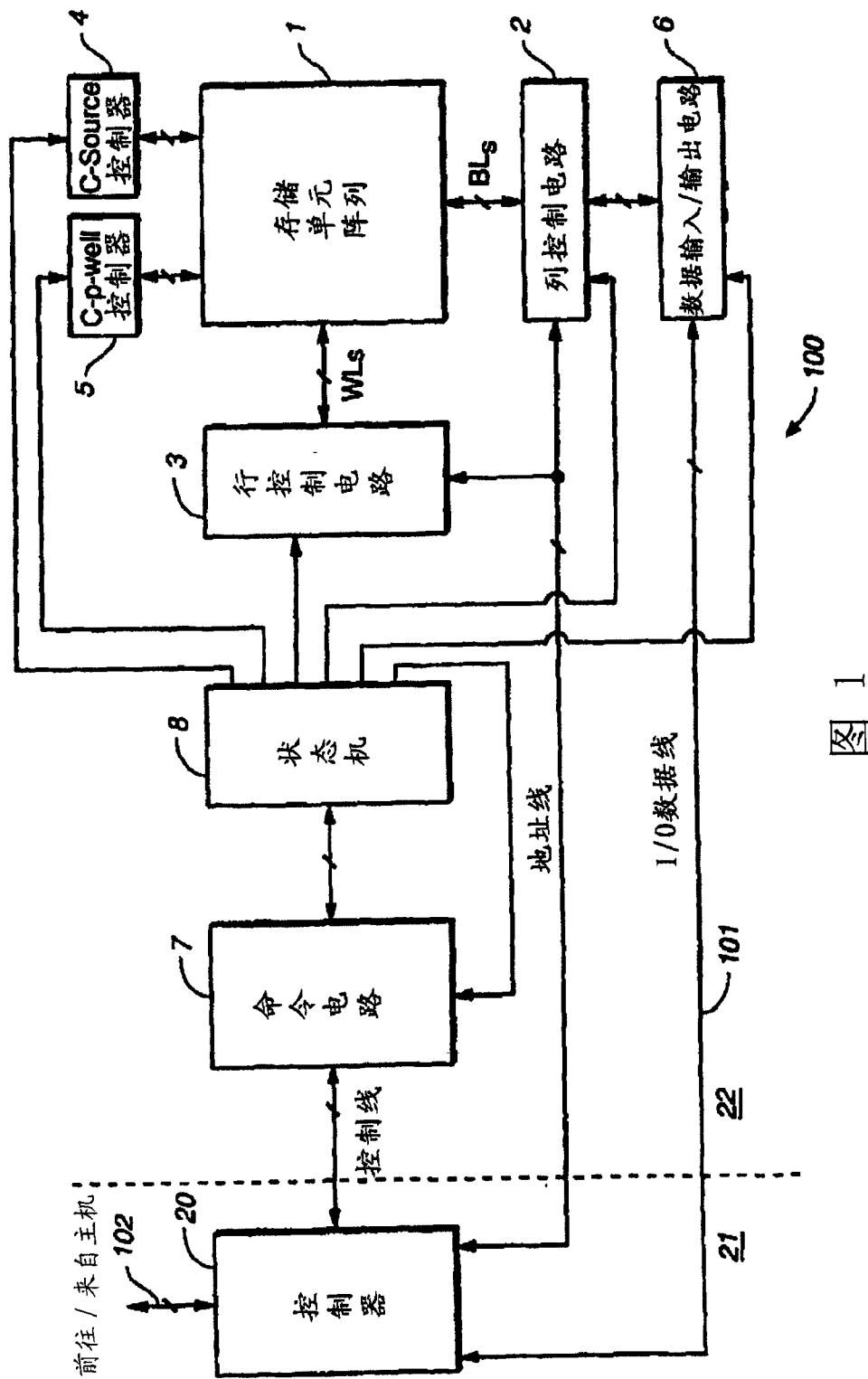
图 12B 举例说明第二页编程过程之后图 1 存储阵列 1 或图 3 存储阵列 311 中存储单元的分布。第二页可被称作“上部”页或“下部”页。在第二页编程期间，处于第二状态 1202 的存储单元可被编程禁止在第二状态 1202 或被编程至第三状态 1203。处于第一状态 1201 的存储单元可被编程禁止在第一状态 1201 或被编程至第三状态 1203，然后被编程至第四状态 1204。因此，第一和第二状态 1201、1202 中的一些存储单元被同时编程至第三状态 1203。

参照图 7 和 8 的上述方法可应用于图 12B 中的第二页编程过程。该编程方法可校验是否已将任何预定达到第四状态 1204 的存储单元从第一状态 1201 编程至第三状态 1203。如果任何预定达到第四状态 1204 的存储单元已经达到第三状态 1203，则该方法可闭锁每个这样的存储单元/禁止对每个这样的存储单元进行编程，直到所有这样的存储单元都已经达到第三状态 1203。因此，第一和第二状态 1201、1202 中的一些存储单元在第三状态 1203 下被同时编程和校验。在所有预定达到第四状态 1204 的存储单元都在第三状态 1203 下被校验之后，该方法可将这样的单元编程至第四状态 1204，如图 12B 所示。

当第一状态 1201 下的存储单元被编程至第四状态 1204 时，前述的方法捕捉快速位，并减小快速位越出图 12B 中第四状态分布的概率。在一个具体实施方式中，出于至少两个原因，期望将第四状态 1204 的分布宽度保持得尽可能窄，即，防止被编程至第四状态 1204 的存储单元“越出”。如果 NAND 阵列串中的一个存储单元（例如图 2 中的串 210）具有高于第四状态 1204 的可接受电平的阈值电压，则邻近的存储单元将不能正确地传导。因此，该链不能被正确地读取或校验。

上述图 7 和 8 中的编程顺序可结合上文提及的序列号为 09/893,277 的美国专利申请案中所描述的一或多个编程和校验方法，从而在对具有其它 V_t 状态的存储单元进行编程和校验之前紧缩存储单元 V_t 状态分布。

可以对上述图 7 和 8 中状态转换的编程顺序进行修改。本发明的上述具体实施方式仅欲为示例性的而非限制性的。可以在不脱离本发明较宽泛的方面的前提下，采取各种变化和修改。后附的权利要求包括处于本发明的精神和范畴内的这样的变化和修改。



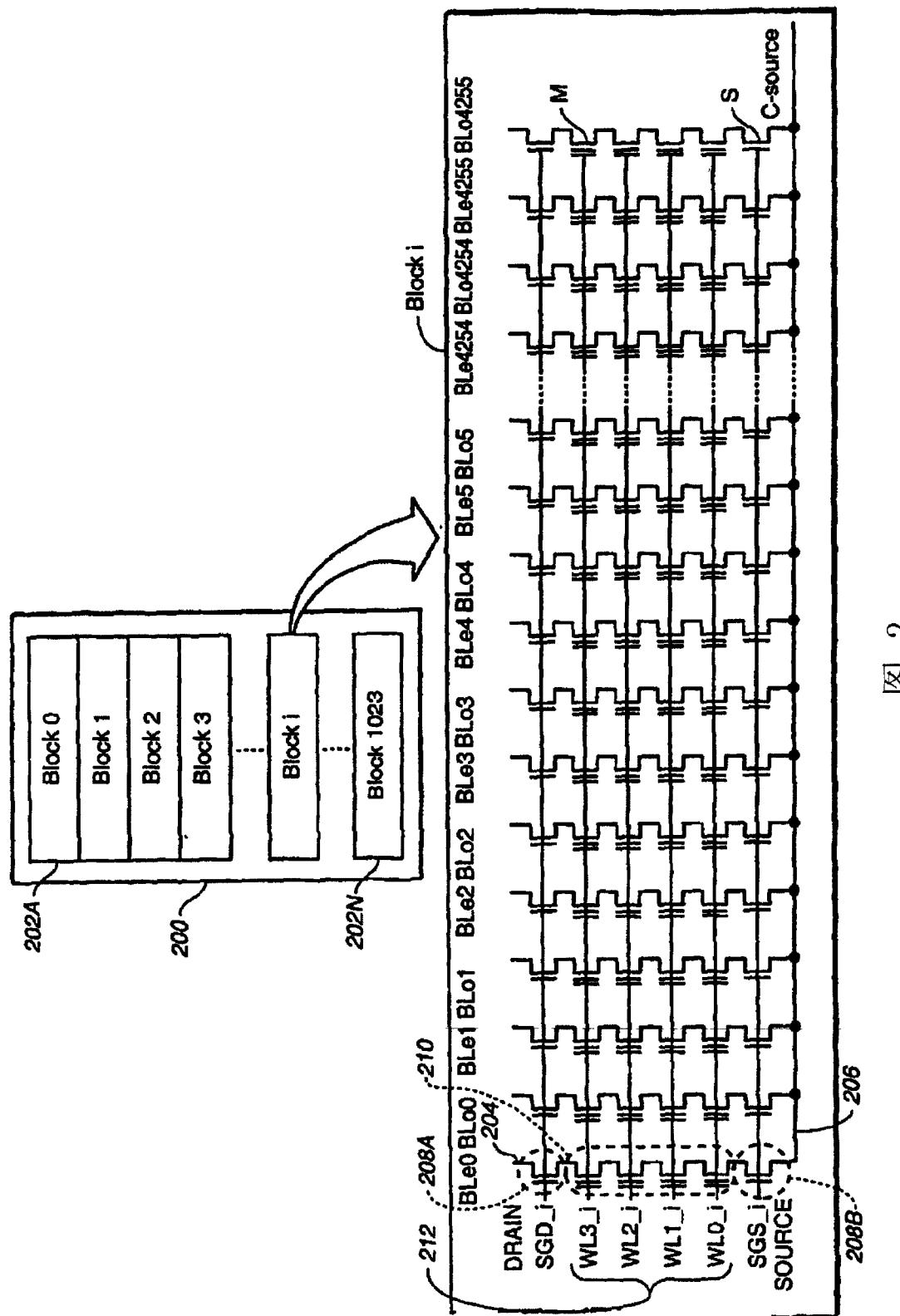


图 2

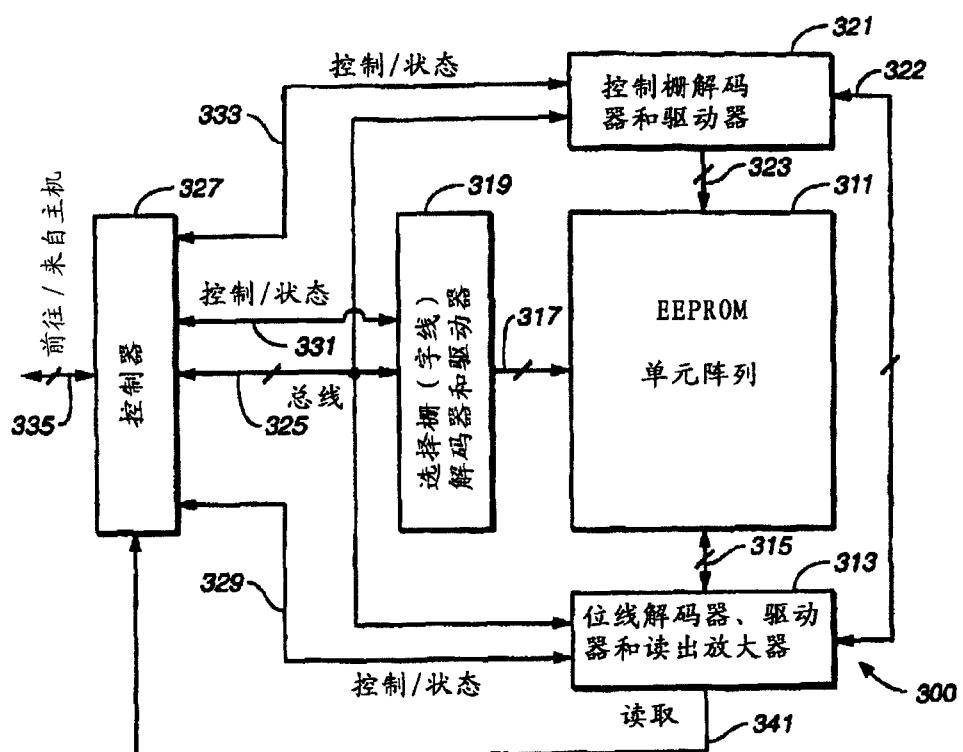
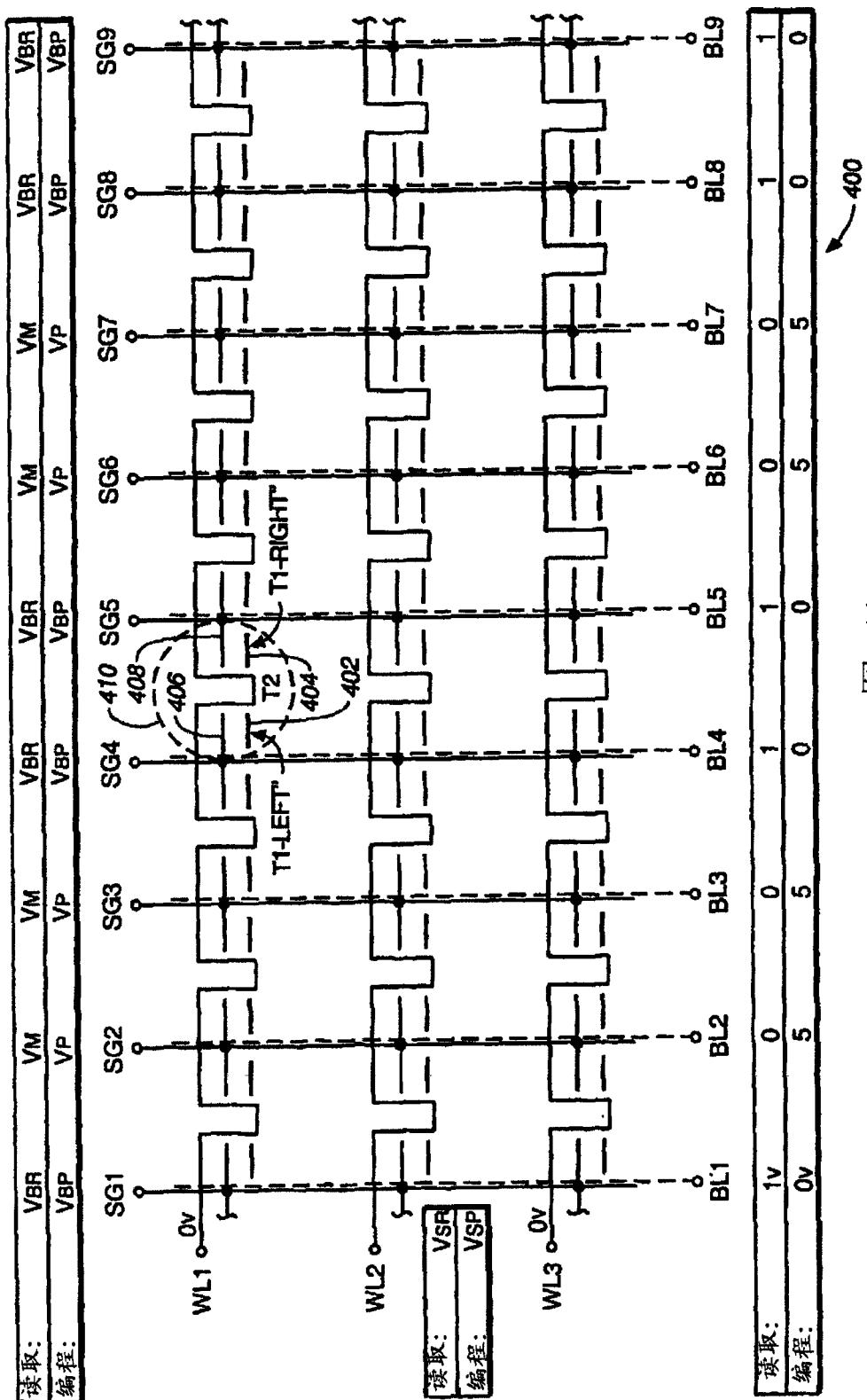


图 3



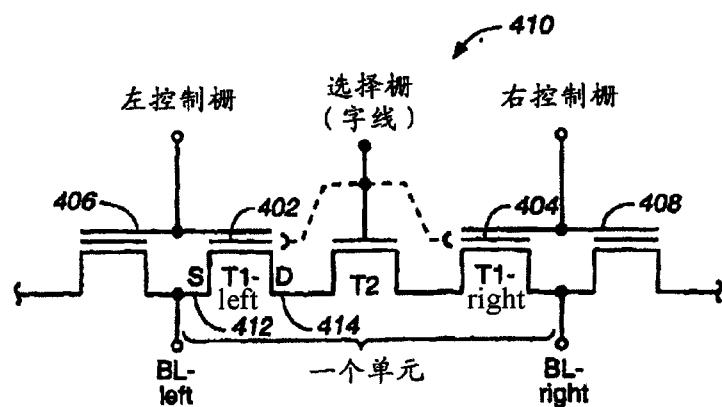


图 4B

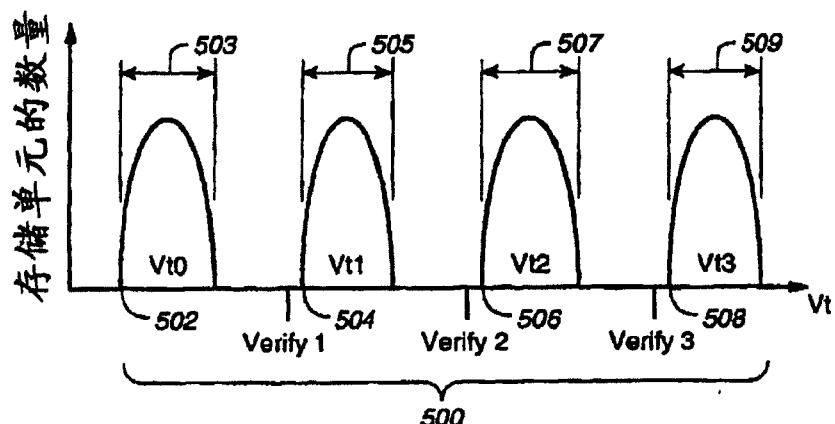


图 5

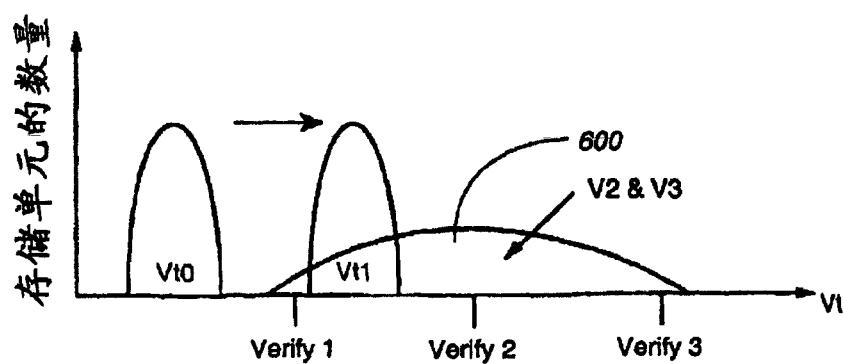


图 6

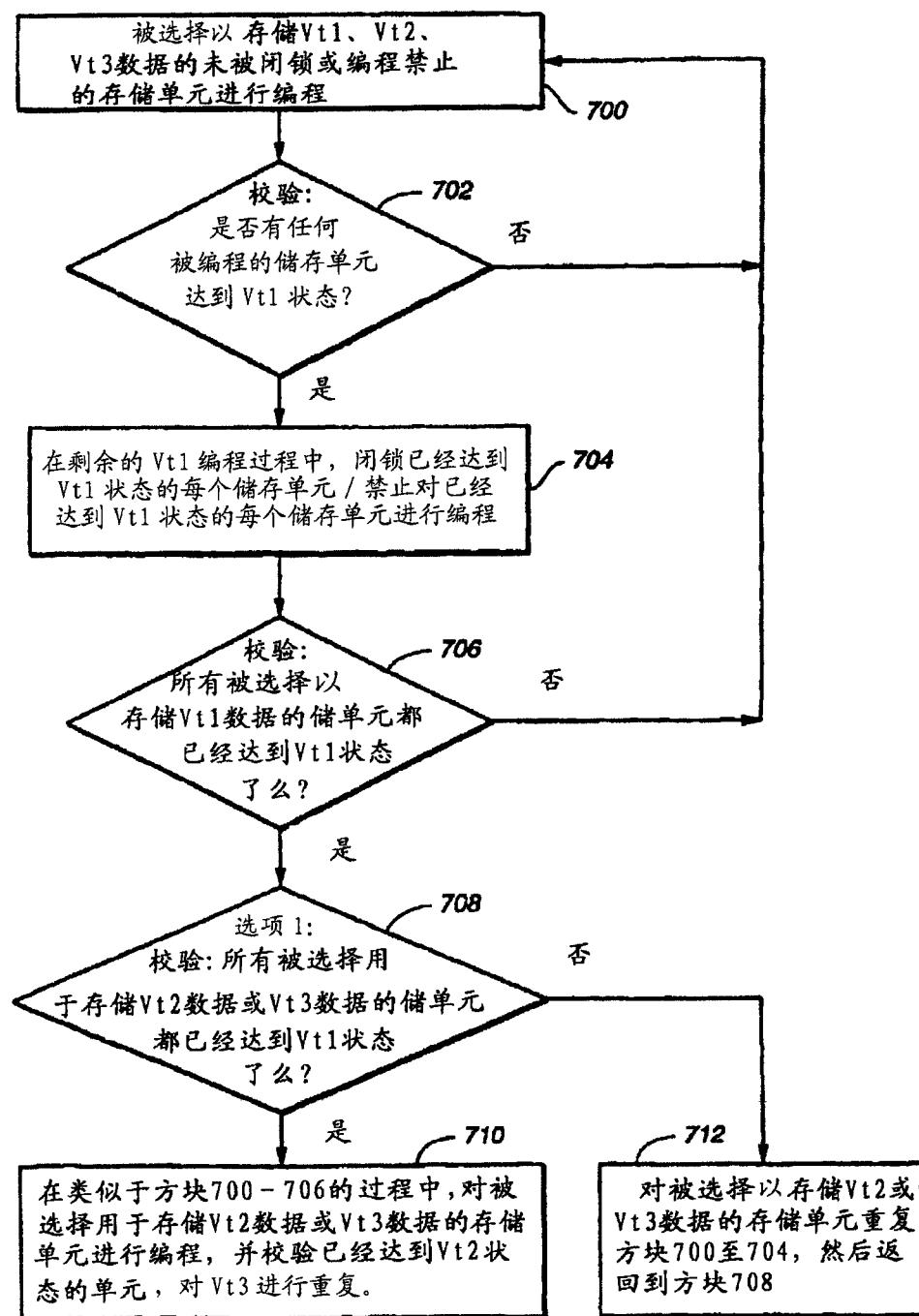


图 7

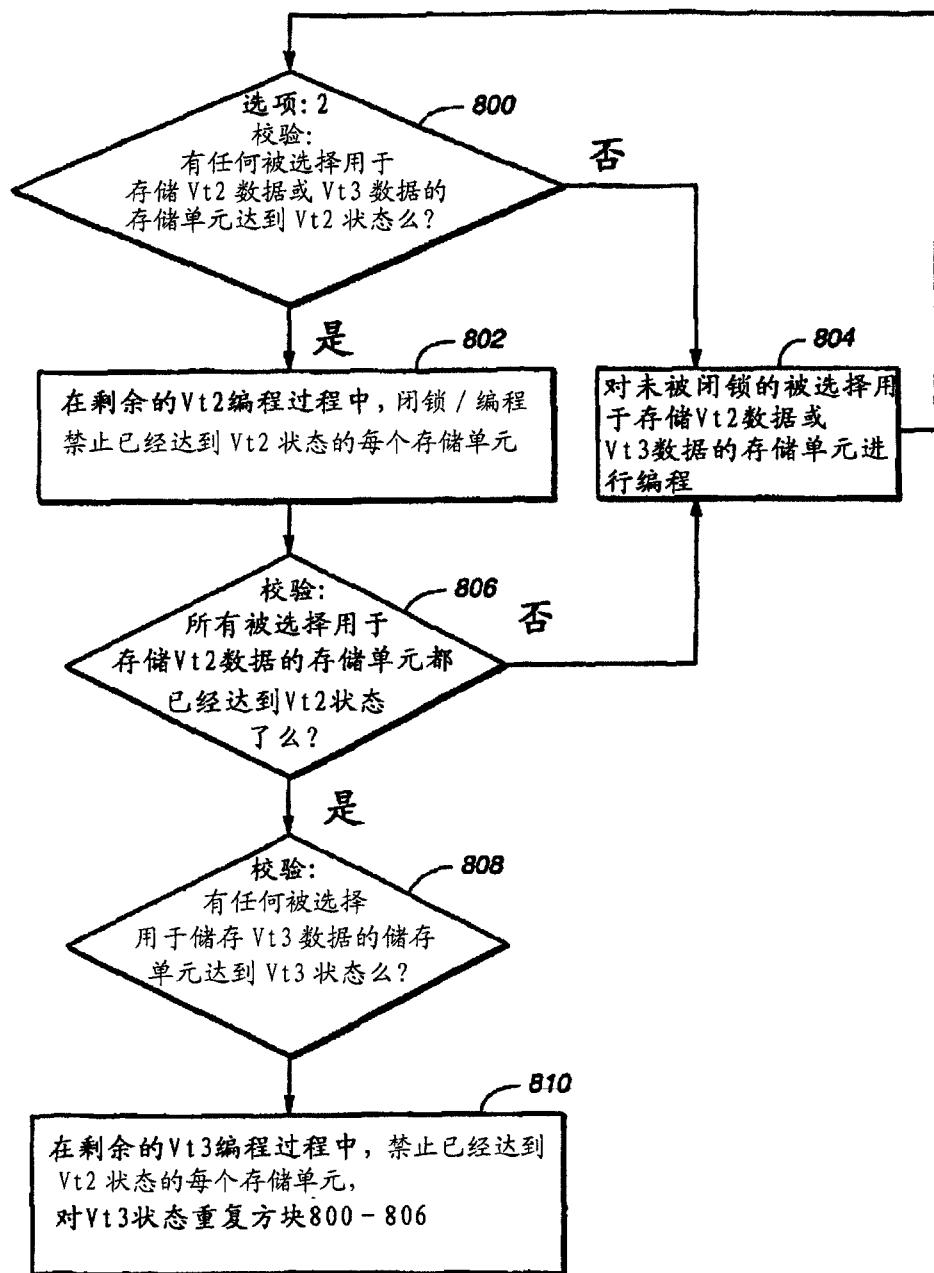


图 8

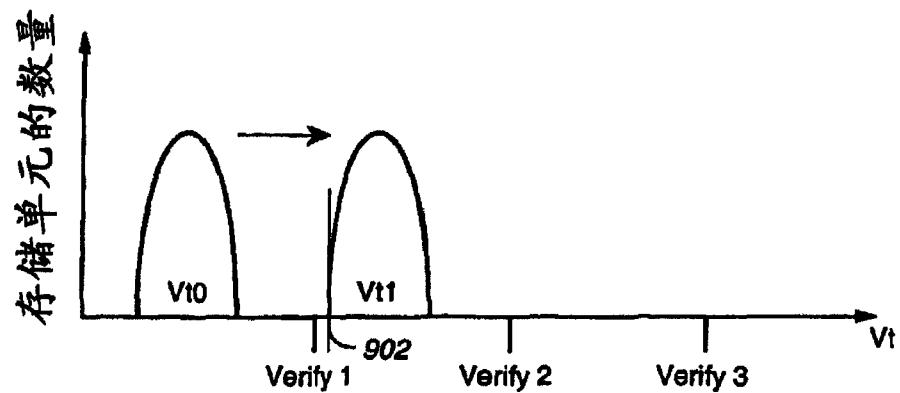


图 9

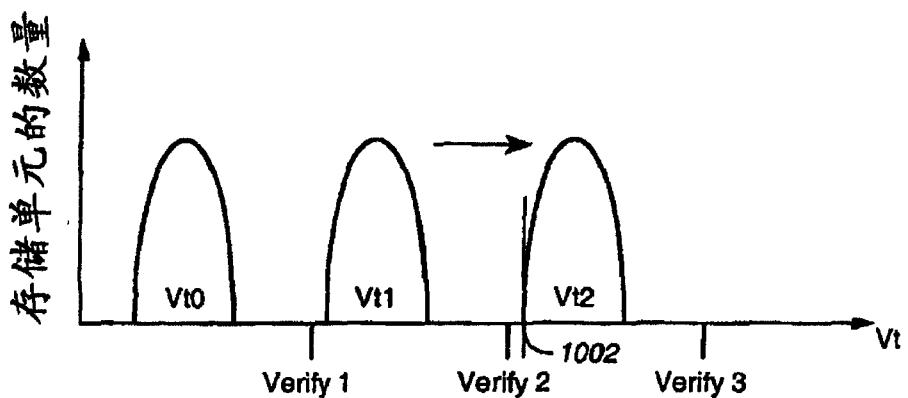


图 10

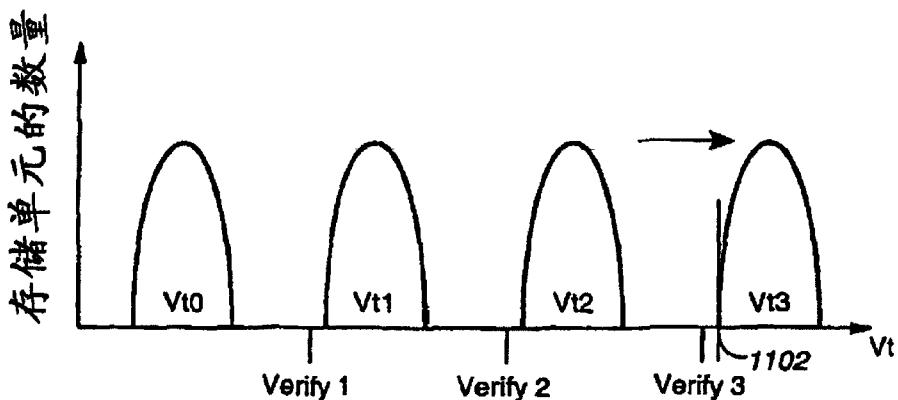


图 11

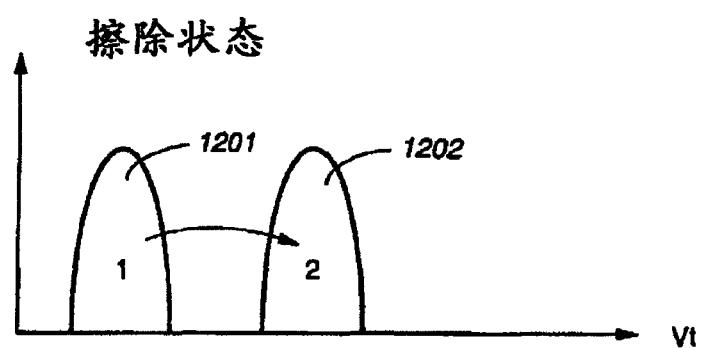


图 12A

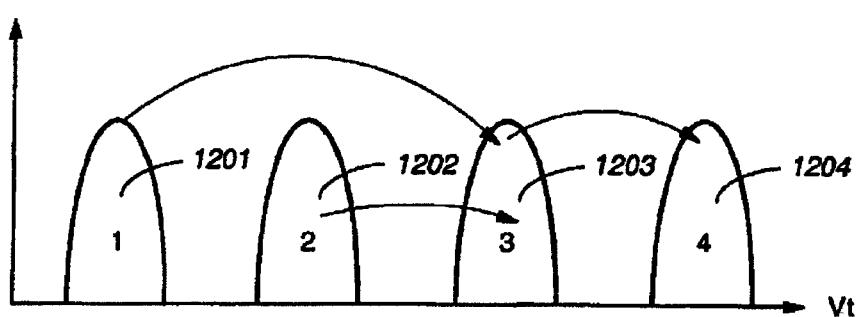


图 12B