

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244049

(P2012-244049A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 D	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 L	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 G	
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 5 8 A	
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 5 3 A	

審査請求 有 請求項の数 8 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2011-114719 (P2011-114719)
 (22) 出願日 平成23年5月23日 (2011.5.23)

(71) 出願人 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100101247
 弁理士 高橋 俊一
 (74) 代理人 100098327
 弁理士 高松 俊雄

最終頁に続く

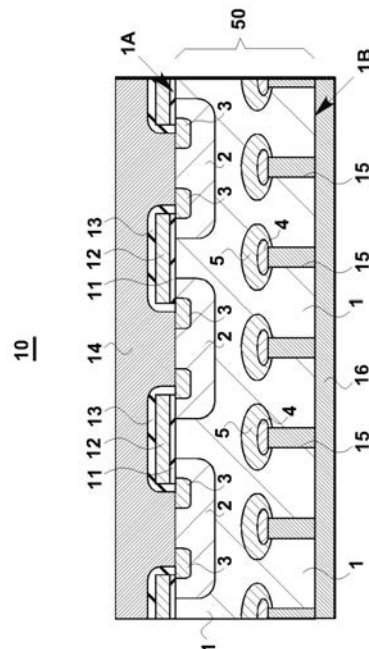
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】本発明は、トレンチの設計自由度が損なわれることなく、プロセス条件に制約されることなく、電気的特性を向上することができる半導体装置を提供する。

【解決手段】半導体装置10は、第1の半導体領域1内のトレンチ15の底部に第4の半導体領域4を介して配設され、隣り合う同士において相互に離間され、第1の半導体領域1よりも高い不純物密度を有する第1の導電型の第5の半導体領域5を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の導電型の第 1 の半導体領域と、

前記第 1 の半導体領域の一方の主面に一定の間隔において複数配設され、この第 1 の半導体領域とは逆の第 2 の導電型の第 2 の半導体領域と、

前記第 2 の半導体領域の主面に互いに離間して複数配設された前記第 1 の導電型の第 3 の半導体領域と、

少なくとも前記第 2 の半導体領域に隣接するゲート絶縁膜を介して配設されたゲート電極と、

前記第 2 の半導体領域及び前記第 3 の半導体領域の主面に電氣的に接続された第 1 の主電極と、

前記第 1 の半導体領域の前記一方の主面に対向する他方の主面に相互に離間された複数のトレンチと、

前記第 1 の半導体領域内の前記トレンチの底部に配設された前記第 2 の導電型の第 4 の半導体領域と、

前記第 1 の半導体領域内の前記トレンチの底部に前記第 4 の半導体領域を介して配設され、隣り合う同士において相互に離間され、前記第 1 の半導体領域よりも高い不純物密度を有する前記第 1 の導電型の第 5 の半導体領域と、

前記トレンチ内に埋め込まれた第 2 の主電極と、

を備えたことを特徴とする半導体装置。

10

20

【請求項 2】

前記第 5 の半導体領域は、前記第 4 の半導体領域のすべての周囲を取り囲み、前記第 4 の半導体領域と前記第 1 の半導体領域との間を離間させていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 5 の半導体領域は、前記トレンチの側面に沿って配設されていないことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 4 の半導体領域は、前記トレンチの底面及び側面に沿って配設されていることを特徴とする請求項 1 に記載の半導体装置。

30

【請求項 5】

前記第 5 の半導体領域は、前記第 4 の半導体領域を介して、前記トレンチの前記底面及び前記側面に沿って配設されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記第 5 の半導体領域の前記トレンチの前記底面に沿った部分の不純物密度は前記第 1 の半導体領域の不純物密度に比べて高く、前記第 5 の半導体領域の前記トレンチの前記側面に沿った部分の不純物密度は、前記底面に沿った部分の不純物密度に比べて低くかつ前記第 1 の半導体領域の不純物密度に比べて高いことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の半導体領域の前記他方の主面から前記トレンチの前記底面に満たない範囲内において、前記第 5 の半導体領域の隣り合う前記トレンチの前記側面に沿って配設された部分が相互に接続されていることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

40

【請求項 8】

前記第 2 の主電極は、前記第 1 の半導体領域の機械的強度に比べて機械的強度が高い導電性材料により構成されていることを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の半導体装置。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、半導体装置に関し、特に大電流の高速スイッチング制御に好適な半導体装置に関する。

【背景技術】

【0002】

I G B T (insulated gate bipolar transistor) は大電流の高速スイッチング制御を行うことができる半導体装置である。低オン電圧特性に優れたパンチスルー型 I G B T の製造には、通常 p 型半導体基板上に n + 型半導体層 (バッファ層) 、 n - 型半導体層の 2 層のエピタキシャル層を成長させた半導体ウエーハが使用されている。I G B T はこの半導体ウエーハにベース領域、ソース領域、ゲート電極のそれぞれを形成している。ソース電極は半導体ウエーハの主面側に形成され、ドレイン電極は半導体ウエーハの主面と対向する裏面側に形成されている。

10

【0003】

このような I G B T に使用される半導体ウエーハはエピタキシャル層の成長に長時間を必要とするために高価であり、この半導体ウエーハの価格が I G B T の製品価格を増大させてしまう。また、半導体ウエーハは半導体基板の上にエピタキシャル層を成長させているので、半導体ウエーハが厚くなる。このため、I G B T のオン動作に伴い発生する熱は半導体ウエーハ裏面から逃げにくくなり、十分な放熱効率を得ることが難しい。

【0004】

下記特許文献 1 には、半導体ウエーハの薄型化を図り、半導体ウエーハの裏面に一定間隔に配列したトレンチを形成し、イオン注入法を用いて半導体ウエーハの裏面からトレンチを通して不純物を注入し、p + 型半導体領域及び n + 型半導体領域 (バッファ領域) を形成した半導体ウエーハを採用する半導体装置が開示されている。半導体ウエーハの薄型化にはバックグラインド処理が使用されている。p + 型半導体領域は、不純物の横方向拡散を利用し隣り合うもの同士を相互に接続し、半導体ウエーハの全域に層として形成されている。同様に、n + 型半導体領域は、不純物の横方向拡散を利用し隣り合うもの同士を相互に接続し、半導体ウエーハの全域に層として形成されている。また、トレンチ内部には半導体ウエーハの材料に比べて機械的強度の高い材料が埋設され、薄型化に伴う半導体ウエーハ全体の機械的強度の低下の抑制がなされている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2 0 1 0 - 3 9 6 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 が開示された半導体装置においては、以下の点について配慮がなされていなかった。p + 型半導体領域、n + 型半導体領域は、いずれもトレンチを通してその底部に不純物を注入し、この不純物の横方向拡散を利用して相互に接続している構造を採用しているため、不純物の横方向拡散量に依存しトレンチの幅寸法、トレンチの配列間隔に制約が生じ、トレンチの設計自由度が大きく損なわれる。また、不純物の注入条件、拡散条件等、高精度のプロセス条件が要求される。これらは I G B T の電気的特性を向上する妨げになってしまう。

40

【0007】

本発明は上記課題を解決するためになされたものである。従って、本発明は、トレンチの設計自由度が損なわれることなく、プロセス条件に制約されることなく、電気的特性を向上することができる半導体装置を提供することである。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の実施例に係る特徴は、半導体装置において、第 1

50

の導電型の第 1 の半導体領域と、第 1 の半導体領域の一方の主面に一定の間隔において複数配設され、この第 1 の半導体領域とは逆の第 2 の導電型の第 2 の半導体領域と、第 2 の半導体領域の主面に互いに離間して複数配設された第 1 の導電型の第 3 の半導体領域と、少なくとも第 2 の半導体領域に隣接したゲート絶縁膜を介して配設されたゲート電極と、第 2 の半導体領域及び第 3 の半導体領域の主面に電氣的に接続された第 1 の主電極と、第 1 の半導体領域の一方の主面に対向する他方の主面に相互に離間された複数のトレンチと、第 1 の半導体領域内のトレンチの底部に配設された第 2 の導電型の第 4 の半導体領域と、第 1 の半導体領域内のトレンチの底部に第 4 の半導体領域を介して配設され、隣り合う同士において相互に離間され、第 1 の半導体領域よりも高い不純物密度を有する第 1 の導電型の第 5 の半導体領域と、トレンチ内に埋め込まれた第 2 の主電極とを備える。

10

【発明の効果】

【0009】

本発明によれば、トレンチの設計自由度が損なわれることなく、プロセス条件に制約されることなく、電氣的特性を向上することができる半導体装置を提供することができる。

【図面の簡単な説明】

【0010】

【図 1】本発明の実施例 1 に係る半導体装置の要部断面図である。

【図 2】図 1 に示す半導体装置の要部拡大断面図である。

【図 3】実施例 1 に係る半導体装置の製造方法を説明する第 1 の工程図である。

【図 4】第 2 の工程図である。

20

【図 5】第 3 の工程図である。

【図 6】第 4 の工程図である。

【図 7】本発明の実施例 2 に係る半導体装置の要部断面図である。

【図 8】実施例 2 に係る半導体装置の製造方法の特徴的な工程を説明する工程図である。

【図 9】本発明の実施例 3 に係る半導体装置の要部断面図である。

【図 10】実施例 3 に係る半導体装置の製造方法の特徴的な工程を説明する工程図である。

【図 11】本発明の実施例 4 に係る半導体装置の要部断面図である。

【図 12】本発明の実施例 6 に係る半導体装置の要部断面図である。

【図 13】本発明の実施例 7 に係る半導体装置の要部断面図である。

30

【発明を実施するための形態】

【0011】

次に、図面を参照して、本発明の実施例を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、現実のものとは異なる。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている場合がある。

【0012】

また、以下に示す実施例はこの発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は各構成部品の配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

40

【0013】

(実施例 1)

本発明の実施例 1 は、プレーナ構造を有する IGBT を搭載した半導体装置及びその製造方法に本発明を適用した例を説明するものである。

【0014】

[半導体装置 (IGBT) のデバイス構造]

図 1 に示すように、実施例 1 に係る半導体装置 (半導体チップ) 10 はパンチスルー型 IGBT である。この半導体装置 10 は、第 1 の導電型の第 1 の半導体領域 1 を有する半導体基体 50 と、半導体基体 50 の一方の主面 1A において第 1 の半導体領域 1 の主面に

50

一定間隔を持って複数配設された第1の導電型とは逆の第2の導電型の第2の半導体領域2と、第2の半導体領域2の主面（一方の主面1Aと同一主面）に互いに離間して複数配設された第1の導電型の第3の半導体領域3と、少なくとも第2の半導体領域2上にゲート絶縁膜11を介して配設されたゲート電極12と、第3の半導体領域3の主面（一方の主面1Aと同一主面）及び第2の半導体領域2の主面に電氣的に接続された第1の主電極（ここではソース電極又はエミッタ電極）14と、半導体基体50の一方の主面1Aに対向する他方の主面1Bに配設され半導体基体50内に相互に離間された複数のトレンチ15と、半導体基体50内のトレンチ15の底部に配設され、隣り合う同士が相互に離間された第2の導電型の第4の半導体領域4と、半導体基体50内のトレンチ15の底部に第4の半導体領域4を介して配設され、隣り合う同士が相互に離間され、第1の半導体領域1の不純物密度に比べて高い不純物密度を有する第1の導電型の第5の半導体領域5と、トレンチ15内に埋め込まれた第2の主電極（ここではドレイン電極又はコレクタ電極）16とを備えている。

10

【0015】

第1の半導体領域1は、実施例1において、n-型のシリコン単結晶からなる半導体基板である。この第1の半導体領域1は半導体製造プロセスの前処理段階において半導体ウエーハであり、例えば150 μm - 725 μm の厚さの比較的厚い半導体ウエーハが使用される。第1の半導体領域1は、IGBTのn型ベース領域として使用され、例えば 10^{15} atoms/cm³ - 10^{16} atoms/cm³の不純物密度に設定されている。

20

【0016】

第2の半導体領域2はIGBTのp型ベース領域として使用されている。この第2の半導体領域2は例えば 10^{17} atoms/cm³ - 10^{18} atoms/cm³の不純物密度に設定されている。

【0017】

第3の半導体領域3はここではIGBTのn型ソース領域（又はエミッタ領域）として使用されている。この第3の半導体領域3は、例えば 10^{19} atoms/cm³ - 10^{20} atoms/cm³の不純物密度に設定され、第1の半導体領域1の不純物密度並びに第5の半導体領域5の不純物密度に比べて高い不純物密度に設定されている。

【0018】

ゲート絶縁膜11は、第1の半導体領域1の一方の主面1A上及び第2の半導体領域2の主面上に配設されている。実施例1において、ゲート絶縁膜11は少なくとも第2の半導体領域2に隣接して配設されている。ゲート絶縁膜11には例えばシリコン酸化膜を実用的に使用することができる。

30

【0019】

ゲート電極12はゲート絶縁膜11上に配設されている。このゲート電極12には例えばシリコン多結晶膜を実用的に使用することができる。

【0020】

ゲート電極12上には層間絶縁膜13が配設されている。層間絶縁膜13には例えばPSG膜を使用することができる。

【0021】

層間絶縁膜13上には第1の主電極14が配設され、この第1の主電極14はゲート電極12間において露出する第2の半導体領域2の主面及び第3の半導体領域3の主面に電氣的に接続されている。第1の主電極14には例えばアルミニウム合金を使用することができる。

40

【0022】

トレンチ15は、半導体基体50（第1の半導体領域1）の他の主面1Bから一方の主面1Aに向かって掘り下げられた溝若しくは穴である。このトレンチ15は、後述するがリアクティブイオンエッチング（RIE）等の異方性エッチングにより構成され、トレンチ幅に比べてトレンチ深さを大きく（アスペクト比を大きく）設定している。トレンチ15のトレンチ幅は例えば10 μm - 50 μm に設定され、トレンチ深さは半導体基体50

50

の厚み（バックグラインド処理前であって薄膜化前の厚み）が $150\ \mu\text{m} - 725\ \mu\text{m}$ のとき例えば $50\ \mu\text{m} - 675\ \mu\text{m}$ に設定されている。トレンチ15は、半導体基体50の他の主面1Bからこのトレンチ15の底面に向かって不純物を導入し、この不純物の導入において第1の半導体領域1の厚さ方向の中央部に第4の半導体領域4及び第5の半導体領域5を形成するための不純物導入通路として機能する。ここで、「不純物の導入」とは、イオン注入法を用いた不純物の注入、固相拡散法や熱拡散法を用いた不純物の拡散等を含む意味において使用されている。また、実施例1において、イオン注入法を用いて導入された不純物には熱処理が行われ、不純物の拡散が行われ、不純物の活性化がなされる。固相拡散法や熱拡散法はそれ自体に熱処理を伴う場合があるので、その熱処理を用いて或いは別途活性化のための熱処理を用いて不純物の拡散が行われ、不純物の活性化がなされる。

10

【0023】

また、トレンチ15の内部には第2の主電極16が埋め込まれ、後述するがこの第2の主電極16の熱抵抗、電気抵抗は、第1の半導体領域1のそれらに比べて低く、機械的強度は高い。従って、トレンチ15並びにその内部に埋設された第2の主電極16によって、IGBTのスイッチング動作において発生する熱は、第1の半導体領域1の厚さ方向の中央部からトレンチ15内部に埋設された熱抵抗の小さい第2の主電極16を通じて放熱することができるので、半導体基体50の他方の主面1Bからの放熱効果を向上することができる。また、IGBTの第1の主電極14から第2の主電極16に流れる電流は、第1の半導体領域1の厚さ方向の中央部からトレンチ15内部に埋設された電気抵抗の小さい第2の主電極16を通じて流すことができるので、IGBTのオン抵抗を減少することができる。更に、半導体基体50の（半導体ウエーハ）の機械的強度は、トレンチ15内部に埋設された機械的強度が高い第2の主電極16によって補強することができるので、半導体基体50自体の剛性を高めることができる。

20

【0024】

第4の半導体領域4は、実施例1において、第5の半導体領域5との間に高い不純物密度同士のpn接合ダイオードを生成し、アノード電極として機能する。このpn接合ダイオードは第2の主電極16からn型ベース領域（主に第1の半導体領域1）にキャリア（ここではホール）を注入し、この注入されたキャリアはn型ベース領域の電導度変調を行う。この結果、オン抵抗を無視することができる程度に低減することができる。第4の半導体領域4はトレンチ15を通してこのトレンチ15の底部に導入されたp型不純物を拡散し活性化することにより構成されている。第4の半導体領域4は、実効的にトレンチ15の底面に沿って第1の半導体領域1内（半導体基体50内）に配設され、不純物の縦方向拡散によってトレンチ15の底面から僅かにトレンチ15の側面に沿って形成されているが、トレンチ15の側面の大半には配設されていない。更に、実施例1に係る半導体装置10において、1つのトレンチ15の底部に配設された1つの第4の半導体領域4はそれに隣り合う他の1つのトレンチ15の底部に配設された他の1つの第4の半導体領域4に対して離れて配設されており、隣り合う双方の第4の半導体領域4は接続されていない。

30

【0025】

第4の半導体領域4は、p型ベース領域として機能する第2の半導体領域2の不純物密度よりも高い、例えば $10^{18}\ \text{atoms/cm}^3 - 10^{19}\ \text{atoms/cm}^3$ の不純物密度に設定されている。

40

【0026】

第5の半導体領域5はn型ドレイン領域（又はn型コレクタ領域）として機能する。この第5の半導体領域5と第4の半導体領域4との間には高不純物密度を有する半導体領域同士のpn接合が構成され、pn接合から拡がる空乏層の伸びを抑えて、パンチスルー型のIGBTが構築されている。つまり、第5の半導体領域5はIGBTの素子耐圧を高める機能を有する。

【0027】

50

第5の半導体領域5は、第4の半導体領域4と同様にトレンチ15を通してこのトレンチ15の底部に導入されたn型不純物を拡散し活性化することにより構成されている。つまり、第5の半導体領域5は、第1の半導体領域1内のトレンチ15の底部に第4の半導体領域4を介して配設され、隣り合う同士において相互に離間され、第1の半導体領域1よりも高い不純物密度を有する。

【0028】

実施例1に係る半導体装置10において、第5の半導体領域5は、第4の半導体領域4のすべての周囲を取り囲み（すべての接合面においてpn接合ダイオードを生成し）、第4の半導体領域4と第1の半導体領域1とを直接接触させていない。このような構造を採用することによって、第4の半導体領域4からn型ベース領域（主に第1の半導体領域1）へのキャリアの注入を抑えることができ、速やかにキャリアを消去することができるので、半導体装置10（IGBT）のターンオフ時間の高速化を実現することができる。また、図2に示す隣り合う第5の半導体領域5間の離間寸法Lの制御を行うことによって、n型ベース領域へのキャリアの注入量の制御を行うことができる。

10

【0029】

第5の半導体領域5は、例えば不純物導入の際のエネルギー量を制御し、第1の半導体領域1と第4の半導体領域4との間に不純物密度のピークを設定している。第5の半導体領域5は、実効的にトレンチ15の底面に沿い第4の半導体領域4を介し第1の半導体領域1内（半導体基体50内）に配設され、不純物の縦方向拡散によってトレンチ15の底面から僅かにトレンチ15の側面に沿って形成されているが、トレンチ15の側面の大半にはここでは配設されていない。

20

【0030】

実施例1において、図2に示すように、第4の半導体領域4のトレンチ15の底面からの縦方向（半導体基体50の厚さ方向）の厚さ t_4 に対して、第5の半導体領域5のトレンチ15の底面上の同一縦方向の厚さ t_{51} は厚く設定されている。この厚さ t_{51} は第4の半導体領域4から第1の半導体領域1までの距離と等価である。また、第5の半導体領域5のトレンチ15の側面に沿った厚さ t_{52} は厚さ t_{51} よりも薄い。この厚さ t_{52} はn型ベース領域へのキャリアの注入量を抑えてターンオフ時間の高速化を実現するためにはある程度確保される。また、キャリアの注入量を増やしてオン抵抗の低減化を図るときには、厚さ t_{52} はゼロに設定し、第4の半導体領域4のトレンチ15の側面に沿った一部と第1の半導体領域1とを直接接触させる。

30

【0031】

第5の半導体領域5は、n型ベース領域として機能する第1の半導体領域1の不純物密度よりも高く、ソース領域として機能する第3の半導体領域3の不純物密度よりも低い、例えば $1.0^{18} \text{ atoms/cm}^3 - 1.0^{19} \text{ atoms/cm}^3$ の不純物密度に設定されている。

【0032】

第2の主電極16は、前述のようにトレンチ15内部を埋設するとともに、第1の半導体領域1の他の主面1B上に配設される。第2の主電極16には、熱抵抗が小さく、電気抵抗が小さく、更に機械的強度が高い導電性材料、例えばニッケル（Ni）を実用的に使用することができる。

40

【0033】

[半導体装置の製造方法]

前述の実施例1に係る半導体装置10の製造方法は以下の通りである。

【0034】

最初に、第1導電型つまりn型の第1の半導体領域1が準備される（図3参照。）。第1の半導体領域1は、この時点では半導体製造プロセスの前処理段階であり、半導体ウエーハである。

【0035】

次に、第1の半導体領域1の一方の主面1Aに第2の導電型つまりp型の第2の半導体領域2が形成され、引き続き第2の半導体領域2の主面に第1の導電型つまりn型の第3

50

の半導体領域 3 が形成される (図 3 参照。)。第 2 の半導体領域 2、第 3 の半導体領域 3 のそれぞれは、例えばイオン注入法、熱拡散法、固相拡散法等を用いて不純物を導入し、この不純物を活性化することにより形成される。

【 0 0 3 6 】

次に、ゲート絶縁膜 1 1、ゲート電極 1 2、層間絶縁膜 1 3 のそれぞれが順次形成される (図 3 参照。)。図 3 に示すように、層間絶縁膜 1 3 上に第 2 の半導体領域 2 及び第 3 の半導体領域 3 に接続される第 1 の主電極 1 4 が形成される。

【 0 0 3 7 】

次に、第 1 の半導体領域 1 の一方の主面 1 A 側が例えば図示しないフォトリソグロム膜によって保護される。そして、第 1 の半導体領域 1 の他方の主面 1 B 側においてバックグラインド処理が行われ、第 1 の半導体領域 1 が薄型化される (図 4 参照。)。

10

【 0 0 3 8 】

図 4 に示すように、第 1 の半導体領域 1 の他方の主面 1 B から第 1 の半導体領域 1 の厚さ方向の中央部まで掘り下げられたトレンチ 1 5 が形成される。トレンチ 1 5 は、例えば、図 4 中、破線を付け符号 2 0 を付した、フォトリソグラフィ技術により形成されたマスクを用い、R I E 等の異方性エッチングを用いて第 1 の半導体領域 1 を部分的に取り除くことにより形成される。実施例 1 に係る半導体装置 1 0 においては、後の工程においてトレンチ 1 5 の底部に形成される第 4 の半導体領域 4、第 5 の半導体領域 5 が隣り合うもの同士で相互に接続される必要がないので、不純物の横方向拡散量に制約されず、トレンチ 1 5 の幅寸法、トレンチ 1 5 の配列間隔等、トレンチ 1 5 の設計を自由に行うことができる。

20

【 0 0 3 9 】

図 5 に示すように、前述のマスク 2 0 をそのまま耐不純物導入マスクとして使用し、前記トレンチ 1 5 の底部において第 1 の半導体領域 1 の厚さ方向の中央部に第 1 導電型の不純物 5 n 及び第 2 の導電型の不純物 4 p のそれぞれが導入される。この不純物の導入順序は特に限定されない。実施例 1 において、この不純物 5 n、4 p のそれぞれの導入にはイオン注入法が使用される。不純物 4 p はトレンチ 1 5 の底面に近い側に不純物密度のピークを有し、不純物 5 n はトレンチ 1 5 の底面から遠い側に不純物密度のピークを有するように、イオン注入の際のエネルギー量の制御が行われる。この後、マスク 2 0 は除去される。

30

【 0 0 4 0 】

図 6 に示すように、アニール処理が行われ、不純物 4 p を拡散し活性化することにより第 2 の導電型の第 4 の半導体領域 4 が形成され、不純物 5 n を拡散し活性化することにより第 1 の導電型の第 5 の半導体領域 5 が形成される。活性化の際、隣り合うトレンチ 1 5 のそれぞれの底部において形成された第 4 の半導体領域 4 同士、第 5 の半導体領域 5 同士は相互に離間されている。

【 0 0 4 1 】

次に、第 1 の半導体領域 1 の他方の主面 1 B 上に第 2 の主電極 1 6 が形成される (前述の図 1 参照。)。この第 2 の主電極 1 6 は、トレンチ 1 5 の内部に埋め込まれ、トレンチ 1 5 の底面に露出する第 4 の半導体領域 4 に電氣的に接続される。第 2 の主電極 1 6 は例えばスパッタリング法により成膜された N i 膜により形成される。

40

【 0 0 4 2 】

これら一連の製造工程が終了すると、実施例 1 に係る半導体装置 1 0 が完成する。

【 0 0 4 3 】

[実施例 1 の特徴]

以上説明したように、実施例 1 に係る半導体装置 1 0 においては、トレンチ 1 5 の底部に第 5 の半導体領域 5 を配設し、この第 5 の半導体領域 5 は隣り合うもの同士を接続しないので、不純物の横方向拡散量に制約されることがない。従って、トレンチ 1 5 の設計自由度を改善することができ、プロセス条件に制約されることもなく、半導体装置 1 0 の電氣的特性を向上することができる。

50

【 0 0 4 4 】

また、実施例 1 に係る半導体装置 1 0 においては、第 4 の半導体領域 4 の周囲のすべてが第 5 の半導体領域 5 に覆われ、第 4 の半導体領域 4 から n 型ベース領域 (第 1 の半導体領域 1) へのキャリアの注入量を抑えることができるので、ターンオフ時間の高速化を実現することができる。

【 0 0 4 5 】

また、実施例 1 に係る半導体装置 1 0 においては、第 1 の半導体領域 1 の他方の主面 1 B にトレンチ 1 5 を形成し、このトレンチ 1 5 の底部において第 1 の半導体領域 1 の厚さ方向の中央部に第 4 の半導体領域 4 及び第 5 の半導体領域 5 を形成したので、第 1 の半導体領域 1 の他方の主面 1 B のバックグラインド処理量を減少することができ、半導体製造プロセスの製造時間を短縮することができる。更に、実施例 1 に係る半導体装置 1 0 においては、第 1 の半導体領域 1 の厚さ方向の中央部にトレンチ 1 5 を通して不純物 4 p 及び 5 n を導入し、第 4 の半導体領域 4 及び第 5 の半導体領域 5 を形成することができるので、エピタキシャル成長層を成長させる高価な半導体ウエーハを使用することがなくなり、半導体製造プロセスの製造コストを減少することができる。

10

【 0 0 4 6 】

また、実施例 1 に係る半導体装置 1 0 においては、第 1 の半導体領域 1 の他方の主面 1 B に配設したトレンチ 1 5 の内部に熱抵抗の小さな第 2 の主電極 1 6 を埋設したので、放熱効果を向上することができる。更に、実施例 1 に係る半導体装置 1 0 においては、同様に第 1 の半導体領域 1 の他方の主面 1 B に配設したトレンチ 1 5 の内部に電気抵抗の小さな第 2 の主電極 1 6 を埋設したので、オン抵抗を減少することができる。

20

【 0 0 4 7 】

また、実施例 1 に係る半導体装置 1 0 においては、第 1 の半導体領域 1 の他方の主面 1 B に配設したトレンチ 1 5 の内部に機械的強度が高い第 2 の主電極 1 6 を埋設したので、第 1 の半導体領域 1 (半導体基体 5 0) 自体の機械的強度を向上することができる。

【 0 0 4 8 】

(実施例 2)

本発明の実施例 2 は、前述の実施例 1 に係る半導体装置 1 0 の第 4 の半導体領域 4 の断面構造を変えた例を説明するものである。

【 0 0 4 9 】

30

[半導体装置のデバイス構造]

図 7 に示すように、実施例 2 に係る半導体装置 1 0 は、基本的には前述の実施例 1 に係るプレーナ構造を有する I G B T が形成された半導体装置 1 0 と同様であるが、トレンチ 1 5 の底面及び側面の全域に沿って第 2 の導電型の第 4 の半導体領域 4 を配設している。第 5 の半導体領域 5 は、実施例 1 に係る半導体装置 1 0 の第 5 の半導体領域 5 と同様にトレンチ 1 5 の底部に配設され、隣り合うもの同士を離間させている。

【 0 0 5 0 】

第 4 の半導体領域 4 がトレンチ 1 5 の側面に沿って配設されることによって、第 4 の半導体領域 4 と第 1 の半導体領域 1 とが直接接触し p n 接合ダイオードが生成され、n 型ベース領域へのキャリアの注入量は増えるので、低オン抵抗化を実現することができる。但し、キャリアの注入量は隣り合う第 5 の半導体領域 5 の離間寸法 L によって制御可能である。

40

【 0 0 5 1 】

[半導体装置の製造方法]

実施例 2 に係る半導体装置 1 0 の製造方法は、前述の実施例 1 に係る半導体装置 1 0 の製造方法と基本的には同様であるが、前述の図 4 に示すトレンチ 1 5 を形成した後に、図 8 に示すように、第 2 の導電型の不純物 4 p がトレンチ 1 5 の底面及び側面において第 1 の半導体領域 1 内部に導入される。実施例 2 において、不純物 4 p の導入には例えば斜めイオン注入法が使用される。

【 0 0 5 2 】

50

以上説明したように、実施例 2 に係る半導体装置 10 においては、前述の実施例 1 に係る半導体装置 10 により得られる作用効果と同様の作用効果を奏することができる。

【0053】

(実施例 3)

本発明の実施例 3 は、前述の実施例 2 に係る半導体装置 10 の第 5 の半導体領域 5 の断面構造を変えた例を説明するものである。

【0054】

[半導体装置のデバイス構造]

図 9 に示すように、実施例 3 に係る半導体装置 10 は、基本的には前述の実施例 2 に係るプレーナ構造を有する IGBT が形成された半導体装置 10 と同様であるが、トレンチ 15 の底面及び側面の全域に沿って第 2 の導電型の第 4 の半導体領域 4 を配設するとともに第 1 の導電型の第 5 の半導体領域 5 を配設している。第 5 の半導体領域 5 は、トレンチ 15 の側面に沿って配設されてはいるが、実施例 1 に係る半導体装置 10 の第 5 の半導体領域 5 と同様に隣り合うもの同士を離間させている。

【0055】

実施例 1 に係る半導体装置 10 と同様に、第 5 の半導体領域 5 は第 4 の半導体領域 4 の周囲のすべてを取り囲んでいるので、第 4 の半導体領域 4 から n 型ベース領域へのキャリアの注入量は抑えられ、ターンオン時間の高速化を実現することができる。

【0056】

[半導体装置の製造方法]

実施例 3 に係る半導体装置 10 の製造方法は、前述の実施例 2 に係る半導体装置 10 の製造方法と基本的には同様であるが、前述の図 8 に示す第 2 の導電型の不純物 4 p を導入する工程に代えて、図 10 に示すように、第 2 の導電型の不純物 4 p 及び第 1 の導電型の不純物 5 n をトレンチ 15 の底面及び側面において第 1 の半導体領域 1 内部に導入する。実施例 3 において、不純物 4 p 並びに 5 n の導入には例えば斜めイオン注入法が使用される。また、不純物 5 n の導入角度によって、第 5 の半導体領域 5 のトレンチ 15 の底面に沿った部分の不純物密度は、第 5 の半導体領域 5 のトレンチ 15 の側面に沿った部分の不純物密度に対して高くなる。第 4 の半導体領域 4 についても同様の不純物密度の関係がある。

【0057】

以上説明したように、実施例 3 に係る半導体装置 10 においては、前述の実施例 1 に係る半導体装置 10 により得られる作用効果と同様の作用効果を奏することができる。

【0058】

(実施例 4)

本発明の実施例 4 は、前述の実施例 3 に係る半導体装置 10 の第 5 の半導体領域 5 の断面構造を変えた例を説明するものである。

【0059】

[半導体装置のデバイス構造]

図 11 に示すように、実施例 4 に係る半導体装置 10 は、基本的には前述の実施例 3 に係るプレーナ構造を有する IGBT が形成された半導体装置 10 と同様であるが、隣り合うトレンチ 15 の側面に配設された第 5 の半導体領域 5 同士を接続している。但し、第 1 の半導体領域 1 の他方の主面 1 B からトレンチ 15 の底面に満たない範囲内、つまり図 11 中、トレンチ 15 の底面よりも下側において、隣り合う第 5 の半導体領域 5 同士が相互に接続されている。トレンチ 15 の底面よりも上側においては、隣り合う第 5 の半導体領域 5 同士は相互に離間されている。

【0060】

以上説明したように、実施例 4 に係る半導体装置 10 においては、前述の実施例 1 に係る半導体装置 10 により得られる作用効果と同様の作用効果を奏することができる。

【0061】

(実施例 5)

10

20

30

40

50

本発明の実施例 5 は、前述の実施例 2 乃至実施例 4 のいずれかに係る半導体装置 10 の変形例を説明するものである。

【0062】

[半導体装置のデバイス構造]

実施例 5 に係る半導体装置 10 は、前述の図 7 に示す実施例 2 に係る半導体装置 10、図 9 に示す実施例 3 に係る半導体装置 10、図 11 に示す実施例 4 に係る半導体装置 10 のいずれかの第 1 の半導体領域 1 の他の主面 1B のトレンチ 15 以外の領域に、第 2 の導電型 (p 型) の半導体領域を備えている (図示しない。)。すなわち、半導体基体 50 の裏面のトレンチ 15 の全面に p 型半導体領域が配設されている。

【0063】

また、図 9 に示す実施例 3 に係る半導体装置 10、図 11 に示す実施例 4 に係る半導体装置 10 のいずれかの第 1 の半導体領域 1 の他の主面 1B のトレンチ 15 以外の領域に、第 1 の導電型 (n 型) の半導体領域を備えている (図示しない。)。すなわち、半導体基体 50 の裏面のトレンチ 15 の全面に n 型半導体領域が配設されている。この場合、n 型半導体領域は、第 2 の主電極 16 との間にダイオードを構築する

(実施例 6)

本発明の実施例 6 は、前述の実施例 1 に係る半導体装置 10 を、トレンチゲート構造を有する IGBT からなる半導体装置に置き換えた例を説明するものである。

【0064】

[半導体装置のデバイス構造]

図 12 に示すように、実施例 6 に係る半導体装置 10 はトレンチゲート構造を有する IGBT である。すなわち、半導体装置 10 は、半導体基体 50 の一方の主面 1A において隣り合う第 2 の半導体領域 2 の間に配設されたトレンチ 17 を更に備え、トレンチ 17 の底面及び側面に沿って配設されたゲート絶縁膜 11 と、この絶縁膜 11 上に配設され、トレンチ 17 の内部に埋設されたゲート電極 12 とを備えている。

【0065】

実施例 6 に係る半導体装置 10 においては、前述の実施例 1 に係る半導体装置 10 により得られる作用効果と同様の作用効果を奏することができる。

【0066】

(実施例 7)

本発明の実施例 7 は、前述の実施例 2 に係る半導体装置 10 を、トレンチゲート構造を有する IGBT からなる半導体装置に置き換えた例を説明するものである。

【0067】

[半導体装置のデバイス構造]

図 13 に示すように、実施例 7 に係る半導体装置 10 はトレンチゲート構造を有する IGBT である。すなわち、実施例 7 に係る半導体装置 10 は、前述の実施例 2 に係る半導体装置 10 と前述の実施例 6 に係る半導体装置 10 とを組み合わせたものである。

【0068】

実施例 7 に係る半導体装置 10 においては、前述の実施例 1 に係る半導体装置 10 により得られる作用効果と同様の作用効果を奏することができる。なお、前述の実施例 3 又は実施例 4 に係る半導体装置 10 と実施例 6 に係る半導体装置 10 とを組み合わせてもよい。

【0069】

(その他の実施例)

上記のように、本発明を実施例 1 乃至実施例 7 によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものでない。本発明は様々な代替実施の形態、実施例及び運用技術に適用することができる。例えば、前述の実施例においては、IGBT からなる半導体装置 10 を例に説明したが、本発明は、IGBT と縦型パワーランジスタとが混在する半導体装置に適用することができる。

【0070】

10

20

30

40

50

また、上記実施例は半導体基体 50 の第 1 の半導体領域 1 に Si 基板を使用した例を説明したが、本発明は第 1 の半導体領域 1 に代えて SiC 等の化合物半導体基板を使用してもよい。つまり、本発明は、前述の実施例において説明した第 4 の半導体領域 4、第 5 の半導体領域 5 を化合物半導体基板に配設する。

【産業上の利用可能性】

【0071】

本発明は、トレンチの設計自由度が損なわれることなく、プロセス条件に制約されることなく、電気的特性を向上することができる半導体装置に広く適用可能である。

【符号の説明】

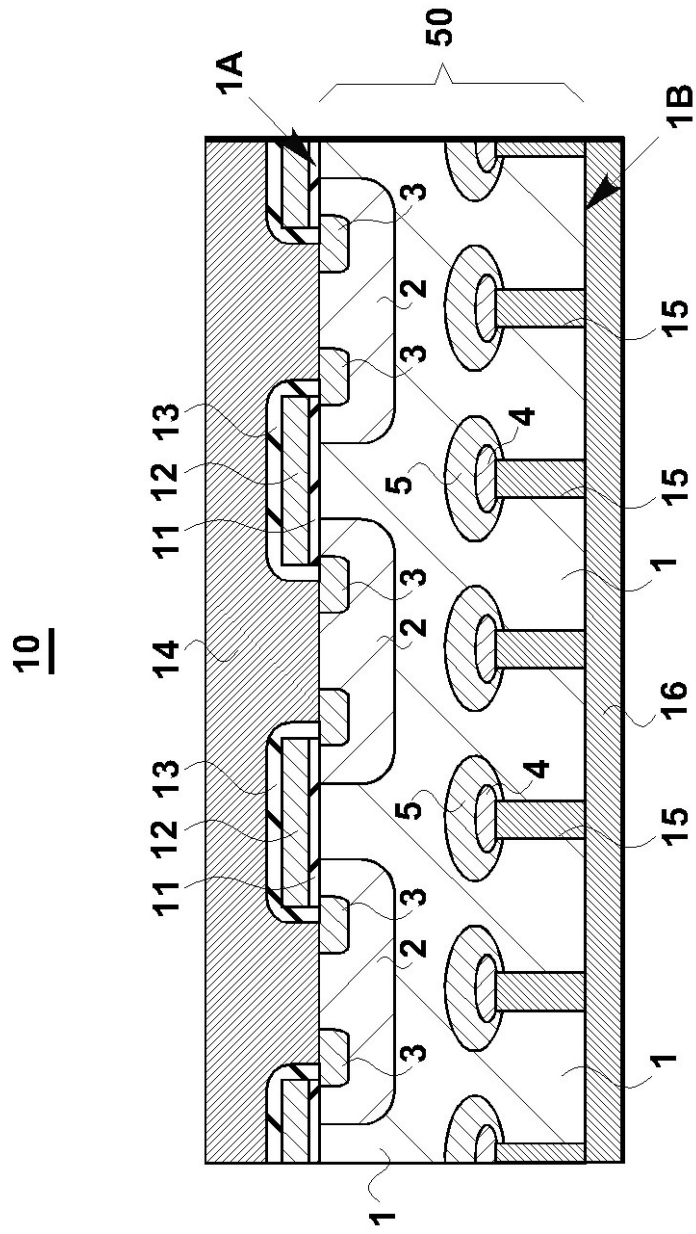
【0072】

- 1 ... 第 1 の半導体領域
- 1 A ... 一方の主面
- 1 B ... 他方の主面
- 2 ... 第 2 の半導体領域
- 3 ... 第 3 の半導体領域
- 4 ... 第 4 の半導体領域
- 4 p、5 n ... 不純物
- 5 ... 第 5 の半導体領域
- 10 ... 半導体装置
- 11 ... ゲート絶縁膜
- 12 ... ゲート電極
- 13 ... 層間絶縁膜
- 14 ... 第 1 の主電極
- 15、17 ... トレンチ
- 16 ... 第 2 の主電極
- 20 ... マスク

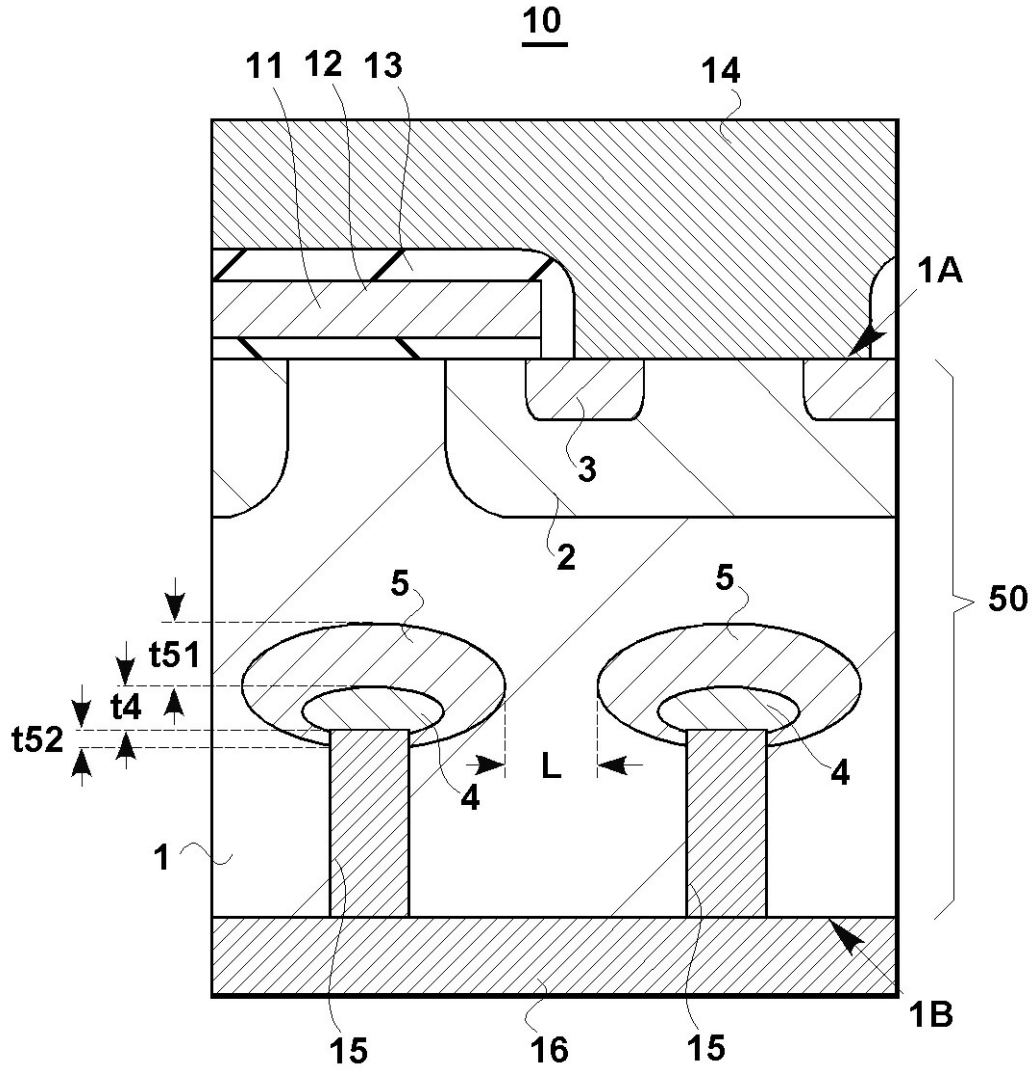
10

20

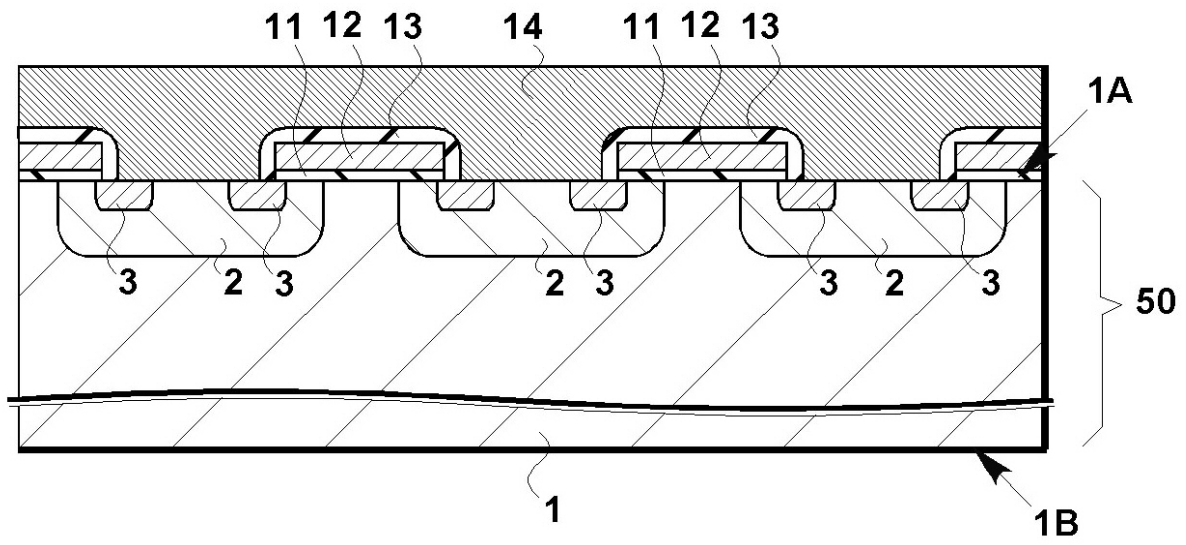
【図 1】



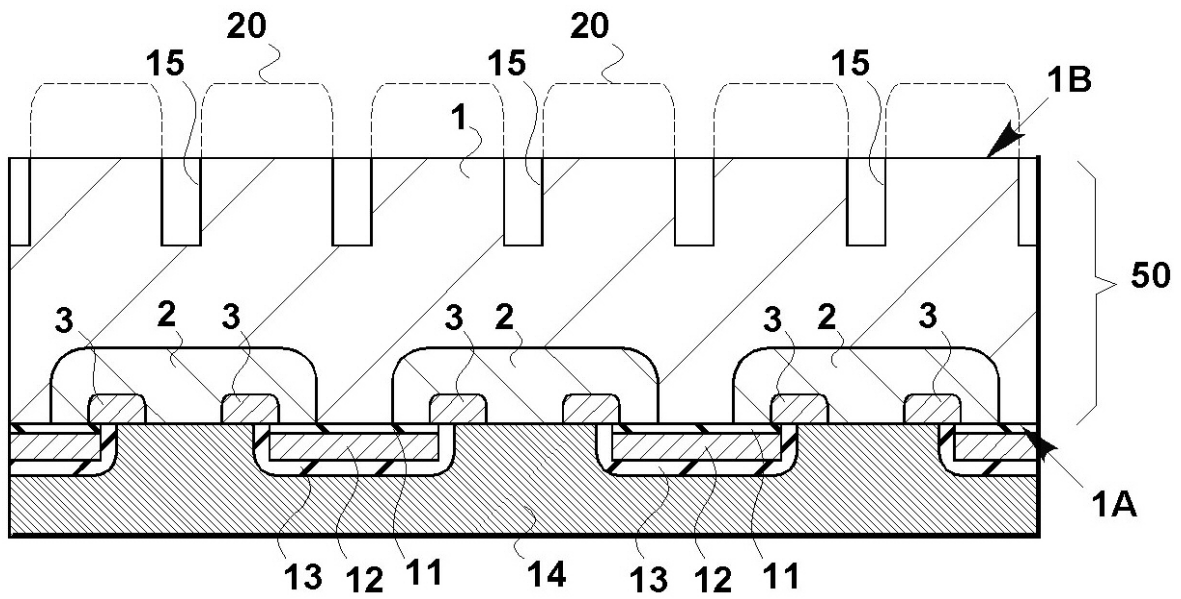
【 図 2 】



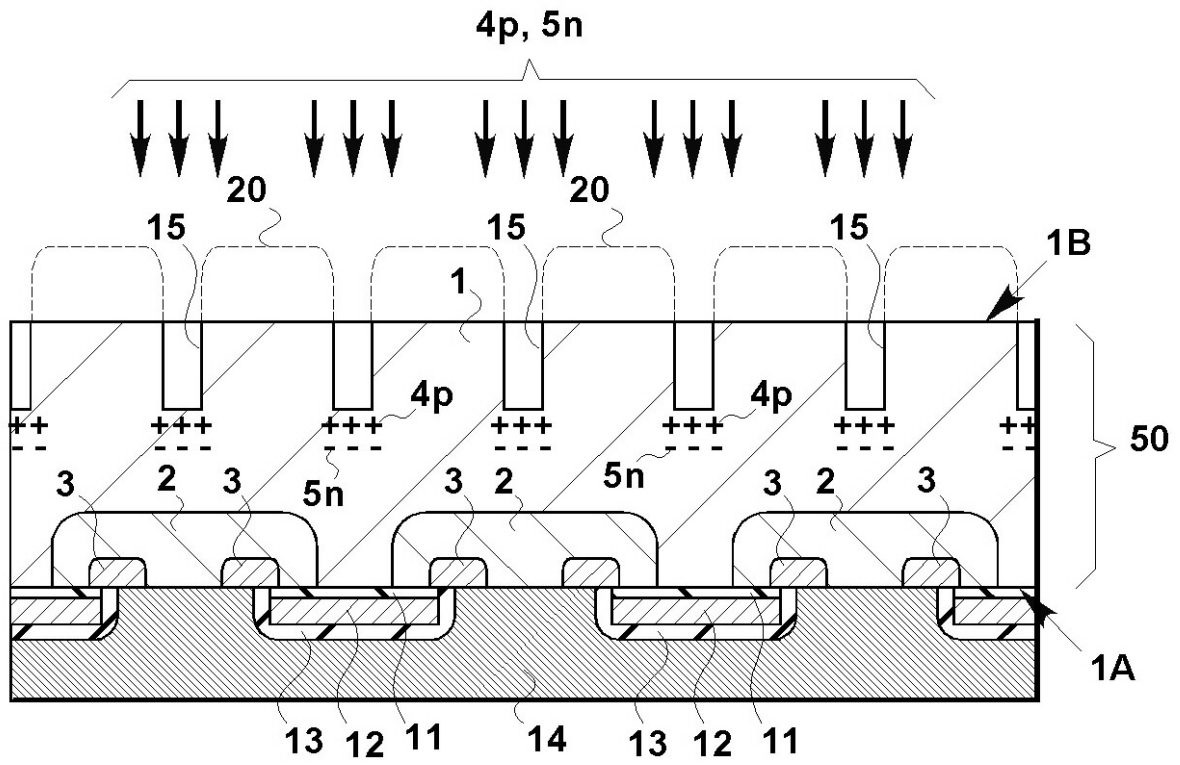
【 図 3 】



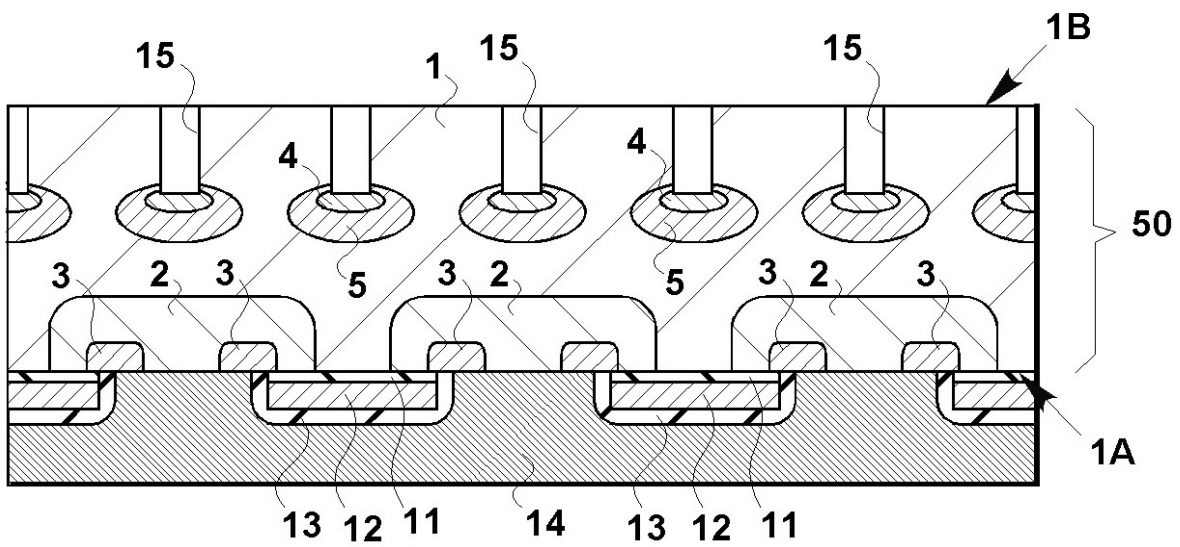
【 図 4 】



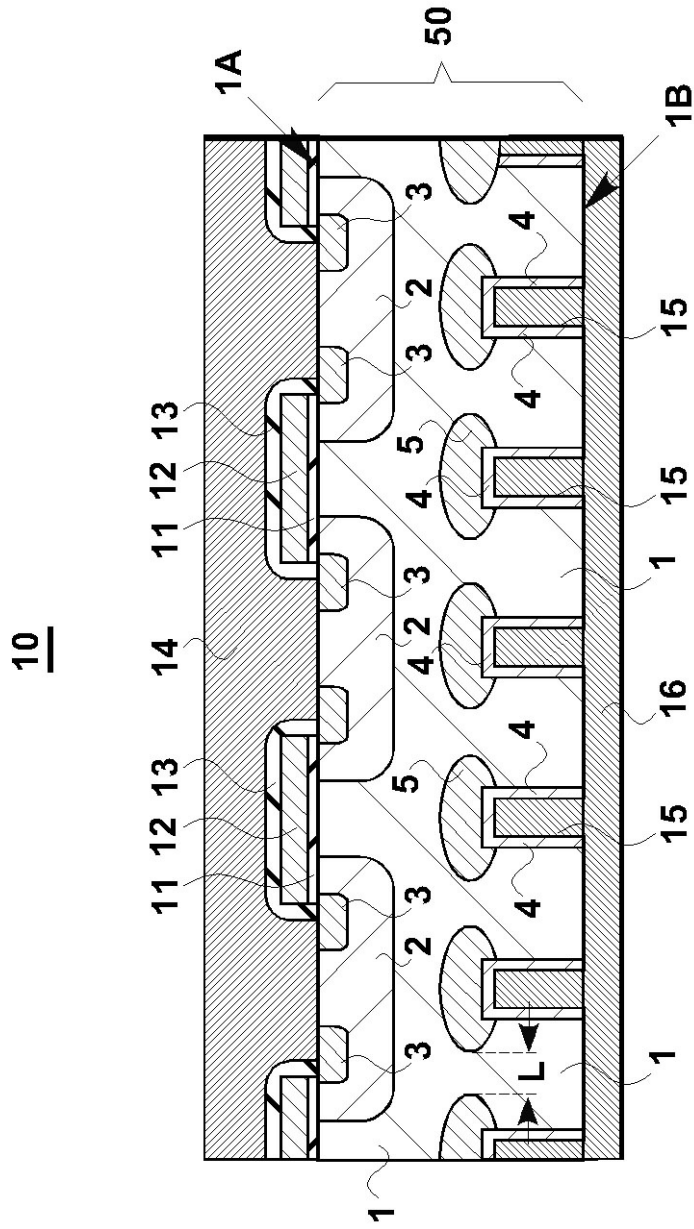
【 図 5 】



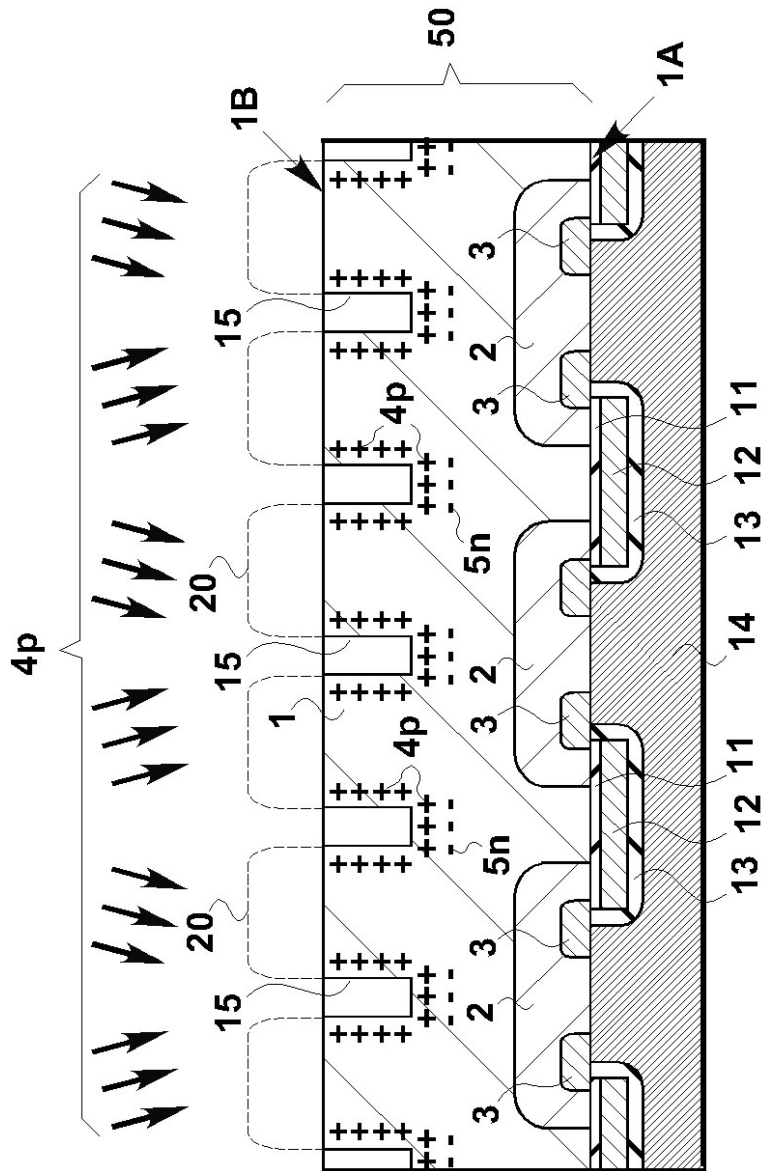
【 図 6 】



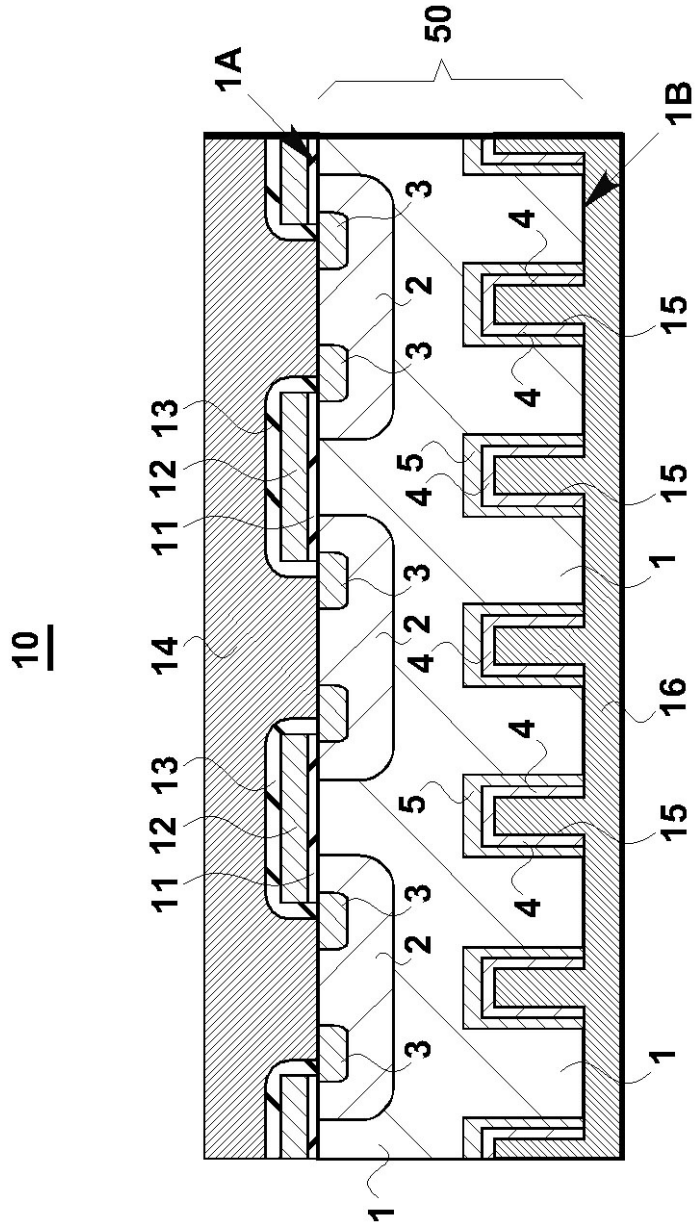
【 図 7 】



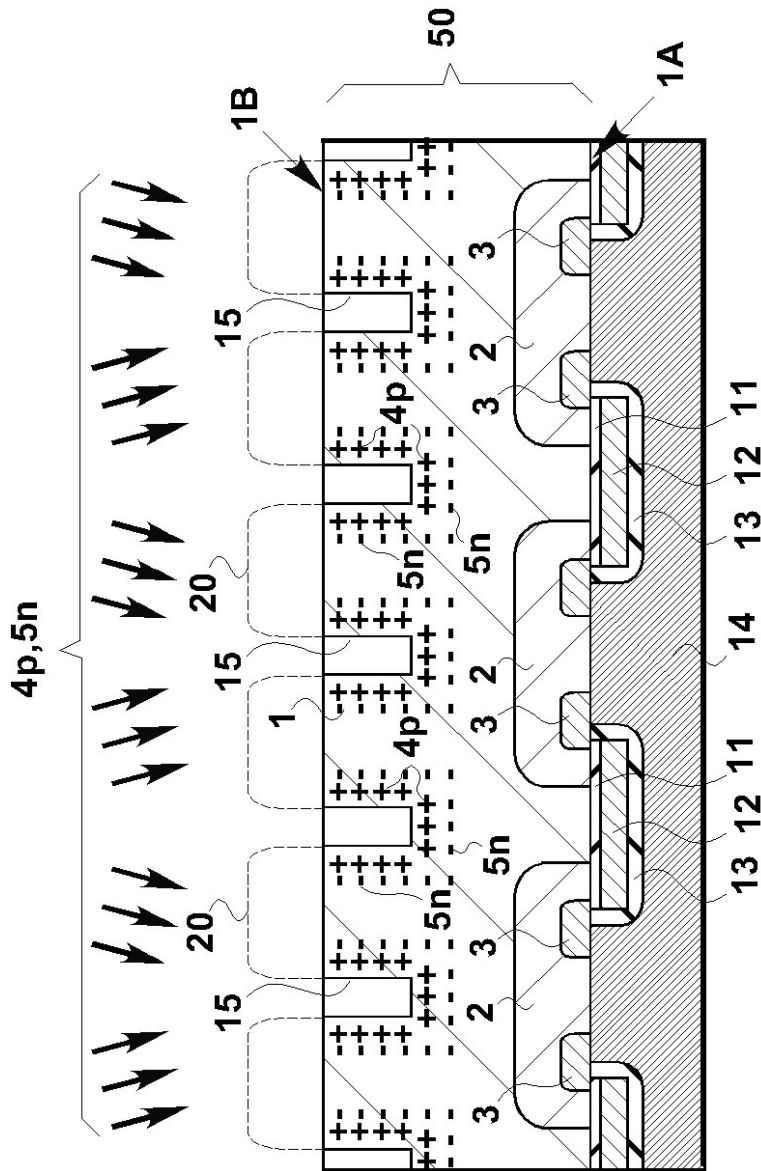
【 図 8 】



【図 9】

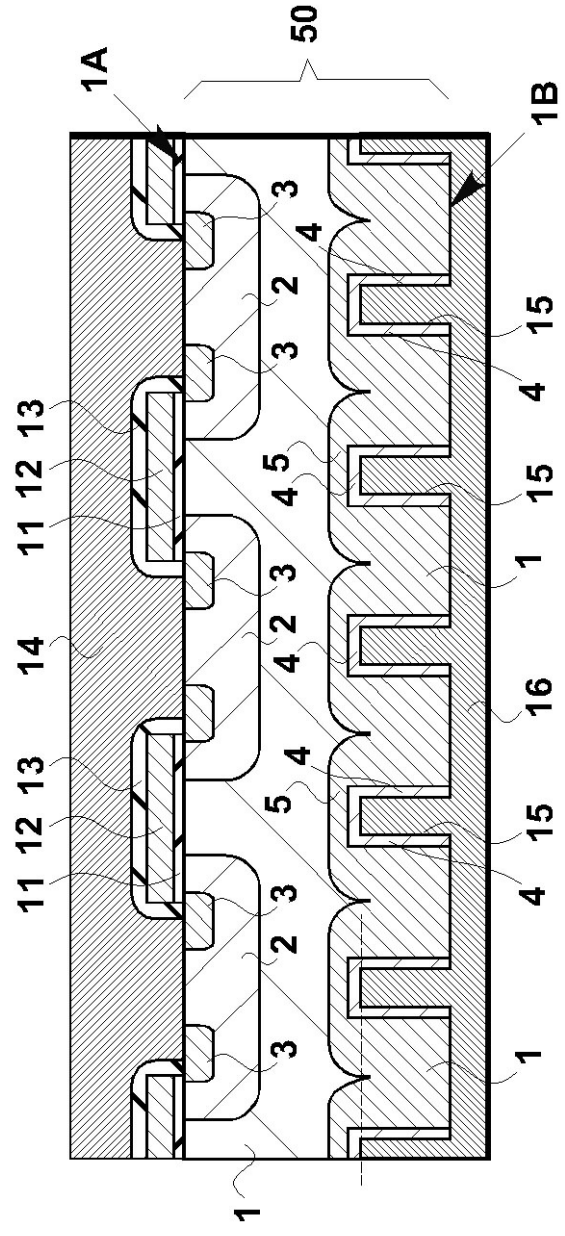


【図 10】

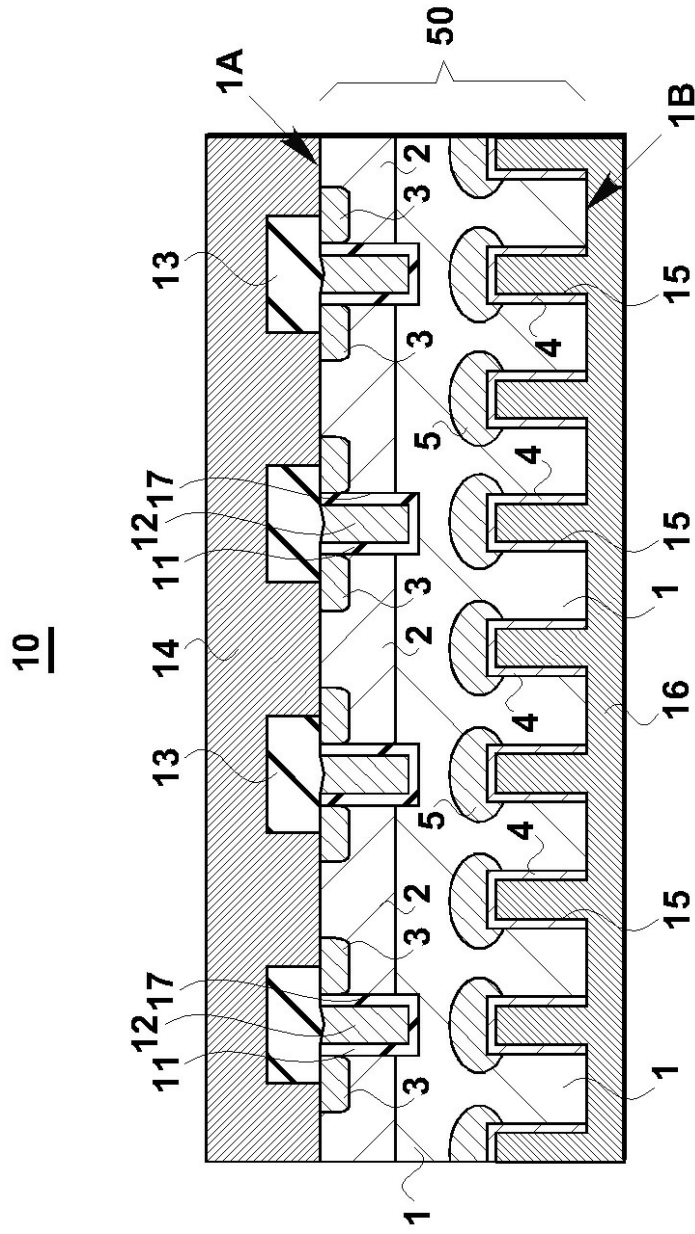


【 図 1 1 】

10



【 図 1 3 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/04 (2006.01)	H 0 1 L 29/78	6 5 2 G
	H 0 1 L 29/44	L
	H 0 1 L 29/44	S
	H 0 1 L 29/50	M
	H 0 1 L 29/78	6 5 7 A

(72)発明者 岩淵 昭夫

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(72)発明者 金子 修一

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

Fターム(参考) 4M104 AA01 BB01 BB05 CC01 DD08 DD26 DD37 FF02 FF27 FF31
FF32 GG09 GG18 HH16 HH20