

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95122357

※申請日期： 95.6.21

※IPC 分類： H01L 27/15, 27/788

一、發明名稱：(中文/英文)

P 通道快閃記憶體裝置

A NOVEL P-CHANNEL FLASH MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立清華大學/NATIONAL TSING HUA UNIVERSITY

代表人：(中文/英文) 陳文村/CHEN, Wen-Tsuen

住居所或營業所地址：(中文/英文)

新竹市光復路二段 101 號

NO. 101, SEC. 2, KUANG FU RD., HSINCHU CITY, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國 R.O.C.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 王啟照/ WANG, CHICHAO

2. 張廖貴術/ CHANGLIAO, KUEISHU

國 籍：(中文/英文)

1. 中華民國 R.O.C.

2. 中華民國 R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種 P 通道快閃記憶體裝置，且特別是有關於一種具有含銻通道區之 P 通道快閃記憶體裝置。

【先前技術】

非揮發性快閃記憶體被提出後，引起各界研究單位注意。時至今日，其技術已成熟，並應用於各種不同領域之中，如風靡全球蘋果電腦商品 i-Pod，即便是此快閃記憶體應用之一。且根據市調公司 Web-Feet Research 的一份報告指出，整體快閃記憶體市場會以每年超過 10% 的比例成長。

隨著電子元件縮小化，造成現今電子產品效能強大，同時也強調快速、省電、高密度度以及可攜性。其中，而依產品本身功能不同而有不同的程式化操作模式，而最主要有以下兩種：1、通道熱電子注入機制(CHE)，速度快但效率低，這樣的操作模式適合配合 NOR 的架構形成一個系統，應用於電腦的 BIOS(Basic Input Output System)；2、Fowler-Nordheim 注入機制(FN)，效率高但速度慢，可配合 NAND 架構組織成高密度的記憶體產品，如隨身碟、MP3 播放器。

近年來已有專利提出一些方法來改進快閃記憶體元件工作效能，如中華民國專利公開編號 200421346 所示，利用調變偏壓條件來提高快閃記憶體的寫入速度；又如中華民國專利公告編號 577172 所示，改變快閃記憶體的結構來

達到雙位元儲存。除此之外，於美國電子電機協會(IEEE)所舉辦知名研討會中(IEDM, NVMT)，矽化鍺合金被提出可應用於 N 型快閃記憶體，進而提高初始通道載子引發二次電子注入(CHISEL)速度，例如 D. L. Kencke 等人發表在 IEDM Tech. Dig., pages 105-108, 2000.、L. M. Weltzer 等人發表在 Non-Volatile Memory Technology Symposium, 2004, 15-17, pages 31 - 33。

除了 N 通道快閃記憶體外，P 通道快閃記憶體也是另一受矚目的記憶體元件。第 1 圖係繪示習知 P 通道快閃記憶體的剖面示意圖。P 通道快閃記憶體係在 N 型半導體基底 11 上以 P 型離子摻雜形成源汲極 12、17。穿隧氧化層 16、浮動閘極 13、閘間介電層 15 及控制閘極 14 依序位於半導體基底 11 上之通道區 18 之上。P 通道快閃記憶體與一般邏輯元件 P 通道金氧半導體電晶體極為類似，最大不同在於快閃記憶體多了一層多晶矽浮動閘極(Floating Gate)13，用以儲存電荷，並依浮動閘極 13 中有無電荷來判斷 0 或 1。在 P 通道快閃記憶體中，除了耳熟能詳的熱通道載子注入機制與 FN 穿隧注入外，尚可利用帶對帶穿隧熱載子誘發注入機制(BBHE)。相對於通道熱載子注入，此帶對帶穿隧熱載子誘發注入方法有較高的注入效率，同時也提高了穿隧氧化層的可靠度。

相較於靜態隨機存取記憶體(SRAM)每一記憶胞需要 6 個電晶體而言，快閃記憶體會有較高的密集度，但是即令是速度較快的 P 通道快閃記憶體，也比靜態隨機存取記憶體的速度慢了約 3 個數量級。因此，如何提升快閃記憶體

的速度而使快閃記憶體寫入速度，幾乎與 SRAM 速度相當 (10^{-9} sec)，並且具有高密集度(快閃記憶體每一記憶胞為一個電晶體)與非揮發性記憶的優點，是一個非常重要的課題。

另外，鍍合金在提升金氧半導體電晶體的效能上，扮演了一個重要的角色，例如，以矽化鍍合金為通道的調制摻雜場效電晶體(MODFET)，或是利用矽化鍍當作汲極或源極，進而改善短通道效應、汲極導致能障下降效應(DIBL)、及本體碰穿效應(Punch-through)。於現今英代爾微處理器(Intel Micro Processor)則是利用矽化鍍與矽的晶格常數差，而施加應力於矽或是矽化鍍，使其能帶產生變化，提高通道載子遷移率，增加輸出電流，進而提高晶片處理速度效能。

【發明內容】

因此，為了提升 P 通道快閃記憶體的速度，本發明的提供一種 P 通道快閃記憶體結構，能較習知 P 通道快閃記憶體結構具有較快的寫入速度。

本發明提供一種 P 通道快閃記憶體結構，係以矽化鍍或鍍形成通道區，相較於習知的矽通道 P 通道快閃記憶體，快閃記憶體的速度提高至少 10 倍以上。

本發明提供一種 P 通道快閃記憶體結構，係以矽化鍍或鍍形成通道區，可增加 P 通道快閃記憶體的穿隧電流。

根據帶對帶穿隧效應的基本物理機制，若要提高 P 通道快閃記憶體此穿隧電流，進而增加 P 通道快閃記憶體的

寫入速度，由下列公式，在公式中， G^{BB} 係為帶對帶穿遂電流發生率、 $A.BTBT$ 和 $B.BTBT$ 均為一特定數值、 E 為電場強度且 E_g 為能帶間距，可知，可以藉著兩種方法，一是提高電場 (E)，但因為提高電場會對元件造成傷害，而降低元件可靠度；二是選擇較低能帶 (E_g) 的半導體材料，於是選擇使用較小能帶的材料，如：選擇矽化鎳合金或鎳，當作 P 型快閃記憶體的表面通道，應可提高帶對帶穿遂電流發生率 (G^{BB})，進而增加 P 通道快閃記憶體的穿遂電流以加速 P 通道快閃記憶體的寫速度。

$$G^{BB} = A.BTBT \frac{E^2}{E_g^{1/2}} \cdot \exp(-B.BTBT \frac{E_g^{3/2}}{E})$$

本發明主要是以帶對帶穿隧熱載子注入(BBHE)的物理機制為基礎，進一步利用此機制來提高 P 通道快閃記憶體的寫入速度。帶對帶穿隧熱載子注入的操作方法，是於閘極端施加一正偏壓，同時在汲極端施加一負偏壓，這將會造成在閘極與汲極的重疊處會有很大的電場，使得重疊處靠近介面的能帶會有很大的能帶彎曲(Band Bending)，於是在此重疊區域產會因為帶對帶穿隧效應而產生電子電洞對，其中的電子被側向電場加速而得到足夠能量，跨越穿遂氧化層的能障，完成寫入。這樣的寫入方式有很高的注入效率。

操作寫入時，可以提高帶對帶穿隧電流，造成更多的電子被側向電場加速得到能量以跨越穿隧氧化層，提高閘極注入電流，進而提高寫入速度。

另外，在本發明另一較佳實施例中，提供一種 P 通道快閃記憶體結構，係以矽化鋯或鋯形成通道區，並在通道區及穿隧氧化層間形成一單晶矽層，相較於習知的矽通道 P 通道快閃記憶體，快閃記憶體的速度提高至少 10 倍以上。通道區及穿隧氧化層間單晶矽層的形成，可進一步提升矽化鋯或是鋯與穿隧氧化層間介面性質的穩定性，以避免降低元件工作性能，或是避免降低讀取電流(Read Current)，進而能提高讀取電流。

在本發明再一較佳實施例中，提供一種 P 通道快閃記憶體結構，係以矽化鋯或鋯形成通道區，並以金屬氧化物取代氧化矽以形成穿隧氧化層。由於氧化矽與矽化鋯或是鋯之間的介面性質較不理想，但是金屬氧化物，例如氧化鈦 (HfO_2) 和矽化鋯或是鋯之間的介面性質良好而且氧化鈦能提供較氧化矽更低的電子跨越能障 (ΔE_c)，因此，本實施例所提供一種 P 通道快閃記憶體結構，不只具有較快的寫入速度，更具有穩定的通道與穿隧氧化層介面，進而能提高讀取電流。

習知利用電晶體組合而成的 SRAM，但其缺點為低密集度，並且只有在有電源供應的情形下才能儲存資料 (Volatile Memory)。而在本發明中利用矽化鋯及鋯等小能帶半導體材料來提高 P-型快閃記憶體寫入速度，幾乎與 SRAM 速度相當 (10^{-9} sec)，並且具有高密度與非揮發性記憶的優點，所以，運用本發明所提供 P-型快閃記憶體，可用來取代現今具有 SRAM 或是一些高速的記憶體裝置。

另外，現今許多可攜式電子裝置強調低功率、低操作

電壓的需求，運用本發明所提供 P-型快閃記憶體，因使用較小的能帶材料當作表面通道或是埋藏通道，使得在一樣的偏壓條件下就具有大量的電子電洞對產生，進而提高寫入速度；換句話說，也就是可以在低電壓操作下，便產生與傳統 P-型快閃記憶體一樣量的電子電洞對，達到低電壓的操作模式，有利於整體記憶體系統的電路設計。

【實施方式】

第 2 圖係繪示本發明第一較佳實施之例 P 通道快閃記憶體的剖面示意圖。P 通道快閃記憶體係在 N 型半導體基底 21 上以 P 型離子摻雜形成源汲極 22、27。含鍺材料層 28、穿隧氧化層 26、浮動閘極 23、閘間介電層 25 及控制閘極 24 依序位於半導體基底 11 之上，其中含鍺材料層 28 係作為通道區之用。含鍺材料層 28 可以為矽化鍺材料或是鍺金屬。

利用二維半導體元件模擬軟體 MEDICI 對第 2 圖所示之 P 通道快閃記憶體進行模擬，以不同鍺含量的矽化鍺合金以及純鍺當作 P 通道快閃記憶體表面通道，模擬帶對帶穿隧電流 (I_{BB}) 與閘極注入電流 (I_g) 與表面通道鍺含量的關係，模擬結果如第 4 圖所示。在矽化鍺合金為表面通道的 P 通道快閃記憶體，於相同的 BBHE 操作條件之下 ($V_g=10V$, $V_d=-6V$)，可觀察到，隨著鍺含量的提高，帶對帶穿隧電流也同時被提高，造成大量的電子被側向電場加速，進而得到較大的閘極穿隧電流。其中當鍺含量達到 80% 時，與傳統單晶矽表面通道（鍺含量為“0%”）比較，帶對

帶穿隧電流， $I_d(I_{BB})$ ，從傳統單晶矽表面通道之 10^{-7} 安培/微米提升至 2.7×10^{-4} 安培/微米，被提高約 2700 倍。再以純鍺為表面通道的 P 通道快閃記憶體為例，其帶對帶穿隧電流也提高了將近 1000 倍，造成閘極穿隧電流也大量提高。即使將鍺含量降到 20%，其帶對帶穿隧電流也提高了超過 10 倍。

第 5 圖係繪示具有不同鍺含量之矽化鍺合金為表面通道的 P 通道快閃記憶體的寫入速度。在閘極穿隧電流提高之後，便提高 P 通道快閃記憶體的寫入速度。當矽化鍺合金中的鍺含量達 80% 時，可在 1 奈秒(10^{-9} 秒)內使臨界電壓漂移量(ΔV_{th})達到 2 伏特，比傳統單晶矽表面通道的寫入速度快約 2000 倍。以純鍺表面通道的 P 通道快閃記憶體，其寫入速度亦可在約 2 奈秒(2×10^{-9} 秒)，使臨界電壓漂移量(ΔV_{th})達到 2 伏特，其寫入速度也提高約 1000 倍；即使將鍺含量降到 20%，其寫入速度亦可在約 200 奈秒(2×10^{-7} 秒)，使臨界電壓漂移量(ΔV_{th})達到 2 伏特，比傳統單晶矽表面通道的寫入速度快約 20 倍。

由第 5 圖中可以發現，應用矽化鍺合金或純鍺於 P 通道快閃記憶體來提高帶對帶穿隧注入(BBHE)速度，遠比前人利用矽化鍺合金於 N 型快閃記憶體，來提高初始通道載子引發二次電子注入(CHISEL)速度，快上更多。

第 3 圖係繪示本發明第二較佳實施之例 P 通道快閃記憶體的剖面示意圖。P 通道快閃記憶體係在 N 型半導體基底 31 上以 P 型離子摻雜形成源汲極 32、37。含鍺材料層 38、單晶矽層 39、穿隧氧化層 36、浮動閘極 33、閘間介

電層 35 及控制閘極 34 依序位於半導體基底 11 之上，其中含銻材料層 38 係作為通道區之用。含銻材料層 38 可以為矽化銻材料或是銻金屬而單晶矽層 39 的厚度不超過 20 奈米。

在含銻材料層 38，例如矽化銻通道或純銻通道，與穿隧氧化層 36 之間插入一單晶矽層 39，期望改進含銻材料層 38 與穿隧氧化層 36 之間的介面特性。同樣使用二維半導體元件模擬軟體 MEDICI 對第 3 圖所示之 P 通道快閃記憶體進行模擬，只是將其中矽化銻合金的比例固定在 $\text{Si}_{0.6}\text{Ge}_{0.4}$ 。

第 6 圖係繪示帶對帶穿隧電流(I_{BB})與閘極注入電流(I_g)與表面通道單晶矽層厚度關係之模擬結果。此新穎矽化銻埋藏 P 通道快閃記憶體於相同的 BBHE 操作條件之下($V_g=10\text{V}$, $V_d=-6\text{V}$)，可觀察到，帶對帶穿隧電流(I_{BB})及閘極注入電流(I_g)隨著表面單晶矽厚度的增加而降低。因為矽化銻或純銻通道被埋藏在距離表面較遠的地方，不在最大電場處，造成矽化銻或純銻等小能帶材料的能帶不夠彎曲，使得帶對帶穿隧電流(I_{BB})下降，進而降低閘極注入電流。習知 P 通道快閃記憶體的閘極注入電流(I_g)約為 1×10^{-9} 安培/微米。由第 6 圖可知，在無單晶矽層存在時，本實施例之 P 通道快閃記憶體的閘極注入電流(I_g)約為 1.7×10^{-7} 安培/微米。隨著含者通道表面上之單晶矽層 39 的厚度增加到 10 奈米時，閘極注入電流(I_g)約為 6×10^{-8} 安培/微米，為習知的 60 倍；當單晶矽層的厚度達 20 奈米時，其閘極注入電流(I_g)下降至 1.8×10^{-9} 安培/微米，仍比純矽基底 P

通道快閃記憶體之閘極注入電流(I_g)高出 0.8 倍。

第 7 圖係繪示具有不同厚度單晶矽層位於矽化鍺合金表面通道之上的 P 通道快閃記憶體的寫入速度。由第 7 圖可知，隨著單晶矽層厚度增加，因閘極注入電流下降，進而降低原有寫入速度。在無單晶矽層存在時，本實施例之 P 通道快閃記憶體可在 2×10^{-8} 秒達到 2 伏特之臨界電壓漂移量(ΔV_{th})，當單晶矽層 39 的厚度為 20 奈米時，則須約 10^{-6} 秒才能達到 2 伏特臨界電壓漂移量(ΔV_{th})，但是與純矽基底 P 通道快閃記憶體速度（約 5×10^{-5} 秒）相較，仍然快了約 2 倍。雖然在含鍺材料層 38 與穿隧氧化層 36 之間插入單晶矽層 39 可以改善介面特性，但卻影響矽化鍺埋藏 P 通道快閃記憶體的寫入速度，但是，由模擬結果可知，在單晶矽層 39 的厚度不超過 20 奈米的情形下，本實施例之 P 通道快閃記憶體仍具有較習知 P 通道快閃記憶體較大的對帶穿隧電流(I_{BB})與閘極注入電流(I_g)，以及較快的寫入速度。因此，可藉著調整單晶矽層的厚度，例如不超過 20 奈米，才能使矽化鍺埋藏 P 通道快閃記憶體有好的介面特性外，仍維持高速的寫入速度。

應用矽化鍺合金或純鍺為表面通道或埋藏通道的 P 通道快閃記憶體，除高速操作外，亦可降低操作電壓來達到相同的寫入速度。第 8 圖係繪示在相同閘極電壓(V_g)下具有相同寫入速度之 P 通道快閃記憶體的單晶矽層厚度與汲極電壓(V_d)間的關係圖。P 通道快閃記憶體具有矽化鍺合金比例為 $\text{Si}_{0.6}\text{Ge}_{0.4}$ 表面矽化鍺通道，如第 8 圖所示，在不同單晶矽層的厚度下，隨著單晶矽層的厚度下降，若

要達到與純矽基底 P 通道快閃記憶體操作在 $V_g=10$ 伏特和 $V_d=-6$ 伏特的相同寫入速度，其操作所需之汲極電壓 (V_d) 會不斷的下降，當單晶矽層的厚度為 0 時，汲極電壓 (V_d) 只需 -3.9 伏特，即可達到相同寫入速度，相較於純矽基底 P 通道快閃記憶體，汲極電壓 (V_d) 下降約 33%。

第 9 圖係繪示本發明第三較佳實施之例 P 通道快閃記憶體的剖面示意圖。P 通道快閃記憶體係在 N 型半導體基底 41 上以 P 型離子摻雜形成源汲極 42、47。含鍺材料層 48、金屬氧化層 46、浮動閘極 43、閘間介電層 45 及控制閘極 44 依序位於半導體基底 41 之上，其中含鍺材料層 48 係作為通道區之用。含鍺材料層 48 可以為矽化鍺材料或是鍺金屬。金屬氧化層 46 的材料可為氧化鈣 (HfO_2)。

氧化鈣與矽化鍺和鍺金屬之間的介面特性相當良好，並不遜於矽基板和二氧化矽之間的介面特性。利用二維半導體元件模擬軟體 MEDICI 對三種不同介面組合 (Si/SiO_2 、 $SiGe/SiO_2$ 、 $SiGe/HfO_2$) 的 P 通道快閃記憶體進行模擬，具有不同通道/穿隧氧化層介面之 P 通道快閃記憶體的寫入速度，其結果繪示於第 10 圖。在此次模擬中，矽化鍺中的鍺含量固定為 40%，亦即為 $Si_{0.6}Ge_{0.4}$ ，並在相同的寫入偏壓條件之下 ($V_g=10V$, $V_d=-6V$) 進行模擬。

由第 10 圖可知，當通道區/穿隧氧化層介面為 Si/SiO_2 之傳統快閃記憶體，約需 2×10^{-6} 秒以達到 2 伏特之臨界電壓漂移量 (ΔV_{th})；當通道區/穿隧氧化層介面為 Si/HfO_2 之快閃記憶體，約需 5×10^{-7} 秒以達到 2 伏特之臨界電壓漂移量 (ΔV_{th})；當通道區/穿隧氧化層介面為 $Si_{0.6}Ge_{0.4}/SiO_2$ 之

快閃記憶體，約需 2×10^{-8} 秒以達到 2 伏特之臨界電壓漂移量 (ΔV_{th})；當通道區/穿隧氧化層介面為 $\text{Si}_{0.6}\text{Ge}_{0.4}/\text{HfO}_2$ 之快閃記憶體，僅約需 2.5×10^{-9} 秒就可以達到 2 伏特之臨界電壓漂移量 (ΔV_{th})。

當矽化鍺應用於 P 型快閃記憶體時，帶對帶穿隧引發熱載子注入速度隨著鍺含量的上升而提高，而氧化鈣的應用，也能有效提高帶對帶穿隧引發熱載子注入速度。值得注意的是，當矽化鍺與氧化鈣結合在一起時，則能將兩者各別提高 BBHE 的寫入速度綜合，也就是說，BBHE 寫入速度能比單獨的使用矽化鍺或是單獨的使用氧化鈣來的高。更值得注意的是，氧化鈣與矽化鍺和鍺金屬之間的介面特性相當良好，無須插入單晶矽層即可解決矽化鍺和鍺金屬與氧化矽間介面較不理想之問題。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1 圖係繪示習知 P 通道快閃記憶體的剖面示意圖；

第 2 圖係繪示本發明第一較佳實施之例 P 通道快閃記憶體的剖面示意圖；

第 3 圖係繪示本發明第二較佳實施之例 P 通道快閃記憶體之剖面示意圖；

第 4 圖係繪示帶對帶穿隧電流(I_{BB})與閘極注入電流(I_g)與第 3 圖之 P 通道快閃記憶體表面通道鍺含量的關係圖；

第 5 圖係繪示 P 通道快閃記憶體表面通道之鍺含量與寫入速度之關係圖；

第 6 圖係繪示帶對帶穿隧電流(I_{BB})與閘極注入電流(I_g)與 P 通道快閃記憶體表面通道單晶矽層厚度之關係圖；

第 7 圖係繪示 P 通道快閃記憶體表面通道上不同厚度單晶矽層與寫入速度之關係圖；

第 8 圖係繪示在相同閘極電壓(V_g)下具有相同寫入速度之 P 通道快閃記憶體的單晶矽層厚度與汲極電壓(V_d)間的關係圖；

第 9 圖係繪示本發明第三較佳實施之例 P 通道快閃記憶體的剖面示意圖；以及

第 10 圖係繪示 P 通道快閃記憶體之不同通道/穿隧氧化層介面與寫入速度之關係圖。

【主要元件符號說明】

11、21、31、41：半導體基底

12、22、32、42：汲極

13、23、33、43：浮動閘極

14、24、34、44：控制閘極

15、25、35、45：閘間介電層

16、26、36：穿隧氧化層

17、27、37、47：源極

28、38、48：含鍺材料層

39：單晶矽層

46：金屬氧化層

五、中文發明摘要

P 通道快閃記憶體裝置

一種可以高速寫入的 P 通道快閃記憶體裝置。利用矽化鍺合金或純鍺等半導體材料取代傳統 P 通道快閃記憶的矽通道，並以帶對帶穿隧誘發熱電子(Band to Band Tunneling Induced Hot Electron, BBHE)的寫入機制來操作此元件裝置，進而提高 P 通道快閃記憶體的寫入速度。此外，選擇性地形成單晶矽磊晶層於矽化鍺合金或純鍺通道之上，來改善 P 通道快閃記憶之穿隧氧化層與含鍺通道間的介面性質。矽化鍺合金與純鍺等材料應用於 P 通道快閃記憶體，除可高速操作外，亦可於低電壓操作，並維持相同的寫入速度。

六、英文發明摘要

A novel P-channel Flash Memory Device

A novel P-channel Flash device with SiGe or Ge surface channel is proposed to improve programming speed under BBHE operation. In addition, silicon cap layer is introduced optionally to improve the electrical characteristics of the interface between the tunneling oxide layer and SiGe or Ge layer. In addition to high speed application, this new device can also be programmed at low voltage to maintain the same programming speed.

十、申請專利範圍：

1. 一種 P 通道快閃記憶體結構，包括：
 - 一 N 型摻雜基底；
 - 一穿隧氧化層，位於該基底之上；
 - 一浮動閘極，位於該穿隧氧化層之上；
 - 一源極區與一汲極區，位於該浮動閘極兩側的該基底中；
 - 一含銻表面通道區，至少位於該源極區與該汲極區之間的基底中；
 - 一閘間介電層，位於該浮動閘極之上；以及
 - 一控制閘極，位於該閘間介電層之上。
2. 如申請專利範圍第 1 項所述之 P 通道快閃記憶體結構，其中該含銻表面通道區的材質可為純銻半導體材料。
3. 如申請專利範圍第 1 項所述之 P 通道快閃記憶體結構，其中該含銻表面通道區的材質可為矽化銻半導體材料。
4. 如申請專利第 3 項範圍所述之 P 通道快閃記憶體結構，其中該矽化銻半導體材料的銻含量約介於 0% 至 100% 之間。

5. 一種 P 通道快閃記憶體結構，包括：

一 N 型摻雜基底；

一穿隧氧化層，位於該基底之上；

一浮動閘極，位於該穿隧氧化層之上；

一源極區與一汲極區，位於該浮動閘極兩側的該基底中；

一含銻通道區，至少位於該源極區與該汲極區之間的基底中；

一單晶矽層，介於該含銻通道區與該穿隧氧化層之間，該單晶矽層的厚度不大於 20 奈米；

一閘間介電層，位於該浮動閘極之上；以及

一控制閘極，位於該閘間介電層之上。

6. 如申請專利範圍第 5 項所述之 P 通道快閃記憶體結構，其中該含銻通道區的材質可為純銻半導體材料。

7. 如申請專利範圍第 5 項所述之 P 通道快閃記憶體結構，其中該含銻通道區的材質可為矽化銻半導體材料。

8. 如申請專利範圍第 7 項所述之 P 通道快閃記憶體結構，其中該矽化銻半導體材料的銻含量約介於 0% 至 100% 之間。

9. 一種 P 通道快閃記憶體結構，包括：

- 一 N 型摻雜基底；
- 一金屬氧化層，位於該基底之上；
- 一浮動閘極，位於該金屬氧化層之上；
- 一源極區與一汲極區，位於該浮動閘極兩側的該基底中；
- 一含鍺表面通道區，至少位於該源極區與該汲極區之間的基底中；
- 一閘間介電層，位於該浮動閘極之上；以及
- 一控制閘極，位於該閘間介電層之上。

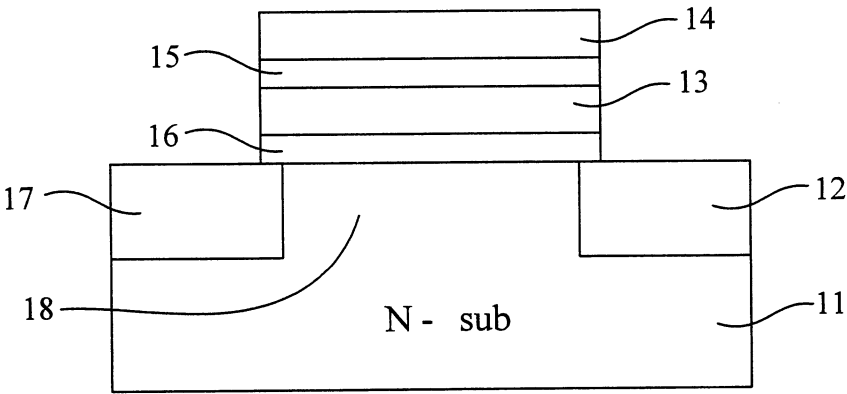
10. 如申請專利範圍第 9 項所述之 P 通道快閃記憶體結構，其中該含鍺表面通道區的材質可為矽化鍺半導體材料。

11. 如申請專利第 10 項範圍所述之 P 通道快閃記憶體結構，其中該矽化鍺半導體材料的鍺含量約介於 0% 至 100% 之間。

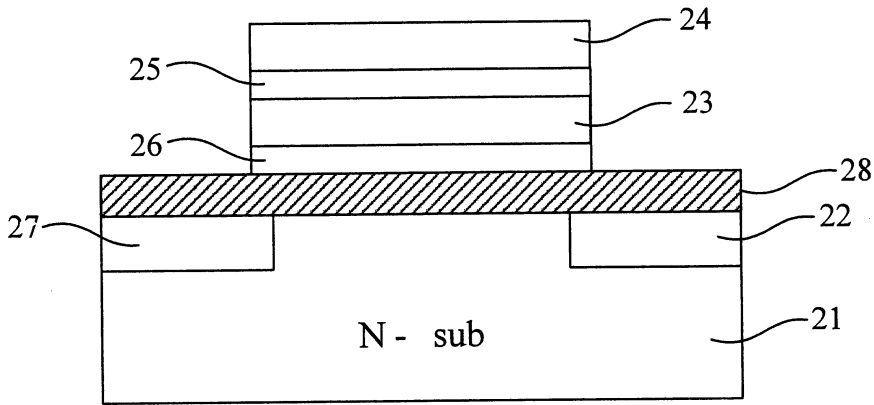
12. 如申請專利範圍第 9 項所述之 P 通道快閃記憶體結構，其中該金屬氧化層係為穿隧介電層。

13. 如申請專利範圍第 12 項所述之 P 通道快閃記憶體結構，其中該金屬氧化層的材料為氧化鋁。

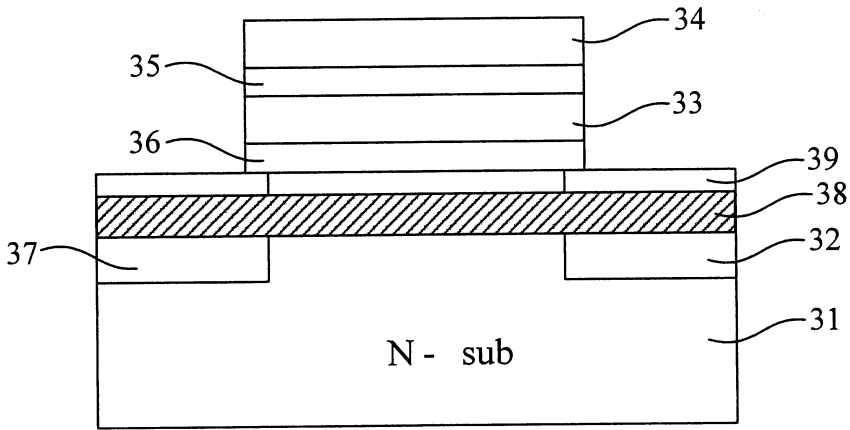
14. 如申請專利範圍第 13 項所述之 P 通道快閃記憶體結構，其中該氧化鉛提供較氧化矽低之電子跨越能障(ΔE_c)。



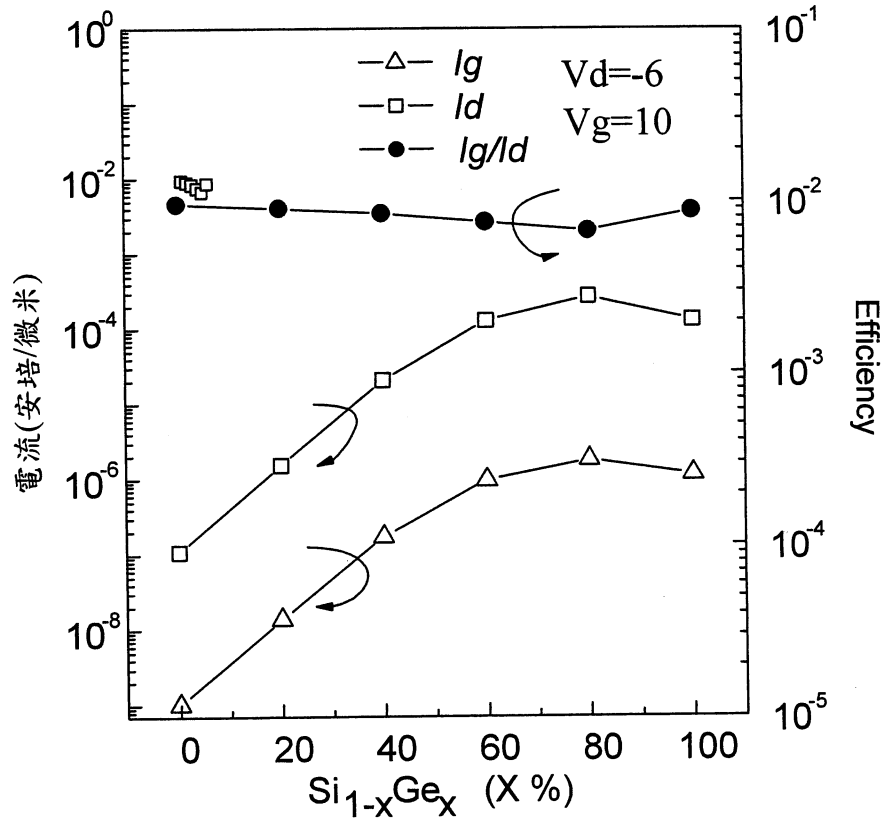
第 1 圖



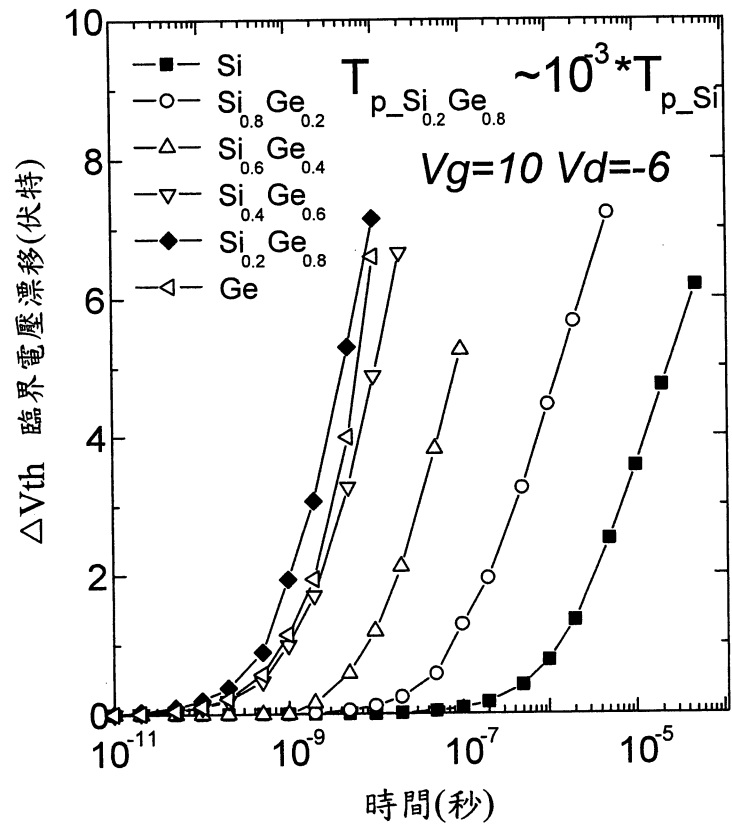
第 2 圖



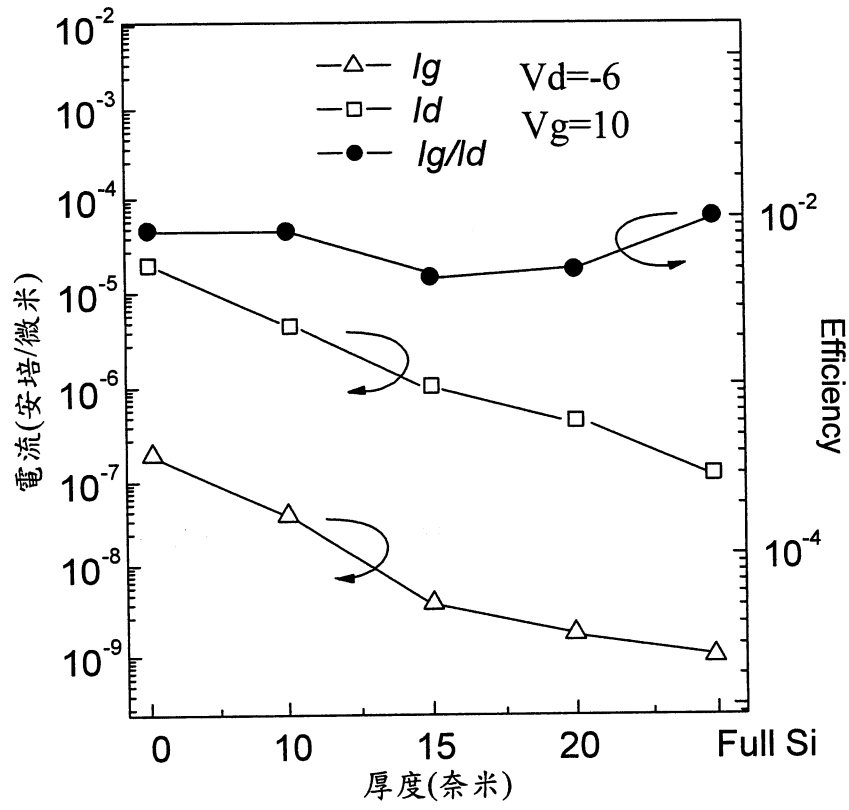
第 3 圖



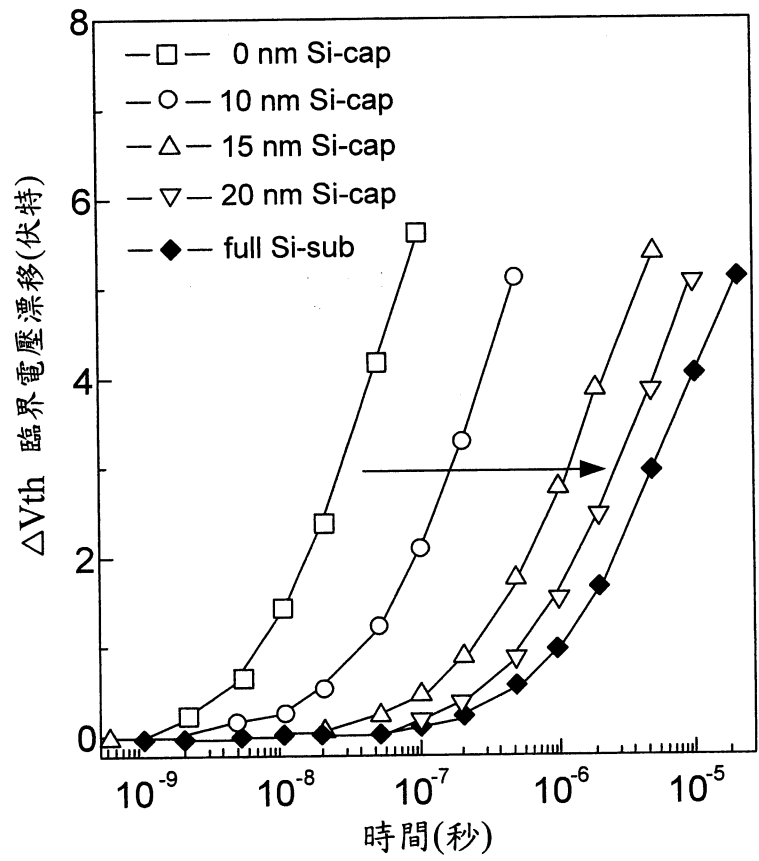
第 4 圖



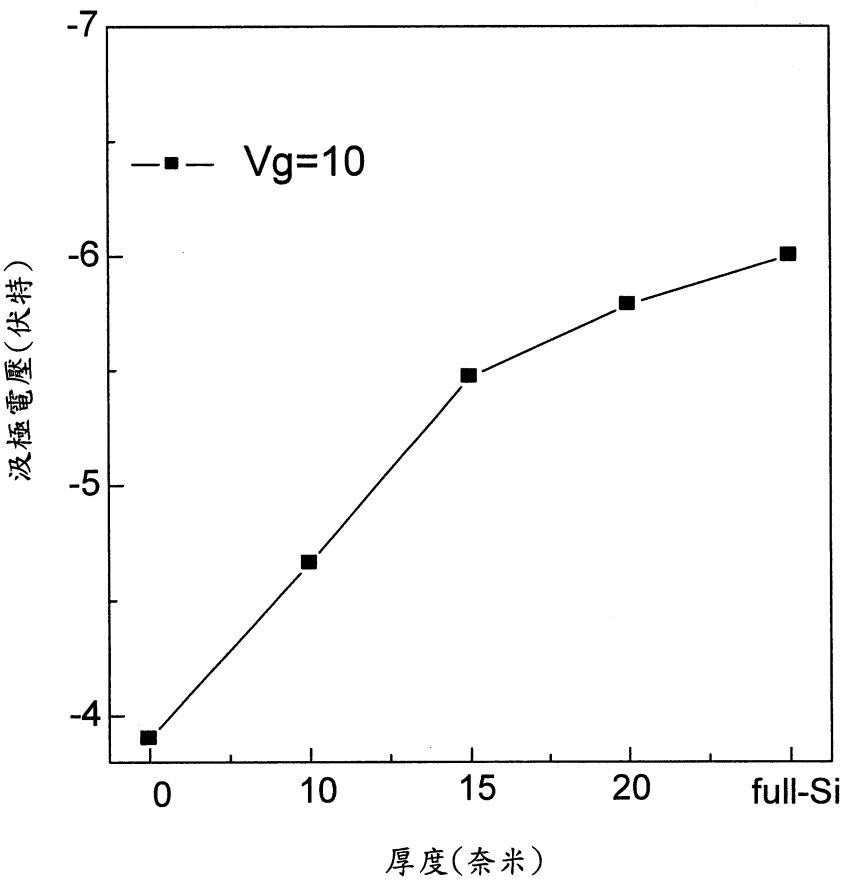
第 5 圖



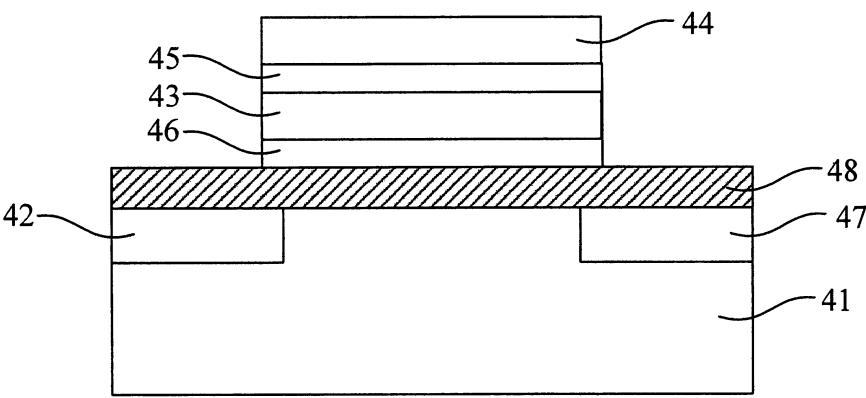
第 6 圖



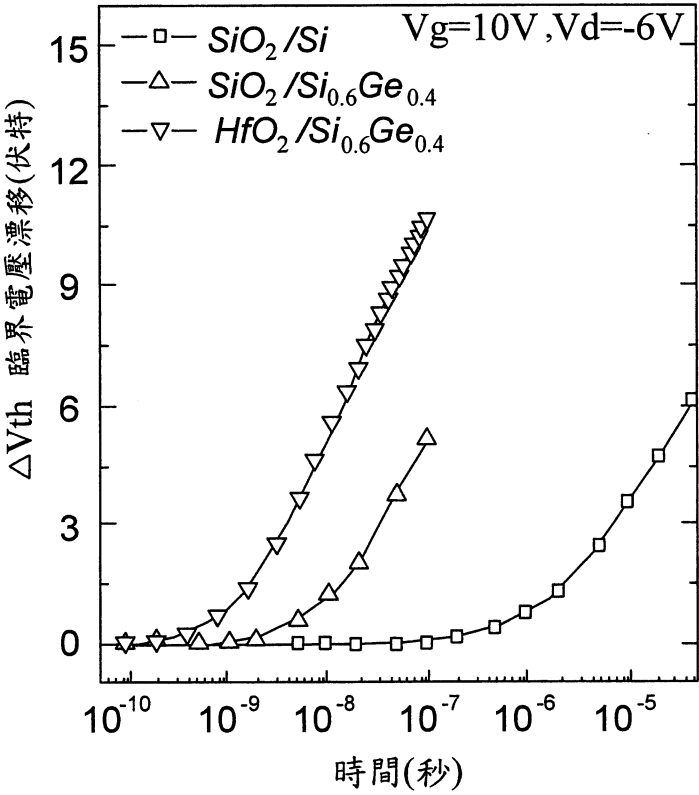
第 7 圖



第 8 圖



第 9 圖



第 10 圖

七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖

(二)、本案代表圖之元件符號簡單說明：

21：半導體基底

25：閘間介電層

22：汲極

26：穿隧氧化層

23：浮動閘極

27：源極

24：控制閘極

28：含鍺材料層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：