

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 7 日(07.06.2012)



(10) 国際公開番号
WO 2012/073448 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) *H04N 5/374* (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2011/006457
- (22) 国際出願日: 2011 年 11 月 21 日(21.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-265523 2010 年 11 月 29 日(29.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): コニカミノルタオプト株式会社(KONICA MINOLTA OPTO, INC.) [JP/JP]; 〒1928505 東京都八王子市石川町 2 9 7 0 番地 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 楠田 将之(KUSUDA, Masayuki) [JP/JP]; 〒1918511 東京都日野市さくら町 1 番地コニカミノルタテクノロジーセンター株式会社内 Tokyo (JP). 森本 隆史(MORIMOTO, Takashi) [JP/JP]; 〒1918511 東京都日野市さくら町 1 番地コニカミノルタテクノロジーセンター株式会社内 Tokyo (JP).
- (74) 代理人: 小谷 悦司, 外(KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島 2 丁目 2 番 2 号大阪中之島ビル 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

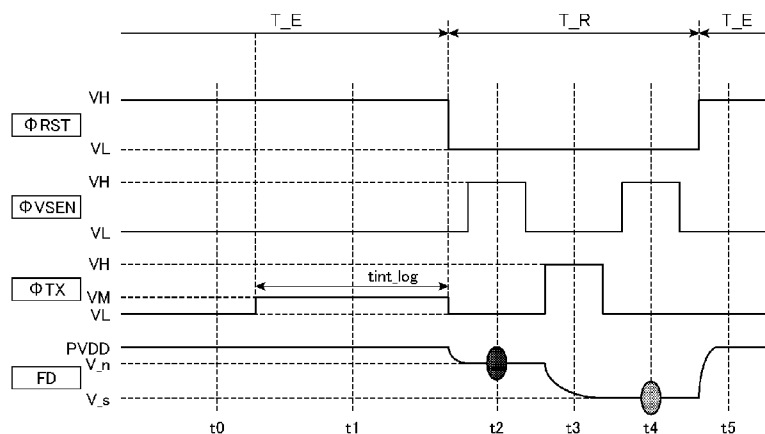
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID STATE IMAGE CAPTURING DEVICE

(54) 発明の名称: 固体撮像装置

【図15】



(57) Abstract: At the time (t0) in the anterior half period of an exposure period (T_E), $\phi_{TX}=V_L$ is set, and the gate of a transfer transistor (TX) is closed. Therefore, a PD accumulates signal charges to have a linear characteristic. At the time (t1) in the posterior half period (period tint_log) of the exposure period (T_E), $\phi_{TX}=V_M$ is set, and the gate of the transfer transistor (TX) is half-open. Thereby, the PD accumulates the signal charges to have a linear log characteristic. By elongating the period (tint_log), the sensitivity of a logarithmic characteristic portion can be increased.

(57) 要約: 露光期間 T_E の前半期間の時刻 t0 において、 $\phi_{TX}=V_L$ に設定され、転送トランジスタ TX のゲートが閉じられている。そのため、PD はリニア特性で信号電荷を蓄積する。露光期間 T_E の後半期間 (期間 tint_log) の時刻 t1 において、 $\phi_{TX}=V_M$ に設定され、転送トランジスタ TX のゲートが半開にされる。これにより、PD は信号電荷をリニアログ特性で蓄積する。そして、期間 tint_log を長くすることで対数特性部の感度を上げる。

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、低輝度光入射時には線形特性、高輝度光入射時には対数特性の光電変換特性を持つ画素回路を備える固体撮像装置に関するものである。

背景技術

[0002] 近年、埋込型の光電変換素子（以下、「PD」と記述する。）を備えた画素回路を備える固体撮像装置が知られている。このような固体撮像装置においては、露光期間中に転送トランジスタを導通状態と非導通状態との中間状態で駆動させ、PDに蓄積される信号電荷を対数的に圧縮し、ダイナミックレンジを広げることが行われている（例えば、特許文献1）。

[0003] つまり、高輝度光入射時にはPDがサブスレシヨルド状態になり、信号電荷の一部を浮遊拡散層（以下、「FD」と記述する。）に流しつつ信号電荷を蓄積する。これにより、PDは対数特性を持つ。一方、低輝度光入射時にはPDがサブスレシヨルド状態にならず、信号電荷を全て蓄積する。これにより、PDは線形特性を持つ。よって、画素回路の光電変換特性は、変極点を境に、低輝度側が線形特性を示す線形特性部と、高輝度側が対数特性を示す対数特性部との2つの特性（リニアログ特性）を持つことになる。

[0004] しかしながら、特許文献1では、光電変換特性の対数特性部の感度を制御することについての記載が全く行われていない。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-50544号公報

発明の概要

[0006] 本発明の目的は、リニアログ特性の対数特性部の感度を制御することができる固体撮像装置を提供することである。

[0007] 本発明の一局面による固体撮像装置は、低輝度側が線形特性を示す線形特

性部と、高輝度側が対数特性を示す対数特性部とを備えるリニアログ特性を持つ画素回路を備える固体撮像装置であって、前記画素回路は、入射光量に応じた信号電荷を蓄積するフォトダイオードと、浮遊拡散層と、前記フォトダイオードに蓄積された信号電荷を前記浮遊拡散層に転送する転送トランジスタとを備え、被写体を露光する露光期間において複数の電圧を前記転送トランジスタのゲートに印加することで、前記対数特性部の感度を変化させる制御部を備える。

図面の簡単な説明

- [0008] [図1]本発明の実施の形態における固体撮像装置の全体構成図である。
- [図2]図1に示す画素回路の回路図である。
- [図3]露光期間の全期間において転送トランジスタを中間電圧で駆動させた場合の画素回路のタイミングチャートである。
- [図4]図3のタイミングチャートに従って駆動される画素回路の光電変換特性を示したグラフである。
- [図5]図3の時刻 t_0 に対応する画素回路のエネルギーバンド図である。
- [図6]図3の時刻 t_1 に対応する画素回路のエネルギーバンド図である。
- [図7]図3の時刻 t_2 に対応する画素回路のエネルギーバンド図である。
- [図8]図3の時刻 t_3 に対応する画素回路のエネルギーバンド図である。
- [図9]図3の時刻 t_4 に対応する画素回路のエネルギーバンド図である。
- [図10]図1に示すカラムADCの回路図である。
- [図11]図10に示すカラムADCのタイミングチャートである。
- [図12]図2に示す画素回路において感度を変えたときの光電変換特性を示したグラフである。
- [図13]本発明の実施の形態1における転送トランジスタのタイミングチャートである。
- [図14]図13(a)、(b)、(c)の ϕ_{TX} で転送トランジスタを駆動させたときの画素回路GCの光電変換特性C(a)、C(b)、C(c)である。

[図15]露光期間の前半期間を $\phi TX = VL$ にし、後半期間を $\phi TX = VM$ にして転送トランジスタを駆動した際の画素回路のタイミングチャートである。

[図16]図15の時刻 t_0 に対応する画素回路のエネルギーバンド図である。

[図17]図15の時刻 t_1 に対応する画素回路のエネルギーバンド図である。

[図18]図15の時刻 t_2 に対応する画素回路のエネルギーバンド図である。

[図19]図15の時刻 t_3 に対応する画素回路のエネルギーバンド図である。

[図20]図15の時刻 t_4 に対応する画素回路のエネルギーバンド図である。

[図21]図15の時刻 t_5 に対応する画素回路のエネルギーバンド図である。

[図22]本発明の実施の形態2における転送トランジスタのタイミングチャートである。

[図23]図13の(a)、(b)、(c)の ϕTX で転送トランジスタを駆動させたときの画素回路の光電変換特性 $C(a)$ 、 $C(b)$ 、 $C(c)$ である。

[図24]露光期間の前半期間を $\phi TX = VM1$ にし、後半期間を $\phi TX = VM2$ にして転送トランジスタを駆動した際の画素回路のタイミングチャートである。

[図25]図24の時刻 t_0 に対応する画素回路のエネルギーバンド図である。

[図26]図24の時刻 t_1 に対応する画素回路のエネルギーバンド図である。

発明を実施するための形態

[0009] (実施の形態1)

図1は、本発明の実施の形態における固体撮像装置の全体構成図である。図1に示すように固体撮像装置は、列並列型AD変換方式(カラムAD変換方式)のCMOS(Complementary Metal Oxide Semiconductor)型の固体撮像装置であって、画素アレイ部1、ローデコーダ2、カラムADCアレイ部3、カラムデコーダ4、PLL5、タイミングジェネレータ(以下、「TG」と記述する。)6、DAC7、センスアンプ8、ランプ生成回路9、シリアルライザ10、クロック端子11、制御端子12、出力端子13、及び

制御部 14 を備えている。

[0010] 本実施の形態では、画素アレイ部 1 ～出力端子 13 は、1 チップに集積化されており、固体撮像素子を構成している。但し、これは一例であり、画素アレイ部 1 ～制御部 14 までも 1 チップに集積化して固体撮像素子を構成してもよい。

[0011] 画素アレイ部 1 は、M (M は 2 以上の正の整数) 行 × N (N は 2 以上の正の整数) 列にマトリックス状に配列された複数の画素回路 GC (図略) により構成されている。なお、図 1 の例では、画素回路 GC は、14 行 × 17 列でマトリックス状に配列されている。

[0012] ローデコーダ 2 は、例えば、垂直走査回路と、ドライバ回路とを備えている。垂直走査回路は、例えば、シフトレジスタにより構成され、TG6 から出力される垂直同期信号に同期して、画素アレイ部 1 の各行をサイクリックに選択することで、画素アレイ部 1 を垂直走査する。

[0013] ドライバ回路は、画素制御信号を生成し、垂直走査回路により選択された行に属する各画素回路 GC に画素制御信号を出力することで、各画素回路 GC を駆動させる。

[0014] カラム ADC アレイ部 3 は、画素アレイ部 1 の各列に対応する N 個のカラム ADC 31 を備えている。カラム ADC 31 は、画素アレイ部 1 の各列に対応する垂直信号線 L₁ を介して各列の画素回路 GC と接続され、垂直走査回路により選択された行の画素回路 GC からノイズ信号及びシグナル信号を読み出す。そして、カラム ADC 31 は、読み出したノイズ信号及びシグナル信号に対して相関二重サンプリング処理を行って映像信号を取得する。そして、カラム ADC 31 は、取得した映像信号に対してアナログデジタル変換処理を行い、デジタルの映像信号を保持する。

[0015] カラムデコーダ 4 は、例えばシフトレジスタにより構成され、TG6 から出力される水平同期信号に同期した列選択信号を出力することで、1 水平走査期間において、各列のカラム ADC 31 をサイクリックに選択し、カラム ADC アレイ部 3 を水平走査し、各列のカラム ADC 31 が保持するデジタ

ルの映像信号をセンスアンプ 8 に順次に出力させる。

[0016] PLL 5 は、クロック端子 11 を介して外部の装置（例えば、制御部 14）から供給されるクロック信号（SYCLK）を逡倍し、TG6 に出力する。本実施の形態において、クロック端子 11 には、例えば、54MHz のクロック信号が供給され、PLL 5 は、この 54MHz のクロック信号を 2 逡倍して、108MHz のクロック信号を TG6 に供給する。

[0017] TG6 は、PLL 5 から供給されるクロック信号に従って、垂直同期信号及び水平同期信号等の、固体撮像装置を制御するうえで必要となるタイミング信号を生成し、固体撮像装置の全体制御を司る。

[0018] また、TG6 は、タイミング信号の設定値等を記憶するためのレジスタを備えている。なお、レジスタは、制御端子 12 を介して接続される外部の装置（例えば制御部 14）と例えばシリアル通信することによって設定値が書き込まれる。ここで、設定値としては、例えば後述する転送トランジスタ TX（図 2 参照）を導通状態と非導通状態との中間状態で駆動し、転送トランジスタ TX のゲートを半開するための中間電圧の値を定めるための設定値等が含まれる。

[0019] 本実施の形態では、画素アレイ部 1 は、例えば R（赤）、G（緑）、B（青）等の複数の色成分の映像信号を取得するための複数種類の画素回路 GC が、ベイヤー配列等の所定の配列方式に従って、規則的に配列されている。よって、TG6 は、レジスタに画素回路 GC の種類毎の中間電圧を規定する予め定められた設定値を記憶している。そして、TG6 は、画素回路 GC の種類に応じた設定値により規定される中間電圧によって各画素回路 GC が駆動されるように、DAC7 及びローデコーダ 2 を制御する。

[0020] 具体的には、TG6 は、画素アレイ部 1 の各行各列にどの種類の画素回路 GC が配列されているかを予め記憶している。ローデコーダ 2 がある 1 行を選択した場合、TG6 は、その行の各列にどの種類の画素回路 GC が配列されているかを特定し、特定した種類に応じた設定値を DAC7 に出力する。

[0021] そして、TG6 は、設定値を DAC7 にデジタルアナログ変換させる。デ

デジタルアナログ変換された設定値はローデコーダ2に入力される。ローデコーダ2は、TG6の制御の下、入力された設定値によって規定される中間電圧を、選択した各列の画素回路GCの転送トランジスタTX（図2参照）に出力する。

[0022] このように、種類に応じた中間電圧で画素回路GCを駆動することで、各画素回路GCは、自身の種類に応じた適切なダイナミックレンジを得ることができる。

[0023] DAC（デジタルアナログコンバータ）7は、TG6から出力されるデジタルの信号をアナログの信号に変換して、ローデコーダ2に供給する。例えば、DAC7は、TG6から出力される中間電圧を規定するための設定値を、アナログ信号に変換して中間電圧を生成し、ローデコーダ2に供給する。

[0024] ランプ生成回路9は、ランプ信号を生成して、各カラムADC31に出力する。センスアンプ8は、カラムADCアレイ部3から水平信号線L__2を介して出力されるデジタルの映像信号を増幅し、シリアライザ10に出力する。本実施の形態では、カラムADC31は、14ビットのデジタルの映像信号を生成し、各ビットの信号の位相を180度ずらし、位相が180度ずらされた信号と、位相がずらされていない信号とからなる合計28個の信号をセンスアンプ8に出力する。よって、カラムADCアレイ部3とセンスアンプ8とを接続する水平信号線L__2は、合計28本となる。そして、センスアンプ8は、28本の水平信号線L__2を流れる信号をそれぞれ増幅して、各信号の波形を成形してシリアライザ10に出力する。

[0025] シリアライザ10は、例えば、LVDS（Low Voltage Differential Signaling）規格に準拠したシリアライザにより構成され、センスアンプ8から28本の水平信号線L__2を介してパラレルで出力される信号を差動増幅して14ビットの信号とし、シリアルに変換して出力端子13に出力する。出力端子13は、シリアライザ10からの信号を制御部14に出力する。

[0026] 制御部14は、例えば専用のハードウェア回路により構成され、露光期間において複数の電圧を転送トランジスタTXのゲートに印加することで（図

2 参照)、対数特性の感度を変化させる。ここで、制御部 14 は、例えば複数種類の設定値を制御端子 12 を介して T G 6 のレジスタに書き込む。そして、T G 6 は書き込まれた設定値に従った中間電圧を D A C 7 及びローデコーダ 2 を介して転送トランジスタ T X のゲートに印加する。なお、制御部 14 の詳細については後述する。

[0027] 図 2 は、図 1 に示す画素回路 G C の回路図である。図 2 に示すように画素回路 G C は、光電変換素子（以下、「P D」と記述する。）、転送トランジスタ（以下、「T X」と記述する。）、リセットトランジスタ（以下、「R S T」と記述する。）、増幅トランジスタ（以下、「S F」と記述する。）、及び行選択トランジスタ（以下、「S E L」と記述する。）を備える、C M O S の画素回路 G C により構成されている。

[0028] P D は被写体からの光を受光し、受光した光量に応じた信号電荷を発生し、寄生容量で蓄積する。ここで、P D はアノードが T X のソースに接続され、アノードに駆動電圧である P V S S が入力される。

[0029] T X は、例えば n M O S (Negative Channel Metal Oxide Semiconductor) により構成され、P D により蓄積された信号電荷を浮遊拡散層（以下、「F D」floating diffusionと記述する。）に転送する。T X のゲートには、T X を導通状態、非導通状態、及び中間状態で駆動するための信号（以下、「 ϕ T X」と記述する。）が入力される。T X のドレインは、F D に接続されている。 ϕ T X がゼロ電圧又は負電圧（以下、「V L」と記述する。）になると T X のゲートが閉じて T X が非導通状態なる。また、 ϕ T X が中間電圧（以下、「V M」と記述する。）になると、T X のゲートが半開して T X が導通状態と非導通状態との中間状態になる。また、 ϕ T X がハイレベルの電圧（以下、「V H」と記述する。）になると、T X のゲートが開いて T X が導通状態になる。

[0030] F D は、P D から転送された信号電荷を蓄積する。これにより、F D には信号電荷に応じた電圧が現れる。

[0031] R S T は、例えば n M O S により構成され、ゲートに R S T を導通状態又

は非導通状態にするための信号である ϕRST が入力され、ドレインに駆動電圧である $PVDD$ が入力され、ソースが FD を介して SF のゲートに接続されている。 $\phi RST = VH$ になると、 RST が導通状態となり、 $\phi RST = VL$ になると、 RST が非導通状態になる。

[0032] そして、 RST は、導通状態になると FD の信号電荷を排出して、 FD をリセットする。なお、 $PVDD$ 、 $PVSS$ は図略の電圧源から出力され、 ϕRST は、ローデコーダ2から出力される。

[0033] SF は、例えば $nMOS$ により構成され、ゲートが FD を介して TX 及び RST に接続され、ドレインに駆動電圧である $PVDD$ が入力され、ソースが SEL に接続されている。そして、 SF は FD に現れる電圧を電流増幅して SEL に出力する。

[0034] SEL は、例えば $nMOS$ により構成され、ゲートに行選択信号である $\phi VSEN$ が入力され、ドレインが SF に接続され、ソースが垂直信号線 L_1 を介して対応する列のカラム $ADC31$ に接続されている。そして、 SEL は、 SF により電流増幅された電圧を出力信号として、垂直信号線 L_1 を介して対応する列のカラム $ADC31$ に出力する。ここで、 $\phi VSEN$ はローデコーダ2から出力される。

[0035] 図3は、露光期間 T_E の全期間において転送トランジスタ TX を中間電圧で駆動させた場合の画素回路 GC のタイミングチャートである。なお、露光期間とは、被写体を露光する期間であり、 PD は被写体からの信号電荷を蓄積する。図3に示すように画素回路 GC は、露光期間 T_E と、読出期間 T_R とがサイクリックに繰り返され、露光期間 T_E において蓄積した信号電荷に応じたシグナル信号を出力する。

[0036] 露光期間 T_E では、時刻 $t0$ に示すように、 $\phi TX = VM$ とされている。そのため、 PD は高輝度光入射時にはサブスレシヨルド状態となり、 FD に信号電荷を流しつつ信号電荷を蓄積する。これにより、リニアログ特性が実現される。

[0037] なお、露光期間 T_E では、 FD は RST により常時リセットされるため

、PDから流れ出る信号電荷を絶えず排出し、信号電荷を蓄積しない。そのため、FDの電圧は絶えずP VDDを維持する。また、露光期間T_{__E}では $\phi VSEN = V_L$ であるため、画素回路GCからカラムADC 31にシグナル信号は出力されない。

[0038] 露光期間T_{__E}が終了され、読出期間T_{__R}が開始されると、 $\phi RST = V_L$ にされ、RSTはFDのリセットを終了し、 $\phi TX = V_L$ にされ、TXは非導通状態となる。

[0039] 時刻t₁において、 $\phi VSEN = V_H$ であり、SELが導通状態にされている。これにより、垂直信号線L_{__1}からは、FDに現れるノイズレベルの電圧V_{__n}がSFで電流増幅され、ノイズ信号としてカラムADC 31に出力される。ここで、FDの電圧が、P VDDから電圧V_{__n}に下がっているのは、主に ϕRST をV_HからV_Lに変化させたことによるFDとRSTとの間の寄生容量の影響によるものであるが、FDのk t cノイズの影響も含まれている。このk t cノイズは画素回路GC毎にばらついているため、ノイズ信号は画素回路GC毎にバラツキを持つ。なお、FDの電圧は、蓄積する信号電荷量が増大するにつれて低下する。

[0040] 時刻t₂において、 $\phi VSEN = V_L$ であり、SELが非導通状態であり、ノイズ信号の出力が停止されている。また、時刻t₂において、 $\phi TX = V_H$ にされ、TXが導通状態となり、PDの信号電荷がFDに転送される。

[0041] これにより、FDの電圧はFDに転送される信号電荷に応じて低下し、シグナルレベルの電圧V_{__s}となる。

[0042] 時刻t₃において、 $\phi VSEN = V_H$ であり、FDの電圧V_{__s}がSFで電流増幅され、シグナル信号として、垂直信号線L_{__1}を介してカラムADC 31に出力されている。出力されたシグナル信号は、カラムADC 31によりノイズ信号との差分がとられ、映像信号が生成される。ここで、映像信号は、FDのノイズレベルの電圧V_{__n}と、シグナルレベルの電圧V_{__s}との差分に相当する値を有している。よって、ノイズ信号とシグナル信号との差分をとることで、シグナル信号に含まれるノイズ成分が除去された映像信

号が得られるのである。

[0043] 読出期間 T_{R} が終了すると、再度、 $\phi_{\text{RST}} = V_{\text{H}}$ 、 $\phi_{\text{VSEN}} = V_{\text{L}}$ 、 $\phi_{\text{TX}} = V_{\text{M}}$ とされ、次のフレームの映像信号を得るための露光期間 T_{E} が開始される。

[0044] 図4は、図3のタイミングチャートに従って駆動される画素回路GCの光電変換特性を示したグラフである。図4において、縦軸は線形軸であり画素回路GCから出力される映像信号を示し、横軸は対数軸であり、光電変換素子PDに入射する入射光の強度を示している。

[0045] このグラフから分かるように、光電変換特性は、変曲点P1を境に低輝度領域が線形（リニア）特性を示す線形特性部D1と、高輝度領域が対数（ログ）特性を示す対数特性部D2とからなるリニアログ特性を持つ。なお、図4のグラフにおいて、線形特性部D1がカーブを描いて上昇し、対数特性部D2がほぼ直線状に上昇しているのは、横軸を対数軸としたからである。

[0046] 図5から図9は、図3の時刻t0から時刻t4に対応する画素回路GCのエネルギーバンド図である。図5～図9に示すエネルギーバンド図は、下側に向かうにつれて電圧が高いことを示している。

[0047] 図5に示す時刻t0において、 $\phi_{\text{RST}} = V_{\text{H}}$ とされているため、FDはRSTによってリセットされ、PVDの電圧を維持する。また、 $\phi_{\text{TX}} = V_{\text{M}}$ に設定されているため、PDとFDとの間にはエネルギー障壁ESが発生する。PDが蓄積する信号電荷量が一定の値未満の場合、PDに蓄積された信号電荷は、エネルギー障壁ESを乗り越えることができないため、PDからFDに移動できない。そのため、第1層L1の信号電荷は入射光量に対して線形特性となる。

[0048] 一方、PDが蓄積する信号電荷量が一定の値以上になると、信号電荷はエネルギー障壁ESを乗り越えてPDからFDに移動することができる。これにより、PDはサブスレシールド状態となり、FDに信号電荷を漏らしつつ信号電荷を蓄積する。その結果、第2層L2の信号電荷は入射光量に対して対数特性となる。これにより、時刻t0に示す露光期間 T_{E} ではリニアロ

グ特性が実現される。

[0049] 図6に示す時刻 t_1 において、露光期間 T_{E} が終了したため、 $\phi_{\text{TX}} = V_{\text{L}}$ とされ、TXが非導通状態となる。そのため、エネルギー障壁 E_{S} が高くなり、信号電荷はPDからFDに移動することができなくなる。

[0050] 時刻 t_1 では、FDのリセットが終了しているため、主に $\phi_{\text{RST}} = V_{\text{H}}$ から V_{L} に変化させたことによるFDとRSTとの間の寄生容量の影響によって、FDの電圧が $PVDD$ から電圧 V_{n} に低下している。そして、時刻 t_1 では、 $\phi_{\text{VSEN}} = V_{\text{H}}$ とされ、電圧 V_{n} がSFで電流増幅され、電流増幅された電圧 V_{n} がSELを介して垂直信号線 L_1 からノイズ信号として出力される。

[0051] 図7に示す時刻 t_2 において、 $\phi_{\text{TX}} = V_{\text{H}}$ とされTXが導通状態とされる。これにより、エネルギー障壁 E_{S} が無くなり、PDからFDに信号電荷が転送される。そして、FDは第1層 L_1 及び第2層 L_2 からなる信号電荷を蓄積し、電圧が電圧 V_{n} から電圧 V_{s} に低下する。

[0052] 図8に示す時刻 t_3 において、 $\phi_{\text{TX}} = V_{\text{L}}$ とされTXが非導通状態とされる。そして、 $\phi_{\text{VSEN}} = V_{\text{H}}$ とされ、電圧 V_{s} がSFにより電流増幅され、電流増幅された電圧 V_{s} がSELを介して垂直信号線 L_1 からシグナル信号として出力される。

[0053] 図9に示す時刻 t_4 において、読出期間 T_{R} が終了して露光期間 T_{E} が開始されたため、 $\phi_{\text{TX}} = V_{\text{M}}$ とされ、TXが中間状態となって再度露光が行われている。また、時刻 t_4 において、 $\phi_{\text{RST}} = V_{\text{H}}$ とされたため、FDの電圧が再度 $PVDD$ に上がっている。

[0054] 図10は、図1に示すカラムADC31の回路図である。カラムADCは、上流側から順番に、CDS回路41、クランプ部42、比較部43、及びラッチ回路44を備えている。CDS回路41は、反転アンプ（以下、「AMP」と記述する。）、コンデンサ C_{IN} 、 C_{F} 、及びスイッチ SW_1 を備えている。

[0055] AMPの入力ノード I_1 はコンデンサ C_{IN} を介して垂直信号線 L_1

と接続されている。AMPの入出力ノード間には、コンデンサC Fが接続されている。コンデンサC FにはスイッチSW 1が並列接続されている。コンデンサC I Nの垂直信号線L __ 1側の端子はノードV P I Xである。

[0056] クランプ部4 2は、コンデンサC 0及びスイッチSW 2を備える。 ϕ C LがハイレベルになるとスイッチSW 2がオンし、ノードB Bの電圧がクランプ電圧V C Lでクランプされる。

[0057] 比較部4 3は、スイッチSW 3, SW 4, SW 5, SW 6、コンパレータCOMP 1（以下、「COMP 1」と記述する。）、コンパレータCOMP 2（以下、「COMP 2」と記述する。）、コンデンサC 1, C 2を備えている。

[0058] スイッチSW 3は、ノードB B及びノードC C間に接続されている。スイッチSW 4は一端がノードC Cに接続され、他端がランプ信号（以下、「V RAMP」と記述する。）の電圧源に接続される。

[0059] COMP 1は入力ノード（以下、「ノードD D」と記述する。）がコンデンサC 1を介してノードC Cに接続されている。COMP 1の入出力ノード間にはスイッチSW 5が接続されている。COMP 1の出力ノードはコンデンサC 2を介してCOMP 2に接続されている。COMP 2の入出力ノード間にはスイッチSW 6が接続されている。COMP 2の出力ノードは、インバータI 1を介してラッチ回路4 4が接続されている。ラッチ回路4 4は、最上位ビットがD 0、最下位ビットがD (n)のn+1ビットのデジタルの映像信号を保持する、n+1ビットのラッチ回路である。本実施の形態では、例えばn=13が採用され、ラッチ回路4 4は14ビットの映像信号を保持する。

[0060] 図1 1は、図1 0に示すカラムADC 3 1のタイミングチャートである。なお、図1 1に示す時刻t 1, t 3は図3の同時刻に対応している。

[0061] 読出期間T __ Rが開始されると、画素回路G Cからノイズ信号が出力される。これにより、ノードV P I Xの電圧はノイズレベルL V __ nに上昇する（時刻t 1）。なお、ノイズレベルL V __ nの電圧はC D S回路4 1で保持

される。

[0062] 次に、 $\phi PRST$ 、 ϕCL 、 $\phi S1$ 、 $\phi S2$ がそれぞれ、一定時間、ハイレベルとなり、CDS回路41、クランプ部42、及びCOMP1、COMP2がそれぞれリセットされる。これにより、ノードAAの電圧は $V_{TH}(AMP)$ となり、ノードBB、CCの電圧は V_{CL} となり、ノードDDの電圧は $V_{TH}(COMP1)$ となる。

[0063] 次に、画素回路GCからシグナル信号が出力されると、ノードVP1Xの電圧が ΔV だけ低下してシグナルレベル L_{V_s} となる（時刻 t_3 ）。

[0064] ノードVP1Xの ΔV 分の電圧の低下に応じて、ノードAA、BB、CC、DDの電圧がそれぞれ上昇する。具体的には、ノードAA、BBは $\Delta V \times C_{IN} / C_F$ 上昇する。ノードCC、DDは $\Delta V \times (C_{IN} / C_F) \times C_0 / (C_0 + C_1)$ 上昇する。つまり、CDS回路41により、ノイズ信号とシグナル信号との差分がとられ、この差分を示す ΔV に応じた電圧がノードAA～ノードDDに現れる。

[0065] 次に、 ϕSH がローレベル、 ϕSHX がハイレベルとなり、スイッチSW3がオン、スイッチSW4がオフし、VRAMPの入力が開始される（時刻 $TT1$ ）。

[0066] また、時刻 $TT1$ になると、カウンタ45のカウント動作が開始される。そして、時刻 $TT2$ において、ノードDDの電圧が $V_{TH}(COMP1)$ を超えると、COMP1の出力が反転し、その反転に応じて、インバータ11からの出力信号であるCOMPOUTが反転する。

[0067] COMPOUTが反転すると、ラッチ回路44はそのときのカウント値をラッチする。時刻 $TT1$ において、ノードCCの電圧は、 $\Delta V \times (C_{IN} / C_F) \times C_0 / (C_0 + C_1)$ から、VRAMPの入力開始時の電圧 V_a 分低下するため、このときのノードCCのレベルは ΔV に応じた値を持つ。したがって、時刻 $TT1$ ～時刻 $TT2$ の期間は ΔV に応じた値を持つ。そのため、VRAMPが入力されてから、COMPOUTが反転するまでの時間をカウントすることで、 ΔV に応じたデジタル値、つまり、映像信号のデジタ

ル値を得ることができる。

[0068] 図12は、図2に示す画素回路GCにおいて感度を変えたときの光電変換特性を示したグラフである。図12において、縦軸は線形軸であり画素回路GCから出力される映像信号を示し、横軸は対数軸であり、光電変換素子PDに入射する入射光の強度を示している。

[0069] 光電変換特性C(a)は図4に示す感度が標準に設定された画素回路GCの光電変換特性である。光電変換特性C(a)において、線形特性部D1(a)の感度を上げたい場合、例えば、i) カラムADC31のゲインを上げる、ii) カラムADC31の入力レンジを小さくする、iii) AD変換後の映像信号にデジタルゲインを加える等が考えられる。

[0070] ここで、i) を実現するには、図10に示す C_{IN}/C_F を増大させればよい。ii) を実現するには図11に示すVRAMPの振幅を小さくすればよい。VRAMPの振幅を小さくするには、 $V_b - V_a$ の差を小さくすればよい。iii) を実現するには、AD変換された映像信号を取り込んだ制御部14がデジタルの映像信号を所定倍（例えば2倍、3倍）すればよい。

[0071] 例えば、光電変換特性C(a)に2倍のゲインを与えた場合を考える。この場合、光電変換特性C(b)が得られる。光電変換特性C(b)に示すように、単に光電変換特性C(a)に2倍のゲインを与えてしまうと、線形特性部D1(a)だけでなく対数特性部D2(a)の感度も上がってしまう。そのため、光電変換特性C(b)のダイナミックレンジDM(b)は光電変換特性C(a)のダイナミックレンジDM(a)よりも低下してしまう。

[0072] そこで、本実施の形態では、対数特性部D2の感度のみを可変にし、光電変換特性C(c)を得ている。光電変換特性C(c)では、線形特性部D1(c)の傾きは、線形特性部D1(a)の傾きの2倍になり、線形特性部D1(c)の感度が線形特性部D1(a)の2倍になっている。一方、対数特性部D2(c)の傾きは対数特性部D2(a)の傾きの $1/2$ になり、対数特性部D2(c)の感度が対数特性部D2(a)の感度の $1/2$ になっている。

[0073] そのため、光電変換特性 $C(c)$ のダイナミックレンジ $DM(c)$ が増大し、光電変換特性 $C(a)$ のダイナミックレンジ $DM(a)$ と同じになっている。これを実現するために、本実施の形態では、制御部14は、上述したように、 $\phi TX = VM$ の印加時間を変化させている。

[0074] 図13は、本発明の実施の形態1における TX のタイミングチャートである。 VD は1フレームの露光期間 T_E の開始タイミングを示している。(a)は感度を変化させない場合を示し、(b)は感度を(a)よりも低くした場合、(c)は感度を(b)よりも低くした場合を示している。なお、読出期間 T_R は露光期間 T_E よりも大幅に短いため、図13では、読出期間 T_R の図示を省略し、各フレームの露光期間 T_E を繋げて記載している。

[0075] 図13(a)では、1フレームの露光期間 T_E において、常に $\phi TX = VM$ であり、 TX のゲートには、常に中間電圧 VM が印加される。

[0076] 一方、図13(b)、(c)では、1フレームの露光期間 T_E の前半期間において $\phi TX = VL$ にされ、転送トランジスタ TX のゲートは閉じられ、後半期間において、 $\phi TX = VM$ にされ、転送トランジスタ TX のゲートは半開にされる。

[0077] 図14は、図13(a)、(b)、(c)の ϕTX で TX を駆動させたときの画素回路 GC の光電変換特性 $C(a)$ 、 $C(b)$ 、 $C(c)$ である。

[0078] 図14に示すように、光電変換特性 $C(a)$ から光電変換特性 $C(c)$ の順で対数特性部 $D2(a) \sim (c)$ の傾きが減少し、感度が下がっていることが分かる。つまり、露光期間 T_E において、 $\phi TX = VM$ の期間が長くなるにつれて、対数特性部 $D2$ の傾きが増大し、感度が上がっていることが分かる。

[0079] 図15は、露光期間 T_E の前半期間を $\phi TX = VL$ にし、後半期間を $\phi TX = VM$ にして TX を駆動した際の画素回路 GC のタイミングチャートである。

[0080] 露光期間 T_E の前半期間の時刻 t_0 において、 $\phi TX = VL$ に設定され

、TXのゲートが閉じられている。そのため、PDはリニア特性で信号電荷を蓄積する。

[0081] 露光期間 T_{E} の後半期間の時刻 t_1 において、 $\phi_{\text{TX}} = V_{\text{M}}$ に設定され、転送トランジスタTXのゲートが半開にされる。これにより、PDは信号電荷をリニアログ特性で蓄積する。図15の期間 $t_{\text{int}} \sim t_{\text{log}}$ が後半期間であり、転送トランジスタTXのゲートが半開にされている。読出期間 T_{R} の動作は図3と同じである。

[0082] 次の露光期間 T_{E} の前半期間の時刻 t_5 において、 $\phi_{\text{TX}} = V_{\text{L}}$ にされ、TXのゲートが閉められる。これにより、露光期間 T_{E} の前半期間では、ゲートを閉めた状態でTXが駆動される。

[0083] 図16から図21は図15の時刻 t_0 から時刻 t_5 に対応する画素回路GCのエネルギーバンド図である。図16～図21に示すエネルギーバンド図は、下側に向かうにつれて電圧が高いことを示している。

[0084] 以下、図16～図21を用いて、期間 $t_{\text{int}} \sim t_{\text{log}}$ と対数特性部D2の感度との関係について説明する。

[0085] 図16に示す時刻 t_0 において、 $\phi_{\text{TX}} = V_{\text{L}}$ であり、TXのゲートが閉じられているため、PDとFDとの間には大きなエネルギー障壁ESが発生する。そのため、PDに蓄積された信号電荷はエネルギー障壁ESを乗り越えることができず、PDからFDに移動できない。よって、入射光量に対して線形特性である第1層L1のみからなる信号電荷がPDに蓄積される。この状態で、被写体の輝度が高い場合、PDは飽和状態となる。

[0086] 図17に示す時刻 t_1 において、 $\phi_{\text{TX}} = V_{\text{M}}$ であり、転送トランジスタTXのゲートが半開になる。これにより、エネルギー障壁ESが小さくなり、PDの上部に蓄積されていた信号電荷は、FDの方へ漏れ出ていく。

[0087] PDからFDへの信号電荷の漏れ出しは、瞬時に起こるわけではなく、一定時間を要し、時間応答性がある。そのため、期間 $t_{\text{int}} \sim t_{\text{log}}$ の時間に応じて、露光期間 T_{E} の終了時に最終的にPDに残る信号電荷の量が異なってくる。ここで、期間 $t_{\text{int}} \sim t_{\text{log}}$ が増大するほど、最終的にPD

に残る対数特性の信号電荷の量が、本来、PDに蓄積されるべき対数特性の信号電荷の量に近づく。そのため、期間 t_{int_log} が長くなるにつれて、対数特性部D2の傾きが増大し、対数特性部D2の感度が高くなる。一方、期間 t_{int_log} が短くなるにつれて、最終的にPDに残る対数特性の信号電荷の量が、本来、PDに蓄積されるべき対数特性の信号電荷の量から離れる。そのため、期間 t_{int_log} が短くなるにつれて、対数特性部D2の傾きが減少し、対数特性部D2の感度が低くなる。

[0088] そこで、実施の形態1では、制御部14は、被写体の輝度を求め、被写体の輝度が高くなるにつれて期間 t_{int_log} を短くして、対数特性部D2の感度を低下させてダイナミックレンジを確保する。一方、制御部14は、被写体の輝度が低くなるにつれて期間 t_{int_log} を長くして、対数特性部D2の感度を上げている。

[0089] なお、制御部14は、被写体の輝度と期間 t_{int_log} との関係を予め定めた関数やLUTを用いて、期間 t_{int_log} を求めればよい。そして、求めた期間 t_{int_log} でTXを駆動するための制御信号をTG6に出力すればよい。この制御信号を受けたTG6は、制御部14により求められた期間 t_{int_log} を持つ ϕTX でTXが駆動されるようにローデコーダ2を制御すればよい。

[0090] ここで、制御部14は、画素アレイ部1を構成する全部又は一部の画素回路GCから出力される映像信号の平均値を被写体の輝度として算出すればよい。また、制御部14は、画素アレイ部1を構成する全部又は一部の画素回路GCから出力される映像信号のヒストグラムを求め、このヒストグラムの最大のピークを被写体の輝度として算出すればよい。

[0091] 図18に示す時刻 t_2 において、図6の時刻 t_1 のときと同様、露光期間 T_E が終了したため、 $\phi TX = VL$ とされ、TXが非導通状態となる。そのため、エネルギー障壁ESが高くなり、信号電荷はPDからFDに移動することができなくなる。

[0092] 図19に示す時刻 t_3 において、図7に示す時刻 t_2 と同様、 $\phi TX = V$

Hとされ、TXが導通状態とされる。これにより、エネルギー障壁ESが無くなり、PDからFDに信号電荷が転送される。

[0093] 図20に示す時刻t4において、図9に示す時刻t4と同様、 $\phi TX = VL$ とされTXが非導通状態とされる。そして、 $\phi VSEN = VH$ とされ、電圧V_sがSFにより電流増幅され、電流増幅された電圧V_sがSELを介して垂直信号線L₁からシグナル信号として出力される。

[0094] 図21に示す時刻t5において、読出期間T_Rが終了して露光期間T_Eが開始されたため、 $\phi TX = VH$ とされ、TXが非導通状態となって再度露光が行われている。ここで、 $\phi TX = VH$ とされているため、 $\phi TX = VM$ とされた図9の時刻t4の場合と比べて、エネルギー障壁ESが高くなっていることが分かる。

[0095] このように、本実施の形態では、露光期間T_Eの前半期間は $\phi TX = VL$ とされ、露光期間T_Eの後半期間は $\phi TX = VM$ とされる。そして、被写体の輝度が高いときは期間 $t_{int} t_{log}$ が短くされてダイナミックレンジが確保される。一方、被写体の輝度が低いときは、期間 $t_{int} t_{log}$ が長くされて感度が高くされる。そのため、感度の上昇とダイナミックレンジの確保との両立を図ることができる。

[0096] (実施の形態2)

次に、実施の形態2の固体撮像装置について説明する。実施の形態2の固体撮像装置は、露光期間T_Eに中間電圧（以下、「VM1」と記述する。）及び中間電圧（以下、「VM2」と記述する。）を印加したことを特徴とする。なお、本実施の形態において、実施の形態1と同一のものは説明を省略する。

[0097] 図22は、本発明の実施の形態2におけるTXのタイミングチャートである。（a）は感度を変化させない場合を示し、（b）は感度を（a）よりも高くした場合、（c）は感度を（b）よりも高くした場合を示している。なお、読出期間T_Rは露光期間T_Eよりも大幅に短いため、図22では、読出期間T_Rの図示を省略し、各フレームの露光期間T_Eを繋げて記載

している。

[0098] (a) では、1 フレームの露光期間 T_{E} において、常に $\phi_{\text{TX}} = V_{\text{M}2}$ であり、転送トランジスタ TX のゲートには、常に $V_{\text{M}2}$ が印加される。

[0099] 一方、図 22 の (b)、(c) では、1 フレームの露光期間 T_{E} の前半期間において $\phi_{\text{TX}} = V_{\text{M}1}$ にされ、後半期間において $\phi_{\text{TX}} = V_{\text{M}2}$ にされている。

[0100] ここで、 $V_{\text{M}1} < V_{\text{M}2}$ である。そのため、前半期間、後半期間とも TX のゲートは半開にされているが、後半期間の方が前半期間よりもゲートが大きく開いている。なお、 $V_{\text{M}2}$ は、画素回路 GC の光電変換特性の変曲点 P_1 を目的の値にするための中間電圧である。

[0101] 図 23 は、図 22 (a)、(b)、(c) の ϕ_{TX} で TX を駆動させたときの画素回路 GC の光電変換特性 $\text{C}(a)$ 、 $\text{C}(b)$ 、 $\text{C}(c)$ である。

[0102] 図 23 に示すように、光電変換特性 $\text{C}(a)$ から光電変換特性 $\text{C}(c)$ の順で対数特性部 $\text{D}2(a) \sim \text{D}2(c)$ の傾き増大し、感度が上がっていることが分かる。つまり、露光期間 T_{E} において、 $\phi_{\text{TX}} = V_{\text{M}2}$ の期間が短くなるにつれて、対数特性部 $\text{D}2$ の傾きが増大し、感度が上がっていることが分かる。

[0103] 図 24 は、露光期間 T_{E} の前半期間を $\phi_{\text{TX}} = V_{\text{M}1}$ にし、後半期間を $\phi_{\text{TX}} = V_{\text{M}2}$ にして TX を駆動した際の画素回路 GC のタイミングチャートである。

[0104] 露光期間 T_{E} の前半期間の時刻 t_0 において、 $\phi_{\text{TX}} = V_{\text{M}1}$ に設定され、 TX のゲートが半開にされている。そのため、 PD はリニアログ特性で信号電荷を蓄積する。

[0105] 露光期間の後半期間の時刻 t_1 において、 $\phi_{\text{TX}} = V_{\text{M}2}$ に設定され、 TX のゲートが前半期間よりも更に開いた状態で半開にされる。これにより、 PD は信号電荷をリニアログ特性で蓄積する。図 24 の期間 $t_{\text{log_sec}}$ が後半期間である。読出期間 T_{R} の動作は図 3 と同じである。

[0106] 次の露光期間 T_{E} の前半期間の時刻 t_5 において、 $\phi_{\text{TX}} = V_{\text{M}1}$ にさ

れ、TXのゲートが半開にされる。これにより、露光期間 T_{E} の前半期間では、ゲートが半開された状態でTXが駆動される。

[0107] 図25、図26は図24の時刻 t_0 、時刻 t_1 に対応する画素回路GCのエネルギーバンド図である。図25、図26に示すエネルギーバンド図は、下側に向かうにつれて電圧が高いことを示している。なお、図24に示す時刻 t_2 、 t_3 、 t_4 のエネルギーバンド図は、実施の形態1と同一であるため説明を省く。

[0108] 以下、図25、図26を用いて、期間 $t_{\text{log_sec}}$ と対数特性部D2の感度との関係について説明する。

[0109] 図25に示す時刻 t_0 において、 $\phi_{\text{TX}} = V_{\text{M1}}$ であり、TXのゲートが半開とされ、PDとFDとの間にエネルギー障壁ESが発生している。この状態では、被写体の輝度が高い場合は、PDは V_{M1} で定まるサブスレショルド状態となり、リニアログ特性で信号電荷を蓄積する。また、この状態では、PDは V_{M1} より下の第1層 L_1 に属する信号電荷を線形特性で蓄積し、 V_{M1} より上側の第2層 L_2 に属する信号電荷を対数特性で蓄積している。

[0110] 図26に示す時刻 t_1 において、 $\phi_{\text{TX}} = V_{\text{M2}}$ であり、TXのゲートが時刻 t_0 のときよりも更に開いた半開状態にされる。これにより、エネルギー障壁ESは時刻 t_0 のときよりも低くなる。

[0111] この状態になると、 V_{M2} よりも上側の層に属する信号電荷は、FDの方へ漏れ出していくが、この信号電荷の漏れ出しは瞬時に起こるわけではなく、ある程度の時間応答性を有している。

[0112] そのため、期間 $t_{\text{log_sec}}$ が短いと、第2層 L_2 に属する信号電荷は、 V_{M1} 及び V_{M2} 間の層 L_1' に蓄積されている信号電荷の上にのることになる。この層 L_1' に属する信号電荷は時刻 t_0 において第1層 L_1 に属していた信号電荷である。

[0113] 期間 $t_{\text{log_sec}}$ が長くなるにつれて、層 L_1' の信号電荷はFD側に漏れ出して層 L_1' は対数特性になっていき、第2層 L_2 に吸収され、や

がて消滅するが、期間 $t_{\log_sec}$ が短ければ、対数特性のようにふるまって第2層 L_2 のオフセットとなる。そのため、期間 $t_{\log_sec}$ が短ければ、露光期間 T_E の終了時において、PDに残存する信号電荷のうち、対数特性で蓄積された信号電荷の成分が増し、対数特性部 D_2 の感度が高くなるのである。

[0114] また、 VM_1 と VM_2 との差が大きい場合も、同様に、対数特性部 D_2 の感度を高くすることができる。つまり、 VM_1 と VM_2 との差が大きければ、それだけ、層 L_1 の高さが増すため、第2層 L_2 のオフセットが増える。よって、露光期間 T_E の終了時において、PDに残存する信号電荷のうち、対数特性で蓄積された信号電荷の成分が増し、対数特性部 D_2 の感度が高くなるのである。

[0115] 以上のことから、対数特性部 D_2 の感度は、期間 $t_{\log_sec}$ の長さと、 VM_2 及び VM_1 の電圧差とに依存するのである。

[0116] そこで、制御部 14 は、実施の形態 1 と同様にして被写体の輝度を求め、被写体の輝度が高くなるにつれて、期間 $t_{\log_sec}$ を長くする制御、並びに VM_1 を上げて VM_1 及び VM_2 の電圧差を小さくする制御の少なくともいずれか一方を実行することで、対数特性部 D_2 の感度を下げ、ダイナミックレンジを確保する。

[0117] 一方、制御部 14 は、被写体の輝度が低くなるにつれて、期間 $t_{\log_sec}$ を短くする制御、並びに VM_1 を下げて VM_1 及び VM_2 の電圧差を大きくする制御の少なくともいずれか一方を実行することで、対数特性部 D_2 の感度を上げている。

[0118] ここで、制御部 14 は、被写体の輝度と期間 $t_{\log_sec}$ との関係を予め定めた関数や LUT を用いて、期間 $t_{\log_sec}$ を求めればよい。又は、被写体の輝度と期間 VM_1 との関係を予め定めた関数や LUT を用いて、 VM_1 を求めればよい。そして、求めた期間 $t_{\log_sec}$ 又は VM_1 で TX を駆動するための制御信号を TG6 に出力すればよい。この制御信号を受けた TG6 は、制御部 14 により求められた期間 $t_{\log_sec}$,

VM1を持つ ϕTX でTXが駆動されるようにローデコーダ2を制御すればよい。

[0119] なお、実施の形態2において、露光期間 T_E を3つの期間に分け、1つ目の期間を $\phi TX = VL$ 、2つ目の期間を $\phi TX = VM1$ 、3つ目の期間を $\phi TX = VM2$ にしてもよい。 $\phi TX = VL$ の期間を設けることで、TXの暗電流に起因する信号電荷がFDに蓄積されることを防止することができる。

[0120] このように、実施の形態2では、露光期間 T_E において、 $\phi TX = VM1$ とした後、 $\phi TX = VM2$ とし、被写体の輝度に応じてVM2を印加する期間を変える制御、並びにVM1及びVM2の電圧差を変える制御の少なくともいずれか一方が行われている。そのため、感度の増大とダイナミックレンジの確保との両立を図ることができる。

[0121] (実施の形態3)

実施の形態3は、明るい被写体の存在の有無を判定し、実施の形態1の手法を用いて、明るい被写体が存在する場合は感度を下げる制御を行い、明るい被写体が存在しない場合は感度を上げる制御を行うことを特徴としている。

[0122] なお、本実施の形態において、実施の形態1、2と同じものは説明を省略する。本実施の形態では、制御部14は、明るい被写体が存在すると判定した場合、明るい被写体が存在しないと判定した場合に比べて、期間 t_{int_log} を短くする。これにより、対数特性部D2の感度が低くなり、ダイナミックレンジが確保される。

[0123] 一方、制御部14は、明るい被写体が存在しないと判定した場合、明るい被写体が存在すると判定した場合に比べて、期間 t_{int_log} を長くする。これにより、対数特性部D2の感度が高くなる。

[0124] 具体的には、制御部14は、明るい被写体が存在すると判定した場合、期間 t_{int_log} を、明るい被写体が存在する場合において予め定められた期間 T_down に設定する。一方、制御部14は、明るい被写体が存在

しないと判定した場合、期間 t_{int_log} を、明るい被写体が存在しない場合において予め定められた期間 T_{up} に設定すればよい。ここで、期間 $T_{up} > 期間 T_{down}$ である。そのため、明るい被写体が存在する場合は、期間 t_{int_log} が短くなり、感度を下げてダイナミックレンジを確保し、明るい被写体が存在しない場合は、期間 t_{int_log} が長くなり、感度を上げることができる。

[0125] なお、制御部 14 は、明るい被写体が存在しないと判定した場合、露光期間 T_E の全期間を期間 t_{int_log} としてもよい。こうすることで、明るい被写体が存在しない場合の感度を最大限に高めることができる。

[0126] ここで、制御部 14 は、各画素回路 GC から出力される映像信号の平均値に基づいて、明るい被写体の存在の有無を判定すればよい。

[0127] 具体的には、制御部 14 は、画素アレイ部 1 を構成する全部又は一部の画素回路 GC から出力される映像信号の平均値を求め、この平均値を規定値 V_{th1} と比較し、平均値が規定値 V_{th1} 以上の場合、明るい被写体が存在すると判定し、平均値が規定値 V_{th1} 未満の場合、明るい被写体が存在していないと判定すればよい。

[0128] 規定値 V_{th1} としては、図 4 に示す対数特性部 D2 の高輝度側の所定のレベルを採用すればよい。

[0129] また、制御部 14 は、画素アレイ部 1 を構成する全部又は一部の画素回路 GC から出力される映像信号のヒストグラムを求め、このヒストグラムに基づいて、被写体が明るいかな否かを判定してもよい。この場合、制御部 14 は、横軸に映像信号の階調値、縦軸に頻度を規定する映像信号のヒストグラムのグラフを求め、このグラフから最も高階調側にあるピークを特定し、そのピークの階調値が規定値 V_{th2} 以上であれば、被写体が明るいと判定し、そのピークの階調値が規定値 V_{th2} 未満であれば、被写体が暗いと判定すればよい。

[0130] 規定値 V_{th2} としては、図 4 に示す規定値 V_{th1} を採用してもよいし、規定値 V_{th1} よりも多少低い値を採用してもよいし、規定値 V_{th1}

t h 1 よりも多少高い値を採用してもよい。

[0131] また、制御部 14 は、ヒストグラムにおいて、規定値 V_{th1} よりも高い階調値の頻度の合計値を求め、この合計値が規定値 V_{th3} 以上であれば、明るい被写体が存在すると判定し、この合計値が規定値 V_{th3} 未満であれば、明るい被写体が存在しないと判定してもよい。ここで、規定値 V_{th3} としては、例えば、画素アレイ部 1 を構成する全画素回路 GC の個数に対して、規定値 V_{th1} 以上の階調値の映像信号を出力した画素回路 GC の個数が所定の割合（例えば、90%、80%）となるような値を採用すればよい。

[0132] このように、本実施の形態では、明るい被写体が存在する場合はダイナミックレンジを確保し、明るい被写体が存在しない場合は感度を上げることができる。

[0133] （実施の形態 4）

実施の形態 4 は、明るい被写体の存在の有無を判定し、実施の形態 2 の手法を用いて、明るい被写体が存在する場合は感度を下げる制御を行い、明るい被写体が存在しない場合は感度を上げる制御を行うことを特徴としている。なお、本実施の形態において、実施の形態 1～3 と同一のものは説明を省略する。

[0134] 本実施の形態において、制御部 14 は、実施の形態 3 と同じ手法を用いて明るい被写体の存在の有無を判定する。そして、制御部 14 は、明るい被写体の存在の有無を判定し、明るい被写体が存在すると判定した場合、明るい被写体が存在しないと判定した場合に比べて、期間 t_{log_sec} を長くする。

[0135] 具体的には、制御部 14 は、明るい被写体が存在すると判定した場合、期間 t_{log_sec} を所定の期間 T_{up} に設定する。一方、制御部 14 は、明るい被写体が存在しないと判定した場合、期間 t_{log_sec} を所定の期間 T_{down} に設定する。ここで、期間 $T_{up} > 期間 T_{down}$ である。

[0136] よって、明るい被写体が存在する場合、期間 $t_{\log_sec}$ が期間 T_{up} に設定されて、 $\phi TX = VM2$ の期間が増大し、対数特性部 D2 の感度が下がる。一方、明るい被写体が存在しない場合、期間 $t_{\log_sec}$ が期間 T_{down} に設定され、 $\phi TX = VM2$ の期間が減少し、対数特性部 D2 の感度が上がる。

[0137] なお、制御部 14 は、明るい被写体が存在すると判定した場合、 $VM1$ 及び $VM2$ の電圧差を、明るい被写体が存在しないと判定した場合に比べて小さくしてもよい。一方、制御部 14 は、明るい被写体が存在しないと判定した場合、 $VM1$ 及び $VM2$ の電圧差を、明るい被写体が存在すると判定した場合に比べて大きくしてもよい。具体的には、変曲点 $P1$ を所望の値にするために $VM2$ は固定とされているので、明るい被写体が存在する場合は、 $VM1$ の値を明るい被写体が存在しない場合に比べて大きな値 $VM1_big$ に設定し、 $VM1$ 及び $VM2$ の電圧差を小さくすればよい。一方、明るい被写体が存在しない場合は、 $VM1$ の値を値 $VM1_small$ に設定し、 $VM1$ 及び $VM2$ の電圧差を大きくすればよい。なお、値 $VM1_big$ としては、ダイナミックレンジを確保する上で予め定められた好適な値を採用すればよい。また、値 $VM1_small$ としては、対数特性部 D2 の感度を上げるうえで予め定められた好適な値を採用すればよい。

[0138] なお、本実施の形態において、期間 $t_{\log_sec}$ を変える制御と $VM1$ 及び $VM2$ の電圧差を変える制御とを組み合わせても良い。

[0139] このように、本実施の形態によれば、実施の形態 3 と同様の効果を得ることができる。

[0140] 上述した固体撮像装置の技術的特徴は下記のようにまとめることができる。

[0141] (1) 本発明による固体撮像装置は、低輝度側が線形特性を示す線形特性部と、高輝度側が対数特性を示す対数特性部とを備えるリニアログ特性を持つ画素回路を備える固体撮像装置であって、前記画素回路は、入射光量に応じた信号電荷を蓄積するフォトダイオードと、浮遊拡散層と、前記フォトダ

イオードに蓄積された信号電荷を前記浮遊拡散層に転送する転送トランジスタとを備え、被写体を露光する露光期間において複数の電圧を前記転送トランジスタのゲートに印加することで、前記対数特性部の感度を変化させる制御部を備える。

[0142] この構成によれば、露光期間中に複数種類の電圧が転送トランジスタのゲートに印加されている。そのため、線形特性部の感度は維持させて、対数特性部の感度のみを制御することができる。そのため、被写体の輝度が高い場合は、対数特性部の感度を下げて画素回路のダイナミックレンジを確保し、被写体の感度が低い場合は、対数特性部の感度を上げることができる。

[0143] (2) 前記制御部は、前記露光期間の少なくとも最後の期間において、前記転送トランジスタのゲートに中間電圧を印加して前記ゲートを半開させ、前記中間電圧を印加する期間を変えることで前記対数特性部の感度を変化させることが好ましい。

[0144] この構成によれば、露光期間の少なくとも最後の期間において、転送トランジスタのゲートに中間電圧が印加されてゲートが半開にされる。そして、中間電圧を印加する期間を変えることで対数特性部の感度が変化されている。ここで、露光期間において、中間電圧を印加する期間が長くなると、露光期間の終了時において、光電変換素子に最終的に残存している信号電荷は本来持つべき対数特性の信号電荷の量に近づくことになる。そのため、中間電圧を印加する期間を長くすることで、対数特性部の感度を上げることができる。

[0145] なお、少なくとも最後の期間とは、露光期間を複数の期間に区分した場合の最後の期間を指している。例えば、露光期間を前半期間と後半期間との2つの期間に区分した場合は後半期間が少なくとも最後の期間に該当することになる。

[0146] (3) 前記制御部は、前記露光期間を2つの期間に分け、前半期間において前記ゲートを閉める電圧を前記ゲートに印加し、後半期間において前記中間電圧を前記ゲートに印加することが好ましい。

- [0147] この構成によれば、露光期間の前半期間において転送トランジスタのゲートが閉められているため、転送トランジスタのゲートの電極下部の基板層と絶縁層との界面で発生する暗電流を抑制することができる。
- [0148] (4) 前記制御部は、前記露光期間において、前記ゲートに第1中間電圧を印加して前記ゲートを半開させた後、前記ゲートに第1中間電圧よりも大きい第2中間電圧を印加して前記ゲートを更に開き、前記第2中間電圧を印加する期間を変える制御並びに第1中間電圧及び第2中間電圧の電圧差を変える制御の少なくとも一方を行うことで、前記対数特性部の感度を変化させることが好ましい。
- [0149] この構成によれば、露光期間の途中で第1中間電圧から第2中間電圧に切り替えられるため、ゲートが更に開いた状態にされる。そのため、露光期間の終了時において、光電変換素子に残存する信号電荷のうち、対数特性の信号電荷の成分を増大させることができ、対数特性部の感度を上げることができる。
- [0150] ここで、第2中間電圧を印加する期間を短くする、又は第1中間電圧及び第2中間電圧の電圧差を大きくすると、対数特性の信号電荷の成分を増大させ、対数特性部の感度を上げることができる。一方、第2中間電圧を印加する期間を長くする、又は前記電圧差を小さくすると、対数特性の信号電荷の成分を減少させ、対数特性部の感度を下げることができる。したがって、第2中間電圧を印加する時間を変える制御及び電圧差を変える制御の少なくとも一方を行うことで、対数特性部の感度を変化させることができる。
- [0151] (5) 前記制御部は、明るい被写体の存在の有無を判定し、前記明るい被写体が存在すると判定した場合、前記明るい被写体が存在しないと判定した場合に比べて、前記中間電圧を印加する期間を短くすることが好ましい。
- [0152] この構成によれば、明るい被写体が存在する場合は、中間電圧を印加する期間が短くされるため、対数特性部の感度が下がり、ダイナミックレンジを確保することができる。一方、明るい被写体が存在しない場合は、中間電圧を印加する期間が長くされるため、対数特性部の感度を上げることができる。

。

[0153] (6) 前記制御部は、明るい被写体の存在の有無を判定し、前記明るい被写体が存在すると判定した場合、前記明るい被写体が存在しないと判定した場合に比べて前記第2中間電圧を印加する期間を長くする制御、並びに前記明るい被写体が存在しないと判定した場合に比べて前記電圧差を小さくする制御の少なくともいずれか一方を行うことが好ましい。

[0154] この構成によれば、明るい被写体が存在する場合は、明るい被写体が存在しない場合に比べて第2中間電圧を印加する期間が短くされる制御、又は、電圧差が小さくされる制御の少なくともいずれか一方が行われるため、対数特性部の感度が下がり、ダイナミックレンジを確保することができる。一方、明るい被写体が存在しない場合は、明るい被写体が存在する場合に比べて第2中間電圧を印加する期間が長くされる制御、又は、電圧差が大きくされる制御の少なくともいずれか一方が行われるため、対数特性部の感度を上げることができる。

[0155] (7) 前記画素回路は、複数存在し、前記制御部は、各画素回路から出力される画素信号の平均値に基づいて、前記明るい被写体の存在の有無を判定することが好ましい。

[0156] この構成によれば、明るい被写体の存在の有無を精度良く判定することができる。

[0157] (8) 前記画素回路は、複数存在し、前記制御部は、各画素回路から出力される画素信号のヒストグラムに基づいて、前記明るい被写体の存在の有無を判定することが好ましい。

[0158] この構成によれば、明るい被写体の存在の有無を精度良く判定することができる。

請求の範囲

- [請求項1] 低輝度側が線形特性を示す線形特性部と、高輝度側が対数特性を示す対数特性部とを備えるリニアログ特性を持つ画素回路を備える固体撮像装置であって、
- 前記画素回路は、入射光量に応じた信号電荷を蓄積するフォトダイオードと、浮遊拡散層と、前記フォトダイオードに蓄積された信号電荷を前記浮遊拡散層に転送する転送トランジスタとを備え、
- 被写体を露光する露光期間において複数の電圧を前記転送トランジスタのゲートに印加することで、前記対数特性部の感度を変化させる制御部を備える固体撮像装置。
- [請求項2] 前記制御部は、前記露光期間の少なくとも最後の期間において、前記転送トランジスタのゲートに中間電圧を印加して前記ゲートを半開させ、前記中間電圧を印加する期間を変えることで前記対数特性部の感度を変化させる請求項1記載の固体撮像装置。
- [請求項3] 前記制御部は、前記露光期間を2つの期間に分け、前半期間において前記ゲートを閉める電圧を前記ゲートに印加し、後半期間において前記中間電圧を前記ゲートに印加する請求項2記載の固体撮像装置。
- [請求項4] 前記制御部は、前記露光期間において、前記ゲートに第1中間電圧を印加して前記ゲートを半開させた後、前記ゲートに第1中間電圧よりも大きい第2中間電圧を印加して前記ゲートを更に開き、前記第2中間電圧を印加する期間を変える制御並びに第1中間電圧及び第2中間電圧の電圧差を変える制御の少なくとも一方を行うことで、前記対数特性部の感度を変化させる請求項1記載の固体撮像装置。
- [請求項5] 前記制御部は、明るい被写体の存在の有無を判定し、前記明るい被写体が存在すると判定した場合、前記明るい被写体が存在しないと判定した場合に比べて、前記中間電圧を印加する期間を短くする請求項2又は3記載の固体撮像装置。
- [請求項6] 前記制御部は、明るい被写体の存在の有無を判定し、前記明るい被

写体が存在すると判定した場合、前記明るい被写体が存在しないと判定した場合に比べて前記第2中間電圧を印加する期間を長くする制御、並びに前記明るい被写体が存在しないと判定した場合に比べて前記電圧差を小さくする制御の少なくともいずれか一方を行う請求項4記載の固体撮像装置。

[請求項7]

前記画素回路は、複数存在し、

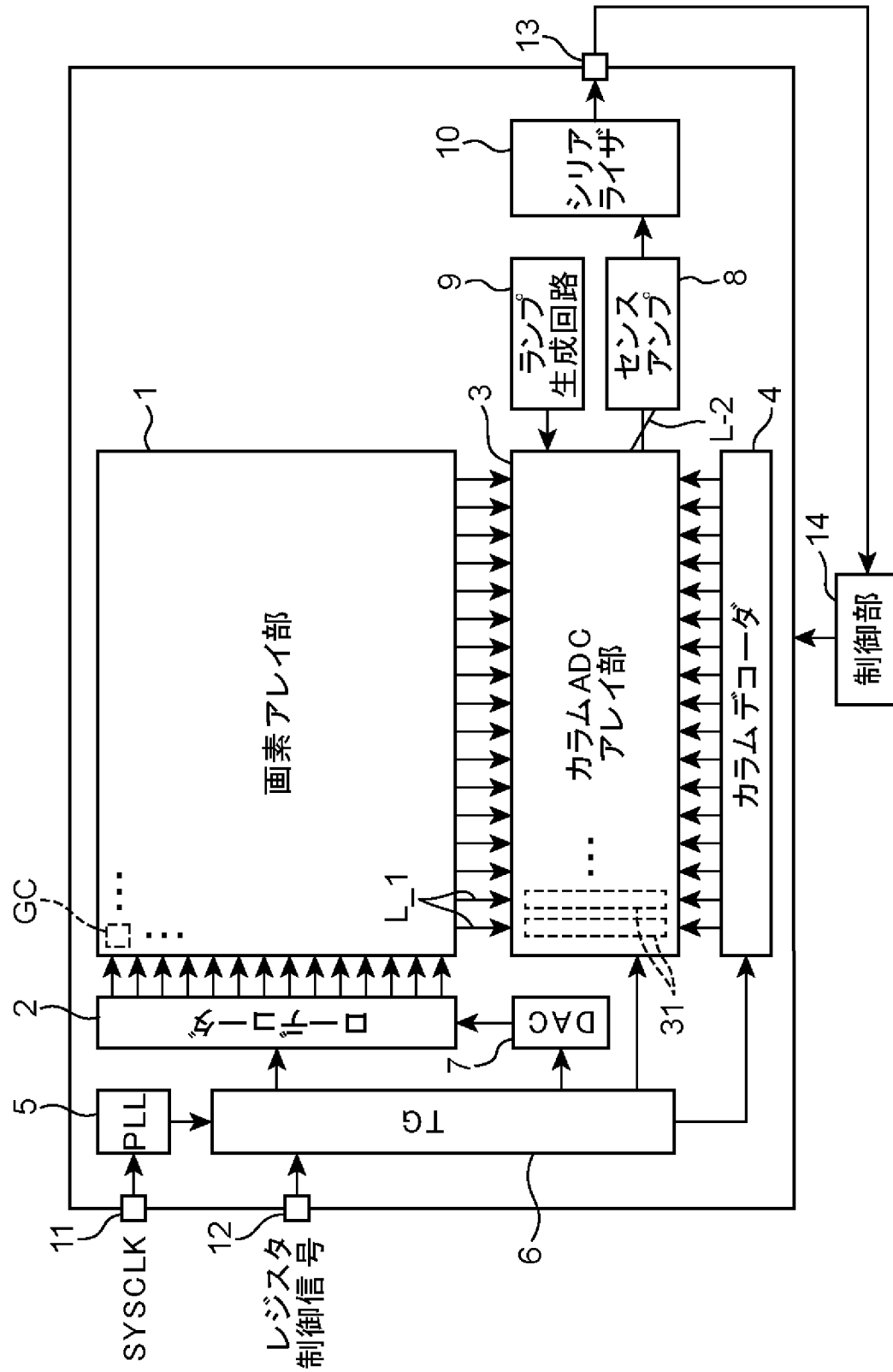
前記制御部は、各画素回路から出力される画素信号の平均値に基づいて、前記明るい被写体の存在の有無を判定する請求項5又は6記載の固体撮像装置。

[請求項8]

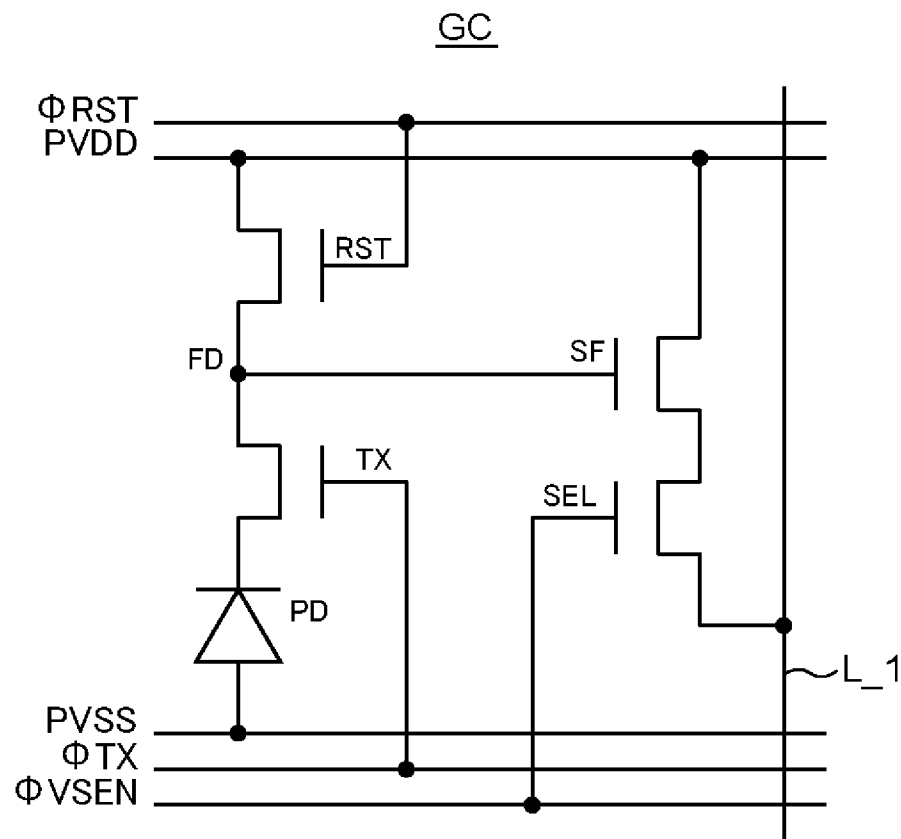
前記画素回路は、複数存在し、

前記制御部は、各画素回路から出力される画素信号のヒストグラムに基づいて、前記明るい被写体の存在の有無を判定する請求項5又は6記載の固体撮像装置。

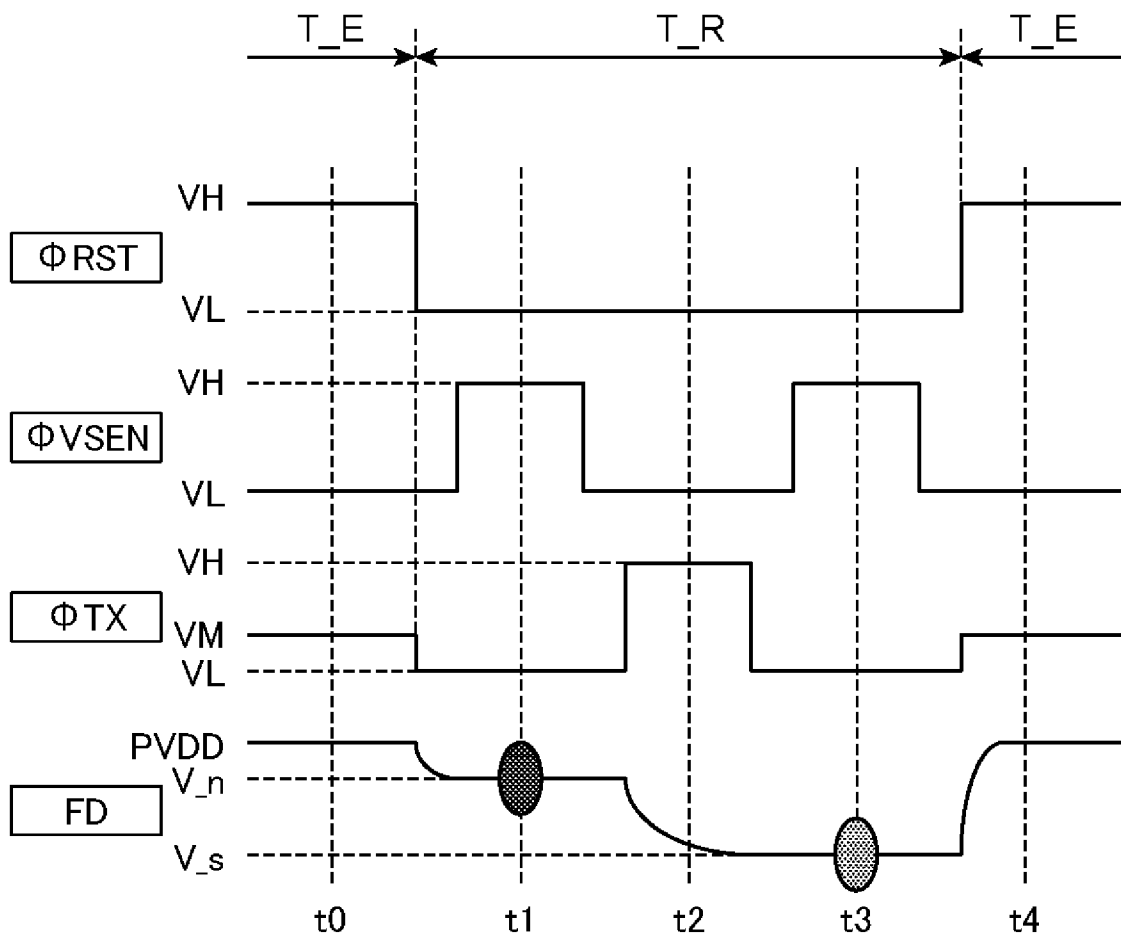
[図1]



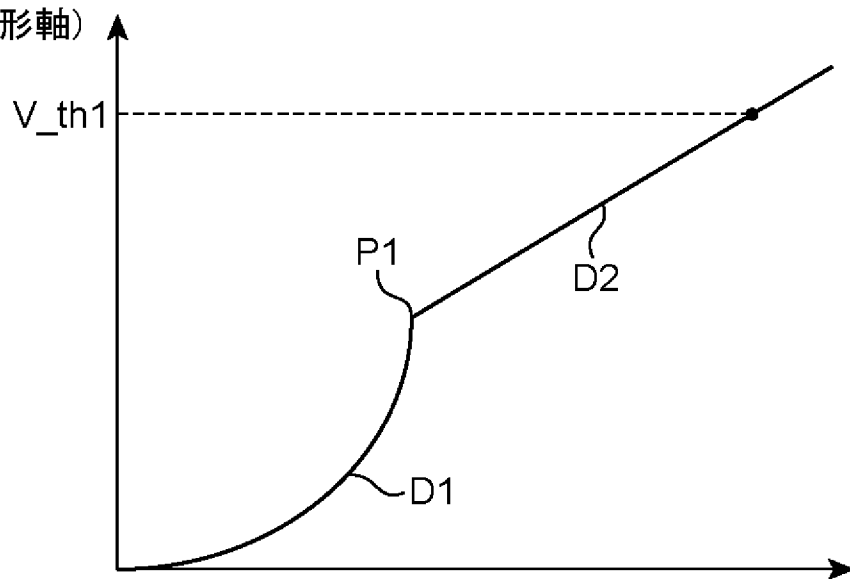
[図2]



[図3]

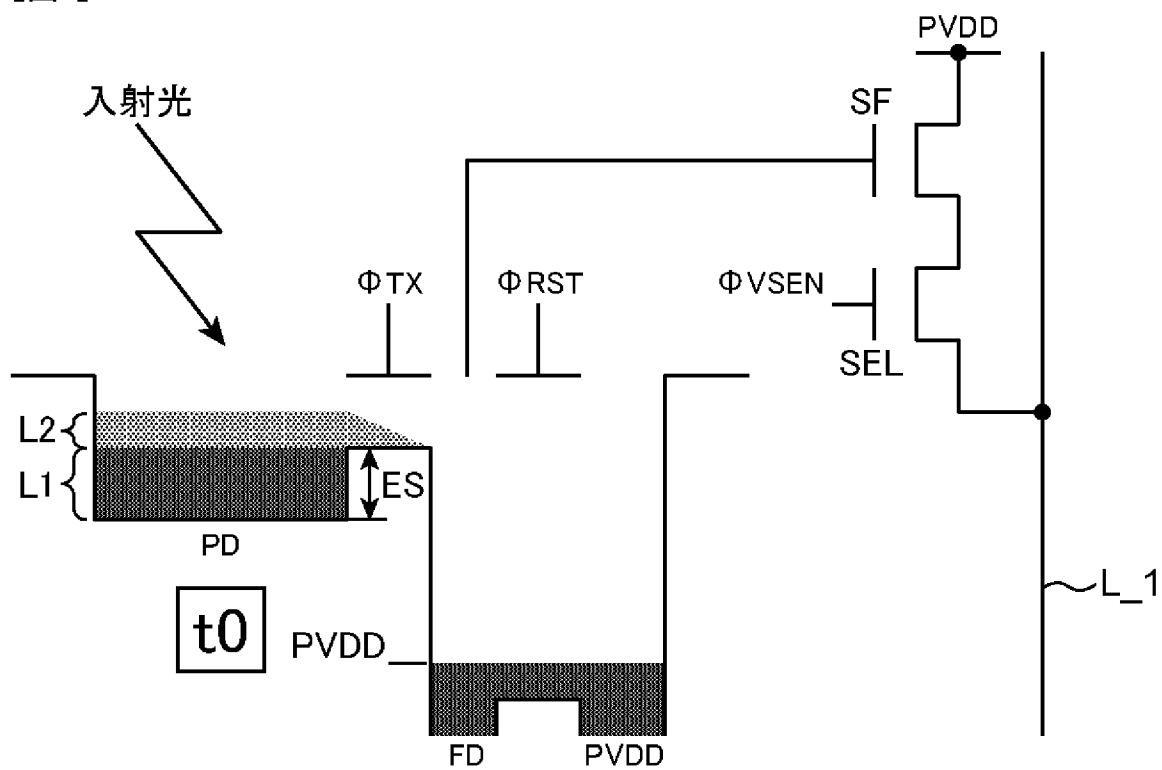


[図4]
映像信号
(線形軸)

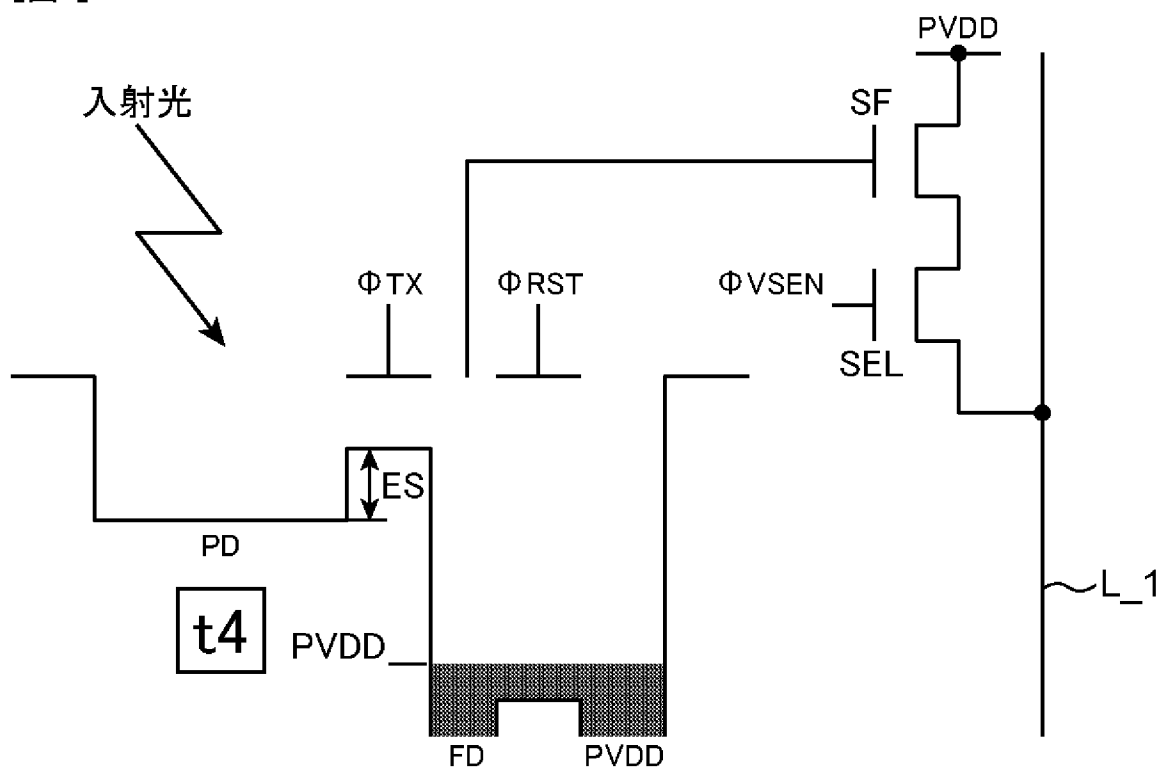
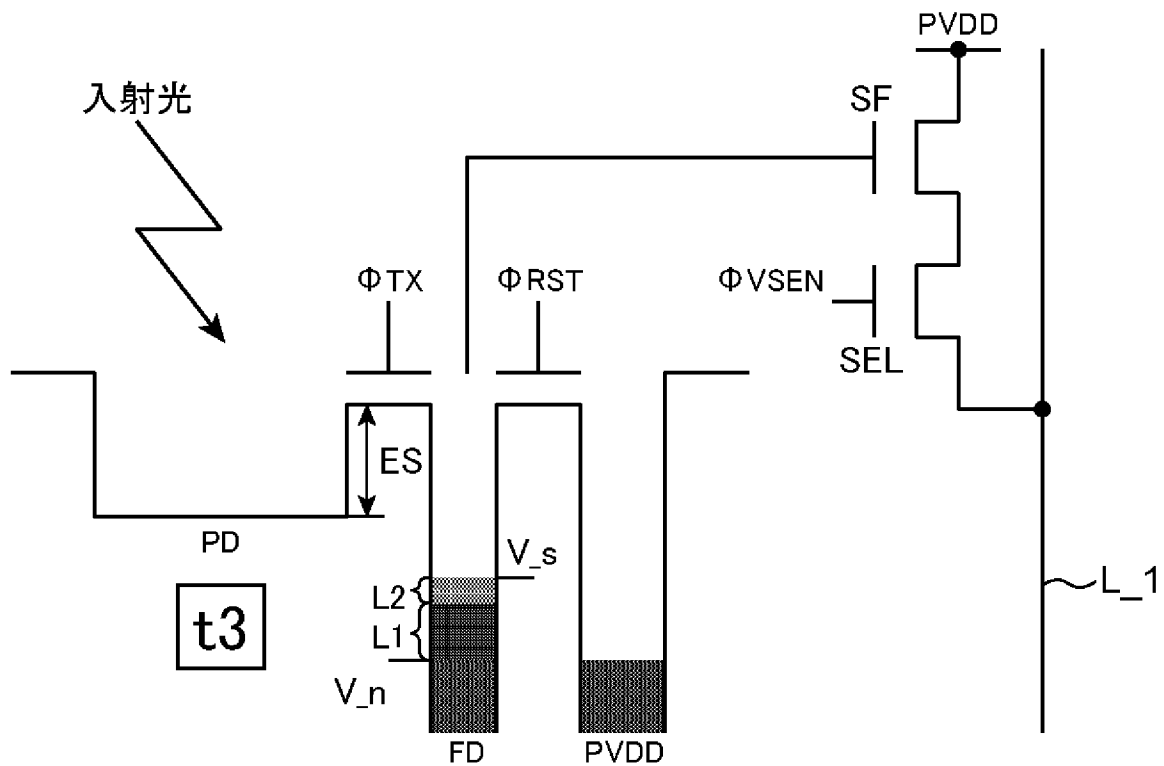


入射光強度(対数軸)

[図5]

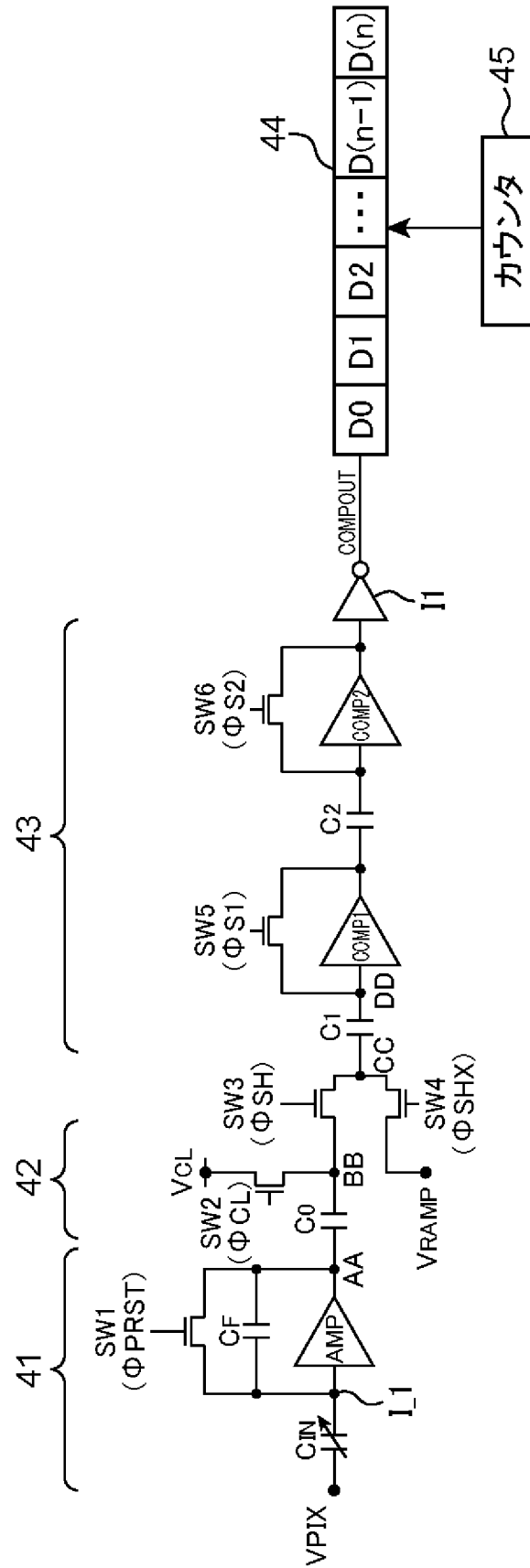


[illegible]

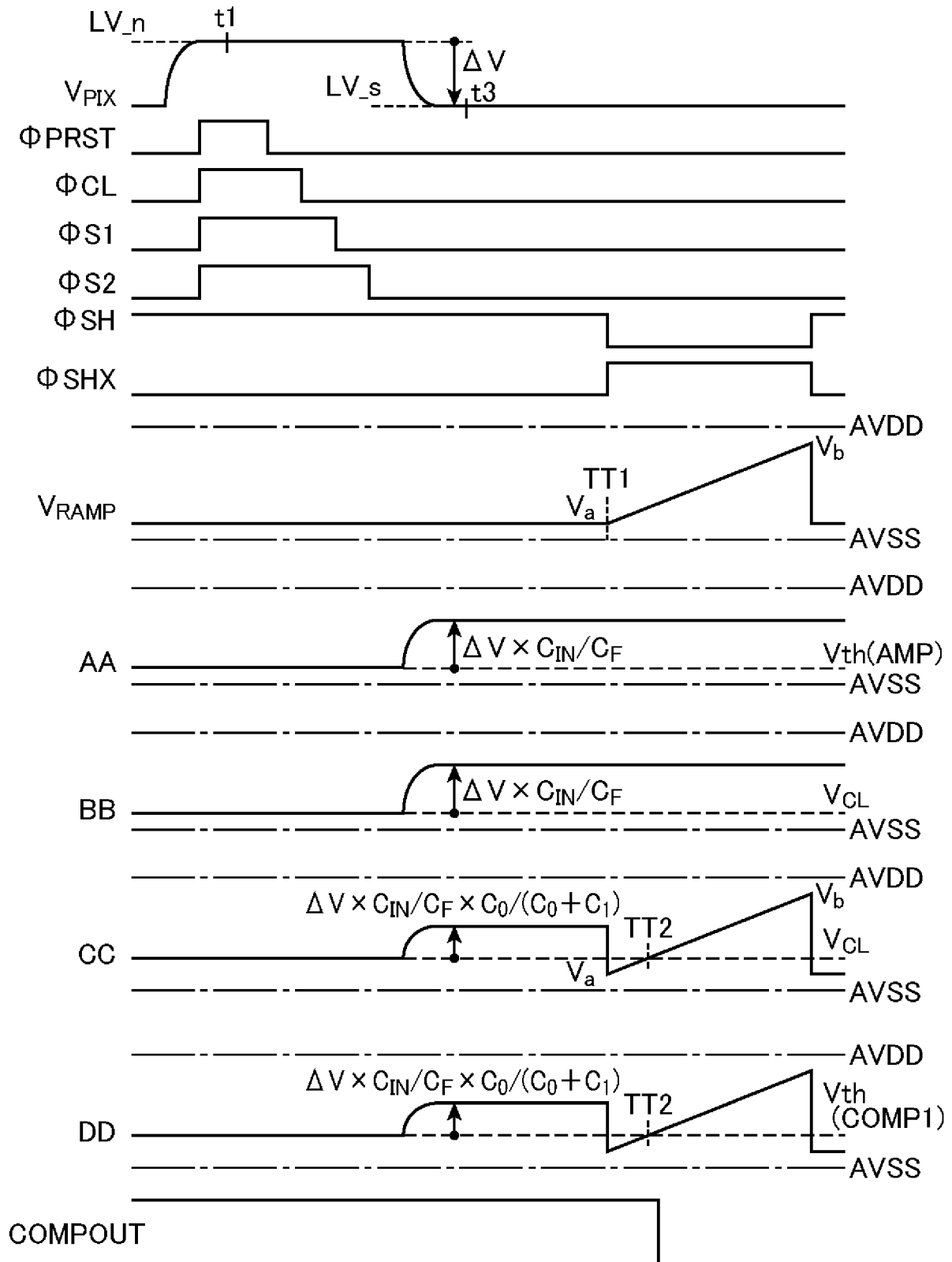


[図10]

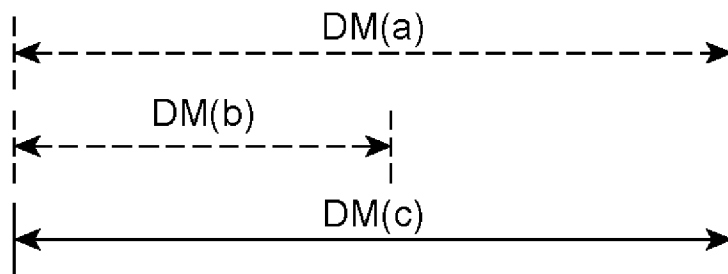
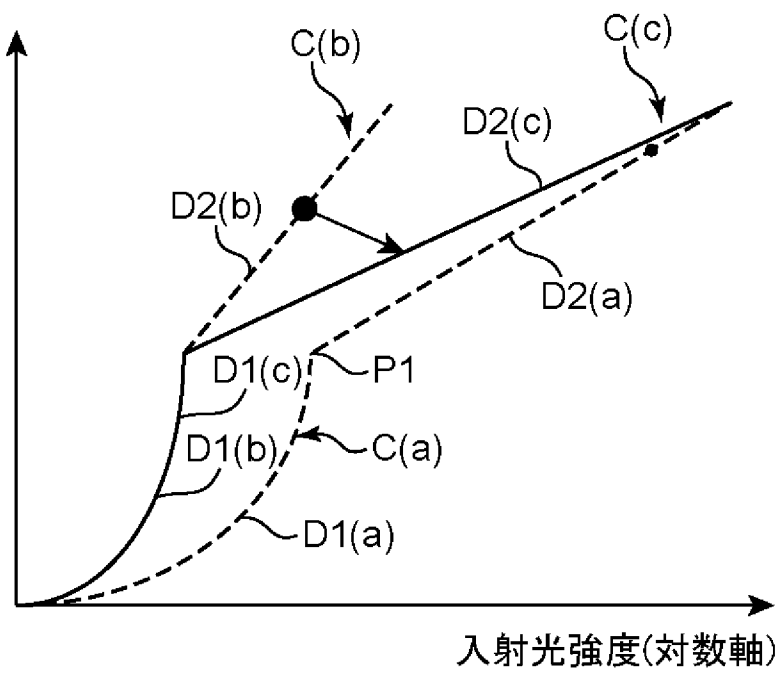
31



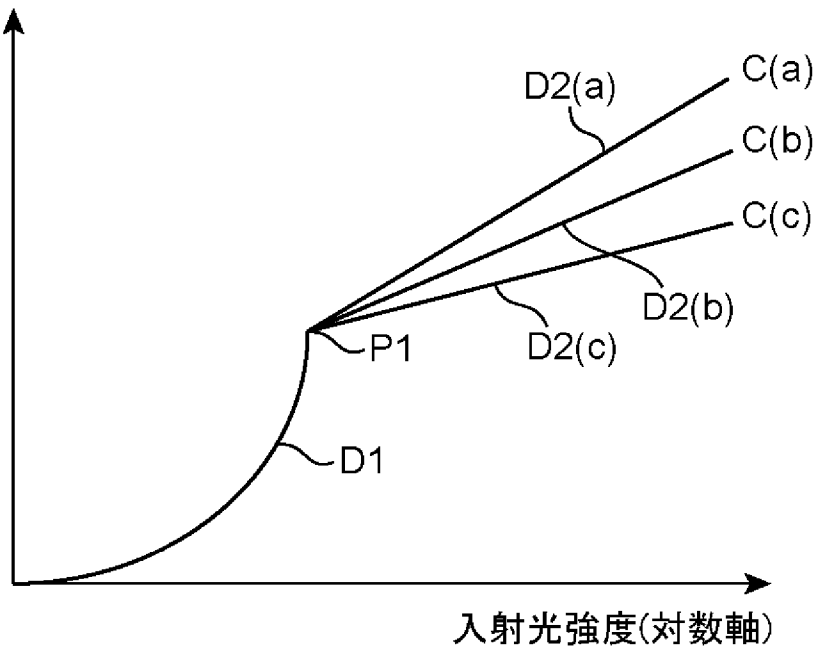
[図11]

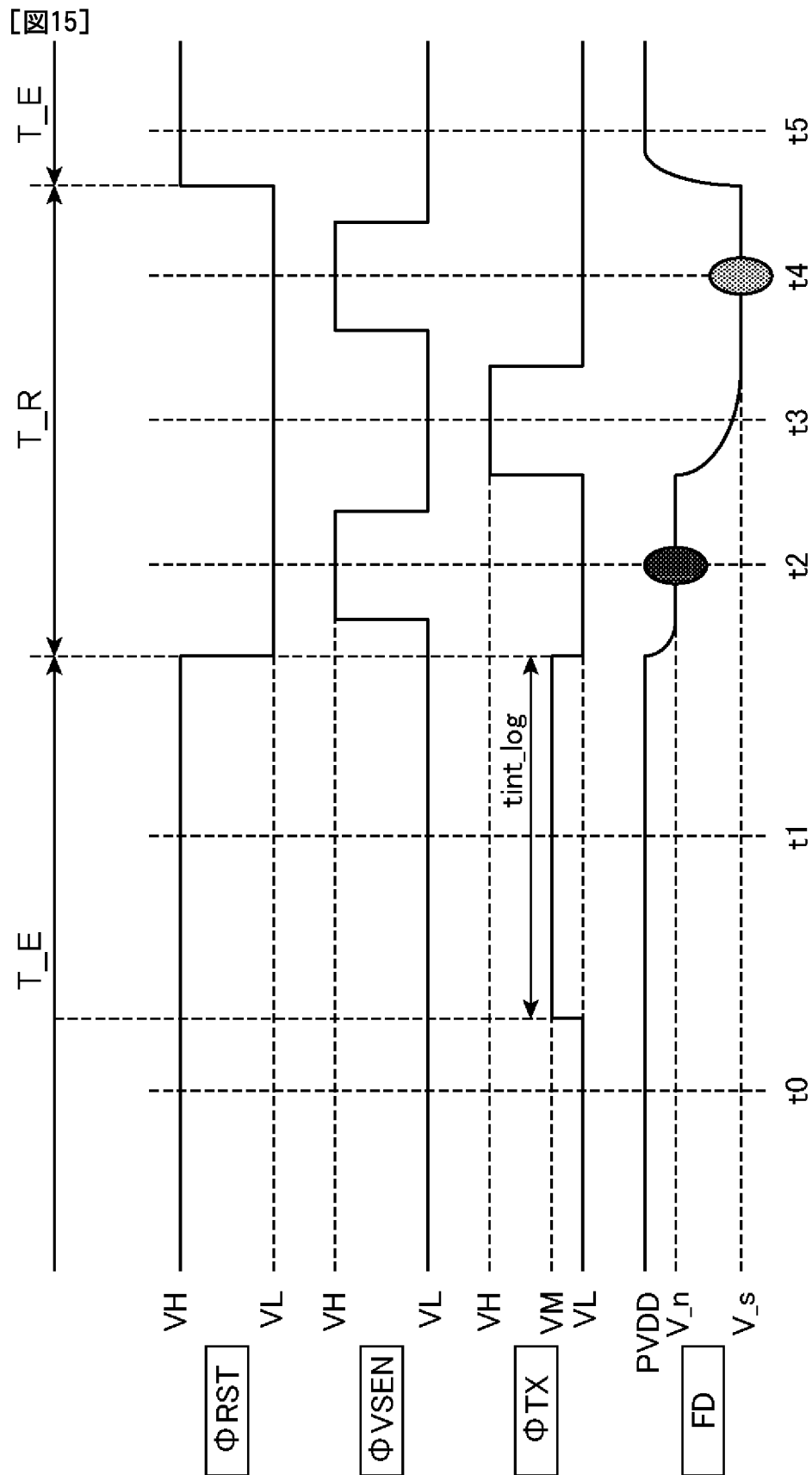


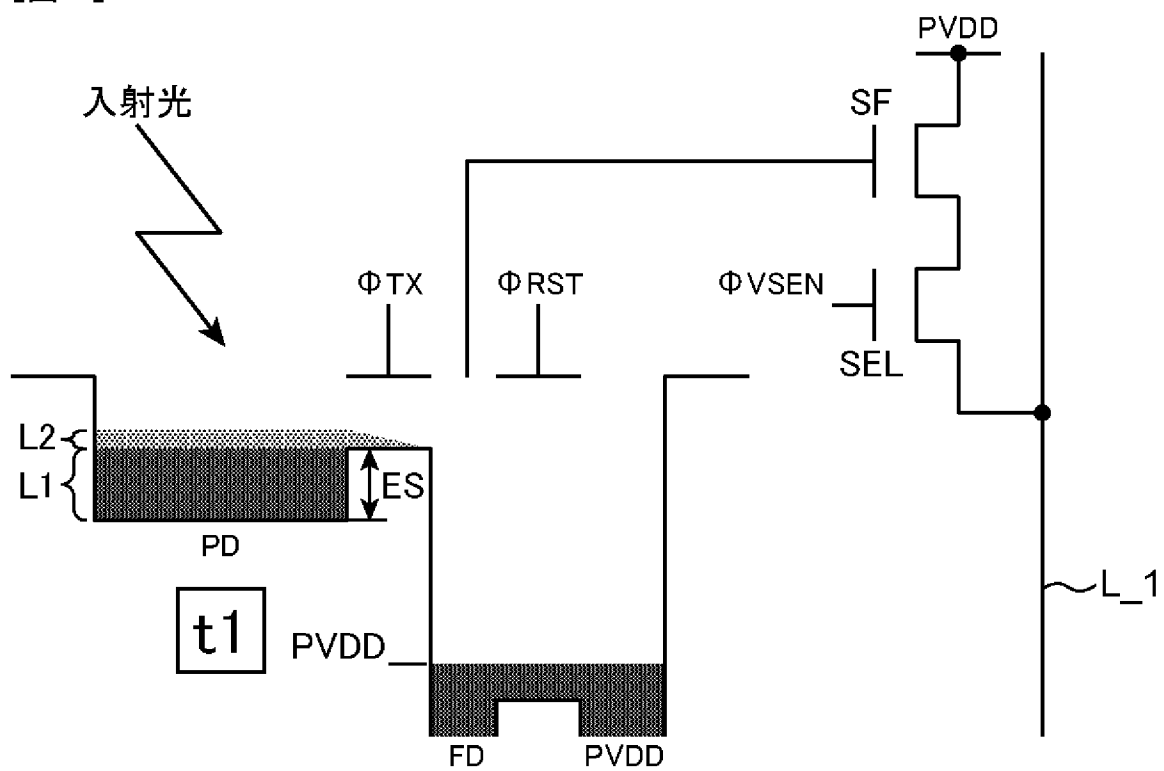
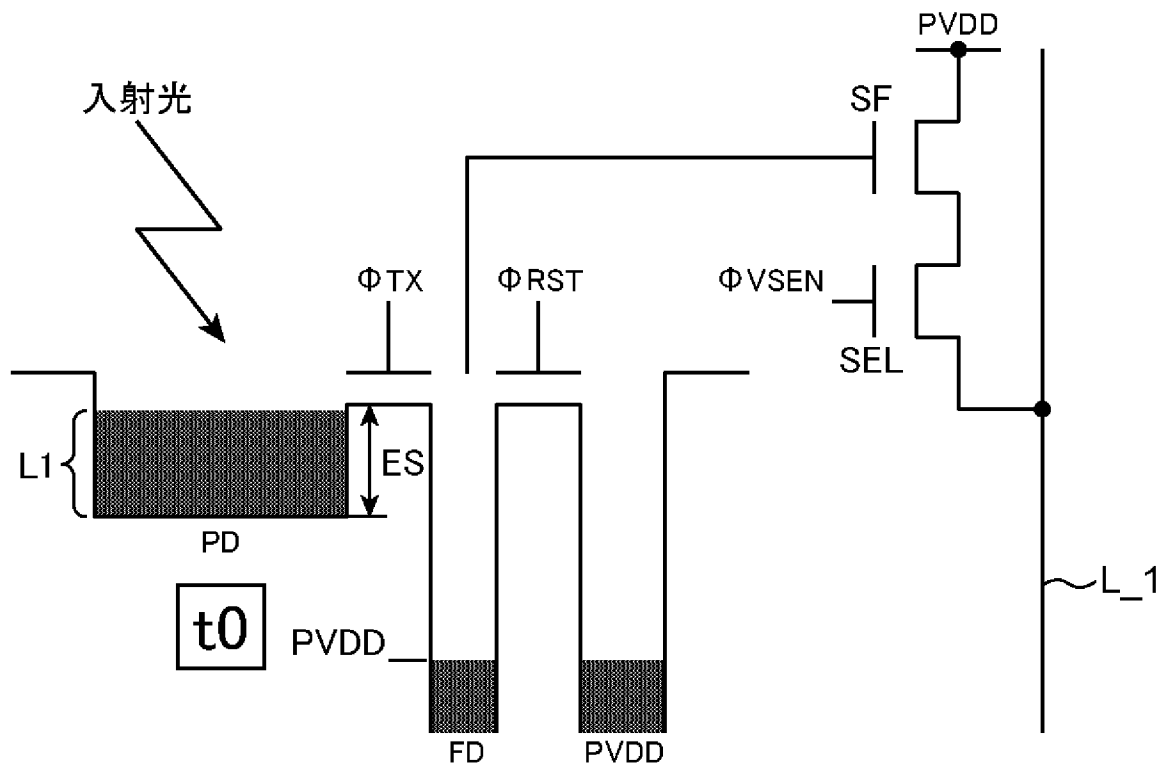
[図12]
映像信号
(線形軸)

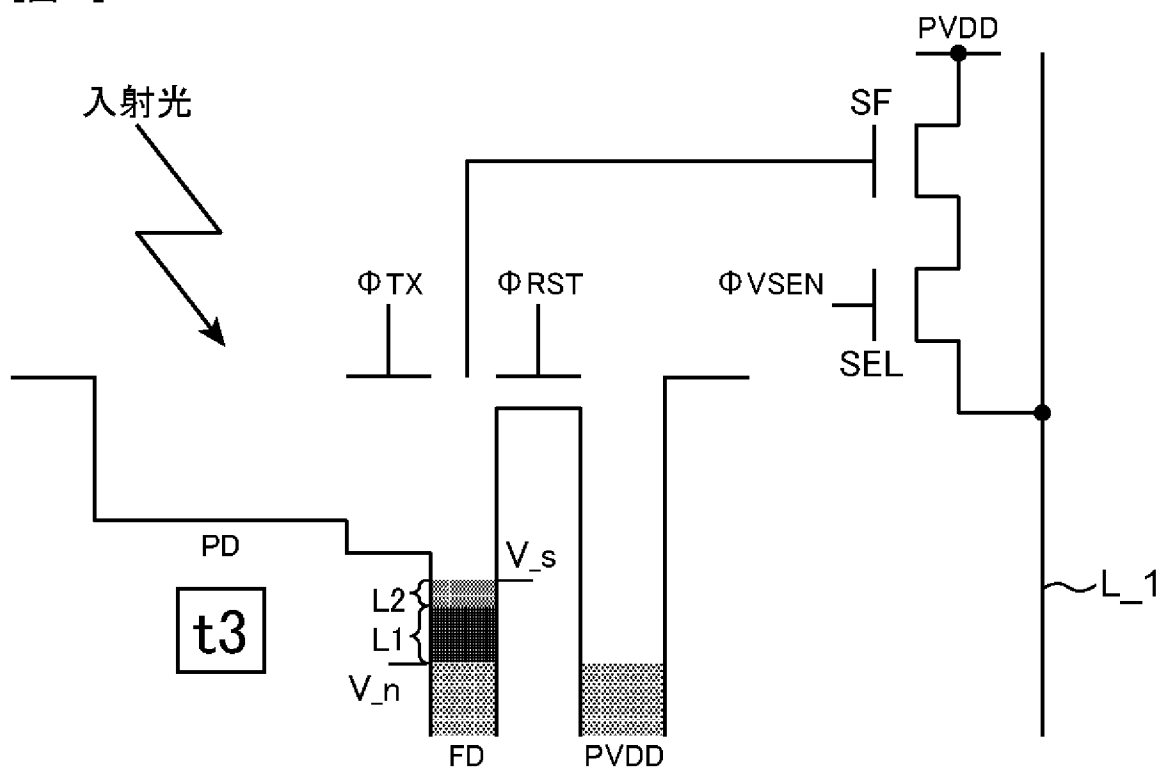
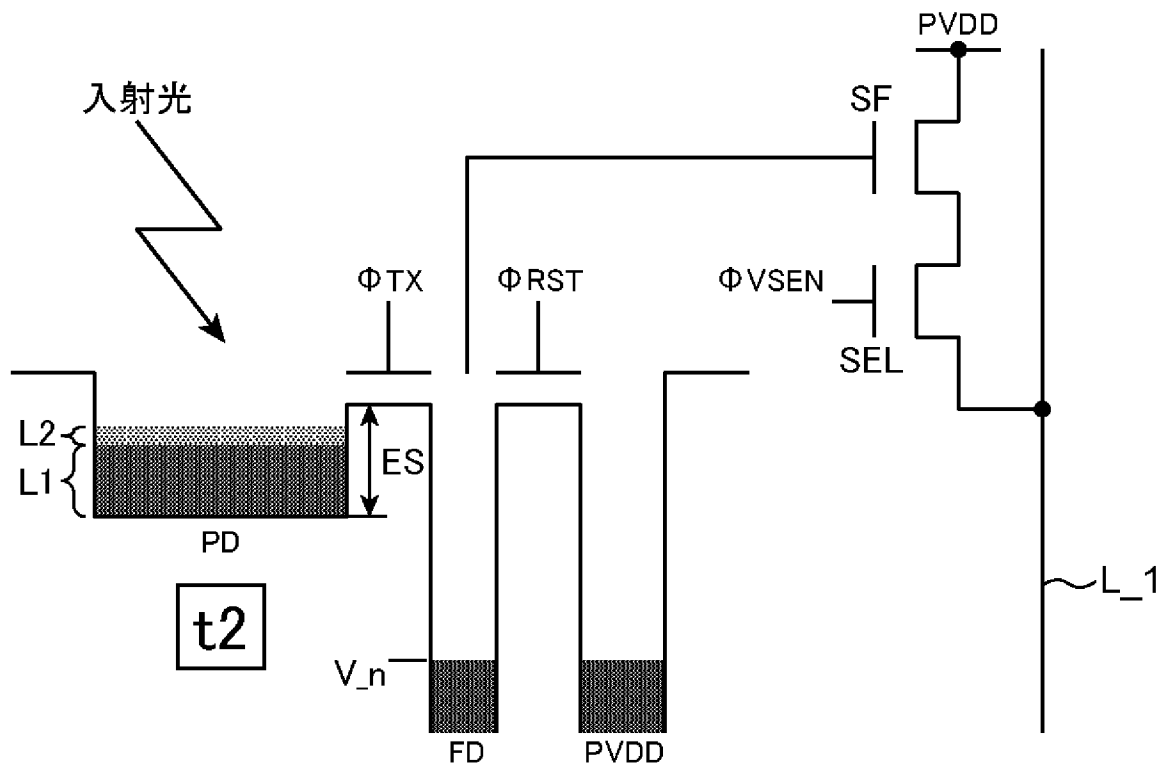


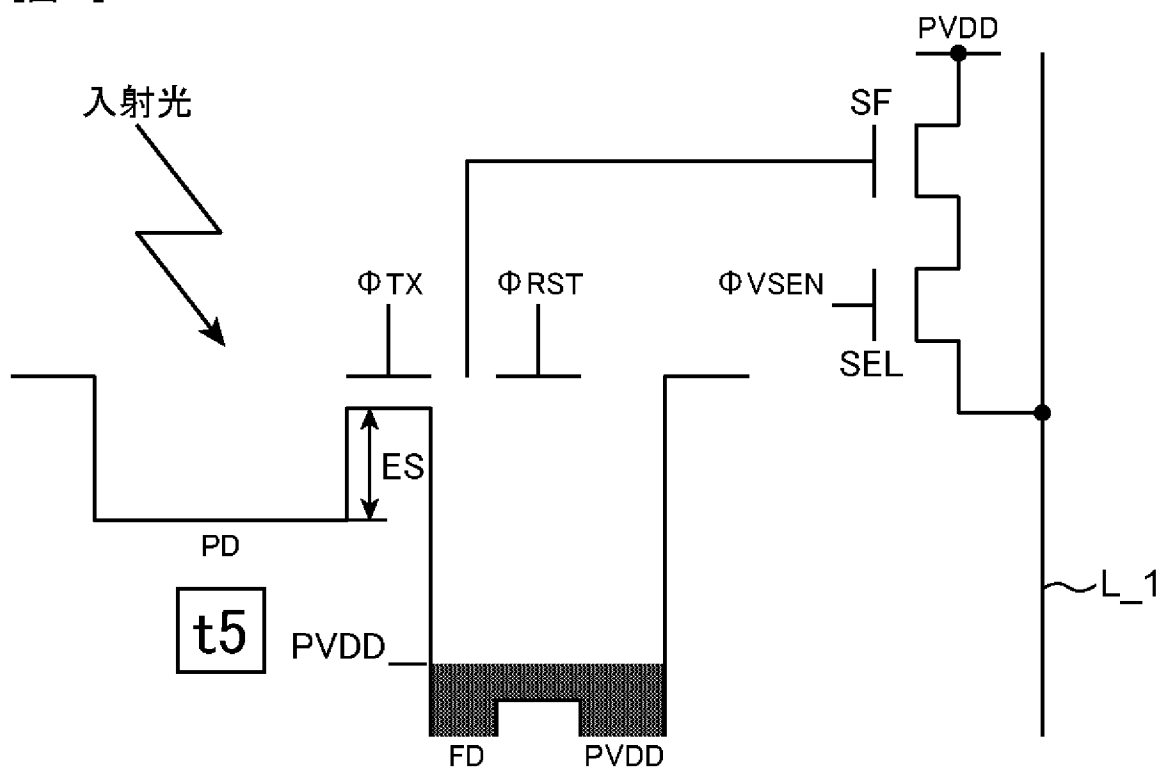
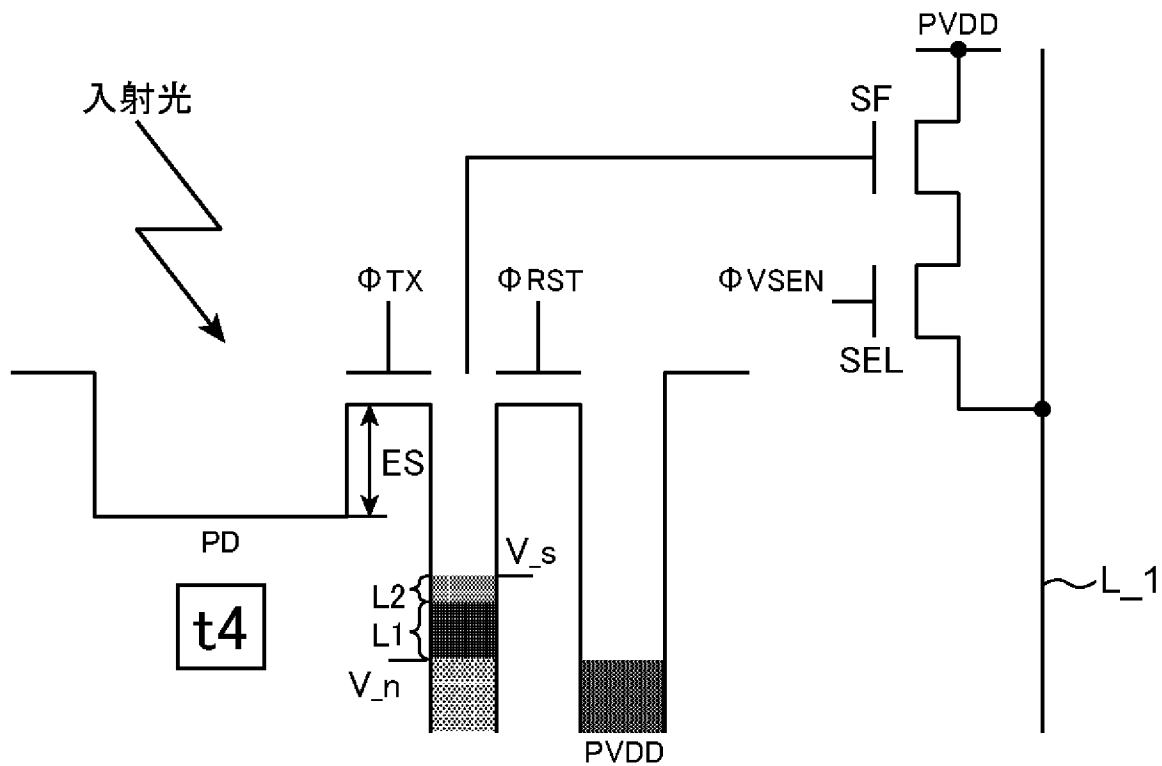
[図14]
映像信号
(線形軸)



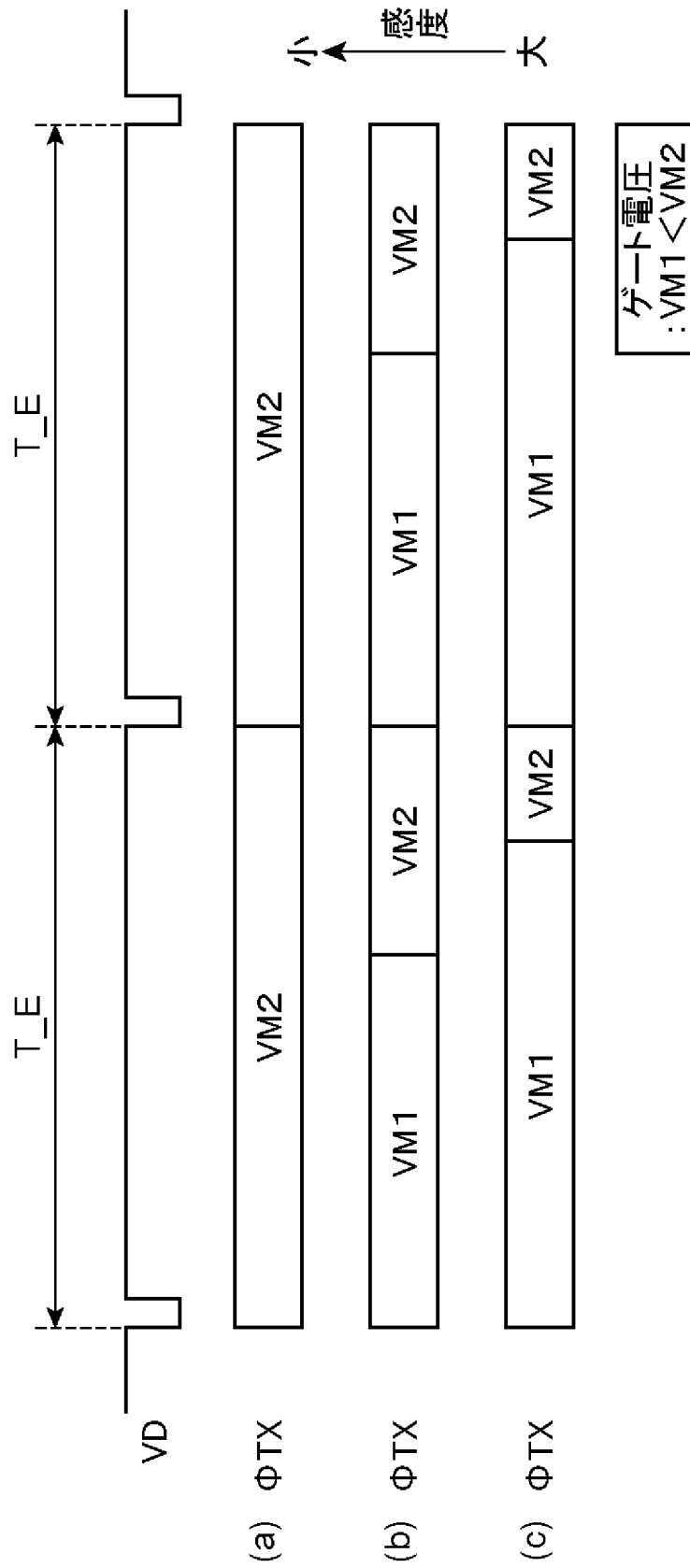




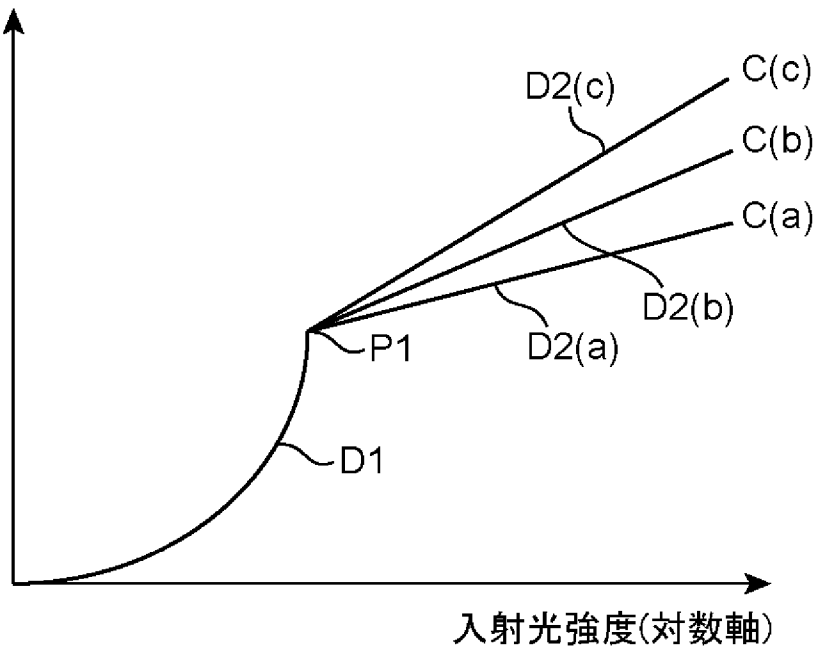




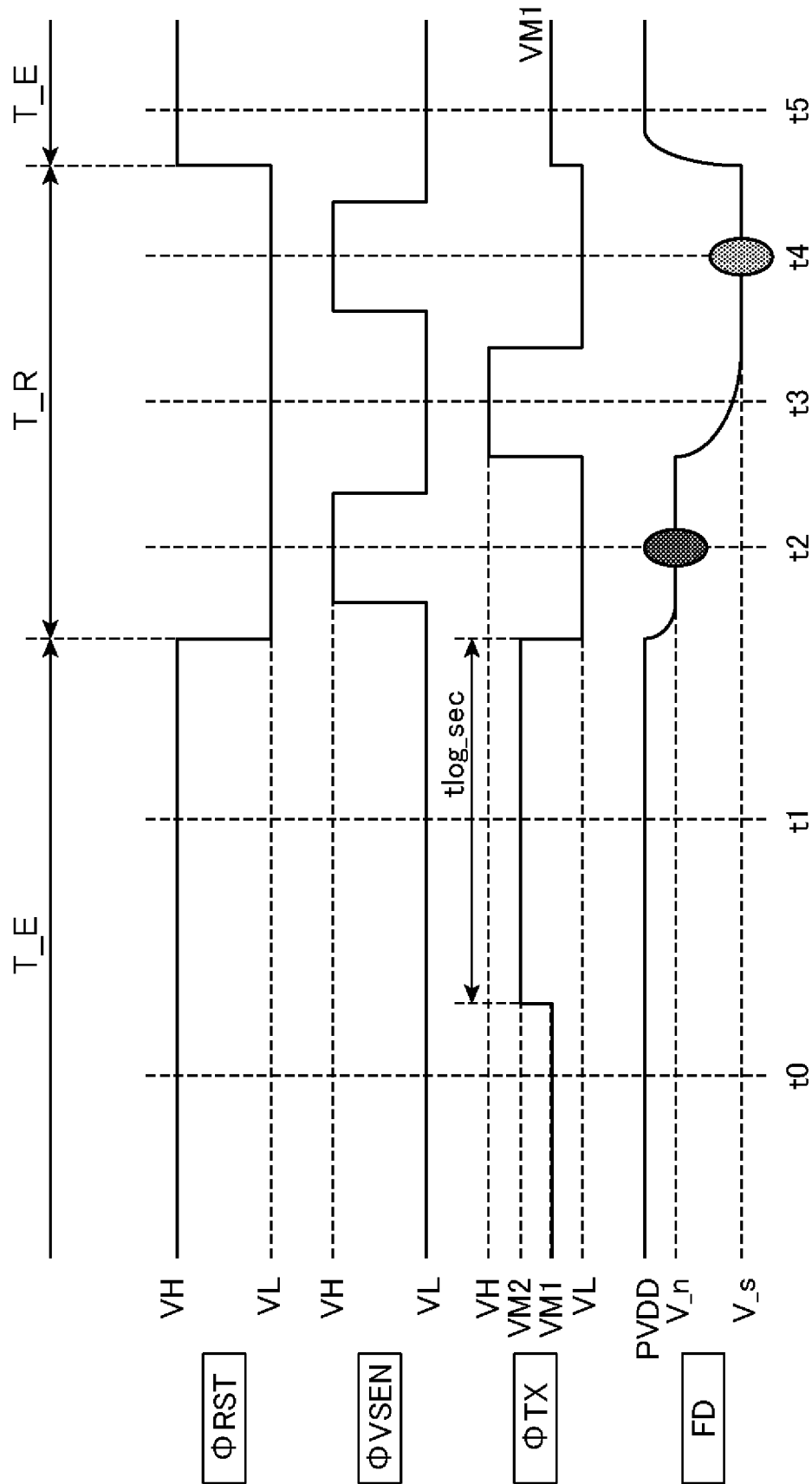
[図22]



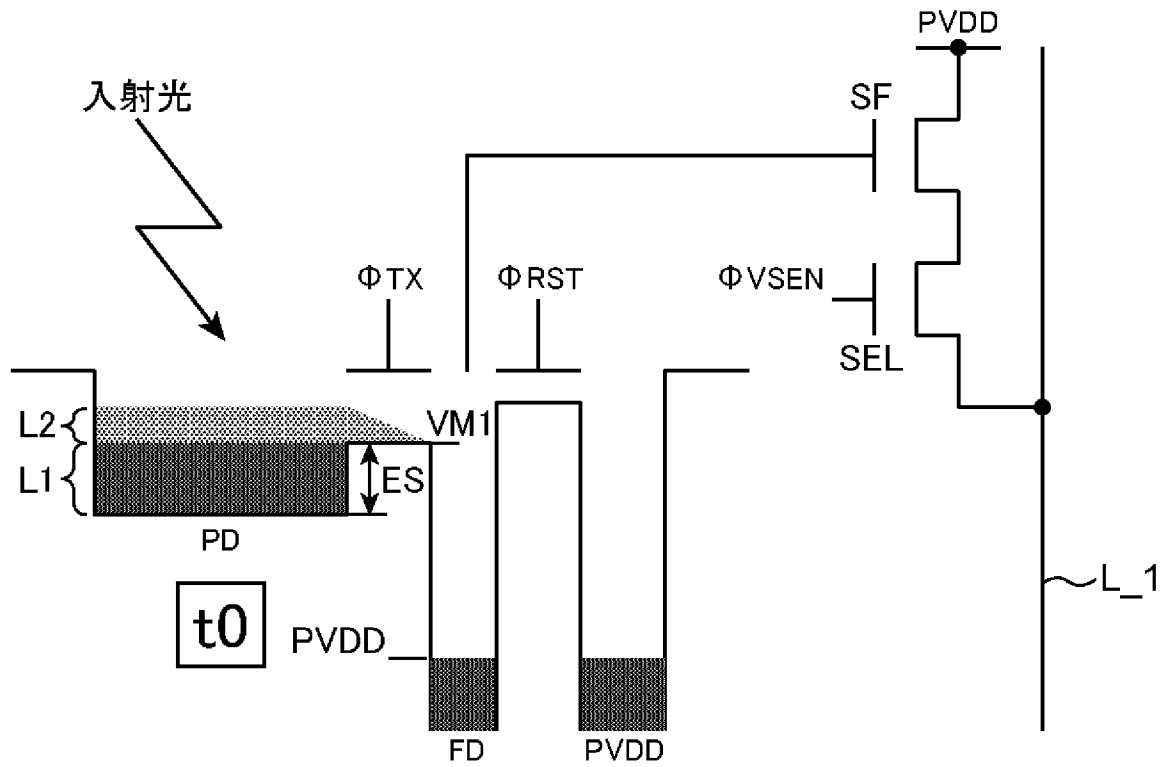
[図23]

映像信号
(線形軸)

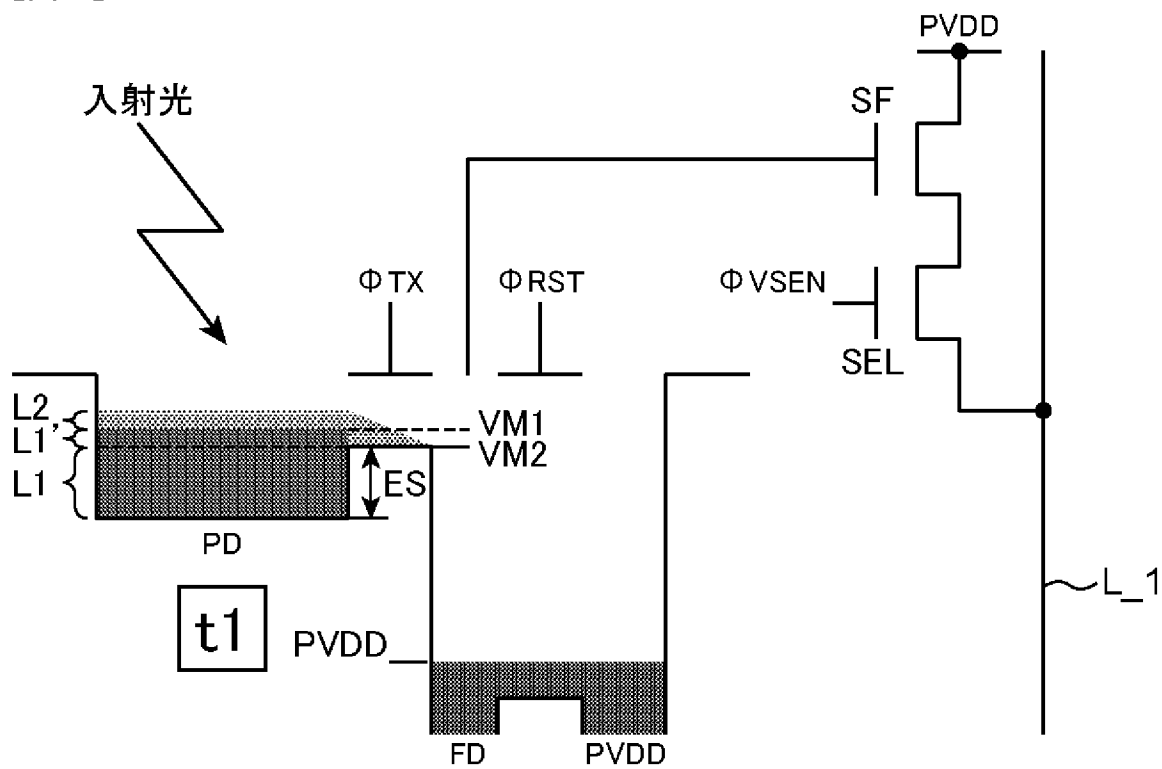
[図24]



[図25]



[図26]



xyayayINTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006457

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745, H01L27/146, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-306439 A (Konica Minolta Holdings, Inc.), 19 December 2008 (19.12.2008), paragraphs [0004], [0031] & US 2008/0303928 A1	1, 4, 6-7 2, 5, 8 3
Y A	JP 2006-025122 A (Konica Minolta Holdings, Inc.), 25 January 2006 (25.01.2006), paragraphs [0001], [0088], [0090] (Family: none)	2, 5, 8 3
Y	JP 2008-228058 A (Sony Corp.), 25 September 2008 (25.09.2008), paragraph [0013] & US 2008/0284872 A1	8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 January, 2012 (10.01.12)Date of mailing of the international search report
17 January, 2012 (17.01.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/3745 (2011.01) i, H01L27/146 (2006.01) i, H04N5/374 (2011.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/3745, H01L27/146, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-306439 A (コニカミノルタホールディングス株式会社) 2008.12.19, 段落4, 31 & US 2008/0303928 A1	1, 4, 6-7 2, 5, 8 3
Y A	JP 2006-025122 A (コニカミノルタホールディングス株式会社) 2006.01.25, 段落1, 88, 90 (ファミリーなし)	2, 5, 8 3
Y	JP 2008-228058 A (ソニー株式会社) 2008.09.25, 段落13 & US 2008/0284872 A1	8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

10.01.2012

国際調査報告の発送日

17.01.2012

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

若林 治男

5 P

4190

電話番号 03-3581-1101 内線 3581