

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/31	(45) 공고일자 2000년07월 15일	(11) 등록번호 10-0262017
(21) 출원번호 10-1998-0003780	(24) 등록일자 2000년04월25일	(65) 공개번호 특 1999-0069493
(22) 출원일자 1998년02월 10일	(43) 공개일자 1999년09월06일	

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 곽종석
(74) 대리인	충청북도 청주시 상당구 용암동 세원아파트 102-808 양순석, 한윤근

심사관 : 신창우

(54) 셀 제조방법

요약

본 발명은 반도체 소자가 고집적화됨에 따라 동일 면적 하에서 보다 많은 셀을 제조하기에 적당한 셀 제조방법에 관한 것으로, 반도체기판에 일정간격으로 제 1절연막을 형성하는 공정과, 제 1절연막 측면에 절연 측벽을 형성하는 공정과, 절연 측벽을 포함한 제 1절연막 측면에 잔류되도록 제 2절연막을 형성하는 공정과, 절연 측벽을 제거하는 공정과, 제 1절연막과 제 2절연막을 마스크로 반도체기판에 매립이온층을 형성하는 공정과, 제 1절연막과 제 2절연막을 마스크로 반도체기판을 선택산화시킴으로써 매립이온층 내에 제 3절연막을 형성하는 공정과, 제 1절연막과 상기 제 2절연막을 제거하는 공정을 포함한 것을 특징으로 한다.

따라서, 본 발명에서는 절연 측벽을 이용함으로써 미세패턴의 매립이온층을 형성시킬 수 있다. 따라서, 동일 면적 하에서 많은 셀을 형성할 수 있으므로 그에 따라 반도체 칩의 집적도를 향상시킬 수 있는 잇점이 있다.

대표도

도2d

명세서

도면의 간단한 설명

도 1a 및 1b는 종래기술에 따른 셀 제조공정도.

도 2a 및 도 2d는 본 발명에 따른 셀 제조공정도.

도면의 주요 부분에 대한 부호의 설명

100, 200. 반도체기판 102, 210, 212, 214. 절연막

116, 216. 매립이온층 118, 218. 필드산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 마스크 롬(ROM: Read Only Memory) 제조방법에 관한 것으로, 특히, 반도체 소자가 고집적화됨에 따른 면적축소에 의해 동일 면적 하에서 보다 많은 셀을 제조하기에 적당한 셀 제조방법에 관한 것이다.

도 1a 및 1b는 종래기술에 따른 셀 제조공정도이다.

도 1a와 같이, 반도체기판(100)에 질화실리콘을 형성한다.

이 공정은 LPCVD(Low Pressure Chemical Vapor Deposition)방법으로 성장시킨다. 여기에서, 질화실리콘(232)은 필드영역의 산화막 성장 시에 액티브영역의 산화막 성장을 차단하는 층으로서의 역할을 하게 된다.

이 때, 도면에는 도시되지 않았지만, 반도체기판(100)과 절연막(102) 사이에는 통상적으로 패드산화막이

개재된다. 이 패드산화막 제조는 산화막 생성로에 기판을 넣고 산소가스를 주입하게 되면, 기판의 실리콘 성분과 산소성분이 결합하여 실리콘 산화막인 SiO_2 층이 형성된다. 이와 같이 처음에 기판 상에 산화막을 형성시키는 이유는 이 후 공정한 질화실리콘 성장 시에 질화실리콘에 의한 실리콘 기판 표면의 결정결함이 유발되는 현상을 방지하기 위한 것으로, 이 패드산화막은 실리콘기판과 질화실리콘 사이에서 완충역할을 한다.

다음에, 질화실리콘 상에 포토레지스트를 도포한 후, 노광 및 현상하여 필드영역이 노출되도록 패터닝된 마스크패턴(104)을 형성한다.

이 마스크패턴(104)을 이온 블로킹 마스크로 하여 고농도의 N 형 불순물이온을 주입하여 반도체기판(100)에 매립이온층(116)을 형성한다. 이 매립이온층(116)은 이 후의 공정에서 소오스/드레인으로 사용된다.

이 매립이온층(116)은 이 후에 비트라인으로 사용되며, NOR 형 셀 구조를 갖게 하여 데이터를 출력하는데 시간이 적게 소요되어 속도가 빠르다.

도 1b 와 같이, 마스크패턴(104)을 마스크로 반도체기판(100)을 열산화 등의 방법을 이용하여 선택산화시킴으로써 매립이온층(116) 내에 필드산화막인 제 2절연막(118)을 형성한다.

그리고, 선택산화 시, 반도체기판(100)의 노출된 부위가 부풀어올라 제 2절연막인 필드산화막이 제조된다. 다음에, 마스크패턴(104)을 제거한다.

종래에는 포토레지스트 패턴을 이용하여 절연막을 제조하고, 이 절연막을 이용하여 이온주입방법으로 매립이온층을 형성하지만, 노광 특성 상 미세패턴 형성에는 한계가 있다. 따라서, 고집적적인 셀을 제조하기에 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기의 문제점을 해결하고자, 본 발명의 목적은 동일면적 하에서 보다 많은 셀을 형성할 수 있는 셀 제조 방법을 제공하려는 것이다.

본 발명의 셀 제조방법은 반도체기판에 일정간격으로 제 1절연막을 형성하는 공정과, 제 1절연막 측면에 절연 측벽을 형성하는 공정과, 절연 측벽을 포함한 제 1절연막 측면에 간류되도록 제 2절연막을 형성하는 공정과, 절연 측벽을 제거하는 공정과, 제 1절연막과 제 2절연막을 마스크로 반도체기판에 매립이온층을 형성하는 공정과, 제 1절연막과 제 2절연막을 마스크로 반도체기판을 선택산화시킴으로써 매립이온층 내에 제 3절연막을 형성하는 공정과, 제 1절연막과 상기 제 2절연막을 제거하는 공정을 포함한 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하겠다.

도 2a 내지 도 2d 는 본 발명의 셀 제조공정도이다.

도 2a 와 같이, 반도체기판(200)상에 HLD(High temperature Low pressure Dielectric)방법을 이용하여 산화실리콘을 증착하는 데, 이 HLD 방법은 스텝커버리지가 우수한 장점을 갖는다. 이 후, 산화실리콘을 소정간격으로 패터닝시킴으로써 제 1절연막(210)을 형성한다.

그리고, 반도체기판(200)에 제 1절연막(210)을 덮도록 질화실리콘을 증착한 후, 에치백하여 제 1절연막(210) 측면에 절연 측벽(212)을 형성한다. 이 질화실리콘 증착은 LPCVD(Low Pressure Chemical Vapor Deposition)방법을 이용한다.

도 2b 와 같이, 절연 측벽(212)을 포함한 제 1절연막(210)을 마스크로 열산화시킴으로써 절연 측벽(212)을 포함한 제 1절연막(210) 사이의 반도체기판(200) 표면에 제 2절연막(214)을 형성한다.

도 2c 와 같이, 절연 측벽(212)을 제거한다.

이 후, 제 1절연막(210) 및 제 2절연막(214)을 이온 블로킹 마스크로 이용하여 반도체기판(200)에 불순물 이온을 주입함으로써 매립이온층(216)을 형성한다.

여기에서, 매립이온층(216)은 절연 측벽(212)을 제거한 부위에 형성되므로, 동일 면적 하에서 많은 셀을 형성할 수 있 수 있다. 그러나, 상술한 매립이온층 형성을 위한 이온주입 공정으로 인해 절연 측벽(212)을 포함한 제 1절연막(210) 사이의 반도체기판(200)은 손상을 받게되어 실리콘 격자구조가 일부 파괴된다.

도 2d 와 같이, 제 1절연막(210)과 제 2절연막(214)을 마스크로 반도체기판(200)을 선택산화시킴으로써 제 3절연막(218)을 형성한다.

즉, 상술한 이온주입 공정으로 인해 손상받은 부위의 반도체기판(200)에는 기판의 실리콘성분과 선택산화 시에 공급된 산소성분이 서로 반응함으로써 제 3절연막(218)이 형성된다.

이 때, 제 3절연막(218)은 500 ~ 1,000 Å 두께범위로 형성되도록 한다. 그리고, 산화공정 시 가해지는 열로 인하여 매립이온층(218)은 도면에서 보듯이, 제 1절연막(210) 및 제 2절연막(214) 하부 측면으로 확산된다.

이 후, 제 1절연막(210)과 제 2절연막(214)을 제거한다.

상술한 바와 같이, 본 발명은 단순히 포토레지스트 패턴을 이용하여 절연막을 제조하고, 이 절연막을 이용하여 이온주입방법으로 매립이온층을 형성하는 방법에 비해, 상술한 절연막 측면에 절연 측벽을 형성한 후, 이 절연 측벽을 제거한 부위에 이온주입함으로써 이 후에 소오스/드레인으로 사용될 매립이온층을 형

성한다.

본 발명의 절연 측벽을 이용할 경우에는 동일 면적 하에서 형성되는 매립이온층의 집적도가 향상된다. 따라서, 본 발명에서는 미세패턴 형성이 가능하여 동일 면적 하에서 많은 셀을 제조할 수 있다.

발명의 효과

본 발명에서는 절연 측벽을 이용함으로써 미세패턴의 매립이온층을 형성시킬 수 있다. 따라서, 동일 면적 하에서 많은 셀을 형성할 수 있으므로 반도체 칩의 집적도를 향상시킬 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1

반도체기판에 일정간격으로 제 1절연막을 형성하는 공정과,

상기 제 1절연막 측면에 절연 측벽을 형성하는 공정과,

상기 절연 측벽을 포함한 제 1절연막 측면에 잔류되도록 제 2절연막을 형성하는 공정과,

상기 절연 측벽을 제거하는 공정과,

상기 제 1절연막과 상기 제 2절연막을 마스크로 상기 반도체기판에 매립이온층을 형성하는 공정과,

상기 제 1절연막과 상기 제 2절연막을 마스크로 상기 반도체기판을 선택산화시킴으로써 상기 매립이온층 내에 제 3절연막을 형성하는 공정과,

상기 제 1절연막과 상기 제 2절연막을 제거하는 공정을 포함한 셀 제조방법.

청구항 2

청구항 1에 있어서,

상기 절연 측벽은 질화실리콘을 이용한 것이 특징인 셀 제조방법.

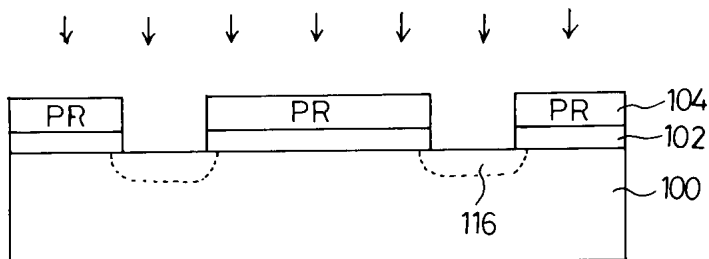
청구항 3

청구항 1에 있어서,

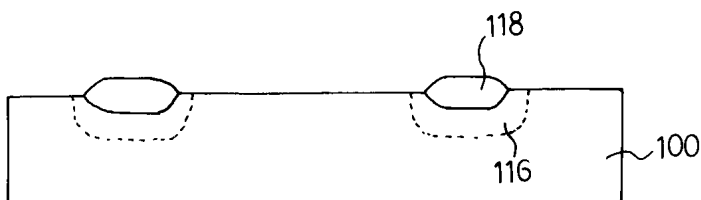
상기 제 3절연막은 500 ~ 1,000 Å 두께범위로 형성한 것이 특징인 셀 제조방법.

도면

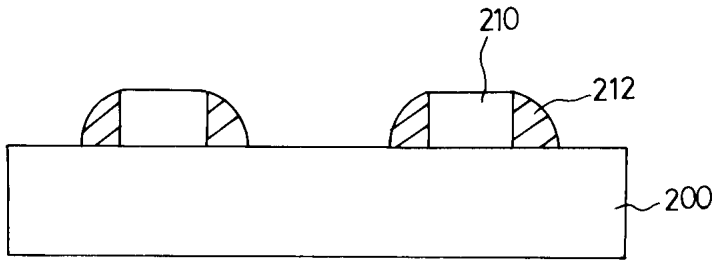
도면 1a



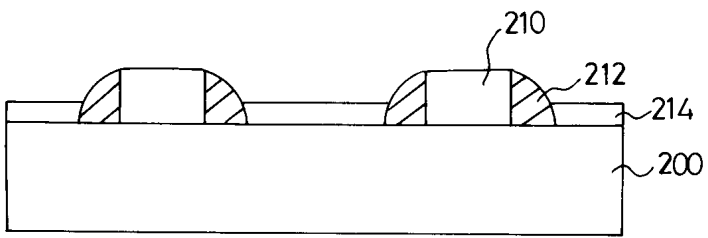
도면 1b



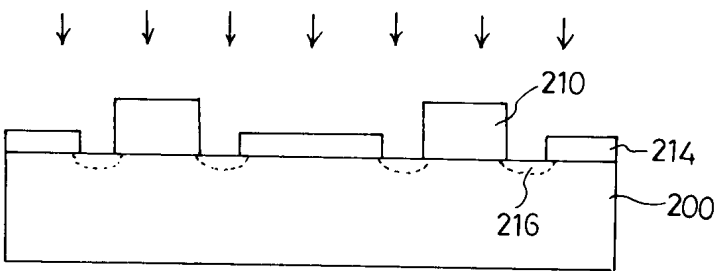
도면2a



도면2b



도면2c



도면2d

