

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 11 月 3 日 (03.11.2005)

PCT

(10) 国際公開番号
WO 2005/104136 A1

(51) 国際特許分類: G11C 29/00, 16/06

(21) 国際出願番号: PCT/JP2004/005680

(22) 国際出願日: 2004 年 4 月 21 日 (21.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
エムディ プレイス ピー・オー・ボックス 3 4 5 3 Cal-
ifornia (US). Spansion Japan 株式会社 (Spansion JapanLimited) [JP/JP]; 〒9650845 福島県会津若松市門田町
工業団地6番 Fukushima (JP).

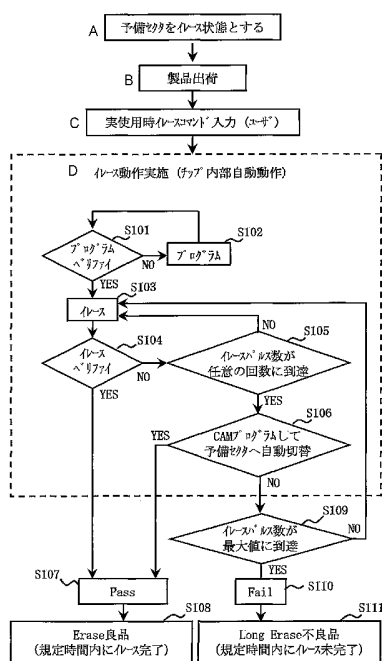
(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 新後 将城
(SHINGO, Masaki) [JP/JP]; 〒9650845 福島県会津若
松市門田町工業団地 6 番 Spansion Japan 株式会社内
Fukushima (JP).(74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テプコビ
ル Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: NON-VOLATILE SEMICONDUCTOR DEVICE AND METHOD FOR AUTOMATICALLY CORRECTING NON-VOLATILE SEMICONDUCTOR DEVICE ERASE OPERATION FAILURE

(54) 発明の名称: 不揮発性半導体装置および不揮発性半導体装置の消去動作不良自動救済方法



A...SET SPARE SECTOR TO ERASE STATE
B...PRODUCT SHIPMENT
C...ERASE COMMAND INPUT UPON ACTUAL USE (USER)
D...ERASE OPERATION EXECUTION (AUTOMATIC OPERATION IN CHIP)
S101...PROGRAM VERIFY?
S102...PROGRAM
S103...ERASE
S104...ERASE VERIFY?
S105...THE NUMBER OF ERASE PULSES REACHED AN ARBITRARY COUNT?
S106...AUTOMATIC SWITCHING AS CAM PROGRAM TO SPARE SECTOR?
S109...THE NUMBER OF ERASE PULSES REACHED MAXIMUM VALUE?
S108...ERASE PREFERABLE PRODUCT (ERASE COMPLETE WITHIN A PREDETERMINED TIME)
S111...LONG ERASE DEFECTIVE PRODUCT (ERASE NOT COMPLETE WITHIN A PREDETERMINED TIME)

(57) Abstract: A spare sector is made blank in advance. During actual use, the number of erase pulses for each erase operation is counted and presence/absence of generation of overcurrent is monitored during erase pulse application. A normal sector where a Long Erase failure has occurred is automatically switched to a spare sector. Thus, it is possible to correct the Long Erase failure without requiring re-erase operation of the spare sector after performing automatic redundancy to the spare sector.

(57) 要約: 予め予備セクタをブランク状態としておき、実使用におけるイレース操作時にイレースパルス数をカウントしたりイレースパルス印加中の過電流発生の有無をモニタして、Long Erase不良が発生した通常セクタを予備セクタに自動切り替えることとした。これにより、予備セクタへ自動冗長した後の予備セクタの再イレース動作を必要とすることなく Long Erase不良を救済することが可能となる。



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

不揮発性半導体装置および不揮発性半導体装置の消去動作不良自動救済方法
技術分野

本発明は不揮発性半導体装置およびその消去動作不良自動救済方法に関し、より詳細には、セクタ内に格納されたデータが規定時間内で消去不能となる動作不良（Long Erase 不良）を短時間で自動救済可能な不揮発性半導体装置および Long Erase 不良の自動救済方法に関する。

背景技術

不揮発性半導体装置の一つとして、コアセルの集合としてのセクタを単位として構成されるフラッシュメモリが知られている。フラッシュメモリでは、正規のセクタ（通常セクタ）とは別に通常セクタの不良救済のための冗長セクタ（予備セクタ）を同一チップ上に設けておき、製造プロセス中の試験・検査工程で発見された不良通常セクタを上記の予備セクタで救済するための冗長回路を設ける場合がある。例えば、製品出荷後の実使用時に規定時間内でイレース（erase）できないフラッシュメモリチップは「Long Erase 不良」として不良品とされるため、出荷前の製品試験・検査工程でかかるイレース不良を検出し、必要に応じて上記の予備セクタで冗長またはスクリーニングするといったことが行われる。

しかしながら、イレース不良を完全に冗長・スクリーニングすることは事実上困難であり、製品出荷後の実使用時に「Long Erase 不良」が生じ得る。特開平 8-7597 号公報には、このようなエンドユーザによる実使用時に生じる不良の自動救済を可能とする不揮発性半導体記憶装置が開示されている。その装置では、実使用段階において不揮発性メモリセルの書込み特性または消去特性の劣化が生じた場合にこの書込み特性または消去特性が劣化したメモリセルが選択されないための回路が設けられ、これによりメモリ特性は良好に維持される。

25 発明の開示

しかしながら、特開平 8-7597 号公報に記載の装置においては、自動冗長後のセクタを再度イレース処理することとされるため、セクタ不良の自動救済処理の時間短縮化を図る余地が残されていた。

本発明はかかる問題に鑑みてなされたもので、その目的とするところは、セク

タに格納されたデータを規定時間内で消去することのできない動作不良（Long Erase 不良）を短時間で自動救済し、Long Erase 不良が生じないのと実質的に同等の使用環境のユーザへの提供を可能とする半導体装置およびLong Erase不良の自動救済を行える冗長方法を提供することにある。

- 5 本発明は、かかる課題を解決するために、第1の発明は、電氣的に消去・書込みが可能な正規セクタと、前記正規セクタを冗長するための電氣的消去・書込み可能な予備セクタと、消去コマンド入力に対応する前記正規セクタを選択するためのデコーダと、消去動作中、前記正規セクタの消去特性をモニタリングするモニタ回路と、選択された正規セクタが劣化した消去特性を持っている場合、前記
- 10 選択された正規セクタに代えて前記予備セクタを自動選択する制御回路とを備え、前記予備セクタは前記自動選択の前の初期状態において消去状態とされている半導体装置である。

- 好ましくは、前記選択された正規セクタの消去特性が、所定時間内では消去が不完全であることを示している場合、前記制御回路は前記予備セクタを自動選択
- 15 する。

- 前記モニタ回路は消去パルスをカウントするパルスカウンタを有し、カウントされたパルス数に基づき前記選択された正規セクタの消去特性をモニタする構成とすることができる。この場合、前記制御回路は消去動作を検証し、所定のパルス数において消去動作が終わっていないことを示している時に、前記制御回路は
- 20 前記予備セクタを自動選択する構成とすることができる。

- また、前記モニタ回路は、消去動作中に前記選択された正規セクタを流れるリーク電流を検出する電流検出回路を有する構成とすることもできる。この場合、消去動作中、前記リーク電流が所定電流量に達したとき、前記制御回路は前記予備セクタを自動選択する構成とすることができる。前記リーク電流は例えば、前
- 25 記選択された正規セクタのワード線とウェルとの間を流れる電流である。

前記制御回路は、前記劣化した消去特性を持つ前記選択された正規セクタのアドレスを記憶する内部参照可能メモリ（CAM）を備える構成とすることができる。

また、前記制御回路は、前記劣化した消去特性を持つ前記選択された正規セク

タのアドレスを記憶する内部参照可能メモリ（CAM）と、前記消去コマンドで指示されるアドレスと前記CAM内のアドレスとを比較し、一致した場合に前記デコーダに前記予備セクタを選択させる比較回路とを有する構成とすることもできる。

- 5 更に、前記制御回路は前記選択された正規セクタの消去動作を検証し、正しく消去されている場合には当該正規セクタを書き込み状態にする。

更に、前記制御回路が前記予備セクタを自動選択できない場合には、所定の最大消去パルス数が与えられるまで、前記制御回路は前記選択された正規セクタの消去を継続して行う構成とすることができる。

- 10 前記予備セクタは前記正規セクタと同一の構成とすることができる。また、前記CAMは、前記選択された正規セクタのアドレスを記憶する不揮発性メモリセルを含む構成とすることができる。

本発明はまた、消去コマンドで選択された正規セクタ内のデータを消去するステップ（a）と、選択された正規セクタの消去特性をモニタするステップ（b）

- 15 と、前記選択された正規セクタが劣化した消去特性を有する場合に、前記選択された正規セクタに代えて、予備セクタを選択する前の初期状態において消去状態となっている予備セクタを選択するステップ（c）とを有する不揮発性メモリの冗長方法である。

- 20 前記ステップ（c）は、前記選択された正規セクタの消去特性が、所定時間内では消去が不完全であることを示している場合、前記予備セクタを自動選択する構成とすることが好ましい。

また、前記ステップ（b）は消去パルスのカウントするステップを有し、カウントされたパルス数に基づき前記選択された正規セクタの消去特性をモニタする構成とすることができる。

- 25 また、前記ステップ（b）は、消去動作中に前記選択された正規セクタを流れるリーク電流を検出するステップを有する構成とすることもできる。

さらに、前記ステップ（b）は、消去動作中に前記選択された正規セクタのワード線とウェルとの間を流れるリーク電流を検出するステップを有する構成とすることもできる。

また、前記劣化した特性を持つ前記選択された正規セクタのアドレスを記憶するステップを有する構成とすることができる。

- さらに、前記劣化した消去特性を持つ前記選択された正規セクタのアドレスを記憶するステップと、前記消去コマンドで指示されるアドレスと前記記憶したアドレスとを比較し、一致した場合に前記予備セクタを選択するステップとを有する構成とすることができる。

- 本発明の不揮発性半導体装置においては、製品出荷前の最終工程において予備セクタのデータを全て消去してイレース状態（ブランク）としておき、ユーザが行うイレース操作時毎に、装置内部でイレースパルス数をカウントしたりイレースパルス印加中のワード線/P-Well 間電流をモニタし、装置に Long Erase 不良が発生したと認識される前に予備セクタへの自動切り替えを完了する。したがって、予備セクタへ自動冗長した後の予備セクタの再イレース動作を必要とすることなくユーザの実使用時に発生した Long Erase 不良を救済することが可能となる。

- また、自動救済後に不良セクタをイレースするコマンドが入力された場合であっても、この入力コマンドに対応するセクタのアドレスと不良セクタアドレスとの一致・不一致が判断されて、不良セクタ選択コマンドをキャンセルして予備セクタが選択されるため、予備セクタへの切り替えが自動的にオペレーションされる。

- この結果、実使用するユーザには恰も通常セクタの Long Erase 不良が全く生じなかったかのように感じられ、イレース動作が通常どおり完了したのと同じ使用環境が提供されることとなる。また、製品出荷に際して、冗長セクタである予備セクタをイレース状態（ブランク状態）としているため、予備セクタへの自動冗長処理後にそのセクタを再度イレース処理することが不要となり、短時間で自動救済処理が完了する。

- このように、本発明により、セクタに格納されたデータを規定時間内で消去することのできない動作不良（Long Erase 不良）を短時間で自動救済可能な不揮発性半導体装置および方法を提供することが可能となる。

図面の簡単な説明

図 1 は、本発明の不揮発性半導体記憶装置が実行する Long Erase 不良自動救済

動作の第1のシーケンス例を説明するためのフローチャート、

図2は、図1に示した一連のシーケンスを実行する本発明の不揮発性半導体記憶装置の自動救済処理部の第1の構成例の概略を説明するためのブロック図、

図3A及び図3Bは、自動冗長CAMの動作を説明するための図、

- 5 図4は、アドレス一致検出回路からアドレス一致検出信号が出力される動作例を説明するための図、

図5は、図4で出力されたアドレス一致検出信号(L)に基づいて予備セクタを選択する動作を説明するための図、

- 10 図6は、イレース不良と判定された場合に Long Erase 検出信号に基づき自動冗長CAMのプログラムを実行する回路構成例を説明するための図、

図7A及び図7Bは、規定イレースパルス検出回路の構成・動作を説明するための図、

図8は、本発明の不揮発性半導体記憶装置が実行する Long Erase 不良自動救済動作の第2のシーケンス例を説明するためのフローチャート、

- 15 図9は、図8に示した一連のシーケンスを実行する本発明の不揮発性半導体記憶装置の自動救済処理部の第2の構成例の概略を説明するためのブロック図、

図10は、イレース動作中のメモリセルのコア部分の断面図、

図11は、ワード線と P-Well との間に流れる電流量をモニタしてリーク電流検出信号を出力するための回路構成例を説明するための図である。

- 20 発明を実施するための最良の形態

以下に図面を参照して、本発明を実施するための最良の形態について説明する。
(実施例1)

図1は、本発明の不揮発性半導体記憶装置が実行する Long Erase 不良自動救済動作の第1のシーケンス例(実施例1)を説明するためのフローチャートである。

- 25 この自動救済動作のための回路は本実施例の不揮発性半導体記憶装置が備える記憶部と同一のチップ内に設けられ、後述する手順により通常セクタの Long Erase 不良を自動的に救済するものである。

本実施例の不揮発性半導体記憶装置が備える記憶部の構成は従来と同様の構成なので、以下では Long Erase 不良自動救済動作を実行する回路構成について説明

する。

この不揮発性半導体記憶装置は正規のセクタである「通常セクタ」と冗長セクタとしての「予備セクタ」とを備えており、予備セクタは製造出荷前の最終試験・検査段階でイレース状態（ブランク状態）とされる。したがって、ユーザによる

- 5 実使用時にこの不揮発性半導体記憶装置を最初にデータ消去（イレース）する段階では、予備セクタはブランク状態にある。なお、この予備セクタは、後述する自動冗長CAMが記憶している「不良セクタアドレス」と「イレースコマンド入力アドレス」とが一致した場合に、Long Erase 不良となっている通常セクタの切り替えのために選択されるセクタのことであり、その構造は上記の通常セクタと同じである。

本実施例の装置では、選択された通常セクタの規定時間内でのデータ消去が正常に実行されたか否かを自動的に判断し、当該通常セクタが「Long Erase 不良」と判断された場合にブランク状態にある予備セクタに置き換える一連の制御が実行される。その一連の手順を図1を参照して説明する。

- 15 ユーザにより、通常セクタに格納されているデータを消去するための命令（イレースコマンド）が入力されると、この命令に従って装置内で以下の動作が実行される。

- 20 先ず、通常セクタがプログラム状態にあるかどうかを判断し（ステップS101）、プログラム状態にない場合（ステップS101:NO）にはそのセクタに書き込みが行われてプログラム状態とされる（ステップS102）。

通常セクタがプログラム状態にあることが確認されると（ステップS101:YES）、そのセクタに格納されているプログラムを所定時間（ Δt ）でイレースするための動作が実行され（ステップS103）、実際にイレースされているか否かが判断される（ステップS104）。

- 25 セクタがイレース状態にあると判断されると（ステップS104:YES）、そのセクタのイレースは完了し（ステップS107）、イレース良品の状態が維持される（ステップS108）。

一方、セクタがイレースされていないと判断されると（ステップS104:NO）、そのセクタへのイレース動作（ステップS103）の総時間が「Long Erase

不良」と判定される所定時間（ t ）未満か否かを判断するために、イレース動作回数に相当するイレースパルス数（ n ）が所定回数に達したか否かが判断される（ステップS105）。

- イレースパルス数（ n ）が所定回数に達していない場合（ステップS105：5 NO）には、イレース動作に要した総時間（ $n \cdot \Delta t$ ）はLong Erase 不良と判定される所定時間（ t ）に達していない（ $n \cdot \Delta t < t$ ）から、さらにイレース動作が実行され（ステップS103）、以降はステップS103～ステップS105を繰り返す。

- また、イレースパルス数（ n ）が予め定められた回数に到達すると（ステップ10 S105：YES）、その通常セクタのイレース動作に要した総時間（ $n \cdot \Delta t$ ）が「Long Erase 不良」と判定される所定時間（ t ）に達した（ $n \cdot \Delta t \geq t$ ）こととなるから、この通常セクタを予備セクタへ切り替えるための処理が実行される。

- 具体的には、本発明の装置が備えているセクタ自動冗長CAMに、Long Erase15 不良と判定された通常セクタのアドレスが「不良セクタアドレス」としてプログラムされ、この通常セクタがブランク状態にある予備セクタに自動的に置き換えられてセクタの切り替えが行われる（ステップS106）。

- 予備セクタへの自動切り替えが完了すると（ステップS106：YES）、通常セクタのイレースコマンドに対応するイレース処理は完了し（ステップS107）、20 その装置のイレース良品状態が維持される（ステップS108）。

- 一方、ブランク状態の予備セクタが見つからないなどの事情により予備セクタへの自動切り替えが完了できない場合（ステップS106：NO）には、イレースパルス数が予め定められた最大値に到達したか否かが判断され（ステップS109）、最大値に達していれば（ステップS109：YES）、そのセクタのイレースは完了することができず（ステップS110）、Long Erase 不良品となる（ステップS111）。また、最大値に達していなければ（ステップS109：NO）、25 ステップS103に戻って以降の処理が実行される。

なお、ステップS109のようにイレースパルス数の最大値設定を行う理由は、ステップS105で判断されたイレースパルス数に相当する回数のイレース動作

に追加してイレース動作を実行することで救済可能となるLong Erase不良があり得るためである。したがって、かかるLong Erase不良の救済を必要としない場合には、ステップS109での最大値をステップS105での所定回数に等しく設定しておき、このステップS109での処理を事実上無効とすればよい。

- 5 図2は、図1に示した一連のシーケンスを実行する本発明の不揮発性半導体記憶装置の自動救済処理部の第1の構成例の概略を説明するためのブロック図である。

本発明の装置は、通常セクタに対するデータのイレース動作が規定時間内に終了しない「Long Erase 不良」を検知して予備セクタへの自動切り替えを実行する
10 ために、通常セクタへのイレース動作の総時間がLong Erase 不良を判定する所定時間未満か否かを判断するための規定イレースパルス検知回路18と、自動冗長CAM15を制御するCAM制御回路16と、規定イレースパルス検知回路18から出力される検知信号に基づいてCAM制御回路16を制御したり予備セクタへの切り替えを行うための信号を出力する制御回路17とを備えている。規定イレースパルス検出回路18は、本発明の消去特性検知回路の一態様である。
15

ユーザから入力されたイレースコマンドは、I/Oレジスタとバッファとを備えたイレースコマンド認識部11により認識され、入力されたイレースコマンドのうち、イレースすべき通常セクタのアドレスコマンド信号はアドレスデータ・シーケンサ12に出力され、イレースコマンド信号はコマンド・シーケンサ13
20 に出力される。

アドレス一致検出回路14は、アドレスデータ・シーケンサ12に格納されたイレースすべきセクタのアドレスデータと、不良通常セクタのアドレスがプログラムされた自動冗長CAM15に格納されている不良セクタアドレスデータとの、一致・不一致を判断するためのもので、イレースコマンドに対応する通常セクタ
25 のアドレスがLong Erase 不良のセクタのアドレスに一致している場合には、そのセクタ選択をキャンセルして予備セクタへの自動切り替えを実行するための回路である。

この装置のセクタ群は、正規のセクタである通常セクタ21（本実施例では21a～21d）と冗長セクタである予備セクタ22とから構成され、これらのセ

クタは例えば、浮遊ゲートと制御ゲートを有するNOR型フラッシュメモリセルが複数配列されて構成されている。同一セクタに属するセルの各制御ゲートには1本の共通したワード線が接続され、同一列に属するセルの各ドレインには1本の共通するビット線が接続されている。そして、これらのワード線およびビット

5 線は各々、Xデコーダ(Xdec) 19およびYデコーダ(Ydec) 20に接続されている。

Xデコーダ19は、電圧供給回路23からの信号に基づいてアドレスデータ・シーケンサ12やアドレス一致検出回路14から入力されたアドレスに対応するセクタのワード線を選択的に駆動するものであり、入力アドレス信号をデコード

10 するデコーダとワード線に所定電圧を供給するワード線ドライバとを備えている。

同様に、Yデコーダ20は、電圧供給回路23からの信号に基づいてアドレスデータ・シーケンサ12から入力されたアドレスに対応するセクタのビット線を選択的に駆動するものであり、入力アドレス信号をデコードするデコーダとビット線に所定電圧を供給するビット線ドライバとを備えている。

15 上記各セクタの状態(イレース/プログラム状態)を示す信号はデータレジスタ24に出力されて記憶され、さらに制御回路17にフィードバックされる。そして、イレース不良と判定された通常セクタからブランク状態にある予備セクタへの切り替えは、制御回路17からの制御信号に基づいて駆動する電圧供給回路23を介して実行される。

20 アドレスデータ・シーケンサ12はイレースされるべき通常セクタを認識してアドレスデータを記憶し、そのアドレスデータをコマンド・シーケンサ13へと出力する。

コマンド・シーケンサ13は、イレースコマンド認識部11から受信したイレースコマンド、およびアドレスデータ・シーケンサ12から受信したアドレスデータに基づいて、イレース対象となる通常セクタをイレースするための信号を制

25 御回路17へと出力する。

制御回路17は、該当する通常セクタのイレース/プログラム状態を確認するために、電圧供給回路23へとプログラムベリファイ信号を出力し、このプログラムベリファイ信号が入力された電圧供給回路23はXデコーダ19およびYデ

コーダ20を介してその通常セクタのイレース／プログラム状態を判断する。

該当する通常セクタがプログラム状態にあるかイレース状態にあるかの判断結果はデータレジスタ24へと出力され、プログラム状態にない場合にはその信号が制御回路17へと出力されて電圧供給回路23を介してその通常セクタに書込

5 みが行われプログラム状態とされる。

一方、通常セクタがプログラム状態にあることが確認されると、その情報はデータレジスタ24を介して制御回路17へと出力され、当該通常セクタに格納されているプログラムを所定時間(Δt)でイレースするための信号が電圧供給回路23から出力されてXデコーダ19およびYデコーダ20によりイレース動作
10 が実行される。

制御回路17は、上述したイレース／プログラム状態の確認プロセスと同様のステップで該当セクタのイレースの状態を判断し、その結果をデータレジスタ24へと出力する。

通常セクタがイレース状態にあると判断されると、その結果が制御回路17へと出力されてイレース動作は完了し、装置はイレース良品と判定され一連の処理
15 が終了する。

一方、通常セクタがイレースされていないと判断された場合には、その通常セクタに格納されているプログラムを所定時間(Δt)で再イレースするための信号が電圧供給回路23から出力されてXデコーダ19およびYデコーダ20によりイレース動作が実行される。以降はイレースが完了するか若しくはイレース動作回数に相当するイレースパルス数(n)が予め定められた回数に達するまで繰り返される。
20

規定イレースパルス検出回路18は電圧供給回路23が出力したイレースパルスを検知し、イレース対象となっている通常セクタへのイレース動作の回数をカウントし、その結果が制御回路17へと出力される。
25

一回のイレース動作は時間 Δt で実行されるから、その時間 Δt と規定イレースパルス検出回路18によりカウントされたイレース動作回数(n)との積($n \cdot \Delta t$)を演算してLong Erase不良と判定される所定時間(t)未満か否かが判断される。実際には、制御回路17により、規定イレースパルス検出回路18から

入力されたイレースパルス数 (n) が予め定められた回数に達したか否かを判断する。

イレースパルス数 (n) が予め定められた回数に達していない場合には、イレース動作に要した総時間 ($n \cdot \Delta t$) は Long Erase 不良と判定される所定時間 (t) に達していない ($n \cdot \Delta t < t$) から、さらにイレース動作が繰り返し実行される。

一方、イレースパルス数 (n) が予め定められた回数に到達すると、その通常セクタのイレース動作に要した総時間 ($n \cdot \Delta t$) がユーザにより Long Erase 不良と判定される所定時間 (t) に達した ($n \cdot \Delta t \geq t$) こととなり、この通常セクタは後述する手順により予備セクタへと切り替えられる。

通常セクタから予備セクタへの切り替えは以下のように実行される。通常セクタを予備セクタに切り替えることを判断した制御回路 17 は CAM 制御回路 16 に対して、自動冗長 CAM 15 に「不良セクタアドレス」を格納するためのプログラム信号を出力するための命令信号を出力し、これにより自動冗長 CAM 15 内に不良セクタアドレスがプログラムされ、その結果がアドレス一致検出回路 14 へと出力される。

アドレス一致検出回路 14 は、アドレスデータ・シーケンサ 12 に記憶されているイレース対象の通常セクタのアドレスと自動冗長 CAM 15 にプログラムされた不良セクタアドレスとの一致・不一致を判断し、イレースコマンドに対応する通常セクタのアドレスが Long Erase 不良のセクタのアドレスに一致している場合にはそのセクタ選択をキャンセルして予備セクタへの自動切り替えを実行するための信号を X デコーダ 19 および Y デコーダ 20 に出力し、Long Erase 不良となっている通常セクタをブランク状態の予備セクタ 22 に自動的に切り替える。

この予備セクタへの自動切り替えが完了するとイレースコマンドに対応した処理は完了し、装置はイレース良品の状態が維持される。一方、ブランク状態にある予備セクタが見つからないなどの事情により予備セクタへの自動切り替えが完了できない場合には、そのセクタのイレースは完了することができず装置が Long Erase 不良品と判定される。

なお、図 2 には通常セクタが 4 行、予備セクタが 1 行配列されているが、これ

らのセクタ行数が任意に変更可能であることは明らかである。セクタ切り替え可能な回数を多く装置設計する場合には、予めブランク状態としておく予備セクタもその数に応じて設けておけばよい。

ここで、本発明の装置が備える自動冗長CAM、アドレス一致検出回路、イレース不良と判定された場合に自動冗長CAMのプログラムを実行する回路、および規定イレースパルス検出回路の構成・動作について説明しておく。

図3Aおよび図3Bは自動冗長CAM15の動作を説明するための図で、アドレス[10] (CAM-A0=0(L)、CAM-A1=1(H))を記憶する場合の例を示している。これらのCAMはフラッシュメモリセルと同じ構造をもち、Long Erase 不良セクタと判定された通常セクタの不良セクタアドレスを書き込むための内部参照可能メモリである。

このCAMはフローティングゲート中に蓄積されている電荷量に応じて、読み出し時のある所定のゲート電圧 V_G (特に V_{GREAD} という) に対して、電流を流したり (イレース状態: 図3A) あるいは流さなかったり (プログラム状態: 図3B) することが可能で、これにより通常セクタの任意のアドレスを記憶させることができる。

図4はアドレス一致検出回路14のうち、アドレス一致信号を生成する回路部分の一構成例を示す図である。アドレス一致検出回路14は、2つのNOR回路、2つのNMOSトランジスタ、抵抗及びインバータを含む。この回路は自動冗長CAM (CAM-A0 および CAM-A1) にプログラムされた不良セクタアドレス (ここでは、CAM-A0=0(H)、CAM-A1=1(L)) と、ユーザから入力されたイレースコマンドに対応する通常セクタのアドレス (ここでは、A0=0(H)、A1=1(L)) とが一致するか否かを判定する。両アドレスが一致する場合には、Long Erase 不良としてCAMにプログラムされている通常セクタを選択するイレースコマンド信号をキャンセルする信号を出力するとともに正常にイレース可能な予備セクタを選択する信号が出力される。

図5は、アドレス一致検出回路14のうち、図4で出力されたアドレス一致検出信号(L)に基づいて予備セクタを選択する回路部分を説明するための図で、この例ではアドレス一致検出信号(L)に基づいて通常セクタを選択する信号が

キャンセルされ (L)、予備セクタが選択される (H) こととなる。L レベルのアドレス一致検出信号により、図示する 4 つの AND ゲートの出力は L レベルとなり、通常セクタの選択は行われない。他方、インバータの出力は H レベルになるので、予備セクタが選択される。

- 5 通常セクタがイレース不良と判定された場合に、Long Erase 検出信号に基づいて自動冗長 CAM 15 をプログラムする動作を行う CAM 制御回路 16 は、例えば図 6 に示した回路構成を有する。この回路は、Long Erase 検出信号に基づいて自動冗長 CAM 15 を電氣的にイレースまたはプログラムする機能をもつ構成を有している。具体的には、CAM 制御回路 16 は、2 つのラッチ回路 111、1
10 112 と、不揮発性メモリセル 113 と、インバータ 114 とを有する。ラッチ回路 111、112 のそれぞれは、フリップフロップと、インバータと、2 つの N MOS トランジスタとからなる。Long Erase 検出信号が H になると、ラッチ回路 111、112 は H ($V_{D_{PROG}}$ 、 $V_{G_{PROG}}$) を出力し、不揮発性メモリセル 113 をプログラムする。プログラムされたデータ (アドレス) は、インバータ 114 を
15 介して自動冗長 CAM 15 に出力される (CAM-A_n)。

- 図 7 A および図 7 B は規定イレースパルス検出回路 18 の構成・動作を説明するための図で、この例では図 7 A に示すように、イレースパルスが 5 つのフリップフロップ回路 (FF) を直列に接続された検出回路に入力されて 32 パルスの検出が可能とされている。これら 5 つの各々の FF 回路からの出力 ($Q_0 \sim Q_4$)
20 は図 7 B に示した AND ゲートに入力されて Long Erase 検出信号が出力されることとなる。

- このように、本発明の不揮発性半導体記憶装置においては、製品出荷前の最終工程において予備セクタのデータを全て消去してイレース状態 (ブランク) としておき、ユーザが行うイレース操作時毎に、装置内部でイレースパルス数をカウントし、装置に Long Erase 不良が発生したと認識される前に予備セクタへの自動切り替えを完了する。
25

したがって、予備セクタへ自動冗長した後の予備セクタの再イレース動作を必要とすることなくユーザの実使用時に発生した Long Erase 不良を救済することが可能となる。また、自動救済後に不良セクタをイレースするコマンドが入力され

た場合であっても、この入力コマンドに対応するセクタのアドレスと不良セクタアドレスとの一致・不一致が判断されて、不良セクタ選択コマンドをキャンセルして予備セクタが選択されるため、予備セクタへの切り替えが自動的にオペレーションされる。

- 5 この結果、実使用するユーザには恰も通常セクタの Long Erase 不良が全く生じなかったかのように感じられ、イレース動作が通常どおり完了したのと同じ使用環境が提供されることとなる。また、製品出荷に際して、冗長セクタである予備セクタをイレース状態（ブランク状態）としているため、予備セクタへの自動冗長処理後にそのセクタを再度イレース処理することが不要となり、短時間で自動
- 10 救済処理が完了する。

（実施例 2）

- 図 8 は、本発明の不揮発性半導体記憶装置が実行する Long Erase 不良自動救済動作の第 2 のシーケンス例（実施例 2）を説明するためのフローチャートで、このシーケンスも通常セクタの Long Erase 不良を自動的に救済するものであるが、
- 15 第 1 のシーケンス例との相違は通常セクタのイレース不良の判定方法にある。

この不揮発性半導体記憶装置も、製造出荷前の最終試験・検査段階でイレース状態とされたブランクの予備セクタを備えており、ユーザによりセクタに格納されているデータを消去するためのイレースコマンドが入力されると、このコマンドに従って装置内で以下の動作が実行される。

- 20 まず、通常セクタがプログラム状態にあるかどうかを判断し（ステップ S 2 0 1）、プログラム状態にない場合（ステップ S 2 0 1 : NO）にはそのセクタに書込みが行われてプログラム状態とされる（ステップ S 2 0 2）。

- 通常セクタがプログラム状態にあることが確認されると（ステップ S 2 0 1 : YES）、そのセクタに格納されているプログラムを所定時間でイレースするための動作が実行され（ステップ S 2 0 3）、装置内部に設けられた後述のリーク電流検出用回路でイレースパルス印加中の電流値（本実施例では、「ワード線/P-Well 間電流値」を例として説明する）がモニタされ、正常なイレース動作では発生し
- 25 得ないリーク電流（過電流）の発生の有無が判断される（ステップ S 2 0 4）。

過電流の発生がないと判断された場合（ステップ S 2 0 4 : NO）は、上記ス

ステップS 203で通常セクタが実際にイレースされているか否かが判断され（ステップS 205）、セクタがイレース状態にあると判断されると（ステップS 205：YES）、そのセクタのイレースは完了し（ステップS 207）、イレース良品の状態が維持される（ステップS 208）。

- 5 セクタがイレースされていないと判断されると（ステップS 205：NO）、そのセクタへのイレース動作（ステップS 203）に戻り以降のステップが再度繰り返される。

ステップS 204において過電流の発生が認められた場合（ステップS 204：YES）には、その通常セクタは正常なイレース動作が不能（Long Erase 不良）となっているものと判断されてこの通常セクタの予備セクタへの切り替えが
10 実行される。具体的には、本発明の装置が備えているセクタ自動冗長CAMに、Long Erase 不良と判定された通常セクタのアドレスが「不良セクタアドレス」としてプログラムされ、この通常セクタがブランク状態にある予備セクタへと自動的に置き換えられる（ステップS 206）。

- 15 この予備セクタへの自動切り替えが完了すると（ステップS 206：YES）、そのセクタのイレースは完了し（ステップS 207）、イレース良品の状態が維持される（ステップS 208）。

一方、ブランク状態にある予備セクタが見つからないなどの事情により予備セクタへの自動切り替えが完了できない場合（ステップS 206：NO）には、イレースパルス数が予め定められた最大値に到達したか否かが判断され（ステップ
20 S 209）、最大値に達していれば（ステップS 209：YES）、そのセクタのイレースは完了することができず（ステップS 210）、Long Erase 不良品となる（ステップS 211）。また、最大値に達していなければ（ステップS 209：NO）、ステップS 203に戻って以降の処理が実行される。なお、ステップS 2
25 09でイレースパルス数の最大値設定が行われる理由は、図1のステップ109で説明したとおりである。

図9は、図8に示した一連のシーケンスを実行する本発明の不揮発性半導体記憶装置の自動救済処理部の第2の構成例の概略を説明するためのブロック図である。

本発明の装置は、通常セクタに対するデータのイレース動作が規定時間内に終了しない「Long Erase 不良」に起因してイレースパルス印加中に発生する「ワード線/P-Well 間電流」の過電流を検知して予備セクタへの自動切り替えを実行するための規定リーク電流検出用回路 5 8 と、自動冗長 C.AM 5 5 を制御する C.AM 制御回路 5 6 と、規定リーク電流検出用回路 5 8 から出力されるリーク電流検出信号に基づいて C.AM 制御回路 5 6 を制御したり予備セクタへの切り替えを行うための信号を出力する制御回路 5 7 とを備えている。

ユーザから入力されたイレースコマンドは、I/Oレジスタとバッファとを備えたイレースコマンド認識部 5 1 により認識され、入力されたイレースコマンドのうち、イレースすべき通常セクタのアドレスコマンド信号はアドレスデータ・シーケンサ 5 2 に出力され、イレースコマンド信号はコマンド・シーケンサ 5 3 に出力される。

アドレス一致検出回路 5 4 は、アドレスデータ・シーケンサ 5 2 に格納されたイレースすべきセクタのアドレスデータと、通常セクタについての「不良セクタアドレス」がプログラムされた自動冗長 C.AM 5 5 のアドレスデータとの、一致・不一致を判断するためのもので、イレースコマンドに対応する通常セクタのアドレスが Long Erase 不良のセクタのアドレスに一致している場合には、そのセクタ選択をキャンセルして予備セクタへの自動切り替えを実行するための回路である。

この装置のセクタも、正規のセクタである通常セクタ 6 1 と冗長セクタである予備セクタ 6 2 とから構成されている。実施例 1 と同様に、同一セクタに属するセルの各制御ゲートには 1 本の共通したワード線が接続され、同一列に属するセルの各ドレインには 1 本の共通するビット線が接続されている。また、これらのワード線およびビット線は各々、電圧供給回路 6 3 から信号に基づいてアドレスデータ・シーケンサ 6 2 から入力されたアドレスに対応するセクタのワード線 (Xデコーダノード) を選択的に駆動するための Xデコーダ (Xdec) 5 9、および電圧供給回路 6 3 から信号に基づいてアドレスデータ・シーケンサ 6 2 から入力されたアドレスに対応するセクタのビット線を選択的に駆動する Yデコーダ (Ydec) 6 0 に接続されている。

なお、Xデコーダ 5 9 は入力アドレス信号をデコードするデコーダと Xデコー

ダノードに所定電圧を供給するドライバとを備えており、Yデコーダ60は入力アドレス信号をデコードするデコーダとビット線に所定電圧を供給するビット線ドライバとを備えている。

上記各セクタの状態（イレース／プログラム状態）を示す信号はデータレジスタ64に出力されて記憶され、さらに制御回路57にフィードバックされる。そして、イレース不良と判定された通常セクタからブランク状態にある予備セクタへの切り替えは、制御回路57からの制御信号に基づいて駆動する電圧供給回路63を介して実行される。

アドレスデータ・シーケンサ52はイレースされるべき通常セクタを認識して
10 アドレスデータを記憶し、そのアドレスデータをコマンド・シーケンサ53へと出力する。

コマンド・シーケンサ53は、イレースコマンド認識部51から受信したイレースコマンド、およびアドレスデータ・シーケンサ52から出力されたアドレスデータに基づいて、イレース対象となる通常セクタをイレースするための信号を
15 制御回路57へと出力する。

制御回路57は、該当する通常セクタのイレース／プログラム状態を確認するために、電圧供給回路53へとプログラムベリファイ信号を出力し、このプログラムベリファイ信号が入力された電圧供給回路53はXデコーダ59およびYデコーダ60を介してその通常セクタがプログラムされているかどうかを判断する。

20 該当する通常セクタがプログラム状態にあるかイレース状態にあるかの判断結果はデータレジスタ64へと出力され、プログラム状態にない場合にはその信号が制御回路57へと出力されて電圧供給回路53を介してその通常セクタに書込みが行われプログラム状態とされる。

一方、通常セクタがプログラム状態にあることが確認されると、その情報はデータレジスタ64を介して制御回路57へと出力され、その通常セクタに格納されているプログラムを所定時間でイレースするための信号を電圧供給回路53が出力してXデコーダ59およびYデコーダ60によりイレース動作が実行される。

制御回路57は、イレース動作のためのイレースパルス印加中の「ワード線／P-Well 間電流」をモニタするための信号を電圧供給回路63へと出力し、本発明

の消去特性検知回路の一態様である規定リーク電流検出用回路 5 8 が「Long Erase 不良」に起因して発生する過電流の有無をモニタする。

ここで、ワード線/P-Well 間の過電流が検知されない場合には該当する通常セクタのイレース状態がベリファイされ、イレース状態にあると判断されるとその結果が制御回路 5 7 へと出力されてイレース動作は完了しイレース良品であると判定される。一方、該当通常セクタがイレースされていないと判断された場合には、その通常セクタに格納されているプログラムを再度所定時間でイレースするための信号を電圧供給回路 6 3 が出力して X デコーダ 5 9 および Y デコーダ 6 0 によりイレース動作が実行され、以降の工程を繰り返す。

10 制御回路 5 7 がワード線/P-Well 間の過電流を検知すると、そのセクタは Long Erase 不良と判定されて後述する手順により予備セクタへと切り替えられる。

通常セクタから予備セクタへの切り替えは以下のように実行される。通常セクタを予備セクタに切り替えることを判断した制御回路 5 7 は CAM 制御回路 5 6 に対して、自動冗長 CAM 5 5 に「不良セクタアドレス」を格納するためのプログラム信号を出力するための命令信号を出力し、これにより自動冗長 CAM 5 5 内に不良セクタアドレスがプログラムされ、その結果がアドレス一致検出回路 5 4 へと出力される。

アドレス一致検出回路 5 4 は、アドレスデータ・シーケンサ 5 2 に記憶されているイレース対象の通常セクタのアドレスと自動冗長 CAM 5 5 にプログラムされた不良セクタアドレスとの一致・不一致を判断し、イレースコマンドに対応する通常セクタのアドレスが Long Erase 不良のセクタのアドレスに一致している場合にはそのセクタ選択をキャンセルして予備セクタへの自動切り替えを実行するための信号を X デコーダ 5 9 および Y デコーダ 6 0 に出力し、Long Erase 不良となっている通常セクタをブランク状態の予備セクタ 6 2 に自動的に切り替える。

25 この予備セクタへの自動切り替えが完了するとそのセクタのイレースは完了し、イレース良品の状態が維持される。一方、ブランク状態にある予備セクタが見つからないなどの事情により予備セクタへの自動切り替えが完了できない場合には、そのセクタのイレースは完了することができず Long Erase 不良品となる。

なお、セクタ切り替え可能な回数を多く装置設計する場合には、予めブランク

状態としておく予備セクタもその数に応じて設けておけばよいことは実施例1と同様である。

ここで、本発明の装置が備える規定リーク電流検出用回路の動作原理および構成例について説明しておく。

- 5 図10はイレース動作中のメモリセルのコア部分の断面図で、ここではNOR型フラッシュメモリを例として挙げている。イレース動作中のワード線とP-Wellには、それぞれマイナス電位（ -10V ）とプラス電位（ $+10\text{V}$ ）が供給される。ワード線とP-Wellとの間には本来は電流リークパスが存在しないため、これらの電位は保持される。しかし、図中に示したようにワード線とP-Wellとの間に
- 10 電流リークパスが存在すると、このパスによる電流リークによって電圧降下が生じ上記の電位状態は保持されない。このためイレース動作が充分に行われず Long Erase 不良となる可能性がある。本実施例の装置は、この過電流の有無をモニタして Long Erase 不良の発生を回避するものである。

- 図11は、図10に示すワード線とP-Wellとの間に流れる電流量をモニタして、
- 15 リーク電流検出信号としてロングイレース検出信号を出力するための規定リーク電流検出用回路58の一回路構成例を説明するための図である。この例ではカレントミラー構成の回路により P-Well 電圧が予め定められた規定電圧である比較電圧 V_{ref} 以下に降下したことを検出してリーク電流検出信号がロングイレース検出信号として出力される。この検出は、図9に示す電圧供給回路63がイレース電圧を印加している期間ハイレベルとなる信号（Erase）が印加されている間で行われる。

- このように、本発明の不揮発性半導体記憶装置においては、製品出荷前の最終工程において予備セクタのデータを全て消去してイレース状態（ブランク）としておき、ユーザが行うイレース操作時毎にイレースパルス印加中のワード線／
- 25 P-Well 間電流をモニタし、正常イレース動作では発生し得ない過電流に達したか否かを判断し、通常セクタが Long Erase 不良と判定される前に予備セクタへの自動切り替えを完了する。

したがって、予備セクタへ自動冗長した後の予備セクタの再イレース動作を必要とすることなくユーザの実使用時に発生した Long Erase 不良を救済することが

可能となる。また、自動救済後に不良セクタをイレースするコマンドが入力された場合であっても、この入力コマンドに対応するセクタのアドレスと不良セクタアドレスとの一致・不一致が判断されて、不良セクタ選択コマンドをキャンセルして予備セクタが選択されるため、予備セクタへの切り替えが自動的にオペレーションされる。

この結果、実使用するユーザには恰も通常セクタの Long Erase 不良が全く生じなかったかのように感じられ、イレース動作が通常どおり完了したのと同じ使用環境が提供されることとなる。また、製品出荷に際して、冗長セクタである予備セクタをイレース状態（ブランク状態）としているため、予備セクタへの自動冗長処理後にそのセクタを再度イレース処理することが不要となり、短時間で自動救済処理が完了する。

産業上の利用可能性

本発明によれば、不揮発性半導体記憶装置に格納されたデータを規定時間内で消去することのできない動作不良（Long Erase 不良）を短時間で自動救済するための装置および方法を提供することが可能となる。本発明の不揮発性半導体装置はフラッシュメモリなどのように情報の記憶を主たる用途とするものに限られず、システム L S I のように他の機能とともに 1 つのパッケージ内に組み込まれたものであってもよい。

請求の範囲

1. 電氣的に消去・書込みが可能な正規セクタと、
前記正規セクタを冗長するための電氣的消去・書込み可能な予備セクタと、
5 消去コマンド入力に対応する前記正規セクタを選択するためのデコーダと、
消去動作中、前記正規セクタの消去特性をモニタリングするモニタ回路と、
選択された正規セクタが劣化した消去特性を持っている場合、前記選択された
正規セクタに代えて前記予備セクタを自動選択する制御回路と、
を備え、
10 前記予備セクタは前記自動選択の前の初期状態において消去状態とされている
半導体装置。
2. 前記選択された正規セクタの消去特性が、所定時間内では消去が不完全で
あることを示している場合、前記制御回路は前記予備セクタを自動選択する請求
項1記載の半導体装置。
- 15 3. 前記モニタ回路は消去パルスをカウントするパルスカウンタを有し、カウ
ントされたパルス数に基づき前記選択された正規セクタの消去特性をモニタする
請求項1記載の半導体装置。
4. 前記制御回路は消去動作を検証し、所定のパルス数において消去動作が終
わっていないことを示している時に、前記制御回路は前記予備セクタを自動選択
20 する請求項3記載の半導体装置。
5. 前記モニタ回路は、消去動作中に前記選択された正規セクタを流れるリー
ク電流を検出する電流検出回路を有する請求項1記載の半導体装置。
6. 消去動作中、前記リーク電流が所定電流量に達したとき、前記制御回路は
前記予備セクタを自動選択する請求項5記載の半導体装置。
- 25 7. 前記リーク電流は、前記選択された正規セクタのワード線とウェルとの間
を流れる電流である請求項5または6記載の半導体装置。
8. 前記制御回路は、前記劣化した消去特性を持つ前記選択された正規セクタ
のアドレスを記憶する内部参照可能メモリ（CAM）を備える請求項1から7の
いずれか一項記載の半導体装置。

9. 前記制御回路は、前記劣化した消去特性を持つ前記選択された正規セクタのアドレスを記憶する内部参照可能メモリ（CAM）と、前記消去コマンドで指示されるアドレスと前記CAM内のアドレスとを比較し、一致した場合に前記デコーダに前記予備セクタを選択させる比較回路とを有する請求項1から7のいずれか一項記載の半導体装置。
10. 前記制御回路は前記選択された正規セクタの消去動作を検証し、正しく消去されている場合には当該正規セクタを書き込み状態にする請求項1から9のいずれか一項記載の半導体装置。
11. 前記制御回路が前記予備セクタを自動選択できない場合には、所定の最大消去パルス数が与えられるまで、前記制御回路は前記選択された正規セクタの消去を継続して行うことを特徴とする請求項1記載の半導体装置。
12. 前記予備セクタは前記正規セクタと同一の構成を有する請求項1から11のいずれかに記載の半導体装置。
13. 前記CAMは、前記選択された正規セクタのアドレスを記憶する不揮発性メモリセルを含む請求項8又は9に記載の半導体装置。
14. 不揮発性メモリの冗長方法であって、
消去コマンドで選択された正規セクタ内のデータを消去するステップ（a）と、
選択された正規セクタの消去特性をモニタするステップ（b）と、
前記選択された正規セクタが劣化した消去特性を有する場合に、前記選択された正規セクタに代えて、予備セクタを選択する前の初期状態において消去状態となっている予備セクタを選択するステップ（c）と
を有する冗長方法。
15. 前記ステップ（c）は、前記選択された正規セクタの消去特性が、所定時間内では消去が不完全であることを示している場合、前記予備セクタを自動選択する請求項14記載の冗長方法。
16. 前記ステップ（b）は消去パルスをカウントするステップを有し、カウントされたパルス数に基づき前記選択された正規セクタの消去特性をモニタする請求項14記載の冗長方法。
17. 前記ステップ（b）は、消去動作中に前記選択された正規セクタを流れ

るリーク電流を検出するステップを有する請求項14記載の冗長方法。

18. 前記ステップ(b)は、消去動作中に前記選択された正規セクタのワード線とウェルとの間を流れるリーク電流を検出するステップを有する請求項14記載の冗長方法。

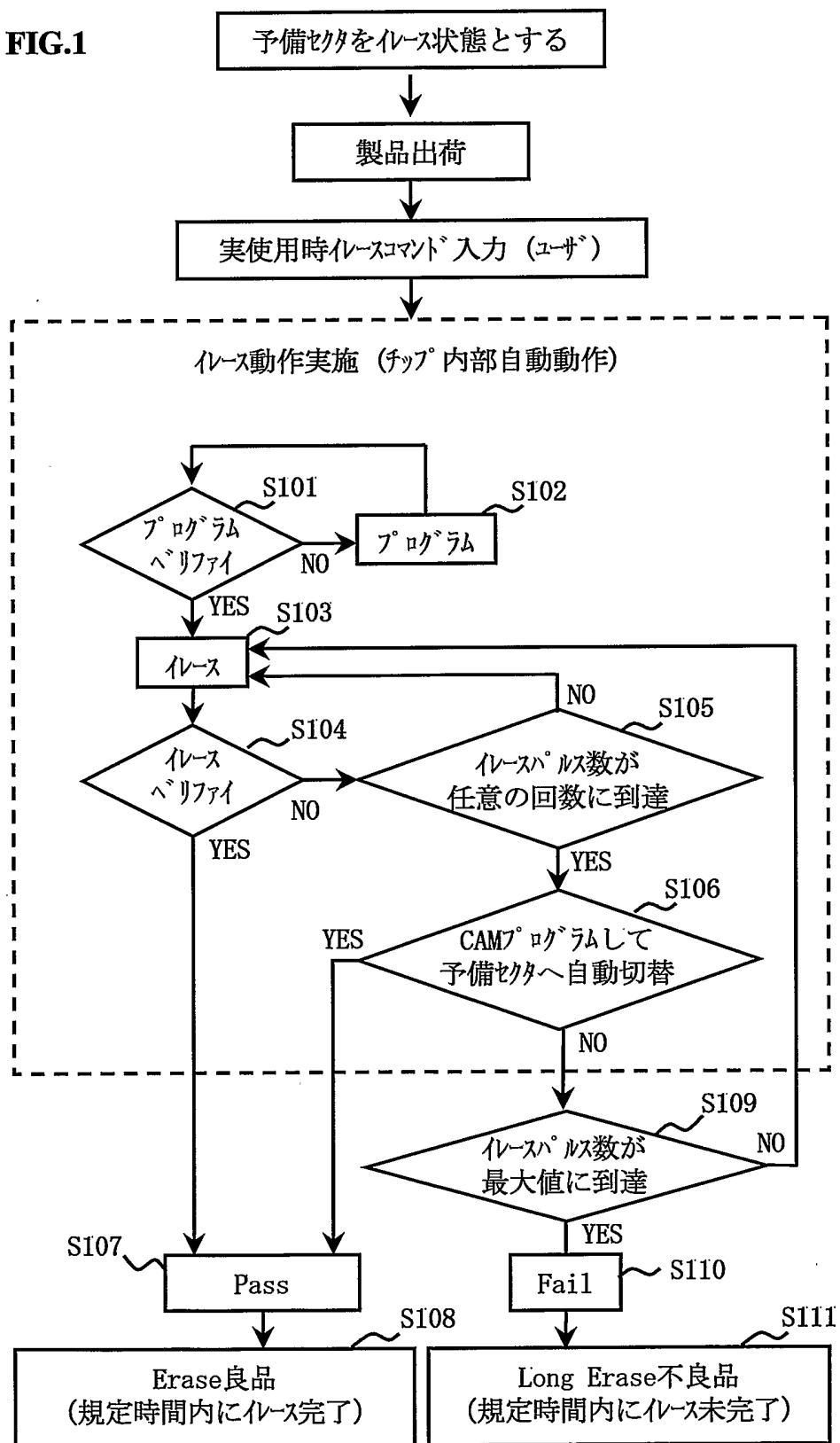
5 19. 前記劣化した特性を持つ前記選択された正規セクタのアドレスを記憶するステップを有する請求項14から18のいずれか一項記載の冗長方法。

20. 前記劣化した消去特性を持つ前記選択された正規セクタのアドレスを記憶するステップと、前記消去コマンドで指示されるアドレスと前記記憶したアドレスとを比較し、一致した場合に前記予備セクタを選択するステップとを有する

10 請求項14から18のいずれかに記載の冗長方法。

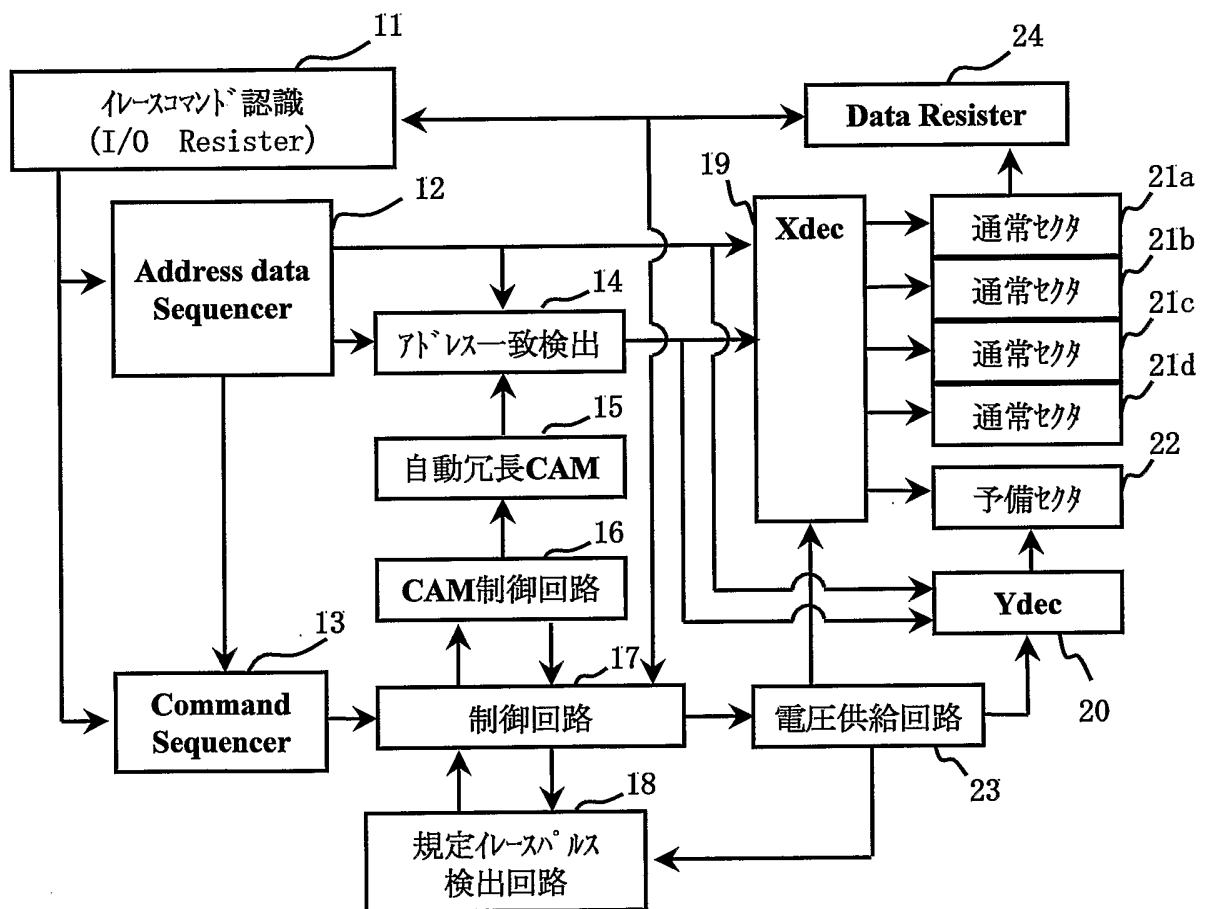
1/11

FIG.1



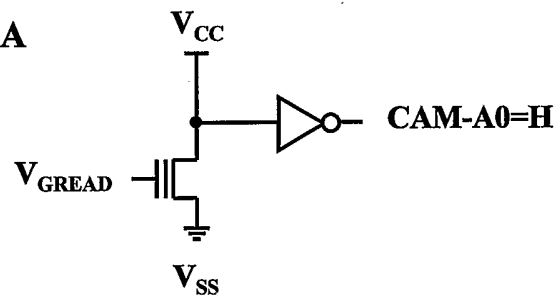
2/11

FIG.2



3/11

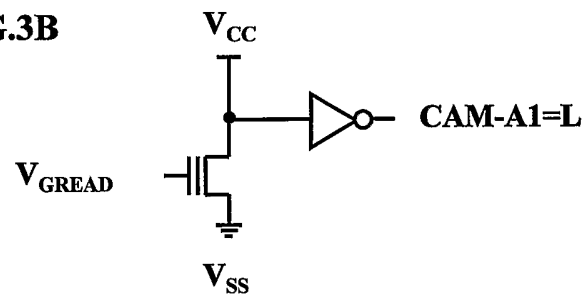
FIG.3A



イレース状態のため V_G でONする
(電流を流す)

CAM-A0

FIG.3B



プログラム状態のため V_G でONしない
(電流を流さない)

CAM-A1

4/11

FIG.4

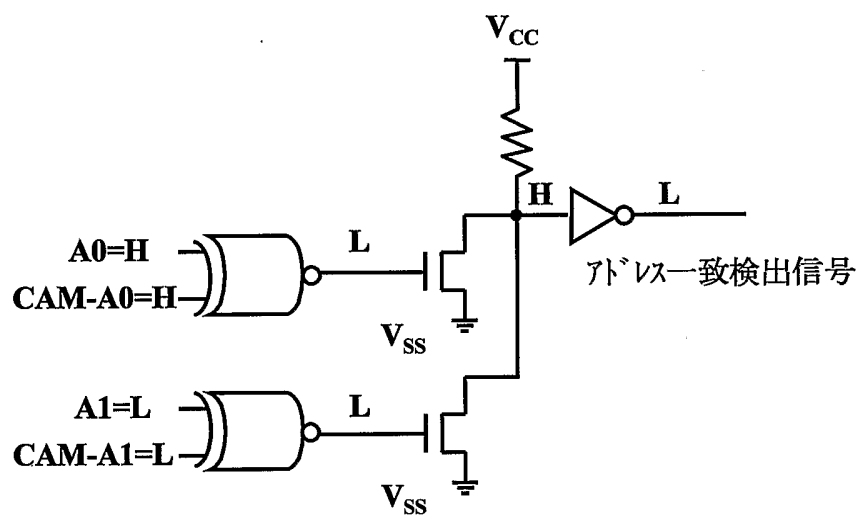
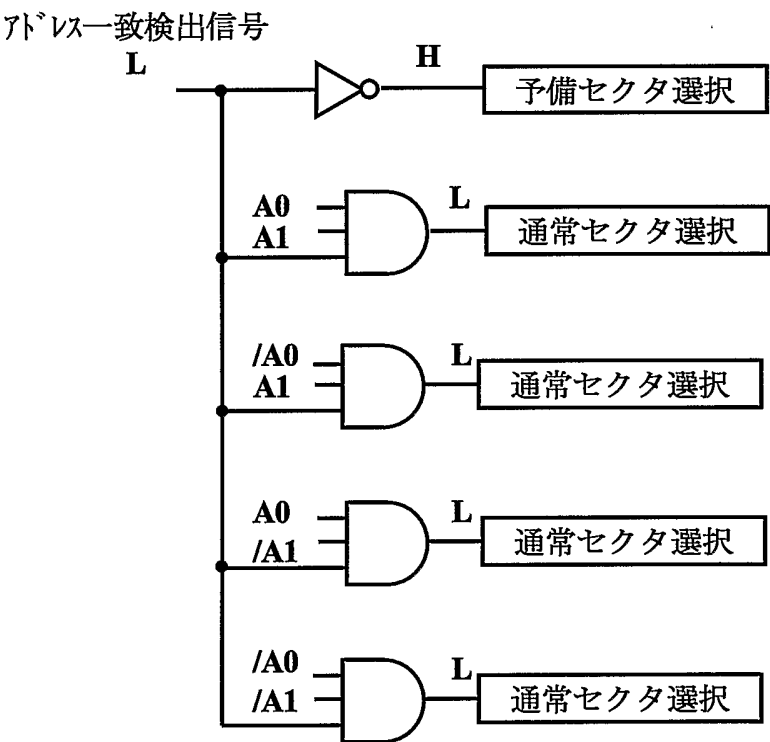


FIG.5



6/11

FIG.6

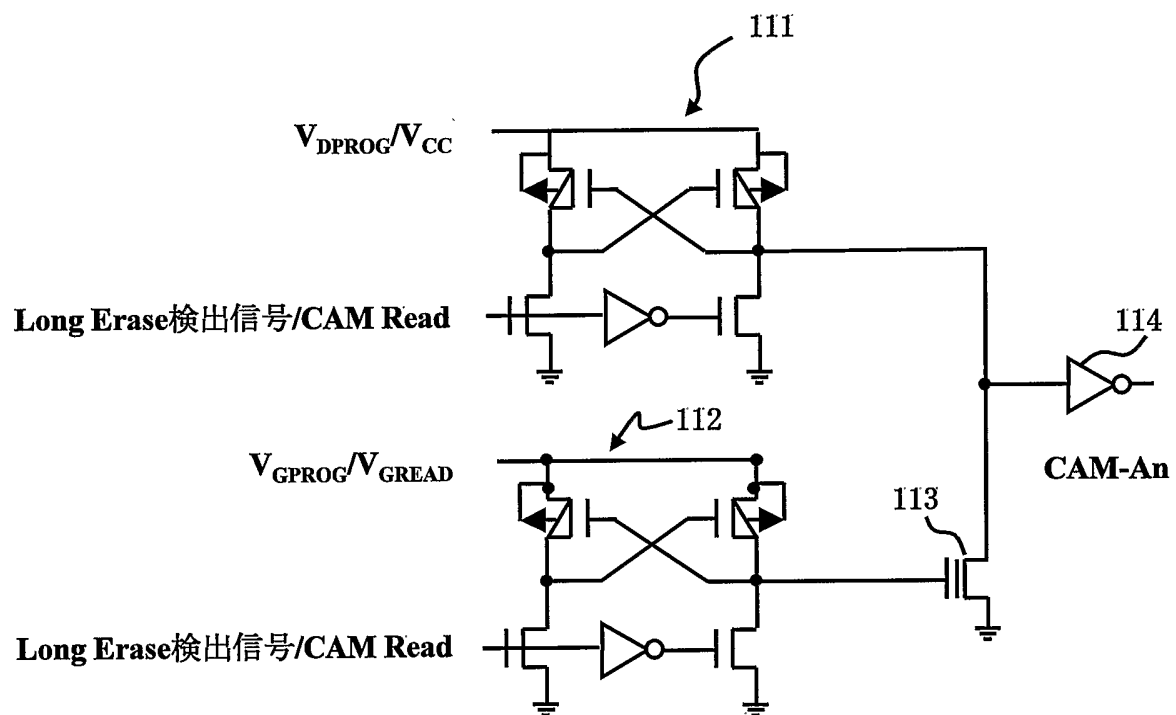


FIG.7A

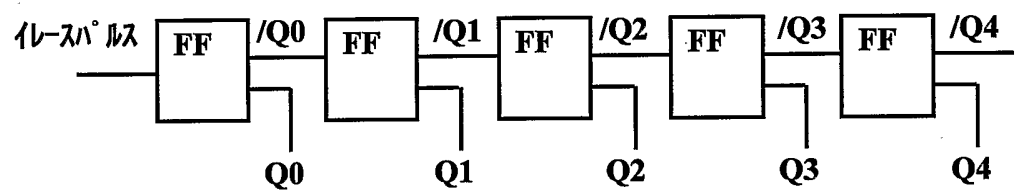
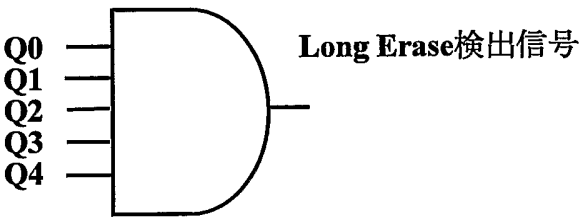
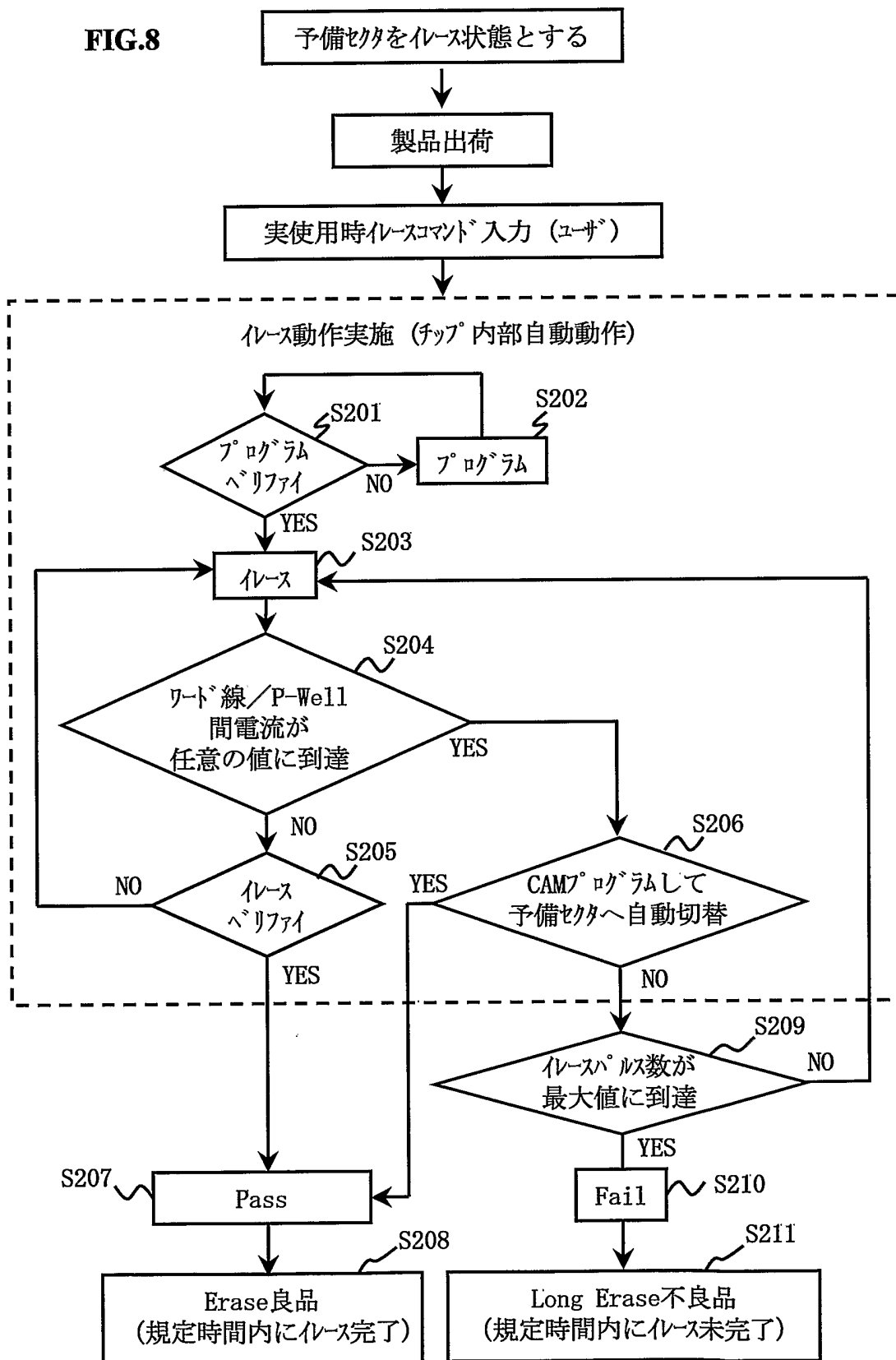


FIG.7B



8/11

FIG.8



9/11

FIG.9

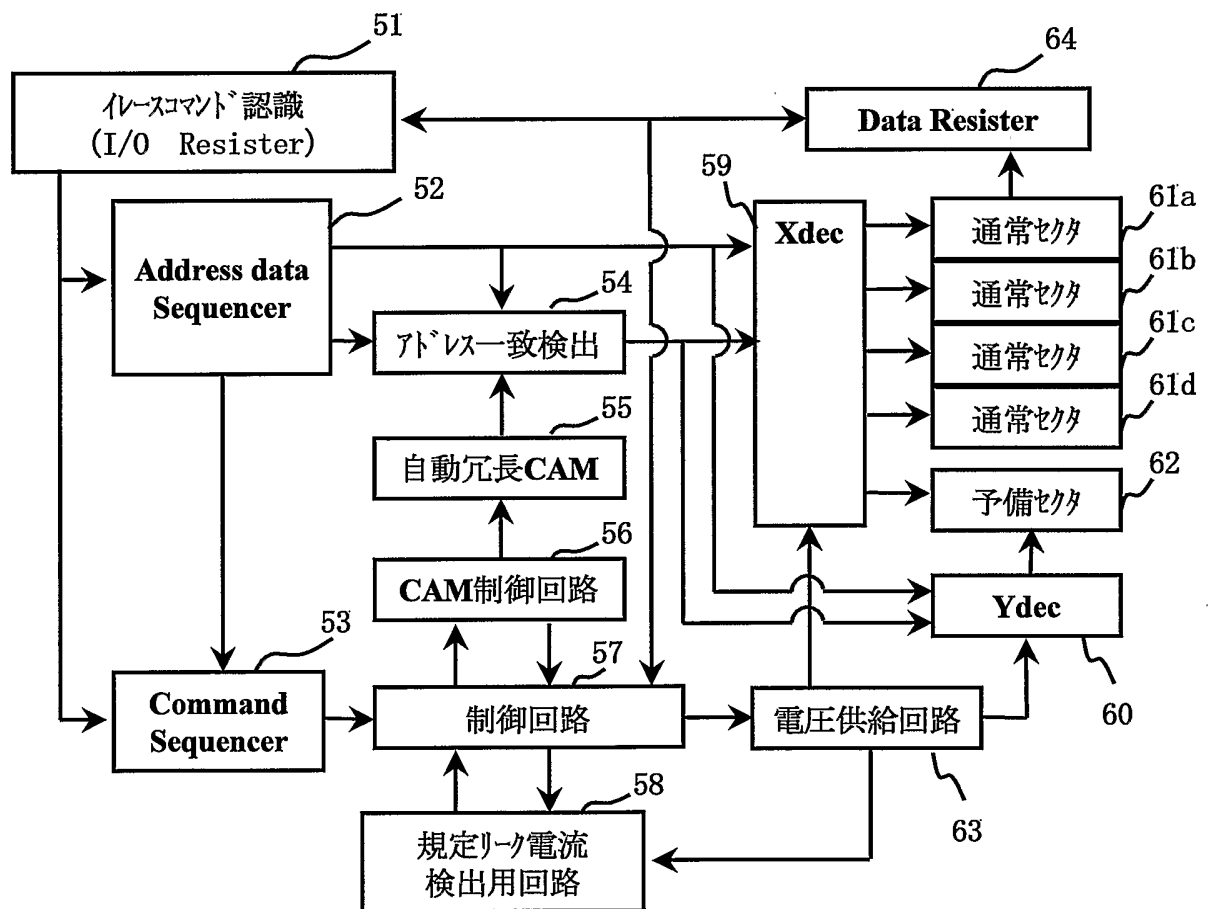
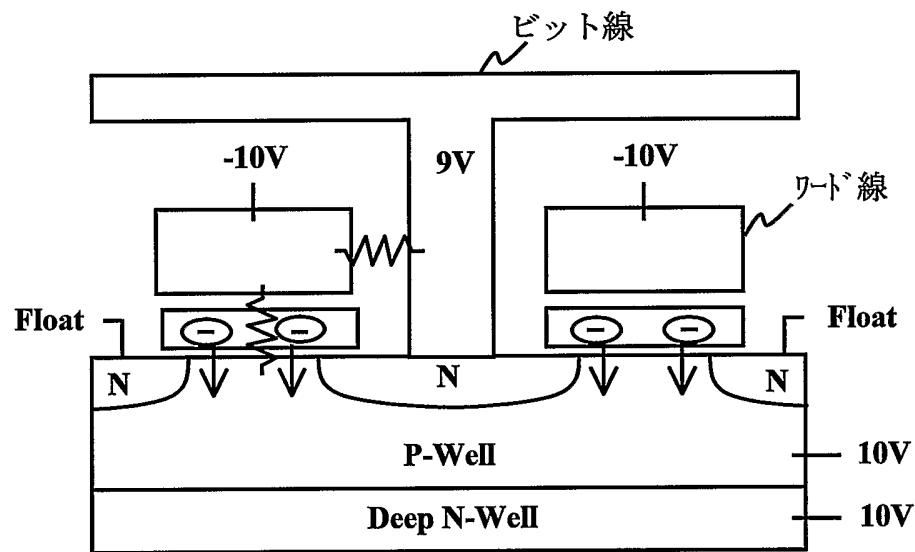
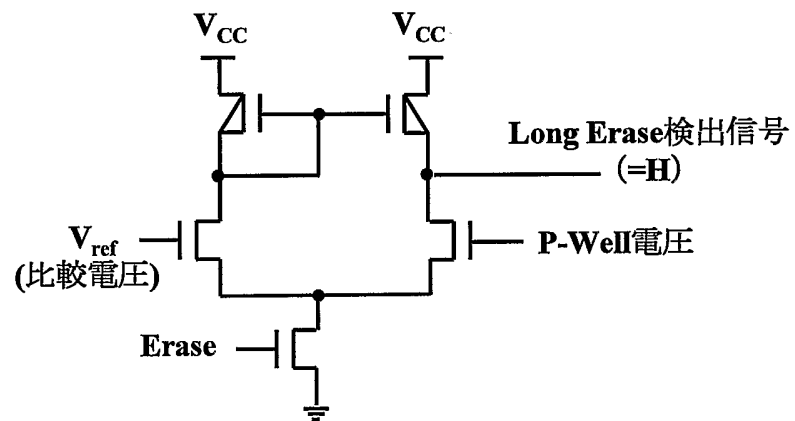


FIG.10



11/11

FIG.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005680

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C29/00, G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C29/00, G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-170389 A (Toshiba Corp.),	14-16, 19, 20
Y	14 June, 2002 (14.06.02),	1-6, 8-13, 17
A	Par. Nos. [0192] to [0206]; Figs. 26 to 28 (Family: none)	7, 18
X	JP 8-7597 A (Toshiba Corp.),	14-16, 19, 20
Y	12 January, 1996 (12.01.96),	1-6, 8-13, 17
A	Par. Nos. [0026] to [0028], [0041]; Figs. 2, 3 (Family: none)	7, 18
Y	JP 9-91977 A (Matsushita Electronics Corp.), 04 April, 1997 (04.04.97), Par. No. [0009] (Family: none)	5, 6, 17

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 August, 2004 (03.08.04)Date of mailing of the international search report
17 August, 2004 (17.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005680

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-313087 A (Matsushita Electric Industrial Co., Ltd.), 25 October, 2002 (25.10.02), Par. No. [0003] (Family: none)	1-6, 8-13
Y	JP 2001-195892 A (Fujitsu Ltd.), 19 July, 2001 (19.07.01), Par. No. [0009] (Family: none)	1-6, 8-13

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ G11C29/00 Int. Cl ⁷ G11C16/06		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ G11C29/00 Int. Cl ⁷ G11C16/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国実用新案登録公報 1996-2004年 日本国登録実用新案公報 1994-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2002-170389 A (株式会社東芝), 2002. 06. 14, 第0192~0206段落, 第26-28図 (ファミリーなし)	14-16, 19, 20 1-6, 8-13, 17 7, 18
X Y A	JP 8-7597 A (株式会社東芝), 1996. 01. 12, 第0026~0028段落, 第0041段落, 第2図, 第3図 (ファミリーなし)	14-16, 19, 20 1-6, 8-13, 17 7, 18
Y	JP 9-91977 A (松下電子工業株式会社), 1997. 04. 04, 第0009段落 (ファミリーなし)	5, 6, 17
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 03. 08. 2004		国際調査報告の発送日 17. 8. 2004
国際調査機関の名称及びびあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 飯田 清司 5 N 8 7 3 1 電話番号 03-3581-1101 内線 6842

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-313087 A (松下電器産業株式会社), 2002. 10. 25, 第0003段落 (ファミリーなし)	1-6, 8-13
Y	JP 2001-195892 A (富士通株式会社), 2001. 07. 19, 第0009段落 (ファミリーなし)	1-6, 8-13