

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6176062号
(P6176062)

(45) 発行日 平成29年8月9日 (2017.8.9)

(24) 登録日 平成29年7月21日 (2017.7.21)

(51) Int.Cl.

F I

HO 4 N 5/369 (2011.01)

HO 4 N 5/3745 (2011.01)

HO 1 L 27/146 (2006.01)

HO 4 N 5/369

HO 4 N 5/3745 7 0 0

HO 1 L 27/146 A

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2013-230219 (P2013-230219)	(73) 特許権者	000002185
(22) 出願日	平成25年11月6日 (2013.11.6)		ソニー株式会社
(65) 公開番号	特開2015-91025 (P2015-91025A)		東京都港区港南1丁目7番1号
(43) 公開日	平成27年5月11日 (2015.5.11)	(74) 代理人	100082131
審査請求日	平成28年2月9日 (2016.2.9)		弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	石渡 宏明
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	城戸 英男
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびその駆動方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の画素として、撮像画像を生成するための撮像素素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、

前記位相差検出画素は、

第 1 および第 2 の光電変換部と、
前記第 1 および第 2 の光電変換部それぞれに蓄積された電荷を電圧に変換する 2 つの FD (フローティングディフュージョン) と、

前記FDそれぞれの電圧を増幅する 2 つの増幅トランジスタと
を有し、

前記第 1 の光電変換部は、前記位相差検出画素に隣接する第 1 の撮像素素と、前記FDおよび前記増幅トランジスタを共有し、

前記第 2 の光電変換部は、前記位相差検出画素に隣接する、前記第 1 の撮像素素とは異なる第 2 の撮像素素と、前記FDおよび前記増幅トランジスタを共有し、

前記位相差検出画素と前記第 1 の撮像素素とは、1 つの画素共有単位に含まれ、

前記第 2 の撮像素素は他の画素共有単位に含まれ、

前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の間配置される

固体撮像装置。

【請求項 2】

前記画素共有単位は、

前記画素共有単位を構成する画素それぞれの前記FDに蓄積されている電荷を排出するリセットトランジスタと、

前記リセットトランジスタそれぞれに接続され、前記画素共有単位を構成する画素それぞれの前記FDの容量を変化させる変換効率切替トランジスタとを有する

請求項 1 に記載の固体撮像装置。

【請求項 3】

前記リセットトランジスタそれぞれのソースは、前記画素共有単位を構成する画素それぞれの前記FDに接続され、

前記リセットトランジスタそれぞれのドレインは、前記変換効率切替トランジスタのソースに接続される

請求項 2 に記載の固体撮像装置。

【請求項 4】

前記FDは、STI (Shallow Trench Isolation) による素子分離領域に囲まれて形成される

請求項 1 乃至 3 のいずれかに記載の固体撮像装置。

【請求項 5】

前記第 2 の撮像画素を含む前記画素共有単位は、前記位相差検出画素と前記第 1 の撮像画素とを含む前記画素共有単位の隣接行に配置される

請求項 1 に記載の固体撮像装置。

【請求項 6】

前記第 2 の光電変換部に対応する前記FDと、前記第 2 の撮像画素の前記FDとの間に、前記第 2 の光電変換部に蓄積された電荷を読み出すための読み出し用トランジスタが形成される

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記画素はそれぞれ、前記光電変換部に蓄積された電荷を前記FDに転送する転送トランジスタを有し、

前記転送トランジスタは、矩形状に形成される前記光電変換部の角部に形成される

請求項 1 乃至 6 のいずれかに記載の固体撮像装置。

【請求項 8】

前記画素共有単位は、縦 2 画素共有で構成される

請求項 1 乃至 7 のいずれかに記載の固体撮像装置。

【請求項 9】

前記画素共有単位は、 2×2 画素共有で構成される

請求項 1 乃至 7 のいずれかに記載の固体撮像装置。

【請求項 10】

複数の画素として、撮像画像を生成するための撮像画素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、

前記位相差検出画素が、第 1 および第 2 の光電変換部と、前記第 1 および第 2 の光電変換部それぞれに蓄積された電荷を電圧に変換する 2 つのFD (フローティングディフュージョン) と、前記FDそれぞれの電圧を増幅する 2 つの増幅トランジスタとを有し、

前記第 1 の光電変換部は、前記位相差検出画素に隣接する第 1 の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、

前記第 2 の光電変換部は、前記位相差検出画素に隣接する、前記第 1 の撮像画素とは異なる第 2 の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、

前記位相差検出画素と前記第 1 の撮像画素とは、1 つの画素共有単位に含まれ、

前記第 2 の撮像画素は他の画素共有単位に含まれ、

前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の間に配置される固体撮像装置の駆動方法であって、

10

20

30

40

50

前記固体撮像装置が、

前記位相差検出画素において、前記第1および第2の光電変換部における電荷の蓄積、および、前記第1および第2の光電変換部に蓄積された電荷に対応する信号の読み出しを、それぞれ同時に行う

ステップを含む固体撮像装置の駆動方法。

【請求項11】

複数の画素として、撮像画像を生成するための撮像画素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、

前記位相差検出画素は、

第1および第2の光電変換部と、

前記第1および第2の光電変換部それぞれに蓄積された電荷を電圧に変換する2つのFD（フローティングディフュージョン）と、

前記FDそれぞれの電圧を増幅する2つの増幅トランジスタと

を有し、

前記第1の光電変換部は、前記位相差検出画素に隣接する第1の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、

前記第2の光電変換部は、前記位相差検出画素に隣接する、前記第1の撮像画素とは異なる第2の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、

前記位相差検出画素と前記第1の撮像画素とは、1つの画素共有単位に含まれ、

前記第2の撮像画素は他の画素共有単位に含まれ、

前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の上に配置される固体撮像装置

を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像装置およびその駆動方法、並びに電子機器に関し、特に、AF速度とAF精度の向上を図ることができるようにする固体撮像装置およびその駆動方法、並びに電子機器に関する。

【背景技術】

【0002】

画素アレイ部に、撮像画素とともに位相差検出画素を設け、一对の位相差検出画素によって出力される信号のずれ量に基づいてAF（Auto Focus）を行う、いわゆる位相差検出方式によるAFを行う固体撮像装置が知られている。

【0003】

このような固体撮像装置の中には、1画素内に2つの光電変換部を設けることで、位相差検出画素の数を増やし、AF精度を向上させるようにしたものがある（例えば、特許文献1，2参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-165070号公報

【特許文献2】特開2007-243744号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1の位相差検出画素においては、2つの光電変換部が1つの増幅トランジスタを共有しているため、2つの光電変換部それぞれの露光、読み出しを同時に行うことができず、動きの速い被写体に対するAFの追従が不十分となってしまう。

【0006】

10

20

30

40

50

一方、特許文献2の位相差検出画素においては、2つの光電変換部それぞれについて、電荷を蓄積する電荷格納部を設けることで、2つの光電変換部それぞれの露光、読み出しを同時に行うことが可能とされる。

【0007】

しかしながら、電荷格納部を設けることで光電変換部の面積が小さくなって、位相差検出画素の感度が低下し、AF精度が下がってしまう。

【0008】

本技術は、このような状況に鑑みてなされたものであり、AF速度とAF精度の向上を図ることができるようにするものである。

【課題を解決するための手段】

【0009】

本技術の一側面の固体撮像装置は、複数の画素として、撮像画像を生成するための撮像画素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、前記位相差検出画素は、第1および第2の光電変換部と、前記第1および第2の光電変換部それぞれに蓄積された電荷を電圧に変換する2つのFD（フローティングディフュージョン）と、前記FDそれぞれの電圧を増幅する2つの増幅トランジスタとを有し、前記第1の光電変換部は、前記位相差検出画素に隣接する第1の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記第2の光電変換部は、前記位相差検出画素に隣接する、前記第1の撮像画素とは異なる第2の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記位相差検出画素と前記第1の撮像画素とは、1つの画素共有単位に含まれ、前記第2の撮像画素は他の画素共有単位に含まれ、前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の間に配置される。

【0013】

本技術の一側面の固体撮像装置の駆動方法は、複数の画素として、撮像画像を生成するための撮像画素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、前記位相差検出画素が、第1および第2の光電変換部と、前記第1および第2の光電変換部それぞれに蓄積された電荷を電圧に変換する2つのFD（フローティングディフュージョン）と、前記FDそれぞれの電圧を増幅する2つの増幅トランジスタとを有し、前記第1の光電変換部は、前記位相差検出画素に隣接する第1の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記第2の光電変換部は、前記位相差検出画素に隣接する、前記第1の撮像画素とは異なる第2の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記位相差検出画素と前記第1の撮像画素とは、1つの画素共有単位に含まれ、前記第2の撮像画素は他の画素共有単位に含まれ、前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の間に配置される固体撮像装置の駆動方法であって、前記固体撮像装置が、前記位相差検出画素において、前記第1および第2の光電変換部における電荷の蓄積、および、前記第1および第2の光電変換部に蓄積された電荷に対応する信号の読み出しを、それぞれ同時に行うステップを含む。

【0014】

本技術の一側面の電子機器は、複数の画素として、撮像画像を生成するための撮像画素と、位相差検出を行うための位相差検出画素とが配置された画素アレイ部を備え、前記位相差検出画素は、第1および第2の光電変換部と、前記第1および第2の光電変換部それぞれに蓄積された電荷を電圧に変換する2つのFD（フローティングディフュージョン）と、前記FDそれぞれの電圧を増幅する2つの増幅トランジスタとを有し、前記第1の光電変換部は、前記位相差検出画素に隣接する第1の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記第2の光電変換部は、前記位相差検出画素に隣接する、前記第1の撮像画素とは異なる第2の撮像画素と、前記FDおよび前記増幅トランジスタを共有し、前記位相差検出画素と前記第1の撮像画素とは、1つの画素共有単位に含まれ、前記第2の撮像画素は他の画素共有単位に含まれ、前記増幅トランジスタを含む画素トランジスタは、前記画素共有単位を構成する画素同士の間に配置される固体撮像装置を備える。

【0015】

10

20

30

40

50

本技術の一側面においては、位相差検出画素において、2つのFDによって、第1および第2の光電変換部それぞれに蓄積された電荷が電圧に変換され、2つの増幅トランジスタによって、FDそれぞれの電圧が増幅される。第1の光電変換部において、位相差検出画素に隣接する第1の撮像素素と、FDおよび増幅トランジスタが共有され、第2の光電変換部において、位相差検出画素に隣接する、第1の撮像素素とは異なる第2の撮像素素と、FDおよび増幅トランジスタが共有され、位相差検出画素と第1の撮像素素とは、1つの画素共有単位に含まれ、第2の撮像素素は他の画素共有単位に含まれ、増幅トランジスタを含む画素トランジスタは、画素共有単位を構成する画素同士の間に配置される。

【発明の効果】

【0016】

本技術の一側面によれば、AF速度とAF精度の向上を図ることが可能となる。

【図面の簡単な説明】

【0017】

【図1】本技術を適用した固体撮像装置を備える電子機器の構成例を示すブロック図である。

【図2】画素配置について説明する図である。

【図3】FDおよび増幅トランジスタの共有について説明する図である。

【図4】本技術の第1の実施の形態の画素の構成例を示す平面図である。

【図5】本技術の第1の実施の形態の画素の構成例を示す回路図である。

【図6】本技術の第1の実施の形態の画素の他の構成例を示す平面図である。

【図7】本技術の第1の実施の形態の画素の他の構成例を示す回路図である。

【図8】本技術の第2の実施の形態の画素の構成例を示す平面図である。

【図9】本技術の第2の実施の形態の画素の構成例を示す回路図である。

【図10】FDの構成について説明するフローチャートである。

【図11】FDの構成について説明するフローチャートである。

【図12】本技術の第3の実施の形態の画素の構成例を示す平面図である。

【図13】本技術の第3の実施の形態の画素の構成例を示す回路図である。

【図14】本技術の第3の実施の形態の画素の他の構成例を示す平面図である。

【図15】本技術の第3の実施の形態の画素の他の構成例を示す回路図である。

【発明を実施するための形態】

【0018】

以下、本技術の実施の形態について図を参照して説明する。

【0019】

< 電子機器の機能構成例 >

図1は、本技術を適用した固体撮像装置を備える電子機器の一実施の形態を示すブロック図である。

【0020】

図1の電子機器1は、デジタルカメラや撮像機能を有する携帯端末等として構成され、AF (Auto Focus) 機能により、被写体を撮像して撮像画像を生成し、静止画像または動画として記録する。以下においては、主に静止画像が記録されるものとする。

【0021】

電子機器1は、レンズ部11、操作部12、制御部13、イメージセンサ14、信号処理部15、記憶部16、表示部17、合焦判定部18、および駆動部19から構成される。

【0022】

レンズ部11は、被写体からの光(被写体光)を集光する。レンズ部11により集光された被写体光は、イメージセンサ14に入射される。

【0023】

レンズ部11は、ズームレンズ21、絞り22、フォーカスレンズ23を備えている。

【0024】

10

20

30

40

50

ズームレンズ 21 は、駆動部 19 の駆動により光軸方向に移動することにより焦点距離を変動させて、撮像画像に含まれる被写体の倍率を調整する。絞り 22 は、駆動部 19 の駆動により開口の度合いを変化させて、イメージセンサ 14 に入射する被写体光の光量を調整する。フォーカスレンズ 23 は、駆動部 19 の駆動により光軸方向に移動することによりフォーカスを調整する。

【0025】

操作部 12 は、ユーザからの操作を受け付ける。操作部 12 は、例えば、シャッターボタン（図示せず）が押下された場合、その旨の操作信号を制御部 13 に供給する。

【0026】

制御部 13 は、電子機器 1 の各部の動作を制御する。

10

【0027】

例えば、制御部 13 は、シャッターボタンが押下された旨の操作信号を受け付けた場合、静止画像の記録の指示を、信号処理部 15 に供給する。また、制御部 13 は、表示部 17 に、被写体のリアルタイムな画像であるライブビュー画像を表示する場合、ライブビュー画像の生成の指示を、信号処理部 15 に供給する。

【0028】

また、制御部 13 は、位相差検出方式によりフォーカスの合焦判定を行う場合、合焦判定を行う動作（位相差検出動作）の指示を、信号処理部 15 に供給する。位相差検出方式とは、撮像レンズを通過した光を瞳分割して一对の像を形成し、形成された像の間隔（像の間のずれ量）を計測（位相差を検出）することによって合焦の度合いを検出する焦点検出方法である。

20

【0029】

イメージセンサ 14 は、受光した被写体光を電気信号に光電変換する固体撮像装置である。

【0030】

例えば、イメージセンサ 14 は、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサや CCD（Charge Coupled Device）イメージセンサ等により実現される。イメージセンサ 14 が CMOS イメージセンサである場合、表面照射型であってもよいし、裏面照射型であってもよい。また、イメージセンサ 14 が裏面照射型の CMOS イメージセンサである場合、画素アレイ部を含む半導体基板とロジック回路を含む半導体基板とを貼り合わせた、積層型の CMOS イメージセンサとして構成されるようにしてもよい。

30

【0031】

イメージセンサ 14 は、複数の画素として、受光した被写体光に基づいて撮像画像を生成するための信号を生成する画素（撮画像素）と、位相差検出を行うための信号を生成する画素（位相差検出画素）とが配置される画素アレイ部を備える。イメージセンサ 14 は、光電変換により発生した電気信号を信号処理部 15 に供給する。

【0032】

信号処理部 15 は、イメージセンサ 14 から供給された電気信号に対して各種の信号処理を施す。

【0033】

例えば、信号処理部 15 は、制御部 13 から静止画像の記録の指示が供給されている場合、静止画像のデータ（静止画像データ）を生成し、記憶部 16 に供給する。また、信号処理部 15 は、制御部 13 からライブビュー画像の生成の指示が供給されている場合、イメージセンサ 14 における撮画像素からの出力信号に基づいて、ライブビュー画像のデータ（ライブビュー画像データ）を生成し、表示部 17 に供給する。

40

【0034】

また、信号処理部 15 は、制御部 13 から位相差検出動作の指示が供給されている場合、イメージセンサ 14 における位相差検出画素からの出力信号に基づいて、位相差を検出するためのデータ（位相差検出用データ）を生成し、合焦判定部 18 に供給する。

【0035】

50

記憶部 16 は、信号処理部 15 から供給された画像データを記録する。記憶部 16 は、例えば、DVD (Digital Versatile Disk) 等のディスクやメモリカード等の半導体メモリ等、1 または複数のリムーバブルな記録媒体として構成される。これらの記録媒体は、電子機器 1 に内蔵されるようにしてもよいし、電子機器 1 から着脱可能とするようにしてもよい。

【0036】

表示部 17 は、信号処理部 15 から供給された画像データに基づいて、画像を表示する。例えば、表示部 17 は、信号処理部 15 からライブビュー画像データが供給された場合、ライブビュー画像を表示する。表示部 17 は、例えば、LCD (Liquid Crystal Display) や有機EL (Electro-Luminescence) ディスプレイ等により実現される。

10

【0037】

合焦判定部 18 は、信号処理部 15 から供給された位相差検出用データに基づいて、フォーカスを合わせる対象の物体 (合焦対象物) に対してフォーカスが合っているか否かを判定する。合焦判定部 18 は、フォーカスエリアにおける物体にフォーカスが合っている場合、合焦していることを示す情報を合焦判定結果として、駆動部 19 に供給する。また、合焦判定部 18 は、合焦対象物にフォーカスが合っていない場合、フォーカスのずれの量 (デフォーカス量) を算出し、その算出したデフォーカス量を示す情報を合焦判定結果として、駆動部 19 に供給する。

【0038】

駆動部 19 は、ズームレンズ 21、絞り 22、およびフォーカスレンズ 23 を駆動させる。例えば、駆動部 19 は、合焦判定部 18 から供給された合焦判定結果に基づいて、フォーカスレンズ 23 の駆動量を算出し、その算出した駆動量に応じてフォーカスレンズ 23 を移動させる。

20

【0039】

具体的には、駆動部 19 は、フォーカスが合っている場合には、フォーカスレンズ 23 の現在の位置を維持させる。また、駆動部 19 は、フォーカスが合っていない場合には、デフォーカス量を示す合焦判定結果およびフォーカスレンズ 23 の位置に基づいて駆動量 (移動距離) を算出し、その駆動量に応じてフォーカスレンズ 23 を移動させる。

【0040】

<画素アレイ部の画素配列について>

30

次に、図 2 を参照して、イメージセンサ 14 の画素アレイ部の画素配置について説明する。

【0041】

図 2 に示されるように、イメージセンサ 14 の画素アレイ部には、黒色の正方形で示される複数の撮像素素 31 が行列状に 2 次元配置されている。撮像素素 31 は、R 画素、G 画素、および B 画素からなり、これらは、ベイア配列に従い規則的に配置されている。

【0042】

また、イメージセンサ 14 の画素アレイ部には、行列状に 2 次元配置される複数の撮像素素 31 の中に、白色の正方形で示される複数の位相差検出画素 32 が散在して配置されている。具体的には、位相差検出画素 32 は、イメージセンサ 14 の画素アレイ部において、撮像素素 31 の一部を置き換えることで、特定のパターンで規則的に配置されている。なお、イメージセンサ 14 における撮像素素 31 および位相差検出画素 32 の配置は、これに限られるものではなく、他のパターンで配置されるようにしてもよい。

40

【0043】

<画素の詳細な構成例>

図 3 は、画素アレイ部に配置される撮像素素 31 および位相差検出画素 32 のより詳細な構成例を示している。

【0044】

図 3 A, B に示されるように、撮像素素 31 は、1 つの光電変換部 (フォトダイオード) 41 を備えている。撮像素素 31 においては、受光した被写体光が光電変換部 41 によ

50

り光電変換されることで生じる電荷に基づいて、撮像画像を生成するための信号が生成される。

【 0 0 4 5 】

また、図示はしないが、撮像素子 3 1 は、光電変換部 4 1 に蓄積された電荷を転送する転送トランジスタ、光電変換部 4 1 から転送された電荷を蓄積し電圧に変換するFD（フローティングディフュージョン）、FDに蓄積されている電荷を排出（リセット）するリセットトランジスタ、FDの電圧を増幅し垂直信号線に出力する増幅トランジスタを、少なくとも備えている。なお、増幅トランジスタと垂直信号線との間に、増幅トランジスタの電圧の垂直信号線への出力をオン／オフする選択トランジスタが設けられるようにしてもよい。

10

【 0 0 4 6 】

一方、位相差検出画素 3 2 は、2つの光電変換部 4 2 A , 4 2 Bを備えている。位相差検出画素 3 2 においては、受光した被写体光が光電変換部 4 2 A , 4 2 Bそれぞれにより光電変換されることで生じる電荷に基づいて、位相差検出を行うための信号が生成される。

【 0 0 4 7 】

また、図示はしないが、位相差検出画素 3 2 は、光電変換部 4 2 A , 4 2 Bそれぞれに対応して、転送トランジスタ、FD、リセットトランジスタ、増幅トランジスタを2ずつ有している。

【 0 0 4 8 】

具体的には、光電変換部 4 2 A , 4 2 Bは、それぞれ、位相差検出画素 3 2 に隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有している。

20

【 0 0 4 9 】

例えば、図 3 Aにおいて、光電変換部 4 2 Aは、破線 aで示されるように、位相差検出画素 3 2 の下側に隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有する一方、光電変換部 4 2 Bは、破線 bで示されるように、位相差検出画素 3 2 の右側に隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有するようにできる。

【 0 0 5 0 】

また、図 3 Bにおいて、光電変換部 4 2 Aは、破線 cで示されるように、位相差検出画素 3 2 の下側に隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有する一方、光電変換部 4 2 Bは、破線 dで示されるように、位相差検出画素 3 2 の上側に隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有するようにしてもよい。

30

【 0 0 5 1 】

このように、位相差検出画素 3 2 において、2つの光電変換部 4 2 A , 4 2 Bが、それぞれ異なる隣接画素のFDおよび増幅トランジスタを共有しているので、イメージセンサ 1 4は、2つの光電変換部 4 2 A , 4 2 Bそれぞれの露光（電荷の蓄積）、および、蓄積された電荷に対応する信号の読み出しを同時に行うようになる。

40

【 0 0 5 2 】

以下、光電変換部 4 2 A , 4 2 Bが、隣接する撮像素子 3 1 の光電変換部 4 1 と、FD、リセットトランジスタ、および増幅トランジスタを共有する実施の形態について説明する。

【 0 0 5 3 】

< 第 1 の実施の形態の構成例 >

まず、図 4 および図 5を参照して、本技術の第 1 の実施の形態の撮像素子および位相差検出画素の構成例について説明する。図 4は、撮像素子および位相差検出画素の構成例を示す平面図であり、図 5は、撮像素子および位相差検出画素の構成例を示す回路図である。

50

【 0 0 5 4 】

図 4 および図 5 には、3 つの撮像素素 3 1 G r , 3 1 G b , 3 1 R と、1 つの位相差検出画素 3 2 が示されている。

【 0 0 5 5 】

この例では、位相差検出画素 3 2 と撮像素素 3 1 G r 、撮像素素 3 1 G b と撮像素素 3 1 R が、それぞれ縦 2 画素共有の構成をなしている。

【 0 0 5 6 】

撮像素素 3 1 G r , 3 1 G b , 3 1 R はそれぞれ、光電変換部 4 1 、転送トランジスタ 5 1 、FD 5 2 、リセットトランジスタ 5 3 、増幅トランジスタ 5 4 、選択トランジスタ 5 5 、および、光電変換部 4 1 に蓄積されている電荷を排出するオーバーフロー制御トランジスタ 5 6 を有している。

10

【 0 0 5 7 】

撮像素素 3 1 G r , 3 1 G b , 3 1 R にオーバーフロー制御トランジスタ 5 6 を設けることにより、画素間の光学対称性が保たれ、撮像特性の差を低減することができる。また、オーバーフロー制御トランジスタ 5 6 をオンすることで、隣接する画素のブルーミングを抑制することができる。

【 0 0 5 8 】

また、位相差検出画素 3 2 は、光電変換部 4 2 A , 4 2 B と、光電変換部 4 2 A , 4 2 B それぞれに対応する転送トランジスタ 5 1 、FD 5 2 、リセットトランジスタ 5 3 、増幅トランジスタ 5 4 、および選択トランジスタ 5 5 を有している。

20

【 0 0 5 9 】

なお、光電変換部 4 2 B に対応する FD 5 2 は、撮像素素 3 1 G b の光電変換部 4 1 と共有されている。

【 0 0 6 0 】

さらに、図 4 に示されるように、位相差検出画素 3 2 において光電変換部 4 2 A に対応する FD 5 2 と、撮像素素 3 1 G r の FD 5 2 とは、それぞれ配線 FDL によって、増幅トランジスタ 5 4 のゲート電極に接続されている。これにより、光電変換部 4 2 A は、撮像素素 3 1 G r の光電変換部 4 1 と、FD 5 2 、増幅トランジスタ 5 4 、および選択トランジスタ 5 5 を共有するようになる。

30

【 0 0 6 1 】

また、位相差検出画素 3 2 において光電変換部 4 2 B に対応する FD 5 2 (すなわち、撮像素素 3 1 G b の FD 5 2) と、撮像素素 3 1 R の FD 5 2 は、それぞれ配線 FDL によって、増幅トランジスタ 5 4 のゲート電極に接続されている。これにより、光電変換部 4 2 B は、撮像素素 3 1 G b , 3 1 R の光電変換部 4 1 と、FD 5 2 、増幅トランジスタ 5 4 、および選択トランジスタ 5 5 を共有するようになる。

【 0 0 6 2 】

以上の構成によれば、位相差検出画素において、2 つの光電変換部が、それぞれ異なる隣接画素の FD および増幅トランジスタを共有しているので、電荷格納部を設けることなく、2 つの光電変換部それぞれの露光、読み出しを同時に行うことができ、AF 速度と AF 精度の向上を図ることが可能となる。

40

【 0 0 6 3 】

< 第 1 の実施の形態の他の構成例 >

次に、図 6 および図 7 を参照して、本技術の第 1 の実施の形態の撮像素素および位相差検出画素の他の構成例について説明する。図 6 は、撮像素素および位相差検出画素の構成例を示す平面図であり、図 7 は、撮像素素および位相差検出画素の構成例を示す回路図である。

【 0 0 6 4 】

なお、図 6 および図 7 に示される撮像素素 3 1 G b , G r , R 、および位相差検出画素 3 2 と、図 4 および図 5 に示される撮像素素 3 1 G b , G r , R 、および位相差検出画素 3 2 とで、同様に形成される部分については、その説明を省略する。

50

【 0 0 6 5 】

すなわち、図 6 および図 7 に示される撮像素子 31 Gr, 31 Gb, 31 R、および位相差検出画素 32 は、図 4 および図 5 に示される構成に加え、画素共有単位で、変換効率切替トランジスタ 58 を 2 つずつ有している。具体的には、撮像素子 31 Gr, 31 Gb, 31 R、および位相差検出画素 32 における FD 52 に、それぞれ変換効率切替トランジスタ 58 が接続されている。

【 0 0 6 6 】

画素共有単位（例えば、位相差検出画素 32 と撮像素子 31 Gr の 2 画素）において、2 つの変換効率切替トランジスタ 58 のうちのいずれか一方がオンされると、その変換効率切替トランジスタ 58 と FD 52 とが電氣的に結合され、FD 52 の浮遊拡散領域が拡大し、FD 52 の容量が増え、変換効率が下げられる。また、2 つの変換効率切替トランジスタ 58 の両方がオンされると、FD 52 の浮遊拡散領域がさらに拡大し、変換効率がさらに下げられる。

【 0 0 6 7 】

このように、変換効率切替トランジスタ 58 のオン/オフによって、FD 52 の変換効率を切り替えることができるので、低照度下では、2 つの変換効率切替トランジスタ 58 の両方をオフし、変換効率を上げることで、S/N (Signal to Noise) 比を良くするとともに、高照度下では、変換効率切替トランジスタ 58 をオンすることで、光電変換部 41 (42 A, 42 B) からの飽和信号量を FD 52 が全て受けることが可能となる。

【 0 0 6 8 】

< 第 2 の実施の形態の構成例 >

次に、図 8 および図 9 を参照して、本技術の第 2 の実施の形態の撮像素子および位相差検出画素の構成例について説明する。図 8 は、撮像素子および位相差検出画素の構成例を示す平面図であり、図 9 は、撮像素子および位相差検出画素の構成例を示す回路図である。

【 0 0 6 9 】

図 8 および図 9 には、1 つの撮像素子 31 と、1 つの位相差検出画素 32 が示されている。

【 0 0 7 0 】

この例では、位相差検出画素 32 と撮像素子 31 が縦 2 画素共有の構成をなしている。

【 0 0 7 1 】

撮像素子 31 は、光電変換部 41、転送トランジスタ 51, 51 D、FD 52、リセットトランジスタ 53、増幅トランジスタ 54、および選択トランジスタ 55 を有している。ここで、転送トランジスタ 51 D は、画素構造の対称性を保つために設けられており、転送トランジスタ 51 と異なり、光電変換部 41 の電荷を転送する等の機能を有しない。なお、撮像素子 31 において、光電変換部 41 に蓄積されている電荷を排出するオーバーフロー制御トランジスタを設けるようにしてもよい。

【 0 0 7 2 】

また、位相差検出画素 32 は、光電変換部 42 A, 42 B と、光電変換部 42 A, 42 B それぞれに対応する転送トランジスタ 51、FD 52、リセットトランジスタ 53、増幅トランジスタ 54、および選択トランジスタ 55 を有している。

【 0 0 7 3 】

なお、光電変換部 42 B に対応する FD は、位相差検出画素 32 に隣接する図示せぬ撮像素子の光電変換部と共有されている。

【 0 0 7 4 】

さらに、図 8 に示されるように、位相差検出画素 32 において光電変換部 42 A に対応する FD 52 と、撮像素子 31 の FD 52 とは、それぞれ配線 FDL によって、増幅トランジスタ 54 のゲート電極に接続されている。これにより、光電変換部 42 A は、撮像素子 31 の光電変換部 41 と、FD 52、増幅トランジスタ 54、および選択トランジスタ 55 を共有するようになる。

【 0 0 7 5 】

また、位相差検出画素 3 2 において光電変換部 4 2 B に対応する FD 5 2 と、図示せぬ撮像画素の FD は、それぞれ図示せぬ配線 FDL によって、図示せぬ撮像画素の増幅トランジスタのゲート電極に接続される。これにより、光電変換部 4 2 B は、図示せぬ撮像画素の光電変換部と、FD、増幅トランジスタ、および選択トランジスタを共有するようになる。

【 0 0 7 6 】

以上の構成によれば、位相差検出画素において、2つの光電変換部が、それぞれ異なる隣接画素のFDおよび増幅トランジスタを共有しているため、電荷格納部を設けることなく、2つの光電変換部それぞれの露光、読み出しを同時に行うことができ、AF速度とAF精度の向上を図ることが可能となる。

10

【 0 0 7 7 】

なお、この例では、画素共有単位を構成する画素同士（撮像画素 3 1 および位相差検出画素 3 2）の間に、増幅トランジスタ 5 4 を含む画素トランジスタが配置されている。このような構成により、図 8 の破線 e で囲まれる部分を拡大した図 1 0 に示されるように、それぞれの画素における FD 5 2 と、増幅トランジスタ 5 4 とが互いに隣接する位置に配置されるようになるので、FD 5 2 と増幅トランジスタ 5 4 とを接続する配線 FDL の配線長を短く設計することができ、変換効率を上げることができる。

【 0 0 7 8 】

さらに、この例では、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 のソースは、画素それぞれの FD 5 2 に接続されている。これにより、FD 5 2 の容量を減らすことができ、変換効率を上げることができる。

20

【 0 0 7 9 】

さらにまた、この例では、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 のドレインは、それぞれ変換効率切替トランジスタ 6 1 のソースに接続されている。このような構成により、画素それぞれのリセットトランジスタ 5 3 のオン/オフによって FD 5 2 の容量を変化させることができ、変換効率を設定することができる。

【 0 0 8 0 】

具体的には、撮像画素 3 1 および位相差検出画素 3 2 それぞれの転送トランジスタ 5 1 がオンされた状態で、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 をオフするとともに、変換効率切替トランジスタ 6 1 をオフした場合、画素共有単位における FD の容量は、撮像画素 3 1 の FD 5 2 の容量と、位相差検出画素 3 2 の FD 5 2 の容量との合計となる。

30

【 0 0 8 1 】

また、撮像画素 3 1 および位相差検出画素 3 2 それぞれの転送トランジスタ 5 1 がオンされた状態で、撮像画素 3 1 および位相差検出画素 3 2 のいずれかのリセットトランジスタ 5 3 をオンするとともに、変換効率切替トランジスタ 6 1 をオフした場合、画素共有単位における FD の容量は、撮像画素 3 1 の FD 5 2 の容量と、位相差検出画素 3 2 の FD 5 2 の容量に、オンされたリセットトランジスタ 5 3 のゲート容量とドレイン部分の容量とが加算された容量となる。これにより、上述した場合より、変換効率を下げるができる。

【 0 0 8 2 】

40

さらに、撮像画素 3 1 および位相差検出画素 3 2 それぞれの転送トランジスタ 5 1 がオンされた状態で、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 をオンするとともに、変換効率切替トランジスタ 6 1 をオフした場合、画素共有単位における FD の容量は、撮像画素 3 1 の FD 5 2 の容量と、位相差検出画素 3 2 の FD 5 2 の容量に、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 のゲート容量とドレイン部分の容量とが加算された容量となる。これにより、上述した場合より、変換効率をさらに下げることができる。

【 0 0 8 3 】

なお、撮像画素 3 1 および位相差検出画素 3 2 それぞれのリセットトランジスタ 5 3 をオンするとともに、変換効率切替トランジスタ 6 1 をオンした場合、FD 5 2 に蓄積された

50

電荷はリセットされる。

【0084】

また、この例では、FD52（リセットトランジスタ53のソース）は、STI（Shallow Trench Isolation）による素子分離領域に囲まれて形成されている。

【0085】

図11は、図10における両矢印a - a'でのFD52部分の断面図を示している。

【0086】

図11に示されるように、FD52の周囲を、SiO₂等よりなる、STIによる素子分離領域62に囲まれて形成されるようにする。これにより、FD52の拡散を素子分離領域62で抑制することができ、FD線幅を素子分離領域62間の幅で規定することができる。したがって、FD52の容量減少による変換効率の向上だけでなく、生産ばらつき（具体的には、FD52形成の際のチャンネルインプラント工程における、レジストに対する線幅のばらつきや重ね合わせのばらつき）を抑制することができる。

10

【0087】

さらに、この例では、図8に示されるように、各画素の転送トランジスタ51は、矩形状に形成される、各画素の光電変換部の角部に形成されている。このような構成により、1画素セル内における素子分離面積が小さくなり、光電変換部の面積を拡大することができる。したがって、位相差検出画素32のように、1画素セル内で光電変換部が2つに分けられた場合でも、飽和電荷量Q_sの観点で有利に設計を行うことができる。

20

【0088】

< 第3の実施の形態の構成例 >

次に、図12および図13を参照して、本技術の第3の実施の形態の撮像素素および位相差検出画素の構成例について説明する。図12は、撮像素素および位相差検出画素の構成例を示す平面図であり、図13は、撮像素素および位相差検出画素の構成例を示す回路図である。

【0089】

図12および図13には、3つの撮像素素31-1乃至31-3と、1つの位相差検出画素32が示されている。

【0090】

この例では、撮像素素31-1と撮像素素31-2、位相差検出画素32と撮像素素31-3が、それぞれ縦2画素共有の構成をなしている。また、それぞれの画素共有単位は、互いに隣接する行に配置されている。

30

【0091】

撮像素素31-1、31-2はそれぞれ、光電変換部41および転送トランジスタ51を有し、それぞれの光電変換部41は、FD52、リセットトランジスタ53、増幅トランジスタ54、および選択トランジスタ55を共有している。

【0092】

撮像素素31-3もまた、光電変換部41および転送トランジスタ51を有し、位相差検出画素32は、光電変換部42A、42Bと、それぞれに対応する転送トランジスタ51を有している。そして、撮像素素31-3の光電変換部41と、位相差検出画素32の光電変換部42Bとは、FD52、リセットトランジスタ53、増幅トランジスタ54、および選択トランジスタ55を共有している。

40

【0093】

また、位相差検出画素32において光電変換部42Aに対応する転送トランジスタ51は、隣接するFD52および配線FDLを介して、読み出し用トランジスタ71に接続されている。

【0094】

読み出し用トランジスタ71は、光電変換部42Aに対応するFD52と、撮像素素31-1、31-2に共有されているFD52との間に形成されており、読み出し用トランジスタ71がオンされることで、光電変換部42Aは、撮像素素31-1、31-2それぞれ

50

(すなわち、隣接行の画素)と、FD 5 2、増幅トランジスタ 5 4、および選択トランジスタ 5 5 を共有するようになる。

【 0 0 9 5 】

以上の構成によれば、位相差検出画素において、2つの光電変換部が、それぞれ異なる隣接画素のFDおよび増幅トランジスタを共有しているので、電荷格納部を設けることなく、2つの光電変換部それぞれの露光、読み出しを同時に行うことができ、AF速度とAF精度の向上を図ることが可能となる。

【 0 0 9 6 】

なお、図 1 2 において、撮像素素 3 1 - 1 , 3 1 - 2 で構成される画素共有単位と、その上側の隣接行の画素トランジスタとを接続する配線FDL'は、光電変換部 4 2 A に対応する転送トランジスタ 5 1 と、撮像素素 3 1 - 1 , 3 1 - 2 で構成される画素共有単位の画素トランジスタとを接続する配線FDLとの対称性を保つために設けられている。

10

【 0 0 9 7 】

以上の構成においては、位相差検出のための信号の読み出しの際に、読み出し用トランジスタ 7 1 がオンされることで、光電変換部 4 2 A に蓄積された電荷に対応する信号は、撮像素素 3 1 - 1 , 3 1 - 2 から構成される画素共有単位の画素トランジスタから読み出され、光電変換部 4 2 B に蓄積された電荷に対応する信号は、撮像素素 3 1 - 3 および位相差検出画素 3 2 から構成される画素共有単位の画素トランジスタから読み出される。このとき、それぞれの画素トランジスタに含まれる読み出し用トランジスタ 7 1 がオンされるようにすることで、光電変換部 4 2 A , 4 2 B それぞれについて読み出される信号の変換効率を同じにすることができる。

20

【 0 0 9 8 】

一方、撮像画像のための信号の読み出しの際には、読み出し用トランジスタ 7 1 をオフさせることで、撮像素素の変換効率を高く保て、特性の悪化を避けることができる。また、飽和信号量がFDのレンジで擦り切れるような場合には、読み出し用トランジスタ 7 1 をオンさせることで変換効率を低くすることができ、FDにおける電荷の擦り切れを回避することができる。すなわち、この場合、読み出し用トランジスタ 7 1 は、変換効率切替トランジスタとして機能するようになる。

【 0 0 9 9 】

さらに、この例でも、図 1 2 に示されるように、各画素の転送トランジスタ 5 1 は、矩形状に形成される、各画素の光電変換部の角部に形成されている。このような構成により、1画素セル内における素子分離面積が小さくなり、光電変換部の面積を拡大することができる。したがって、位相差検出画素 3 2 のように、1画素セル内で光電変換部が2つに分けられた場合でも、飽和電荷量 Q_s の観点で有利に設計を行うことができる。

30

【 0 1 0 0 】

< 第 3 の実施の形態の他の構成例 >

次に、図 1 4 および図 1 5 を参照して、本技術の第 3 の実施の形態の撮像素素および位相差検出画素の他の構成例について説明する。図 1 4 は、撮像素素および位相差検出画素の構成例を示す平面図であり、図 1 5 は、撮像素素および位相差検出画素の構成例を示す回路図である。

40

【 0 1 0 1 】

図 1 4 および図 1 5 には、7つの撮像素素 3 1 - 1 乃至 3 1 - 7 と、1つの位相差検出画素 3 2 が示されている。

【 0 1 0 2 】

この例では、撮像素素 3 1 - 1 乃至 3 1 - 4、位相差検出画素 3 2 および撮像素素 3 1 - 5 乃至 3 1 - 7 が、それぞれ 2×2 画素共有の構成をなしている。また、それぞれの画素共有単位は、互いに隣接する行に配置されている。

【 0 1 0 3 】

撮像素素 3 1 - 1 乃至 3 1 - 4 はそれぞれ、光電変換部 4 1 および転送トランジスタ 5 1 を有し、それぞれの光電変換部 4 1 は、FD 5 2、リセットトランジスタ 5 3、増幅トラ

50

ンジスタ 5 4、および選択トランジスタ 5 5 を共有している。

【 0 1 0 4 】

撮像素 3 1 - 5 乃至 3 1 - 7 もまた、光電変換部 4 1 および転送トランジスタ 5 1 を有し、位相差検出画素 3 2 は、光電変換部 4 2 A、4 2 B と、それぞれに対応する転送トランジスタ 5 1 を有している。そして、撮像素 3 1 - 5 乃至 3 1 - 7 の光電変換部 4 1 と、位相差検出画素 3 2 の光電変換部 4 2 B とは、FD 5 2、リセットトランジスタ 5 3、増幅トランジスタ 5 4、および選択トランジスタ 5 5 を共有している。

【 0 1 0 5 】

また、位相差検出画素 3 2 において光電変換部 4 2 A に対応する転送トランジスタ 5 1 は、隣接する FD 5 2 および配線 FDL を介して、読み出し用トランジスタ 7 1 に接続されている。

10

【 0 1 0 6 】

読み出し用トランジスタ 7 1 は、光電変換部 4 2 A に対応する FD 5 2 と、撮像素 3 1 - 1 乃至 3 1 - 4 に共有されている FD 5 2 との間に形成されており、読み出し用トランジスタ 7 1 がオンされることで、光電変換部 4 2 A は、撮像素 3 1 - 1 乃至 3 1 - 4 それぞれ（すなわち、隣接行の画素）と、FD 5 2、増幅トランジスタ 5 4、および選択トランジスタ 5 5 を共有するようになる。

【 0 1 0 7 】

以上の構成においても、位相差検出画素において、2 つの光電変換部が、それぞれ異なる隣接画素の FD および増幅トランジスタを共有しているので、電荷格納部を設けることなく、2 つの光電変換部それぞれの露光、読み出しを同時に行うことができ、AF 速度と AF 精度の向上を図ることが可能となる。

20

【 0 1 0 8 】

なお、図 1 4 において、撮像素 3 1 - 1 乃至 3 1 - 4 で構成される画素共有単位と、その上側の隣接行の画素トランジスタとを接続する配線 FDL' は、光電変換部 4 2 A に対応する転送トランジスタ 5 1 と、撮像素 3 1 - 1 乃至 3 1 - 4 で構成される画素共有単位の画素トランジスタとを接続する配線 FDL との対称性を保つために設けられている。

【 0 1 0 9 】

なお、上述した実施の形態においては、位相差検出画素は 2 つの光電変換部を有するものとしたが、2 つに限らず、3 つ以上の光電変換部を有するようにしてもよい。

30

【 0 1 1 0 】

また、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【 符号の説明 】

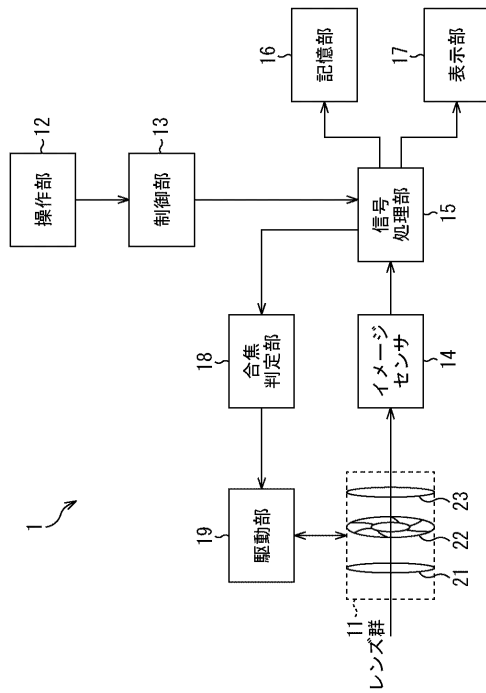
【 0 1 1 2 】

1 電子機器， 1 4 イメージセンサ， 3 1 撮像素， 3 2 位相差検出画素， 4 1 光電変換部， 4 2 A，4 2 B 光電変換部， 5 1 転送トランジスタ， 5 2 FD， 5 3 リセットトランジスタ， 5 4 増幅トランジスタ， 5 5 選択トランジスタ， 5 6 オーバーフロー制御トランジスタ， 5 8 変換効率切替トランジスタ， 6 1 変換効率切替トランジスタ， 7 1 読み出し用トランジスタ

40

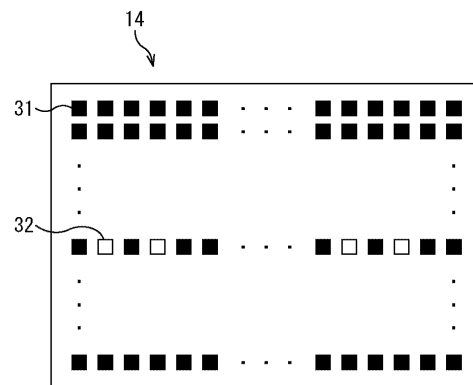
【 図 1 】

図1



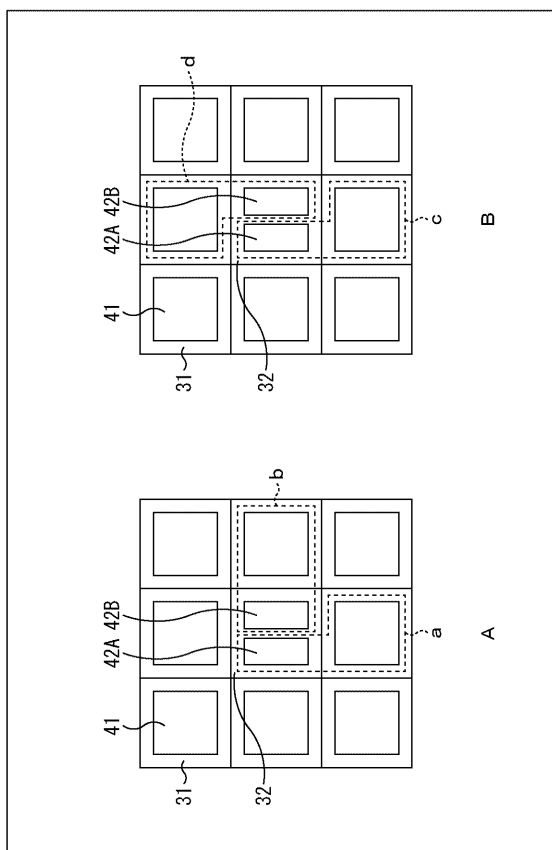
【 図 2 】

图2



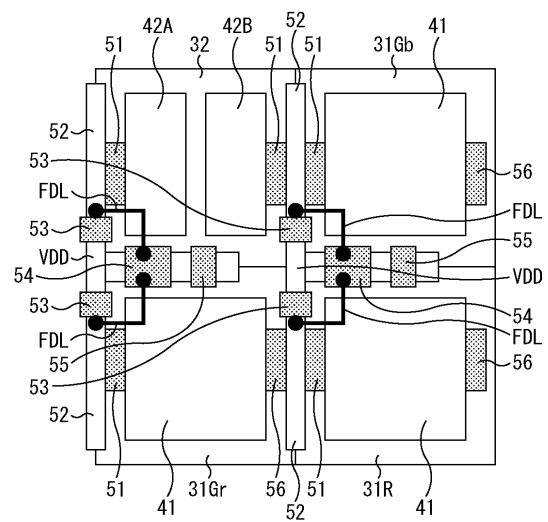
【圖 3】

图3



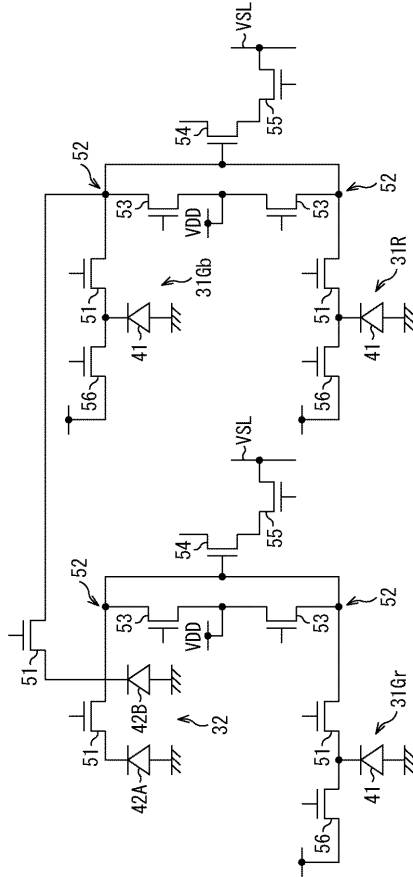
【 図 4 】

图4



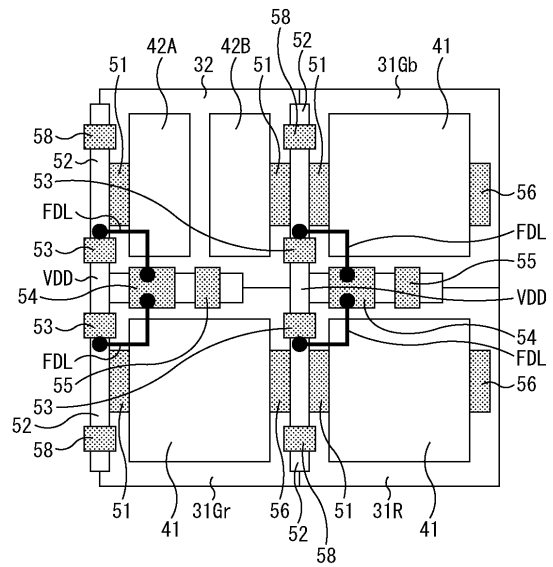
【図 5】

図5



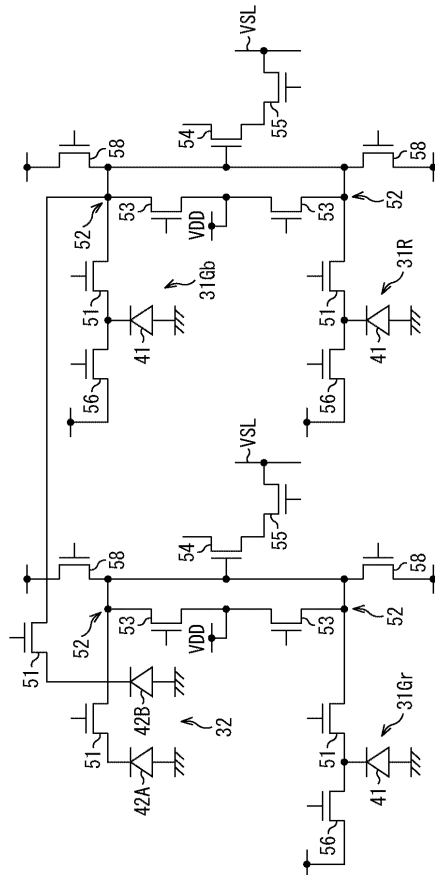
【図 6】

図6



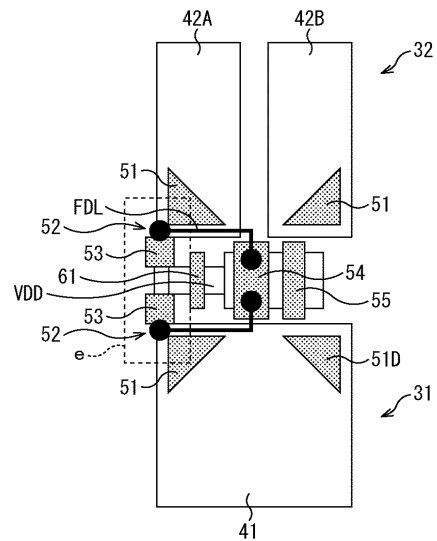
【図 7】

図7



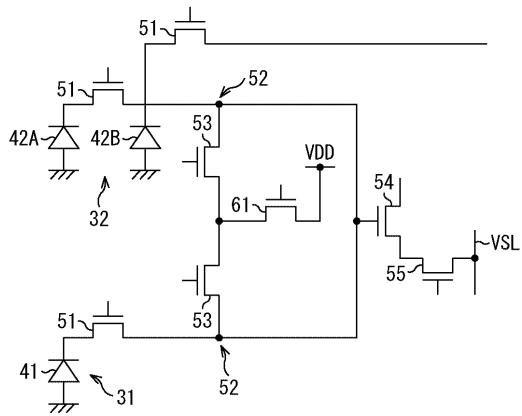
【図 8】

図8



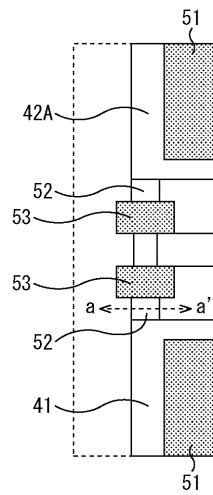
【 図 9 】

图9



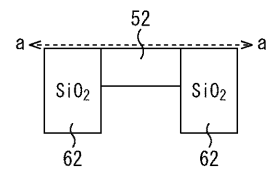
【 図 1 0 】

图10



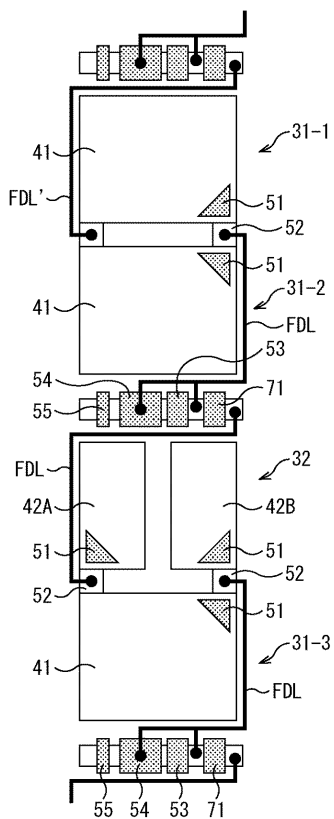
【 図 1 1 】

图11



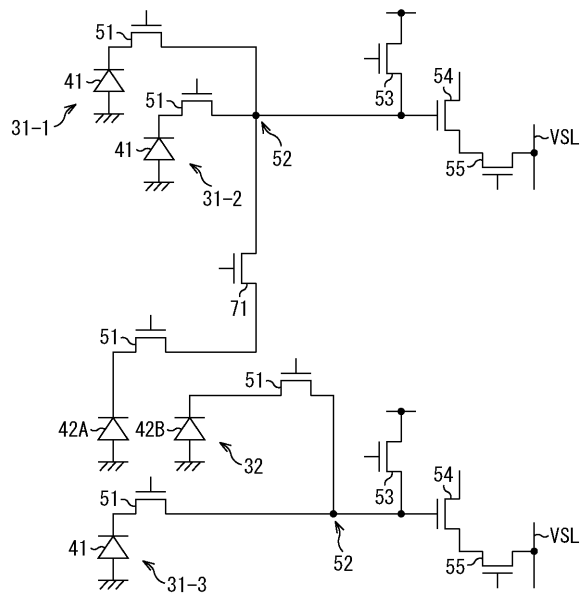
【 圖 1 2 】

图12



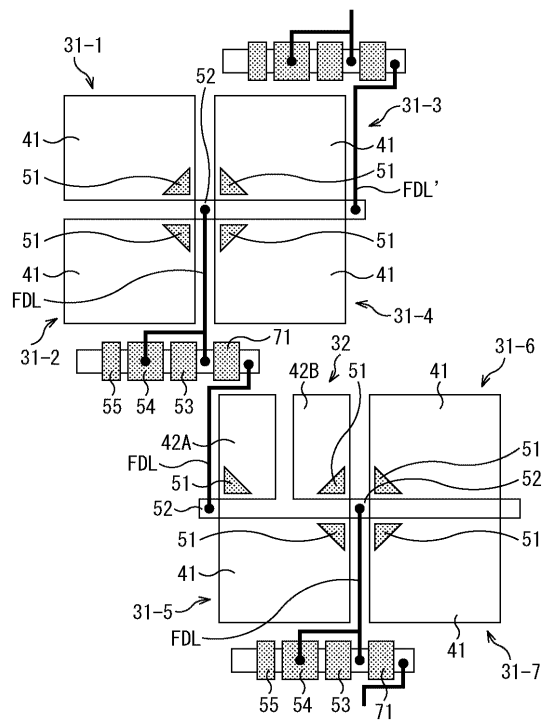
【 図 1 3 】

図13



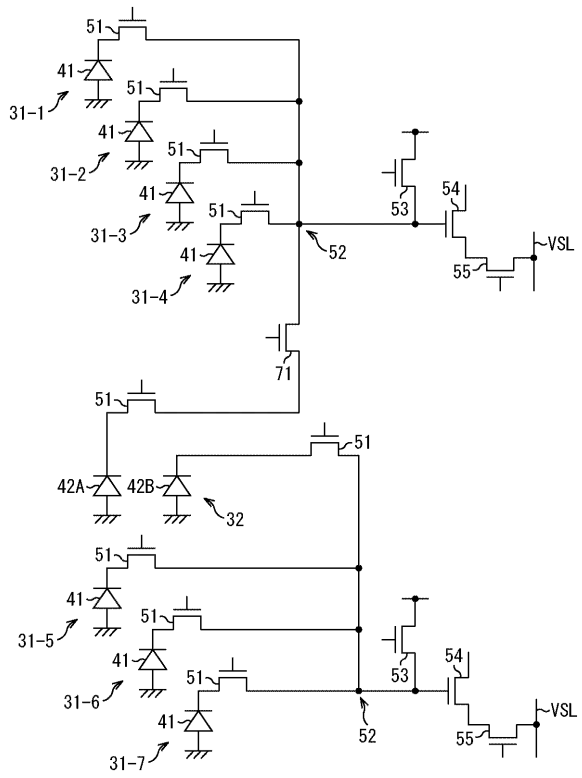
【図 14】

図14



【図 15】

図15



フロントページの続き

- (72)発明者 久保 典弘
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 内田 哲弥
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 粕谷 満成

- (56)参考文献 特開2014-086781(JP, A)

- (58)調査した分野(Int.Cl., DB名)

H04N	5/369
H01L	27/146
H04N	5/3745