



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204239

(11)

(B1)

(51) Int. Cl.³
G 05 D 3/00

/22/ Přihlášeno 19 05 78
/21/ /PV 3277-78/
/32//31//33/ Právo přednosti
od 20 05 77 /WP G 05 B/199 028/
Německá demokratická republika

(40) Zveřejněno 31 07 80

(45) Vydáno 15 11 82

(75)

Autor vynálezu

UHLIG JOACHIM, KARL-MARX-STADT /NDR/

(54) Zapojení pro vyhodnocování chyb doběhu v regulačních obvodech
otáček a polohy

1

Vynález se týká zapojení pro otáčkově nebo polohově řízené pohony obráběcích strojů a výrobních strojů.

Při regulaci otáček a polohy je chyba doběhu úměrná rychlosti odpovídajícího pohybu. Měřítkem jakosti regulačního obvodu je přitom poměr rychlosti pohybu vůči chybě doběhu. Hodnota tohoto poměru je však v technické praxi omezena, protože chyba doběhu nemůže být libovolně snížena nebo dokonce odstraněna.

V DE-OS č. 1 563 894 je popsáno zapojení pro číslicovou regulaci otáček nebo polohy, ve kterém je k získání stejnosměrného napětí úměrného úhlové nebo polohové odchylce použito obousměrného čítače s připojeným číslicově analogovým převodníkem. Toto zapojení současně vytváří stejnosměrné napětí úměrné časovému integrálu úhlové nebo polohové odchylky a součet těchto obou stejnosměrných napětí, kterým je řízen elektromotorický pohon.

Do obousměrného čítače nastaveného předem na určitou hodnotu jsou přiváděny impulsy žádané a skutečné hodnoty a k jeho koincidenčnímu výstupu je připojen hradlový obvod, do kterého jsou průběžně přiváděny impulsy ze zdroje impulsů a jehož výstup je spojen s prvními vstupy dvou dalších hradlových obvodů. Druhé vstupy těchto hradlových obvodů jsou připojeny k výstupu obousměrného čítače, na kterém se objevuje odchylka od předem nastavené hodnoty. Výstupy těchto hradel jsou připojeny k jednotlivým směrovým vstupům dalšího obousměrného čítače, jehož výstup je rovněž spojen s číslicově analogovým převodníkem.

Výstupy číslicově analogových převodníků jsou připojeny k součtovému členu, k jehož výstupu je připojen pohon. Nedostatek popsaného zapojení spočívá v tom, že doběh je vyhodnocován a korigován pouze s ohledem na polohu nebo rychlost a nebere se přitom ohled na zrych-

204239

lování nebo brzdění. Regulovaná hodnota mimoto kmitá v obou směrech kolem hodnoty nastavené v prvním obousměrném čítači, v důsledku čehož je při regulaci polohy částečně překračována předem zadaná hodnota. Žádaná hodnota je u tohoto zapojení překračována v důsledku nelineárnosti regulačních obvodů také při regulaci ve směru více os.

Účelem vynálezu je zlepšení regulačních poměrů v regulačních obvodech otáček a polohy, zejména v oblasti zrychlování a brzdění a zvýšení přesnosti dodržení obrysu.

Úkolem vynálezu je tedy vytvoření zapojení pro vyhodnocování chyb doběhu, nezávislém na rychlosti a urychlování, pro regulační obvody otáček a polohy s číslicově předem zadanou řídicí veličinou, jejíž hodnota představuje chybu polohy a požadovanou rychlost. Vyhodnocování má být prováděno s použitím číslicového porovnávacího obvodu žádané a skutečné hodnoty. Při regulaci ve více osách mají být odstraněny obrysové chyby u více odpovídajících os v důsledku nelinearity a překmitů přes předem zadanou žádanou hodnotu.

Podle vynálezu se tento úkol řeší tím, že výstup interpolátoru je spojen se vstupem první paměti, jejíž výstup je spojen s prvním vstupem odčítací jednotky a se vstupem druhé paměti, první výstup druhé paměti je spojen se vstupem žádané hodnoty číslicového porovnávacího obvodu žádané a skutečné hodnoty, a druhý výstup druhé paměti je spojen s druhým vstupem odčítací jednotky a s prvním vyhodnocovacím vstupem číslicové analogového převodníku a výstup odčítací jednotky je spojen s druhým vyhodnocovacím obvodem číslicové analogového převodníku, přičemž výstup porovnávacího obvodu žádané a skutečné hodnoty je spojen se třetím vstupem číslicové analogového převodníku, jehož výstup je spojen s hnací jednotkou.

Rozvinutí vynálezu pak spočívá v tom, že mezi první pamětí a druhou pamětí je zařazen hradlový obvod, jehož budicí vstup je spojen s výstupem zdroje taktovacích impulsů, který je současně spojen s taktovacím budícím vstupem odčítací jednotky.

Vynález bude v dalším textu blíže objasněn na příkladu provedení, znázorněném na přípojených výkresech.

Na obr. 1 je znázorněno blokové schéma zapojení podle vynálezu. Na obr. 2 je znázorněno rozvinutí řešení zapojení podle vynálezu.

Výstup interpolátoru 1 je připojen na impulsový vstup čítače 2, jehož výstupy jsou spojeny s prvním vstupem odčítací jednotky 7 a se vstupem druhé paměti 5. Druhá paměť 5 má sériový první vstup, který je spojen se vstupem žádané hodnoty inkrementálního porovnávacího obvodu 6 žádané a skutečné hodnoty, na jeho vstup 1 skutečné hodnoty je připojen neznázorněný inkrementální měřicí systém. Druhý výstup druhé paměti 5 je spojen se druhým vstupem odčítací jednotky 7 a s prvním vyhodnocovacím vstupem pro rychlost posuvu číslicové analogového převodníku 8. Výstup odčítací jednotky 7 je připojen na druhý vyhodnocovací vstup pro změnu rychlosti číslicové analogového převodníku 8. Výstup porovnávacího obvodu 6 žádané a skutečné hodnoty je připojen na třetí vstup číslicové analogového převodníku 8, jehož výstup je připojen na hnací jednotku 9, s kterou je spojen neznázorněný inkrementální měřicí systém. Mezi výstupem první paměti 2 a vstupem druhé paměti 5 je zapojen hradlový obvod 4, jehož budicí vstup, stejně jako i taktovací budicí vstup odčítací jednotky 7 je spojen se zdrojem 3 taktovacích impulsů.

Funkce zařízení je následující:

Z interpolátoru 1 jsou přiváděny impulsy žádané hodnoty, vypočtené pro pojezdovou dráhu, do první paměti 2, která je vytvořena jako čítač, a tam jsou sečítány. V pevně stanovených časových intervalech vybudí impuls, vyslaný zdrojem 3 taktovacích impulsů, hradlový obvod 4 a odčítací jednotku 7, které je předán obsah první paměti 2 a která vytvoří rozdíl mezi obsahem této první paměti 2 a druhé paměti 5. Stejným taktem se přenesou obsah první

paměti 2 do druhé paměti 5. Obsah této druhé paměti 5 se přivádí, aniž by se vymazal, impulsovým způsobem na vstup žádané hodnoty inkrementálního porovnávacího obvodu 6 žádané a skutečné hodnoty, jehož výstupní hodnota je převáděna v číslicově analogovém převodníku 8 v analogovou hodnotu. Obsah druhé paměti 5 je mírou pro žádanou rychlost a vybudí číslicově analogový převodník 8 pro vyhodnocení chyb polohy z inkrementálního porovnávacího obvodu 6 žádané a skutečné hodnoty.

Rozdíl mezi obsahem první paměti 2 a druhé paměti 5, vytvořený v rozdílové jednotce 7 při vyslání taktovacího impulsu zdrojem 3 taktovacích impulsů je mírou pro urychlení a u-brzdění. Tato hodnota se rovněž přivede číslicově analogovému převodníku 8 a ovlivní vyhodnocení stávajících číslicových hodnot odpovídajícím způsobem.

Hradlovým obvodem 4 se zpozdí převzetí žádané hodnoty dráhy do druhé paměti 5 a tím i vyslání porovnávacímu obvodu 6 o jednu taktovací periodu zdroje 3 taktovacích impulsů. Tím je dán předpoklad, přivést číslicově analogovému převodníku 8 k odchylce dráhy, vytvořené v porovnávacím obvodu 6 a k rychlostnímu signálu z druhé paměti 5 ještě veličinu úměrnou zrychlení z odčítací jednotky 7. V důsledku toho se podstatně zlepší dynamické vlastnosti regulačního obvodu.

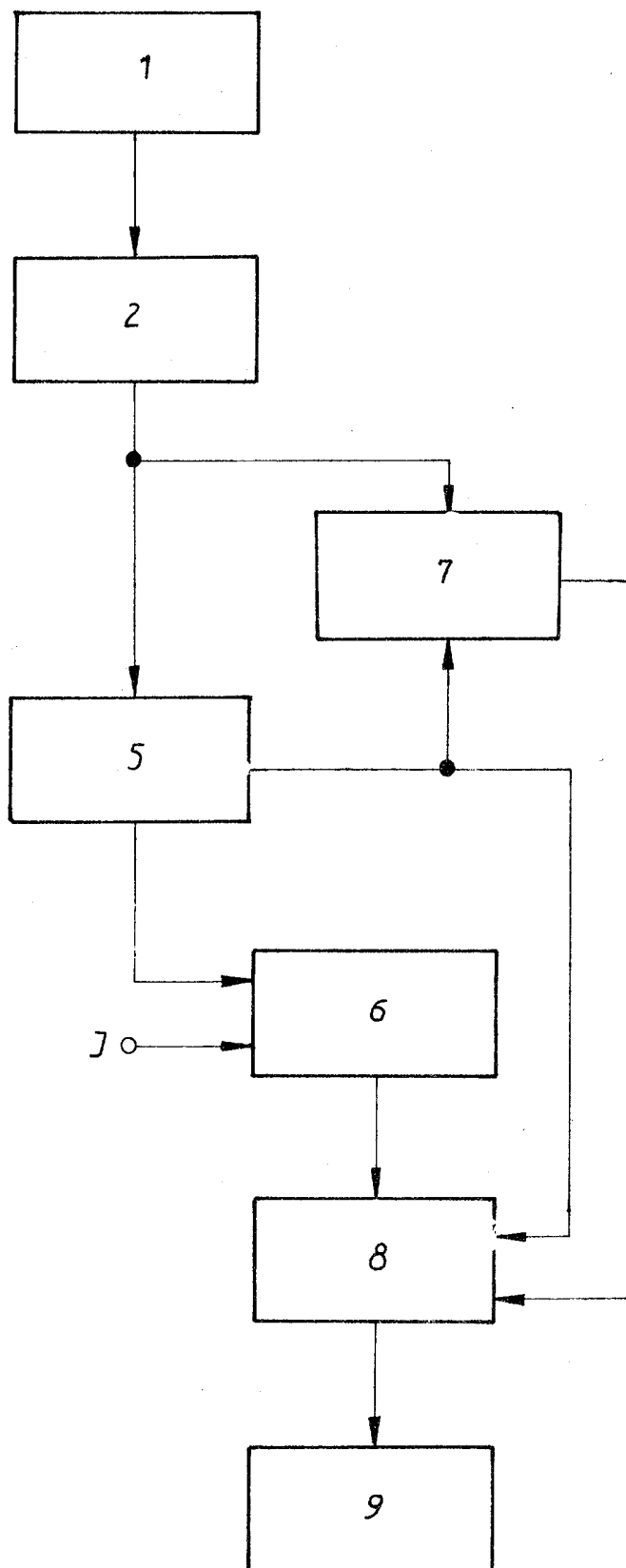
Uvedený regulační obvod se uzavře, jestliže se analogová řídicí veličina, vznikající v číslicově analogovém převodníku 8, přivede ovladači posuvu hnací jednotky 2 například hnacího motoru obráběcího stroje, řízeného podle dráhy. S tímto hnacím motorem je například spojen uvedený inkrementální měřicí systém, jehož naměřené hodnoty jsou úměrné dráze, proběhnuté od určité souřadnice. Tyto naměřené hodnoty I, které se vytvoří translatorickým měřicím systémem, nebo jiným měřicím systémem dráhy nebo úhlu po vhodném převodu a tvarování, se přivedou porovnávacímu obvodu 6.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení pro vyhodnocování chyb doběhu v regulačních obvodech otáček a polohy s číslicovým zadáním řídicí veličiny a číslicovým porovnávacím obvodem žádané a skutečné hodnoty, vyznačující se tím, že výstup interpolátoru (1) je spojen se vstupem první paměti (2), jejíž výstup je spojen s prvním vstupem odčítací jednotky (7) a se vstupem druhé paměti (5), první výstup druhé paměti (5) je spojen se vstupem žádané hodnoty číslicového porovnávacího obvodu (6) žádané a skutečné hodnoty, druhý výstup druhé paměti (5) je spojen s druhým vstupem odčítací jednotky (7) a s prvním vyhodnocovacím vstupem číslicově analogového převodníku (8) a výstup odčítací jednotky (7) je spojen s druhým vyhodnocovacím vstupem číslicově analogového převodníku (8), přičemž výstup inkrementálního porovnávacího obvodu (6) žádané a skutečné hodnoty je spojen se třetím vstupem číslicově analogového převodníku (8), jehož výstup je spojen s hnací jednotkou (9).

2. Zapojení podle bodu 1, vyznačující se tím, že mezi první pamětí (2) a druhou pamětí (5) je zapojen hradlový obvod (4), jehož budicí vstup je spojen s výstupem zdroje taktovacích impulsů (3), a současně s taktovacím budicím vstupem odčítací jednotky (7).

2 výkresy



Obr. 1

