

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年10月4日(04.10.2012)



(10) 国際公開番号  
WO 2012/132616 A1

- (51) 国際特許分類:  
H01L 31/04 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053851
- (22) 国際出願日: 2012年2月17日(17.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-068126 2011年3月25日(25.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 三洋電機株式会社(SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 嶋田 聡 (SHIMADA, Satoshi) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 Osaka (JP). 坂田 仁(SAKATA, Hitoshi) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5

号 三洋電機株式会社内 Osaka (JP). 藤田 和範 (FUJITA, Kazunori) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内 Osaka (JP).

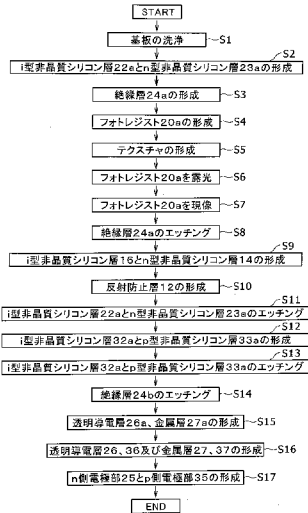
- (74) 代理人: 特許業務法人 Y K I 国際特許事務所 (YKI Patent Attorneys); 〒1800004 東京都武蔵野市吉祥寺本町一丁目34番12号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: METHOD FOR PRODUCING PHOTOELECTRIC CONVERSION ELEMENT

(54) 発明の名称: 光電変換素子の製造方法

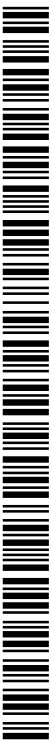
[図2]



- S1 Clean substrate
- S2 Form i-type amorphous silicon layer (22a) and n-type amorphous silicon layer (23a)
- S3 Form insulating layer (24a)
- S4 Form photoresist (20a)
- S5 Form texture
- S6 Expose photoresist (20a)
- S7 Develop photoresist (20a)
- S8 Etch insulating layer (24a)
- S9 Form i-type amorphous silicon layer (16) and n-type amorphous silicon layer (14)
- S10 Form antireflection layer (12)
- S11 Etch i-type amorphous silicon layer (22a) and n-type amorphous silicon layer (23a)
- S12 Form i-type amorphous silicon layer (32a) and p-type amorphous silicon layer (33a)
- S13 Etch i-type amorphous silicon layer (32a) and p-type amorphous silicon layer (33a)
- S14 Etch insulating layer (24b)
- S15 Form transparent conductive layer (26a) and metallic layer (27a)
- S16 Form transparent conductive layers (26, 36) and metallic layers (27, 37)
- S17 Form n-side electrode part (25) and p-side electrode part (35)

(57) Abstract: The present invention provides a method for producing a photoelectric conversion element (10). According to this method, an amorphous semiconductor layer part is formed on the rear surface of an n-type single-crystal silicon substrate (18), an insulating layer (24a) is formed on the amorphous semiconductor layer part, a photoresist (20a) is formed on the insulating layer (24a), and the light-receiving surface on the opposite side of the n-type single-crystal silicon substrate (18) to the rear surface is etched in a state in which the photoresist (20a) is formed on the insulating layer (24a).

(57) 要約: 光電変換素子10の製造方法は、n型単結晶シリコン基板18の裏面上に非晶質系半導体層部を形成し、非晶質系半導体層部上に絶縁層24aを形成し、絶縁層24a上にフォトリソスト20aを形成し、絶縁層24a上にフォトリソスト20aが形成されている状態でn型単結晶シリコン基板18の裏面の反対側の受光面をエッチング加工する。



WO 2012/132616 A1

ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称**：光電変換素子の製造方法

**技術分野**

[0001] 本発明は、光電変換素子の製造方法に関する。

**背景技術**

[0002] 特許文献1には、受光面と、受光面の反対側に設けられる裏面とを有する半導体基板と、裏面上において所定の方向に沿って形成される第1半導体層と、裏面上において所定の方向に沿って形成され、第1半導体層の両隣に配設される一对の第2半導体層と、一对の第2半導体層のうち一方の第2半導体層上から第1半導体層上まで跨って形成される第1絶縁層と、一对の第2半導体層のうち他方の第2半導体層上から第1半導体層上まで跨って形成される第2絶縁層と、第1半導体層及び第2半導体層を覆う透明電極層と、透明電極層上に形成される収集電極層と、を備える光電変換素子が開示されている。

**先行技術文献**

**特許文献**

[0003] 特許文献1：特開2009-200267号公報

**発明の概要**

**発明が解決しようとする課題**

[0004] ところで、半導体基板上に形成される半導体層上に絶縁層等が積層されることがある。当該絶縁層等の成膜の際に、成膜装置内の塵等が原因で絶縁層等にピンホールが形成されることがある。このような絶縁層等に対してパターンニング処理を行うと、上記ピンホールを通して半導体層がエッチングされる等、膜質にも悪影響を及ぼす可能性がある。

**課題を解決するための手段**

[0005] 本発明に係る光電変換素子の製造方法は、半導体基板の裏面上に非晶質系半導体層を形成し、前記非晶質系半導体層上に絶縁層を形成し、前記絶縁層

上にフォトリソ層を形成し、前記絶縁層上に前記フォトリソ層が形成されている状態で前記半導体基板の前記裏面の反対側の受光面をエッチング加工する。

### 発明の効果

[0006] 上記発明によれば、光電変換素子の発電特性を向上させることができる。

### 図面の簡単な説明

[0007] [図1]本発明に係る実施の形態において、光電変換素子の断面図である。

[図2]本発明に係る実施の形態において、光電変換素子の製造方法の手順を示すフローチャートである。

[図3]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図4]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図5]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図6]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図7]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図8]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図9]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図10]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図11]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図12]本発明に係る実施の形態において、光電変換素子の製造方法の手順を

説明するための断面図である。

[図13]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図14]本発明に係る実施の形態において、光電変換素子の製造方法の手順を説明するための断面図である。

[図15]本発明に係る実施の形態において、光電変換素子の製造方法の手順を示すフローチャートである。

[図16]本発明に係る実施の形態において、光電変換素子の製造方法の手順を示すフローチャートである。

### 発明を実施するための形態

[0008] 以下に図面を用いて、本発明に係る実施の形態を詳細に説明する。以下では、全ての図面において、同様の要素には同一の符号を付し、重複する説明を省略する。本文中の説明においては、必要に応じそれ以前に述べた符号を用いるものとする。

[0009] 図1は、光電変換素子10の断面図である。光電変換素子10は、反射防止層12と、n型非晶質シリコン層14と、i型非晶質シリコン層16と、n型単結晶シリコン基板18と、i-n積層部21と、i-p積層部31と、絶縁層24と、n側電極部25と、p側電極部35とを備える。ここで、図1に示される矢印Aは、光電変換素子10に対して太陽光等の光が入射される方向を示している。なお、「受光面」とは、太陽光等の光が主に入射される面を意味する。また、「裏面」とは、受光面と反対側の面を意味する。

[0010] n型単結晶シリコン基板18は、受光面から入射された光を受けてキャリアを生成する発電層である。なお、本実施の形態では、n型単結晶シリコン基板18としたが、これに限定されるものではなく、n型又はp型の導電型の結晶系半導体基板とすることができる。単結晶シリコン基板の他にも、例えば、多結晶シリコン基板、砒化ガリウム基板(GaAs)、インジウム燐基板(InP)等を適用することができる。

[0011] i型非晶質シリコン層16は、n型単結晶シリコン基板18の受光面上に

形成されるパッシベーション層である。n型非晶質シリコン層14は、i型非晶質シリコン層16上に形成される。i型非晶質シリコン層16及びn型非晶質シリコン層14は、受光面に形成される非晶質系半導体層部を構成する。i型非晶質シリコン層16は、真性な非晶質半導体膜からなる層である。i型非晶質シリコン層16は、n型非晶質シリコン層14よりも膜中のドーパント濃度が低くされる。例えば、i型非晶質シリコン層16は、n型又はp型の導電率を $10^{-11} \text{ s/cm}$ 以下とすることが好適である。n型非晶質シリコン層14は、n型の導電型のドーパントを含む非晶質半導体膜からなる層である。n型非晶質シリコン層14は、i型非晶質シリコン層16よりも膜中のドーパント濃度が高くされる。例えば、n型非晶質シリコン層14は、n型の導電率を $10^{-3} \text{ s/cm}$ 以上とすることが好適である。

[0012] なお、本実施の形態において非晶質シリコン層は、微結晶半導体膜を含む。微結晶半導体膜は、非晶質半導体中に結晶粒が析出している膜である。結晶粒の平均粒径は、これに限定されるものではないが、1 nm以上80 nm以下程度であると推定されている。

[0013] 反射防止層12は、n型非晶質シリコン層14上に形成され、光電変換素子10の受光面から入射される光の反射を低減させる。反射防止層12は、n型非晶質シリコン層14の表面を保護する保護層としても機能する。反射防止層12は、透明な材料で構成され、反射防止層12によって覆われる層の屈折率との関係で光電変換素子10の受光面から入射される光の反射を低減させる屈折率を有する材料及び膜厚とすることが好適である。反射防止層12は、例えば、窒化アルミニウム、窒化ケイ素及び酸化ケイ素等を含んで構成される。

[0014] i-n積層部21は、n型単結晶シリコン基板18の裏面上に形成される。i-n積層部21は、後述するn側電極部25において、光電変換素子10の面内からまんべんなく集電可能なように配置することが好適である。i-n積層部21は、例えば、複数のフィンガー部分が平行に延伸する櫛歯形状とすることが好適である。i-n積層部21は、i型非晶質シリコン層22

と、n型非晶質シリコン層23と、を備える。

[0015] i型非晶質シリコン層22は、n型単結晶シリコン基板18の裏面上に形成されるパッシベーション層である。n型非晶質シリコン層23は、i型非晶質シリコン層22上に形成される。i型非晶質シリコン層22及びn型非晶質シリコン層23は、裏面に形成される第1の非晶質系半導体層部を構成する。i型非晶質シリコン層22は、真性な非晶質半導体膜からなる層である。i型非晶質シリコン層22は、n型非晶質シリコン層23よりも膜中のドーパント濃度が低くされる。例えば、i型非晶質シリコン層22は、n型又はp型の導電率を $10^{-11}$  s/cm以下とすることが好適である。n型非晶質シリコン層23は、n型の導電型のドーパントを含む非晶質半導体膜からなる層である。n型非晶質シリコン層23は、i型非晶質シリコン層22よりも膜中のドーパント濃度が高くされる。例えば、n型非晶質シリコン層23は、n型の導電率を $10^{-3}$  s/cm以上とすることが好適である。

[0016] 絶縁層24は、i-n積層部21とi-p積層部31とを電氣的に絶縁するために形成される。絶縁層24は、n型非晶質シリコン層23上に形成される保護層としても機能する。絶縁層24は、電氣的な絶縁性を有する材料であればよいが、例えば、窒化アルミニウム、窒化ケイ素及び酸化ケイ素等を含んで構成することが好適である。

[0017] n側電極部25は、光電変換素子10において発電された電気を集電して取り出すために設けられる電極部材である。n側電極部25は、透明導電層26と、金属層27と、第1電極部28と、第2電極部29とを備える。透明導電層26は、n型非晶質シリコン層23上に形成される。透明導電層26は、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化亜鉛( $\text{ZnO}$ )、酸化錫( $\text{SnO}_2$ )、酸化チタン( $\text{TiO}_2$ )及びインジウム錫酸化物(ITO)等の金属酸化物のうちの少なくとも1つを含んで構成される。ここでは、透明導電層26はインジウム錫酸化物(ITO)を用いて形成されているものとして説明する。金属層27は、透明導電層26上に形成される。金属層27は、例えば、銅(Cu)等の金属や合金を含んで構成されるシード層である。ここで、「

シード層」とは、めっき成長の起点となる層のことをいう。第1電極部28は、めっき成長によって金属層27上に形成される電極である。第1電極部28は、例えば、銅(Cu)を含んで構成される。第2電極部29は、めっき成長によって第1電極部28上に形成される電極である。第2電極部29は、例えば、錫(Sn)を含んで構成される。

[0018] i-p積層部31は、n型単結晶シリコン基板18の裏面上にi-n積層部21と間挿し合うように形成される。i-p積層部31は、後述するp側電極部35において、光電変換素子10の面内からまんべんなく集電可能なように配置することが好適である。i-p積層部31は、例えば、複数のフィンガー部が平行に延伸する櫛歯形状とすることが好適である。i-p積層部31は、i型非晶質シリコン層32と、p型非晶質シリコン層33と、を備える。i型非晶質シリコン層32は、n型単結晶シリコン基板18の裏面上に形成されるパッシベーション層である。p型非晶質シリコン層33は、i型非晶質シリコン層32上に形成される。i型非晶質シリコン層32及びp型非晶質シリコン層33は、裏面に形成される第2の非晶質系半導体層部を構成する。i型非晶質シリコン層32は、真性な非晶質半導体膜からなる層である。i型非晶質シリコン層32は、p型非晶質シリコン層33よりも膜中のドーパント濃度が低くされる。例えば、i型非晶質シリコン層32は、n型又はp型の導電率を $10^{-11} \text{ s/cm}$ 以下とすることが好適である。p型非晶質シリコン層33は、p型の導電型のドーパントを含む非晶質半導体膜からなる層である。p型非晶質シリコン層33は、i型非晶質シリコン層32よりも膜中のドーパント濃度が高くされる。例えば、p型非晶質シリコン層33は、p型の導電率を $10^{-5} \text{ s/cm}$ 以上とすることが好適である。

[0019] p側電極部35は、光電変換素子10において発電された電気を集電して取り出すために設けられる電極部材である。p側電極部35は、透明導電層36と、金属層37と、第1電極部38と、第2電極部39とを備える。透明導電層36は、p型非晶質シリコン層33上に形成される。金属層37は、透明導電層36上に形成される。第1電極部38は、めっき成長によって

金属層 37 上に形成される。第 2 電極部 39 は、めっき成長によって第 1 電極部 38 上に形成される。

[0020] 次に、光電変換素子 10 の製造方法の第 1 実施例を説明する。図 2 は、光電変換素子 10 の製造方法の第 1 実施例の手順を示すフローチャートである。なお、光電変換素子 10 の製造方法は、各工程において示す製造方法に限定されない。各工程において、例えば、スパッタリング法、プラズマ CVD 法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0021] まず、n 型単結晶シリコン基板 18 を用意して、n 型単結晶シリコン基板 18 の受光面及び裏面の洗浄を行う (S1)。ここで、n 型単結晶シリコン基板 18 の洗浄は、例えば、HF 水溶液等を用いて行うことができる。そして、図 3 に示されるように、n 型単結晶シリコン基板 18 の裏面上に、i 型非晶質シリコン層 22a と n 型非晶質シリコン層 23a を形成する (S2)。ここで、i 型非晶質シリコン層 22a 及び n 型非晶質シリコン層 23a のそれぞれは、例えば、プラズマ CVD 法等により形成することができる。

[0022] 続いて、図 4 に示されるように、n 型非晶質シリコン層 23a 上に絶縁層 24a を形成する (S3)。絶縁層 24a は、例えば、スパッタリング法やプラズマ CVD 法等の薄膜形成法等により形成することができる。

[0023] その後、図 5 に示されるように、絶縁層 24a 上にフォトレジスト 20a を形成する (S4)。ここで、フォトレジスト 20a は、例えば、スピコートやスリットコーター等で薄膜状に塗布すること等により形成することができる。また、未露光の状態のフォトレジスト 20a は、耐アルカリ性に優れている。

[0024] 次に、n 型単結晶シリコン基板 18 の受光面上にテクスチャ構造を形成する (S5)。ここで、テクスチャ構造の形成には、水酸化カリウム水溶液 (KOH 水溶液) 等のアルカリ性の異方性エッチング液を用いることで、n 型単結晶シリコン基板 18 の受光面上にピラミッド状の凹凸形状を形成することができる。

[0025] そして、フォトレジスト 20a に対し、予め用意されたパターンに基づい

て露光する（S6）。これにより、フォトレジスト20aにおいて、露光された際に光が照射された部分がアルカリ性の現像液に溶ける状態となる。

[0026] 続いて、フォトレジスト20aにアルカリ性の現像液を与えて、図6に示されるように、フォトレジスト20aにおいて、光が照射された部分を除去する（S7）。これにより、絶縁層24をパターン処理するためのマスクであるフォトレジスト20が形成される。

[0027] その後、図7に示されるように、フォトレジスト20をマスクとして、絶縁層24aをエッチングすることにより、絶縁層24aの一部を除去して、その後にフォトレジスト20を剥離する（S8）。これにより、絶縁層24aのうち、後工程でn型単結晶シリコン基板18にi-p積層部31を接合させるための領域の上に位置する部分を除去して絶縁層24bを形成する。ここで、絶縁層24aのエッチングには、例えば、HF水溶液等の酸性のエッチング液を用いる。

[0028] 次に、n型単結晶シリコン基板18の受光面上に、i型非晶質シリコン層16とn型非晶質シリコン層14を形成する（S9）。ここで、i型非晶質シリコン層16、n型非晶質シリコン層14のそれぞれは、例えば、プラズマCVD法等により形成することができる。

[0029] そして、図8に示されるように、n型非晶質シリコン層14上に反射防止層12を形成する（S10）。反射防止層12は、例えば、スパッタリング法やCVD法等の薄膜形成法等により形成することができる。

[0030] 続いて、図9に示されるように、S8においてパターンニングされた絶縁層24bをマスクとして用い、i型非晶質シリコン層22aとn型非晶質シリコン層23aをエッチングする（S11）。具体的には、i型非晶質シリコン層22aとn型非晶質シリコン層23aのうち、絶縁層24bによって覆われている部分以外の部分を除去する。これにより、n型単結晶シリコン基板18の裏面のうち、上方に絶縁層24bが位置していない部分を露出させて、i型非晶質シリコン層22とn型非晶質シリコン層23を形成する。ここで、i型非晶質シリコン層22aとn型非晶質シリコン層23aのエッ

チングは、例えば、水酸化ナトリウム（NaOH）を含む水溶液等のアルカリ性のエッチング液を用いる。

[0031] その後、図10に示されるように、絶縁層24b、i型非晶質シリコン層22、n型非晶質シリコン層23及び露出されたn型単結晶シリコン基板18の裏面を覆うように、i型非晶質シリコン層32aとp型非晶質シリコン層33aを形成する（S12）。i型非晶質シリコン層32a及びp型非晶質シリコン層33aは、例えば、プラズマCVD法等により形成することができる。

[0032] 次に、図11に示されるように、i型非晶質シリコン層32a及びp型非晶質シリコン層33aのうち、絶縁層24bの上に位置している部分の一部をエッチングする（S13）。これにより、i型非晶質シリコン層32及びp型非晶質シリコン層33を形成する。ここで、i型非晶質シリコン層32aとp型非晶質シリコン層33aのエッチングは、例えば、水酸化ナトリウム（NaOH）を含む水溶液等のアルカリ性のエッチング液を用いる。

[0033] そして、図12に示されるように、絶縁層24bをエッチングすることにより、絶縁層24bの一部をさらに除去する（S14）。具体的には、i型非晶質シリコン層32及びp型非晶質シリコン層33をマスクとして用い、絶縁層24bの露出部分をエッチングにより除去することで絶縁層24を形成する。ここで、絶縁層24bのエッチングには、例えば、HF水溶液等の酸性のエッチング液を用いる。

[0034] 続いて、透明導電層26a、金属層27aを形成する（S15）。具体的には、プラズマCVD法やスパッタリング法等の薄膜形成法により形成する。

[0035] その後、図13に示されるように、透明導電層26a及び金属層27aのうち、絶縁層24の上に位置する部分を分断することにより、透明導電層26、36及び金属層27、37を形成する（S16）。ここで、透明導電層26a及び金属層27aは、例えば、リソグラフィー法等によって分断する。

[0036] 次に、図14に示されるように、電解めっきにより、金属層27の上に第1電極部28と第2電極部29を順次形成し、金属層37の上に第1電極部38と第2電極部39を順次形成する(S17)。これにより、n側電極部25とp側電極部35とが形成がされる。

[0037] 絶縁層24aを成膜した際に、成膜装置内の塵等の存在が原因で、絶縁層24aにピンホールが形成されることがある。このため、絶縁層24aを成膜した後に、水酸化カリウム水溶液(KOH水溶液)等のアルカリ性の異方性エッチング液を用いてn型単結晶シリコン基板18の受光面上にテクスチャ構造を形成する場合には、当該アルカリ性の異方性エッチング液が当該ピンホールを通過して、i型非晶質シリコン層22a及びn型非晶質シリコン層23aに付着して損傷を与える可能性がある。しかし、上記光電変換素子10の製造方法の第1実施例によれば、n型単結晶シリコン基板18の受光面上にテクスチャ構造を形成する際に、絶縁層24bの略全面が耐アルカリ性に優れたフォトレジスト20aによって覆われている。これにより、仮に絶縁層24bにピンホールが存在している場合であっても、当該ピンホールは絶縁層24bによって塞がれているため、アルカリ性の異方性エッチング液が当該ピンホールを通過して、i型非晶質シリコン層22a及びn型非晶質シリコン層23aに付着してしまうことを防止することができる。したがって、上記光電変換素子10の製造方法の第1実施例によれば、光電変換素子10の発電特性を向上させることができる。

[0038] n型単結晶シリコン基板18の受光面のみにテクスチャ構造を形成し、裏面にテクスチャ構造を形成しない場合は、一旦、裏面を耐アルカリ性に優れた犠牲層で覆って受光面のみにテクスチャ構造を形成した後で、当該犠牲層を剥離する工程が別途必要となる。しかし、上記光電変換素子10の製造方法の第1実施例によれば、耐アルカリ性に優れており、かつ、絶縁層24aのパターンニングを行う際に用いられるフォトレジスト20aが形成された後で、n型単結晶シリコン基板18の受光面にテクスチャ構造を形成しているため、上記のように裏面側に特別な犠牲層を設ける等の別工程が必要ない

。このように、絶縁層24aをパターンニングするためのフォトレジスト20aに、上記犠牲層の役割も担わせているため、光電変換素子10の製造の工程数を削減することができる。

[0039] 次に、光電変換素子10の製造方法の第2実施例を説明する。図15は、光電変換素子10の製造方法の第2実施例の手順を示すフローチャートである。なお、光電変換素子10の製造方法は、各工程において示す製造方法に限定されない。各工程において、例えば、スパッタリング法、プラズマCVD法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0040] 光電変換素子10の製造方法の第2実施例と、上記光電変換素子10の製造方法の第1実施例の各工程は、S1～S4及びS8～S17工程が同じであり、S4～S8の間の工程のみが相違するため、その相違点を中心に説明する。

[0041] 最初に、光電変換素子10の製造方法の第1実施例と同じように、S1～S4を実施する。

[0042] そして、フォトレジスト20aに対して予め用意されたパターンに基づいて露光する(S5a)。また、フォトレジスト20aにおいて、露光された際に光が照射された部分がアルカリ性の現像液に溶ける状態となる。

[0043] 続いて、フォトレジスト20aにアルカリ性の現像液を与えて、フォトレジスト20aにおいて、光が照射された部分を除去する(S6a)。これにより、絶縁層24をパターン処理するためのマスクであるフォトレジスト20が形成される。

[0044] その後、n型単結晶シリコン基板18の受光面上にテクスチャ構造を形成する(S7a)。ここで、テクスチャ構造の形成には、水酸化カリウム水溶液(KOH水溶液)等のアルカリ性の異方性エッチング液を用いることで、n型単結晶シリコン基板18の受光面上にピラミッド状の凹凸形状を形成することができる。

[0045] 次に、光電変換素子10の製造方法の第1実施例と同じように、S8～S17を実施する。

[0046] 光電変換素子 10 の製造方法の第 2 実施例では、n 型単結晶シリコン基板 18 の受光面上にテクスチャ構造を形成する前に、フォトレジスト 20 a の一部分を除去している。このため、フォトレジスト 20 によって覆われている部分の下方に位置する i 型非晶質シリコン層 22 a 及び p 型非晶質シリコン層 23 a の損傷を防止することはできるが、この取り除かれた部分の下方に位置する i 型非晶質シリコン層 22 a 及び p 型非晶質シリコン層 23 a は損傷する可能性がある。しかし、当該損傷する可能性のある部分は、後の工程である S 11 においてエッチングされる領域である。つまり、当該損傷する可能性のある部分は、結果的に取り除かれる部分であるため、当該損傷は問題とならない。したがって、光電変換素子 10 の製造方法の第 2 実施例においても、光電変換素子 10 の製造方法の第 1 実施例と同様に、光電変換素子 10 の発電特性を向上させることができる。

[0047] 次に、光電変換素子 10 の製造方法の第 3 実施例を説明する。図 16 は、光電変換素子 10 の製造方法の第 3 実施例の手順を示すフローチャートである。なお、光電変換素子 10 の製造方法は、各工程において示す製造方法に限定されない。各工程において、例えば、スパッタリング法、プラズマ CVD 法、スクリーン印刷法或いはめっき法等を適宜用いることができる。

[0048] 光電変換素子 10 の製造方法の第 3 実施例と、光電変換素子 10 の製造方法の第 1 実施例の各工程は、S 1 ~ S 4 及び S 8 ~ S 17 工程が同じであり、S 4 ~ S 8 の間の工程のみが相違するため、その相違点を中心に説明する。

[0049] 最初に、光電変換素子 10 の製造方法の第 1 実施例と同じように、S 1 ~ S 4 を実施する。

[0050] そして、フォトレジスト 20 a に対して予め用意されたパターンに基づいて露光する (S 5 b)。また、フォトレジスト 20 a において、露光された際に光が照射された部分がアルカリ性の現像液に溶ける状態となる。

[0051] その後、水酸化カリウム水溶液 (KOH 水溶液) 等のアルカリ性の異方性エッチング液を用いて n 型単結晶シリコン基板 18 の受光面上にテクスチャ

構造を形成するとともに、同じ異方性エッチング液を用いて、フォトレジスト20aを現像する(S6b)。これにより、n型単結晶シリコン基板18の受光面上にピラミッド状の凹凸形状を形成することができるとともに、絶縁層24をパターン処理するためのマスクであるフォトレジスト20が形成される。

[0052] 続いて、光電変換素子10の製造方法の第1実施例と同じように、S8～S17を実施する。

[0053] 光電変換素子10の製造方法の第3実施例では、光電変換素子10の製造方法の第2実施例と同様に、フォトレジスト20において、アルカリ性の異方性エッチング液によって取り除かれた部分の下方に位置するi型非晶質シリコン層22a及びp型非晶質シリコン層23aを損傷する可能性があるが、これらは結果的に取り除かれる部分であるため、当該損傷は問題とならない。したがって、光電変換素子10の製造方法の第3実施例においても、光電変換素子10の製造方法の第1実施例と同様に光電変換素子10の発電特性を向上させることができる。

[0054] さらに、光電変換素子10の製造方法の第3実施例では、同じアルカリ性の異方性エッチング液を用いてフォトレジスト20aの一部を除去するとともに、n型単結晶シリコン基板18の受光面上にテクスチャ構造を形成している。したがって、光電変換素子10の製造方法の工程数を削減することができる。

### 符号の説明

[0055] 10 光電変換素子、12 反射防止層、14 n型非晶質シリコン層、16 i型非晶質シリコン層、18 n型単結晶シリコン基板、20, 20a フォトレジスト、21 i-n積層部、22, 22a i型非晶質シリコン層、23, 23a n型非晶質シリコン層、24, 24a, 24b 絶縁層、25 n側電極部、26, 26a, 36 透明導電層、27, 27a, 37 金属層、28, 38 第1電極部、29, 39 第2電極部、31 i-p積層部、32, 32a i型非晶質シリコン層、33, 33a p

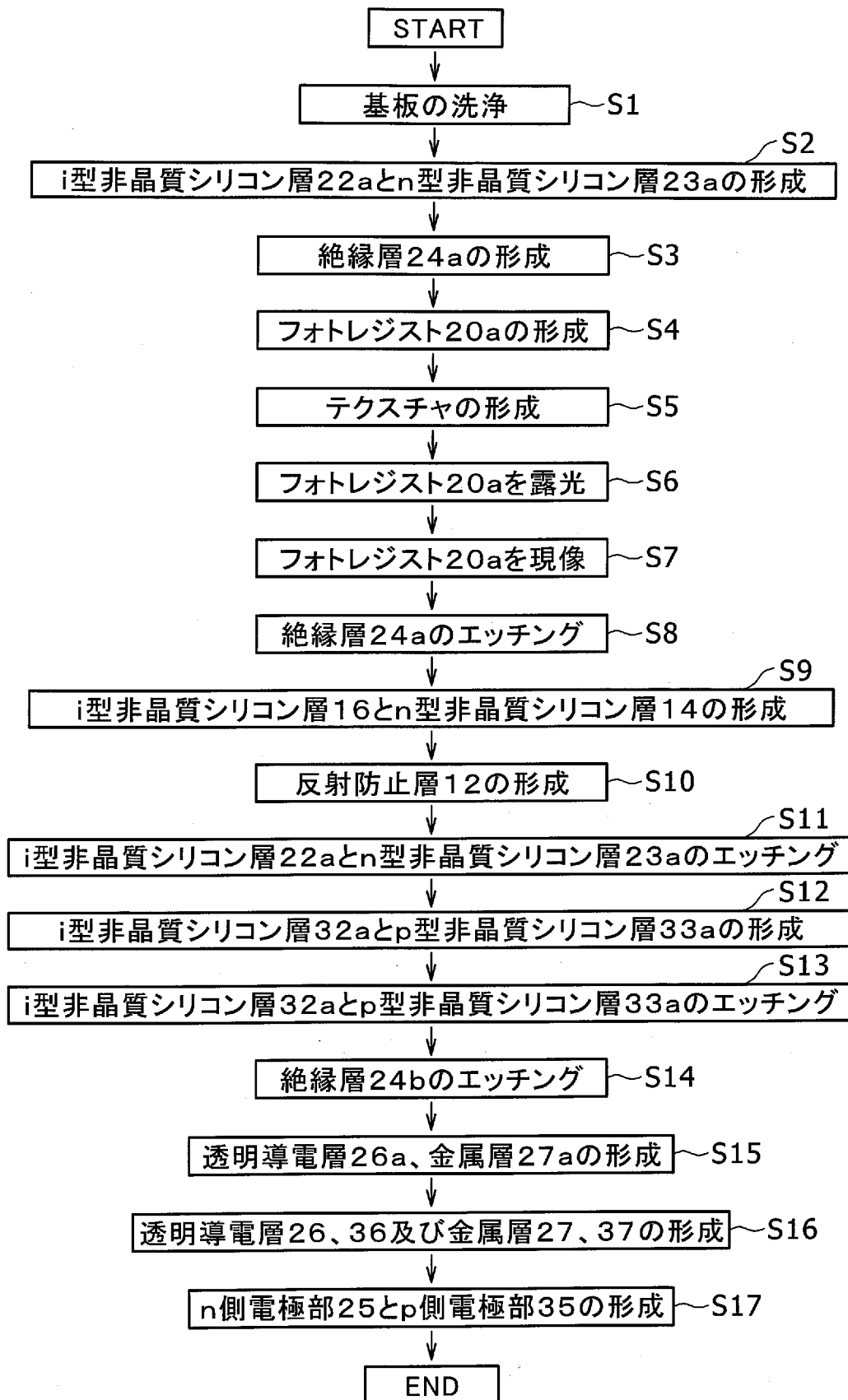
型非晶質シリコン層、35 p側電極部。

## 請求の範囲

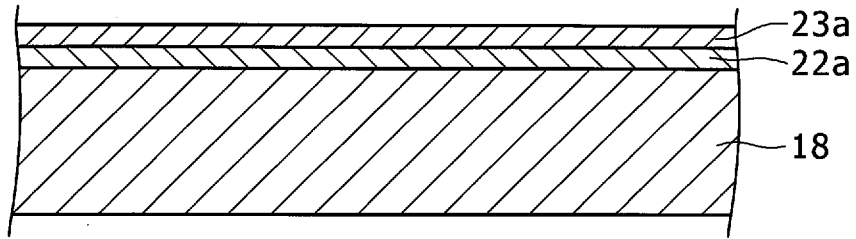
- [請求項1] 半導体基板の裏面上に非晶質系半導体層を形成し、  
前記非晶質系半導体層上に絶縁層を形成し、  
前記絶縁層上にフォトレジスト層を形成し、  
前記絶縁層上に前記フォトレジスト層が形成されている状態で前記半導体基板の前記裏面の反対側の受光面をエッチング加工する光電変換素子の製造方法。
- [請求項2] 請求項1に記載の光電変換素子の製造方法において、  
前記エッチング加工を終えた後で、前記フォトレジスト層を現像し、  
前記絶縁層をパターニングする光電変換素子の製造方法。
- [請求項3] 請求項1または請求項2に記載の光電変換素子の製造方法において、  
、  
前記結晶系半導体基板は、n型であり、  
前記非晶質系半導体層部は、  
前記結晶系半導体基板の裏面上に形成されるi型の非晶質系半導体層と、  
前記i型の非晶質系半導体層上に形成されるn型の非晶質系半導体層と、  
を有する光電変換素子の製造方法。
- [請求項4] 請求項1から請求項3のいずれか1に記載の光電変換素子の製造方法において、  
前記絶縁層は、窒化アルミニウム、窒化ケイ素及び酸化ケイ素のいずれか1つを含む光電変換素子の製造方法。



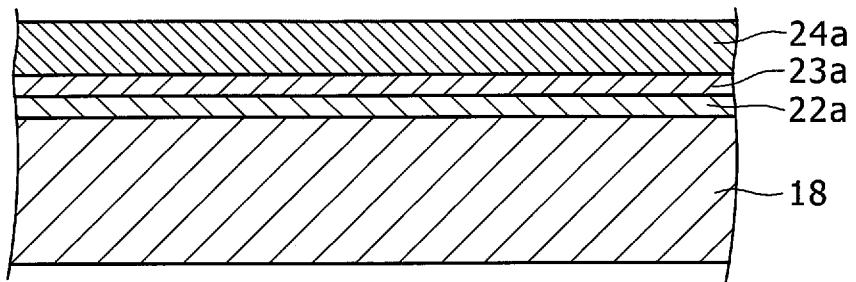
[図2]



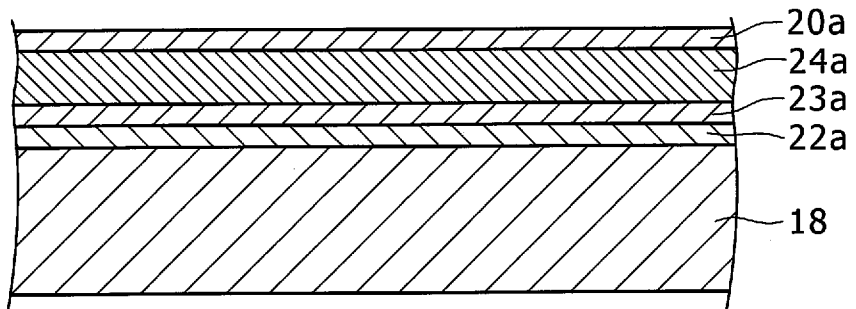
[図3]



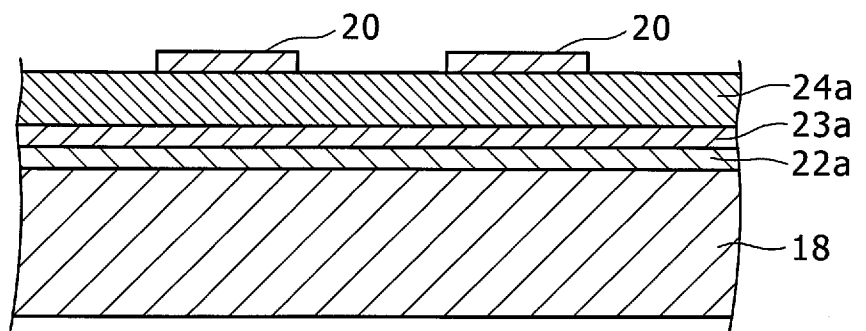
[図4]



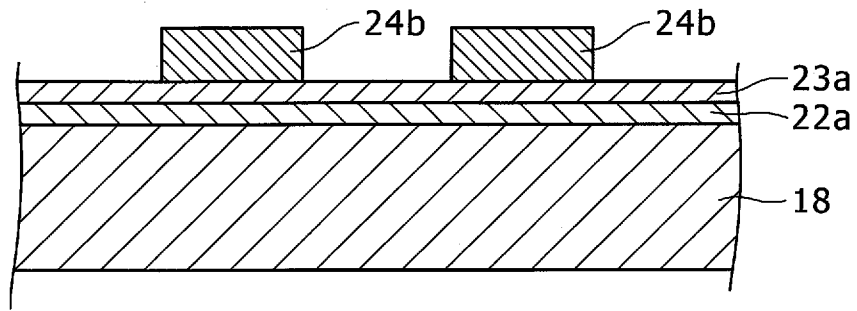
[図5]



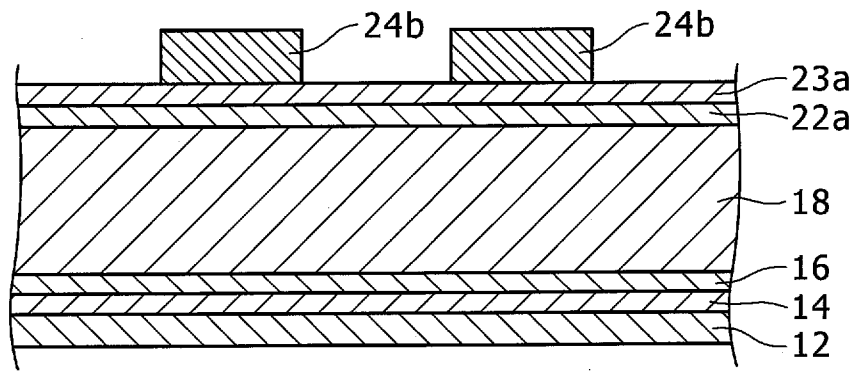
[図6]



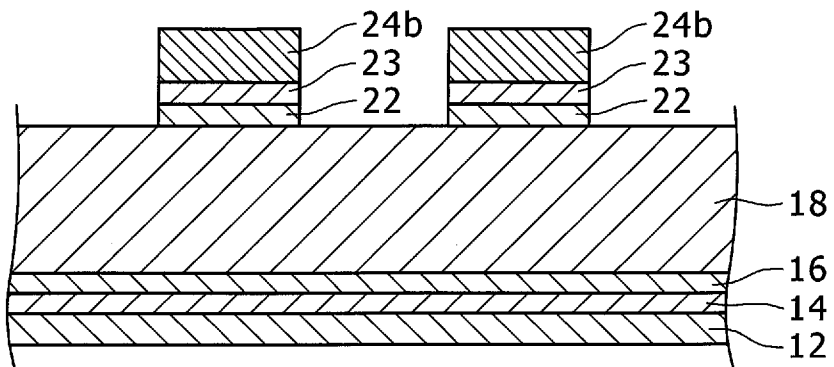
[図7]



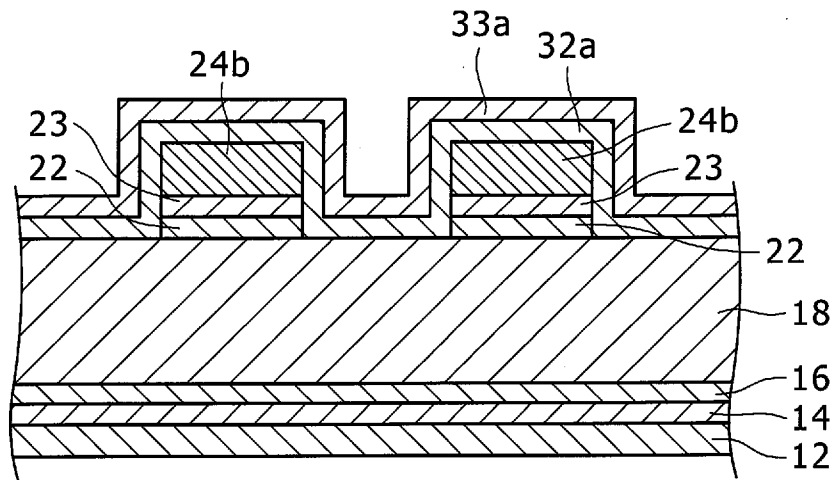
[図8]



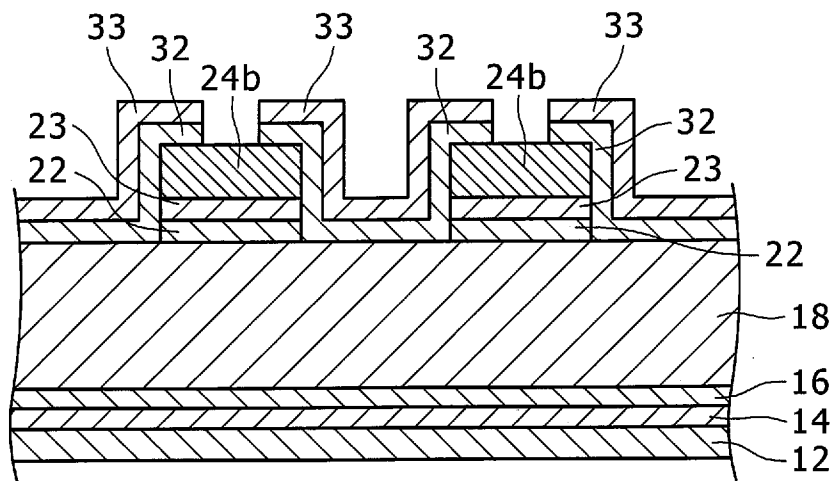
[図9]



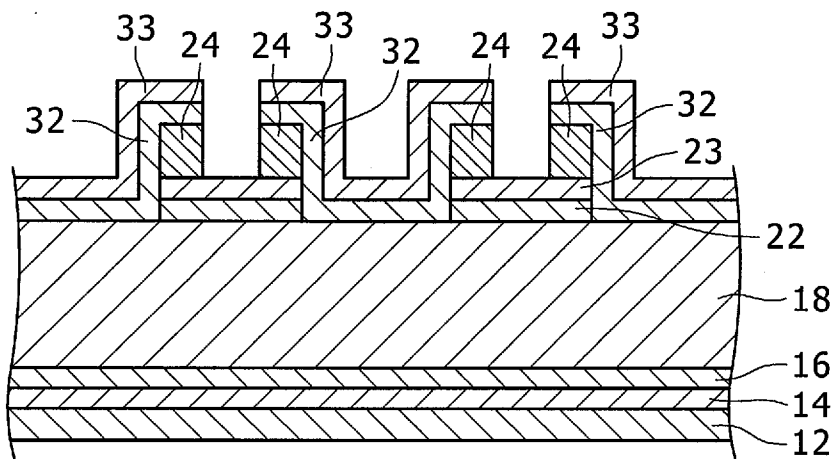
[図10]



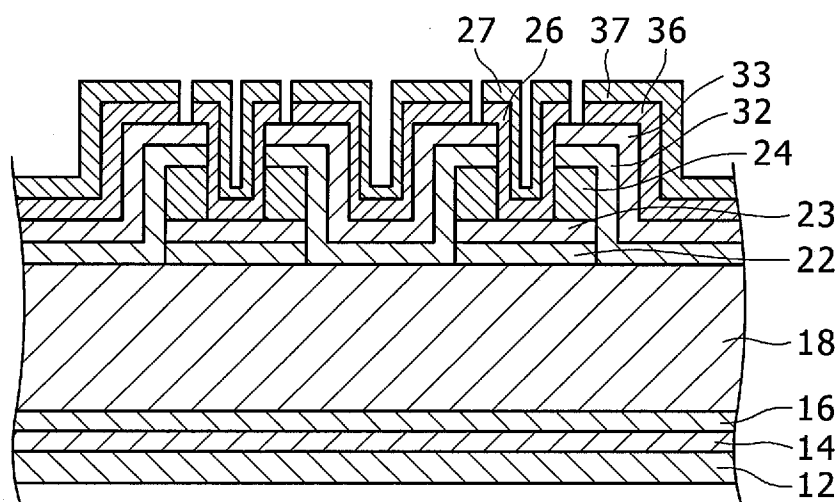
[図11]



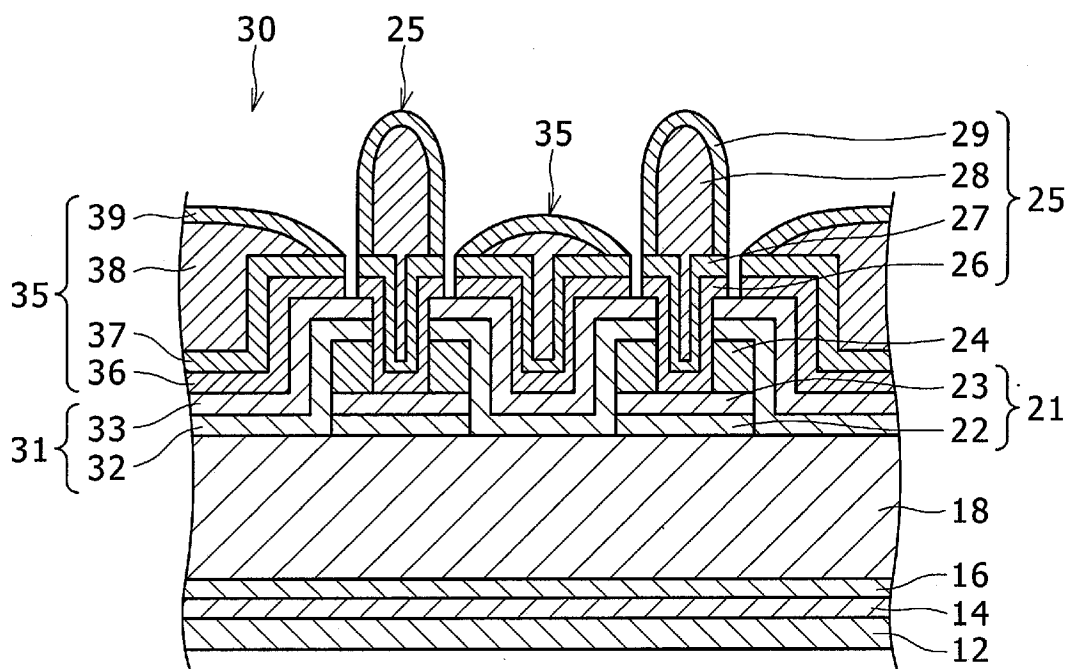
[図12]



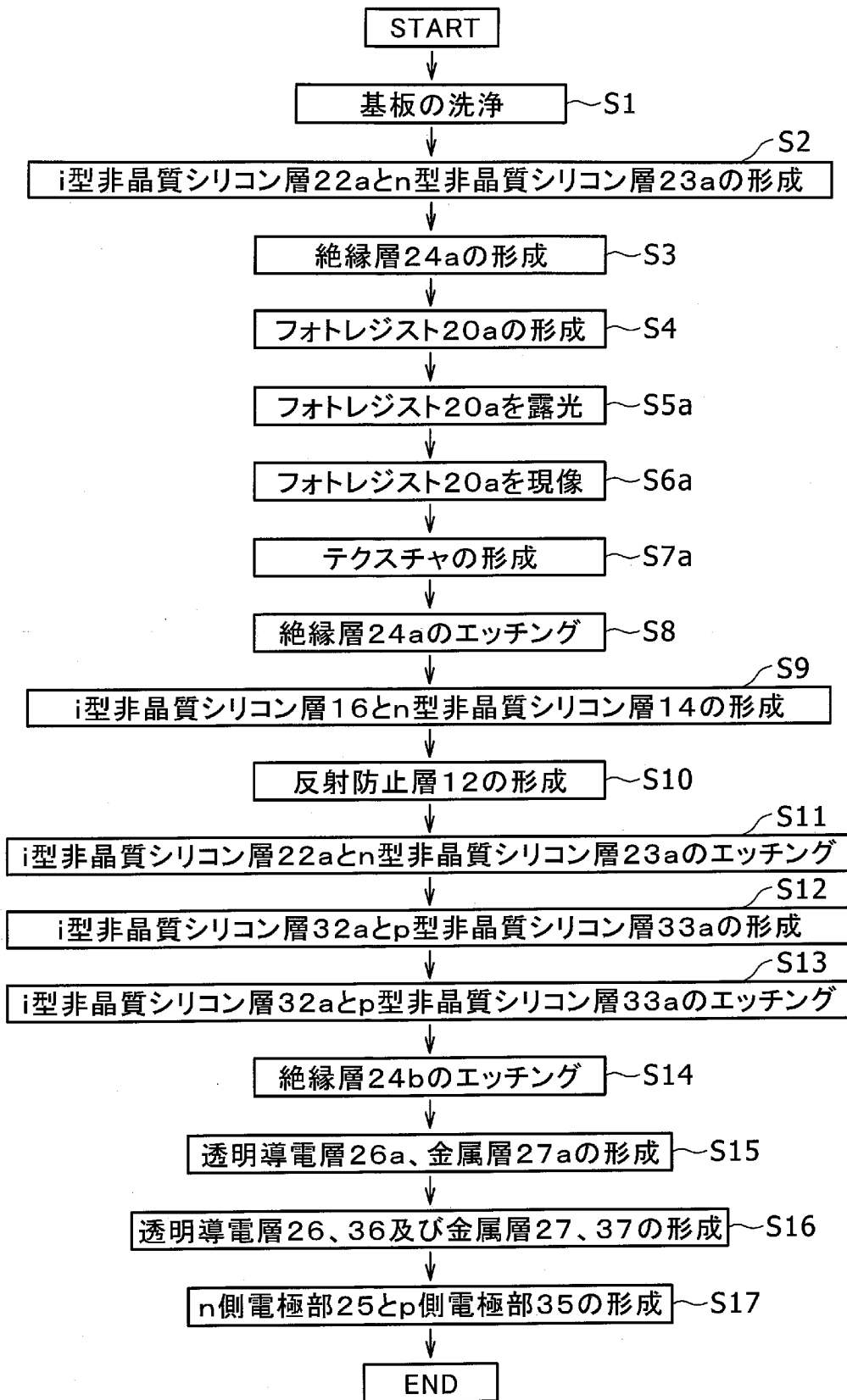
[図13]



[図14]



[図15]



[図16]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/053851

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L31/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2010/113750 A1 (Sanyo Electric Co., Ltd.), 07 October 2010 (07.10.2010), paragraphs [0032], [0050] to [0054]; fig. 8 to 10 (Family: none)	1, 4 2-3
A	JP 2010-504636 A (Commissariat a L'Energie Atomique), 12 February 2010 (12.02.2010), paragraphs [0041] to [0045]; fig. 1D to 1G & US 2010/0087031 A1 & WO 2008/037658 A2 & FR 2906406 A1	1-4

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
01 March, 2012 (01.03.12)

Date of mailing of the international search report  
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L31/04(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L31/04		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2010/113750 A1 (三洋電機株式会社) 2010. 10. 07, 段落[0032], [0050]-[0054], 図 8-10 (ファミリーなし)	1, 4 2-3
A	JP 2010-504636 A (コミサリア、ア、レネルジ、アトミック) 2010. 02. 12, 段落【0041】 - 【0045】, 図 1D-1G & US 2010/0087031 A1 & WO 2008/037658 A2 & FR 2906406 A1	1-4
<input type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 01. 03. 2012	国際調査報告の発送日 13. 03. 2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 加藤 昌伸 電話番号 03-3581-1101 内線 3255	2K 3700