

**發明專利說明書**

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97140888

※申請日期：97年10月24日

※IPC分類：H01L21/84(2006.01)  
H01L21/265(2006.01)**一、發明名稱：**(中) 半導體基板之製造方法  
(英)**二、申請人：(共 1 人)**1. 姓名：(中) 信越化學工業股份有限公司  
(英) SHIN-ETSU CHEMICAL CO., LTD.代表人：(中) 1. 金川 千尋  
(英) 1. KANAGAWA, CHIHIRO地址：(中) 日本國東京都千代田區大手町二丁目六番一號  
(英) 6-1, Otemachi 2-chome, Chiyoda-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

**三、發明人：(共 6 人)**1. 姓名：(中) 秋山 昌次  
(英) AKIYAMA, SHOJI  
國籍：(中) 日本  
(英) JAPAN2. 姓名：(中) 久保田 芳宏  
(英) KUBOTA, YOSHIHIRO  
國籍：(中) 日本  
(英) JAPAN3. 姓名：(中) 伊藤 厚雄  
(英) ITO, ATSUO  
國籍：(中) 日本  
(英) JAPAN4. 姓名：(中) 川合 信  
(英) KAWAI, MAKOTO  
國籍：(中) 日本

(英) JAPAN

5. 姓名：(中) 飛坂 優二  
(英) TOBISAKA, YUUI  
國籍：(中) 日本  
(英) JAPAN

6. 姓名：(中) 田中 好一  
(英) TANAKA, KOICHI  
國籍：(中) 日本  
(英) JAPAN

#### 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/10/25 ; 2007-277502  有主張優先權

## 五、中文發明摘要

發明之名稱：半導體基板之製造方法

[課題]提供一種：可在低溫下進行貼合，且能夠將 SOI 膜中之金屬污染量降低之手法。

[解決手段]將進行電漿處理而使表面活性化後的單結晶 Si 基板 10 與石英基板 20 以低溫來作貼合，並對此賦予外部衝擊而從單結晶矽之主體 (bulk) 來將矽膜機械性的剝離，而得到具備有矽膜 (SOI 膜) 12 之半導體基板 (SOI 基板)。接下來，對此 SOI 基板以 600℃ ~ 1250℃ 之溫度來進行熱處理，並將在電漿處理等之工程中而偶發性地混入至 SOI 膜 / 石英基板界面以及 SOI 膜中之金屬不純物。在矽膜 12 之表面區域處作去疵 (Gettering)。而，最後，係將熱處理後之 SOI 基板的矽膜 12 之表面層 (去疵層) 除去，並作為最終之 SOI 膜 13，而得到半導體基板 (SOI 基板)。

## 六、英文發明摘要

發明之名稱：

七、指定代表圖：

(一)、本案指定代表圖為：第( 1 )圖

(二)、本代表圖之元件代表符號簡單說明：

10：矽基板

11：離子注入層

12：矽膜

13：SOI膜

20：石英基板

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明

### 【發明所屬之技術領域】

本發明，係有關於在絕緣性基板上具備有矽膜的半導體基板之製造方法。

### 【先前技術】

作為能夠使半導體裝置高性能化之半導體基板，SOI (Silicon On Insulator) 基板係受到注目 (例如，參考專利文獻 1 或非專利文獻 1)。此係因為，藉由採用 SOI 構造而在單結晶矽薄膜下埋入氧化膜，能夠減低寄生容量，提昇動作速度，而成為能夠抑制消耗電力之故。

但是，在此種 SOI 基板中，由於係無法期待有在主體 (bulk) 矽基板中而一般性地被利用之所謂的「去疵效果」，因此，存在有相對於在 SOI 基板之製造工程中所受到之各種的金屬污染係極為脆弱的問題。

由於此種事態，從先前起，係藉由促進製程裝置或是環境之清淨化，來作為不純物之對策，但是，在將絕緣性基板與矽基板以低溫來作貼合時，當為了保障貼合強度而採用施加電漿處理之工程的情況時，由於伴隨著電漿處理，在貼合界面處金屬不純物係容易以高濃度而積蓄，因此，僅對電漿處理環境進行清淨化，作為對於金屬污染之對策，係並不能說是充分。

[專利文獻 1]日本專利第 3048201 號公報

[非專利文獻 1]A. J. Auberton-Herve et al., "SMART

CUT TECHNOLOGY: INDUSTRIAL STATUS of SOI WAFER PRODUCTION and NEW MATERIAL DEVELOPMENTS” (Electrochemical Society Proceedings Volume 99-3 (1999) p.93-106).

【發明內容】

[發明所欲解決之課題]

本發明，係有鑑於此種問題而進行者，其目的，係在於提供一種：可在低溫下進行貼合，且能夠將所得到之 SOI 基板的 SOI 膜中之金屬污染量降低之手法。

[用以解決課題之手段]

爲了解決此種課題，本發明之半導體基板之製造方法，其特徵爲，具備有：在矽基板之主面上形成氫離子注入層之離子注入工程；和在絕緣性基板與前述矽基板之至少一方的主面上施加電漿處理之表面處理工程；和將前述絕緣性基板與前述矽基板之主面彼此作貼合之工程；和從前述貼合基板之前述矽基板而將矽薄膜機械性地剝離，而作成在前述絕緣性基板之主面上具備有矽膜之 SOI 基板之剝離工程；和將前述 SOI 基板以  $600^{\circ}\text{C} \sim 1250^{\circ}\text{C}$  之溫度來進行熱處理之工程；和將前述熱處理後之 SOI 基板的矽膜之表面層除去之工程。

前述熱處理工程之氛圍，例如，係爲以氮氣、氫氣、又或是氮氣之至少 1 種作爲主成分的惰性氣體。

前述熱處理工程之氛圍，例如，係為以氮氣、氫氣、又或是氮氣之至少 1 種作為主成分的惰性氣體和氧化性氣體之混合氣體。

在本發明中，在前述熱處理工程之後，係亦可具備有將前述矽膜上之氧化膜除去之工程。

又，在前述剝離工程之前，係亦可具備有將前述貼合基板以 100~300℃ 之溫度來進行熱處理之工程。

在本發明中所被使用之絕緣性基板，例如，係有高電阻矽基板、附有氧化膜之矽基板、石英基板、藍寶石基板、碳化矽基板等。

#### [發明之效果]

在本發明中，係將進行電漿處理而被表面活性化後之矽基板與絕緣性基板在低溫下作貼合，並對此賦予外部衝擊而將矽膜機械性的剝離，而在絕緣性基板上得到 SOI 膜，並將此 SOI 基板以 600℃ ~ 1250℃ 之溫度來進行熱處理，而將在電漿處理等之工程中而偶發性地混入至 SOI 膜 / 絕緣性基板界面以及 SOI 膜中的金屬不純物在矽膜之表面區域處作去疵。藉由此種手法，成為能夠進行低溫下之貼合並實現 SOI 膜中之金屬污染量的降低。

#### 【實施方式】

以下，藉由實施例，對本發明之半導體基板之製造方法的實施形態作說明。另外，在以下之實施例中，雖係將

石英基板作為絕緣性基板來作說明，但是，在本發明中所被使用之絕緣性基板，係亦可為高電阻矽基板、附有氧化膜之矽基板、藍寶石基板、碳化矽基板等。

#### [實施例]

圖 1，係為用以說明本發明之半導體基板之製造方法的製程例之圖。於圖 1 (A) 中所圖示的矽基板 10，一般而言，係為單結晶 Si 基板，而支持基板，係為石英基板 20。於此，單結晶 Si 基板 10，例如，係為藉由 CZ 法（丘克拉斯基法）所育成之一般在市面上販售的 Si 基板，其導電型態或電阻率比等的電性特性質、或是結晶方位或結晶粒徑，係依存於藉由本發明之方法所製造的 SOI 基板所供以使用之裝置的設計值或是製程亦或是所製造之裝置的顯示面積等，而適宜地作選擇。另外，在此單結晶 Si 基板 10 之表面（貼合面）處，係亦可經由例如熱氧化等之方法而預先被形成有氧化膜。

被作貼合之單結晶 Si 基板 10 以及石英基板 20 的直徑係為相同，為了之後之裝置形成製程的便利，若是在石英基板 20 處亦設置與在單結晶 Si 基板 10 處所設置之定向平面（orientation flat, OF）相同之 OF，並使此些之 OF 彼此合致而作貼合，則係為理想。

首先，在將 Si 基板 10 之溫度保持在不超過 400℃ 之狀態（400℃ 以下）的條件下，在單結晶 Si 基板 10 之表面處注入氫離子（圖 1 (A)）。此離子注入面，係成為

之後的「接合面（貼合面）」。藉由氫離子注入，在單結晶 Si 基板 10 之表面近旁的特定之深度（平均離子注入深度 L）處，係被形成有均一之離子注入層 11（圖 1（B））。若是將離子注入工程中之 Si 基板 10 的溫度保持在 400℃ 以下，則係能夠顯著地對所謂「微共振腔（micro cavity）」的發生作抑制。另外，在本實施例中，氫離子注入時之單結晶 Si 基板 10 的溫度，係被設定為 200℃ 以上 400℃ 以下。

氫之離子注入時的劑量，係因應於 SOI 基板之規格等，而在例如  $1 \times 10^{16} \sim 4 \times 10^{17} \text{ atoms/cm}^2$  的範圍內選擇適當之值。另外，根據先前技術，氫離子之劑量若是超過  $1 \times 10^{17} \text{ atoms/cm}^2$ ，則於其後所得到之 SOI 層表面會產生表面粗糙，故而，一般係設定為  $7 \times 10^{16} \text{ atoms/cm}^2$  左右的劑量。然而，若依據本發明者們之檢討，則係清楚得知了：在先前方法中被認定係會發生之於上述離子注入條件下所產生的 SOI 層之表面粗糙的原因，係並非在於氫離子之劑量本身，而係由於為了將矽薄膜剝離並得到 SOI 層所採用的較為高溫（例如 500℃）之熱處理工程中所發生的氫的擴散現象之故。

故而，當如同本發明一般而謀求包含氫離子注入工程之一貫性的低溫製程化的情況時，不只是氫離子注入工程，連剝離工程亦係成為在低溫下實行，而能夠對該當剝離處理工程中之氫原子的擴散顯著地作抑制，因此，就算是施加高劑量之氫離子注入，亦不會產生 SOI 層之表面粗

糙。本發明者們，雖係針對以各種之劑量來施加氫離子注入時的對於 SOI 層之表面粗糙的影響作了調查，但是，只要是藉由 400°C 以下之低溫熱處理來實行矽薄膜之剝離，則至少在直到  $4 \times 10^{17} \text{ atoms/cm}^2$  的劑量下，均無法發現表面粗糙的情形。

離子注入層 11 之從單結晶 Si 基板 10 表面起的深度（平均離子注入深度 L），係藉由離子注入時之加速電壓而被控制，並依存於欲將何種程度之厚度的 SOI 層作剝離一事而被決定，但是，例如，係將平均離子注入深度 L 設為  $0.5 \mu\text{m}$  以下，並將加速電壓設為 50~100keV 等。另外，亦可如同在對於 Si 結晶中之離子注入製程時為了對注入離子之管道化（channelling）作抑制所通常進行一般，在單結晶 Si 基板 10 之離子注入面處預先形成氧化膜等之絕緣膜，並透過此絕緣膜而施加離子注入。

在此氫離子注入後，在單結晶 Si 基板 10 之接合面處，施加以表面清淨化或是表面活性化等為目的之電漿處理（圖 1（C））。另外，此電漿處理，係為了將成為接合面之表面的有機物除去、或是使表面上之 OH 基增大而達成表面活性化等的目的所進行者，可以對單結晶 Si 基板 10 與石英基板 20 之雙方的接合面作施加，亦可僅對石英基板 20 之接合面作施加。亦即是，只要對單結晶 Si 基板 10 與石英基板 20 之任何一方的接合面作施加即可。

此電漿處理，係將預先被施加有 RCA 洗淨等之表面為清淨的單結晶 Si 基板以及／又或是石英基板載置在真

空處理室內之試料台上，並在該當真空處理室內以使其成爲特定之真空度的方式來導入電漿用氣體並實行。另外，作爲於此所使用之電漿用氣體種，係有氧氣、氫氣、氬氣、又或是此些之混合氣體、或者是氫氣與氮氣之混合氣體等。在電漿用氣體之導入後，使 100W 左右之電力的高頻電漿產生，並在被作電漿處理之單結晶 Si 基板以及／又或是石英基板的表面處，施加 5~10 秒左右的處理，並結束之。

將被施加有此種表面處理後之單結晶 Si 基板 10 與石英基板 20 的表面作爲接合面，並使其密著而作貼合（圖 1（D））。如上述一般，單結晶 Si 基板 10 與石英基板 20 之至少一方的表面（接合面），由於係藉由電漿處理而被施加有表面處理並被活性化，因此，就算是在室溫下而被作了密著（貼合）的狀態下，亦能夠得到足以承受在後面之工程中的機械性剝離或是機械研磨的接合強度。

另外，接在圖 1（D）之貼合工程之後，於剝離工程之前，亦可設置在將單結晶 Si 基板 10 與石英基板 20 相貼合後的狀態下，以 100~300℃ 之溫度來進行熱處理的工程。此熱處理工程，係爲以得到能夠提昇單結晶矽基板 10 與石英基板 20 間之接合強度的效果爲主要目的者。

將此熱處理工程時之溫度設定爲 300℃ 以下的主要理由，除了防止上述之「微共振腔」的發生之外，亦考慮有由於單結晶矽與石英間之熱膨脹係數差與起因於該當熱膨脹係數差所造成的變形量、以及此變形量與單結晶矽基板

10 還有石英基板 20 之厚度。

另外，在此熱處理中，依存於氫離子之注入量，亦能夠期待有：使起因於單結晶 Si 基板 10 與石英基板 20 之兩基板間的熱膨脹係數差所造成的熱應力產生，而使離子注入層 11 內之矽原子的化學結合弱化的副效果。

接在此種處理之後，對被貼合後之基板以某些之手法來賦予外部衝擊而從單結晶矽之主體 (bulk) 來將矽膜機械性的剝離，而得到在石英基板 20 上具備有矽膜 (SOI 膜) 12 之半導體基板 (SOI 基板) (圖 1 (E))。另外，作為用以剝離矽膜 (SOI 膜) 12 之賦予從外部而來之衝擊的手法，係可採用各種之方法，但是，在本實施例中，此剝離係並不進行加熱地而實行。

在藉由原子力顯微鏡 (AFM) 而對如此這般所得到之 SOI 膜的剝離後之表面的  $10\ \mu\text{m} \times 10\ \mu\text{m}$  之區域作了測定後，RMS 之平均值係為 5nm 以下，而為良好。又，SOI 膜之基板面內誤差 (PV)，係為 4nm 以下。能夠得到此種較為平滑之剝離面的理由，係由於此剝離機制係與先前技術之熱剝離為相異之故。

接下來，對所得到之 SOI 基板，以  $600^\circ\text{C}$  以上  $1250^\circ\text{C}$  以下之溫度來進行熱處理 (圖 1 (F))。將溫度之下限設為  $600^\circ\text{C}$  之原因，係因為在此以下之溫度時，金屬不純物之擴散係難以發生，而無法期待去疵效果之故，而將溫度之上限設為  $1250^\circ\text{C}$  之原因，係因為對在熱處理中所使用之石英構件的軟化有所考慮之故。在本實施例之情況中，

係設為身為石英基板之轉移溫度（ $1090^{\circ}\text{C}$ ）以下之溫度的 $1000^{\circ}\text{C}$ 。

在此熱處理中，係將在電漿處理等之工程中而偶發性地混入至 SOI 膜／石英基板界面以及 SOI 膜中之金屬不純物，在矽膜 12 之表面區域處作去疵（Gettering）。此時之去疵源，係為矽膜 12 之機械性剝離面（SOI 膜表面）的晶格變形（lattice strain）。當從單結晶矽之主體而將矽膜機械性地剝離的情況時，該當剝離面係為矽晶格產生有變形的狀態，但是，在本發明中，係將此 SOI 膜表面之晶格變形作為去疵源來利用。

而，最後，係將上述熱處理後之 SOI 基板的矽膜 12 之表面層（去疵層）除去，並作為最終之 SOI 膜 13，而得到半導體基板（SOI 基板）（圖 1（G））。

圖 2，係為用以對在矽膜 12 之機械性剝離面（SOI 膜表面）處的金屬不純物被作去疵的情況作概念性說明之圖。於剛貼合後之狀態下，在用以進行低溫貼合所施加的電漿處理中，不可避免的、且偶發性的，在貼合界面處金屬不純物係容易以高濃度而積蓄（圖 2（A）中之 12g）。

若是將此狀態之 SOI 基板，以  $600^{\circ}\text{C}$  以上之溫度來進行熱處理，則金屬係在 SOI 膜 12 中擴散，並成為在晶格變形較大之 SOI 膜表面處被作去疵（圖 2（B））。

在此狀態下，若是將 SOI 膜 12 之表面區域僅除去適當量（例如  $0.1\ \mu\text{m}$ ），則係能夠得到金屬不純物程度低之 SOI 基板（圖 2（C））。另外，在此除去中，係可採用研

磨、蝕刻等之手法。

施加用以進行此種去疵之熱處理的氛圍，除了惰性氣體（例如，以氮氣、氬氣、又或是氦氣之至少 1 種作為主成分者）之外，亦可為此種惰性氣體和氧化性氣體之混合氣體。

當選擇了後者之氛圍的情況時，則亦可在於熱處理中所形成之氧化膜中以及矽／氧化膜界面處將金屬不純物作捕獲，而能夠期待有與所謂之「犧牲氧化」相同的效果。另外，在此情況中，係成為於該當熱處理工程之後，將被形成於 SOI 膜 12 上之氧化膜藉由氟酸處理等來除去。

[產業上之利用可能性]

藉由本發明，則係提供一種：可在低溫下進行貼合，且能夠將所得到之 SOI 基板的 SOI 膜中之金屬污染量降低之手法。

【圖式簡單說明】

[圖 1]用以說明本發明之半導體基板之製造方法的製程例之圖。

[圖 2]用以對在矽膜之機械性剝離面（SOI 膜表面）處的金屬不純物被作去疵的情況作概念性說明之圖。

【主要元件符號說明】

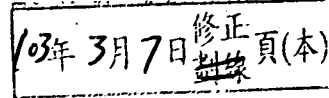
10：矽基板

11：離子注入層

12：矽膜

13：SOI膜

20：石英基板



## 十、申請專利範圍

1.一種半導體基板之製造方法，其特徵為，具備有：

在矽基板之主面上形成氫離子注入層之離子注入工程；和

在身為高電阻矽基板、附有氧化膜之矽基板、石英基板、藍寶石基板之其中一者的絕緣性基板與前述矽基板之至少一方的主面上施加電漿處理之表面處理工程；和

將前述絕緣性基板與前述矽基板之主面彼此作貼合之工程；和

從前述貼合基板之前述矽基板而將矽薄膜機械性地剝離，而作成在前述絕緣性基板之主面上具備有矽膜之 SOI 基板之剝離工程；和

將前述 SOI 基板以  $600^{\circ}\text{C} \sim 900^{\circ}\text{C}$  之溫度來進行熱處理而對前述矽膜之表面區域進行將金屬雜質去疵之工程；和

將前述熱處理後之 SOI 基板的矽膜之表面層除去之工程。

2.如申請專利範圍第 1 項所記載之半導體基板之製造方法，其中，前述熱處理工程之氛圍，係為以氫氣、氬氣、又或是氮氣之至少 1 種作為主成分的惰性氣體。

3.如申請專利範圍第 1 項所記載之半導體基板之製造方法，其中，前述熱處理工程之氛圍，係為以氫氣、氬氣、又或是氮氣之至少 1 種作為主成分的惰性氣體與氧化性氣體之混合氣體。

4.如申請專利範圍第 3 項所記載之半導體基板之製造方法，其中，在前述熱處理工程之後，係具備有將前述矽膜上之氧化膜除去之工程。

5.如申請專利範圍第 1 項乃至第 4 項中之任一項所記載之半導體基板之製造方法，其中，在前述剝離工程之前，係具備有將前述貼合基板以  $100\sim 300^{\circ}\text{C}$  之溫度來進行熱處理之工程。



圖2

