

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5035350号
(P5035350)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl. F I
H03F 3/343 (2006.01) H03F 3/343 A
G05F 3/26 (2006.01) G05F 3/26

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2009-532995 (P2009-532995)	(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(86) (22) 出願日	平成19年9月20日(2007.9.20)	(74) 代理人	100092152 弁理士 服部 毅巖
(86) 国際出願番号	PCT/JP2007/068236	(72) 発明者	工藤 真大 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(87) 国際公開番号	W02009/037762	審査官	柳下 勝幸
(87) 国際公開日	平成21年3月26日(2009.3.26)		
審査請求日	平成21年11月18日(2009.11.18)		

最終頁に続く

(54) 【発明の名称】 カレントミラー回路

(57) 【特許請求の範囲】

【請求項1】

電流源の基準電流を複製して出力するカレントミラー回路において、
 第1のトランジスタと、
 制御電極が前記第1のトランジスタの制御電極と接続された第2のトランジスタと、
 前記第1のトランジスタにカスコード接続された第3のトランジスタと、
 制御電極が前記第3のトランジスタの制御電極と接続され、前記第2のトランジスタに
 カスコード接続された第4のトランジスタと、
 前記第3のトランジスタと並列に接続され、制御電極が前記電流源、前記第3のトラン
 ジスタの前記第1のトランジスタとカスコード接続されていない方の電流電極、および前
 記第1のトランジスタの制御電極に接続された第5のトランジスタと、
 前記第1のトランジスタと前記第5のトランジスタとの制御電極電圧に基づいて、前記
 第3のトランジスタと前記第4のトランジスタとのバイアス電圧を生成するバイアス電圧
 生成回路と、
 を有することを特徴とするカレントミラー回路。

【請求項2】

前記バイアス電圧生成回路は、前記第1のトランジスタを流れる電流と同じ電流を生成
 する電流生成回路と、
 前記電流生成回路によって生成された電流を複製するカレントミラー回路と、
 前記カレントミラー回路によって複製された電流に基づいて前記バイアス電圧を生成す

10

20

るバイアス回路と、

を有することを特徴とする請求項 1 記載のカレントミラー回路。

【請求項 3】

前記電流生成回路は、前記第 1 のトランジスタ、前記第 3 のトランジスタ、および前記第 5 のトランジスタと同じ回路構成を有していることを特徴とする請求項 2 記載のカレントミラー回路。

【請求項 4】

前記バイアス回路は、ダイオード接続された第 6 のトランジスタであることを特徴とする請求項 2 記載のカレントミラー回路。

【請求項 5】

前記第 5 のトランジスタの制御電極と前記電流源とを接続する第 1 のスイッチと、前記第 5 のトランジスタの制御電極を基準電位に接続する第 2 のスイッチと、

を有することを特徴とする請求項 1 記載のカレントミラー回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はカレントミラー回路に関し、特に基準電流を複製して出力するカスコード接続のカレントミラー回路に関する。

【背景技術】

【0002】

電流を任意の倍率で複製するカレントミラー回路は、アナログ回路の基本的な回路ブロックであり、多くの回路で幅広く用いられている。カレントミラー回路は、電流の正確な複製のために高出力インピーダンスを要求される場合がある。

【0003】

カスコードカレントミラー回路は、非常に高い出力インピーダンスを備え、また、比較的高速に動作するなどの特徴を有する。しかし、カスコードカレントミラー回路は、トランジスタを縦積みにより、回路の電圧マージンが低下してしまうという欠点がある。そこで、この欠点を克服し、低電圧動作に適したカスコードカレントミラー回路が広く利用されている。

【0004】

図 7 は、従来のカスコードカレントミラー回路の回路図である。図に示すように、カスコードカレントミラー回路は、電流源 I_{101} 、 I_{102} 、および NMOS (Negative-channel Metal-Oxide Semiconductor) のトランジスタ M_{101} 、 M_{102} 、 M_{111} 、 M_{121} 、 M_{122} を有している。

【0005】

トランジスタ M_{101} 、 M_{121} は、互いにゲートが接続され、カレントミラー回路を構成している。また、トランジスタ M_{102} 、 M_{122} も互いにゲートが接続され、カレントミラー回路を構成している。トランジスタ M_{122} は、トランジスタ M_{121} のドレイン - ソース間の電圧変化を減少させ、出力インピーダンスを高めている。

【0006】

2つの電流源 I_{101} 、 I_{102} は、カレントミラー回路を構成しているトランジスタ M_{101} 、 M_{121} と、トランジスタ M_{102} 、 M_{122} とが飽和領域で動作するようにバイアス電圧を生成している。すなわち、図のカスコードカレントミラー回路では、適正に動作するために、2つの電流源 I_{101} 、 I_{102} を必要とする。

【0007】

電流源 I_{101} から流れる電流は、トランジスタ M_{101} 、 M_{102} を流れる。電流出力回路を構成するトランジスタ M_{121} 、 M_{122} は、トランジスタ M_{101} 、 M_{102} のそれぞれと同じバイアス状態で動作し、電流 I_{out} を出力する。トランジスタ M_{101} 、 M_{102} のサイズの比率と、トランジスタ M_{121} 、 M_{122} のサイズの比率とを、所望の比に構成することにより、電流源 I_{101} の電流に対して、所望の比率を有する電

10

20

30

40

50

流 I o u t を出力することができる。

【 0 0 0 8 】

図 8 は、図 7 のカスコードカレントミラー回路を適用した電子回路例を示した図である。図に示すように電子回路は、バイアス回路 1 0 1 および動作回路 1 1 1 ~ 1 1 4 を有している。

【 0 0 0 9 】

バイアス回路 1 0 1 は、動作回路 1 1 1 ~ 1 1 4 に基準電流を供給している。動作回路 1 1 1 ~ 1 1 4 は、バイアス回路 1 0 1 から供給される基準電流に基づいて複製電流を生成し、動作している。

【 0 0 1 0 】

動作回路 1 1 1 ~ 1 1 4 のそれぞれは、図 7 で示した電流源 I 1 0 1 , I 1 0 2 を除いたカスコードカレントミラー回路を有している。バイアス回路 1 0 1 が電流源 I 1 0 1 , I 1 0 2 を有している。

【 0 0 1 1 】

図 7 で示したカスコードカレントミラー回路では、2つの基準電流（電流源 I 1 0 1 , I 1 0 2 ）を必要とするため、バイアス回路 1 0 1 からは、動作回路 1 1 1 ~ 1 1 4 のそれぞれに対し、2本の配線が配置されることになる。このため、バイアス回路 1 0 1 と動作回路 1 1 1 ~ 1 1 4 との間の配線面積が増大する。

【 0 0 1 2 】

なお、従来、抵抗素子を利用して1つの基準電流から2つのバイアス電圧を生成するカスコードカレントミラー回路が提供されている（例えば、特許文献 1 参照）。

【特許文献 1】特開平 8 - 8 8 5 2 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

このように、2つの電流源を必要とするカレントミラー回路では、電子回路の配線面積が増大するという問題点があった。

本発明はこのような点に鑑みてなされたものであり、1つの電流源による基準電流を複製して出力することができるカスコード接続のカレントミラー回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本発明では上記問題を解決するために、図 1 に示すような電流源 I 1 1 の基準電流を複製して出力するカレントミラー回路において、第 1 のトランジスタ M 1 1 と、制御電極が第 1 のトランジスタ M 1 1 の制御電極と接続された第 2 のトランジスタ M 1 4 と、第 1 のトランジスタ M 1 1 にカスコード接続された第 3 のトランジスタ M 1 3 と、制御電極が第 3 のトランジスタ M 1 3 の制御電極と接続され、第 2 のトランジスタ M 1 4 にカスコード接続された第 4 のトランジスタ M 1 5 と、第 3 のトランジスタ M 1 3 と並列に接続され、制御電極が電流源 I 1 1 、第 3 のトランジスタ M 1 3 の第 1 のトランジスタ M 1 1 とカスコード接続されていない方の電流電極、および第 1 のトランジスタ M 1 1 の制御電極に接続された第 5 のトランジスタ M 1 2 と、第 1 のトランジスタ M 1 1 と第 5 のトランジスタ M 1 2 との制御電極電圧に基づいて、第 3 のトランジスタ M 1 3 と第 4 のトランジスタ M 1 5 とのバイアス電圧を生成するバイアス電圧生成回路 1 1 と、を有することを特徴とするカレントミラー回路が提供される。

【 0 0 1 5 】

このようなカレントミラー回路によれば、第 1 のトランジスタ M 1 1 と第 5 のトランジスタ M 1 2 の制御電極電圧に基づいて、第 1 のトランジスタ M 1 1 と第 2 のトランジスタ M 1 4 とにカスコード接続された第 3 のトランジスタ M 1 3 と第 4 のトランジスタ M 1 5 のバイアス電圧を生成する。

【発明の効果】

10

20

30

40

50

【0016】

本発明のカレントミラー回路では、第1のトランジスタと第5のトランジスタの制御電極電圧に基づいて、第3のトランジスタと第4のトランジスタとのバイアス電圧を生成するようにした。これによって、1つの電流源の基準電流を複製して出力することができ、電子回路の配線面積の増大を抑制することができる。

【0017】

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

【図面の簡単な説明】

【0018】

【図1】第1の実施の形態に係るカレントミラー回路の回路図を示した図である。

【図2】バイアス電圧生成回路の詳細を示したカレントミラー回路の回路図である。

【図3】図2のカレントミラー回路の詳細を示した回路図である。

【図4】図1のカレントミラー回路を適用した電子回路例を示した図である。

【図5】第2の実施の形態に係るカレントミラー回路の回路図を示した図である。

【図6】スイッチのオン/オフ関係を示した図である。

【図7】従来のカスコードカレントミラー回路の回路図である。

【図8】図7のカスコードカレントミラー回路を適用した電子回路例を示した図である。

【発明を実施するための最良の形態】

【0019】

以下、本発明の第1の実施の形態を図面を参照して詳細に説明する。

図1は、第1の実施の形態に係るカレントミラー回路の回路図を示した図である。図に示すように、カレントミラー回路は、NMOSのトランジスタM11~M15、基準電流を出力する電流源I11、およびバイアス電圧生成回路11を有している。

【0020】

トランジスタM11のソースは、例えば、グランドである電源Vssと接続されている。トランジスタM11のドレインは、トランジスタM12、M13のソースと接続されている。トランジスタM11のゲートは、トランジスタM12のゲートと接続され、トランジスタM12、M13のドレインと接続されている。

【0021】

トランジスタM12、M13のドレインおよびソースは、互いに接続されている。トランジスタM12、M13のドレインは、電流源I11の一端と接続されている。電流源I11の他端は、例えば、正の電源である電源Vddと接続されている。

【0022】

トランジスタM14のゲートは、トランジスタM11のゲートと接続され、カレントミラー回路を構成している。トランジスタM14のソースは、電源Vssと接続されている。トランジスタM14のドレインは、トランジスタM15のソースと接続されている。

【0023】

トランジスタM15のゲートは、トランジスタM13のゲートと接続され、カレントミラー回路を構成している。トランジスタM15のドレインは、電流源I11の電流に対して、所望の比率を有する電流Ioutを出力する。なお、トランジスタM11、M14のカレントミラー回路とトランジスタM13、M15のカレントミラー回路は、カスコード接続されている。

【0024】

バイアス電圧生成回路11は、電源VssとトランジスタM13、M15のゲートとの間に接続されている。バイアス電圧生成回路11は、トランジスタM11、M12のゲート電圧(以下、バイアス制御電圧)に基づいて、トランジスタM13、M15のバイアス電圧を生成する。なお、バイアス電圧生成回路11は、最終的には(基準電流が投入されたのち回路動作が安定したときには)、バイアス制御電圧より大きい電圧のバイアス電圧を生成するようになっている。

10

20

30

40

50

【 0 0 2 5 】

図1のカレントミラー回路の動作について説明する。電源 V_{dd} , V_{ss} が投入されると、電流源 I_{11} に電流が流れ、ダイオード接続されたトランジスタ M_{11} , M_{12} のゲート電圧が上昇する。トランジスタ M_{11} , M_{12} のゲート電圧がしきい値電圧に達すると、トランジスタ M_{11} , M_{12} のドレイン - ソース間に電流源 I_{11} の電流が流れる。

【 0 0 2 6 】

トランジスタ M_{11} , M_{12} のゲート電圧は、バイアス電圧生成回路 11 に入力されている。バイアス電圧生成回路 11 は、トランジスタ M_{11} , M_{12} のゲート電圧 (バイアス制御電圧) に基づいて、トランジスタ M_{13} , M_{15} のバイアス電圧を生成する。

【 0 0 2 7 】

トランジスタ M_{12} , M_{13} は並列に接続されており、トランジスタ M_{12} およびトランジスタ M_{13} を流れる電流の和がトランジスタ M_{11} に流れる構成である。従って、例えば、トランジスタ M_{12} , M_{13} が同じ特性 (例えば、同じゲート長、ゲート幅) を有しているとする、トランジスタ M_{13} に供給されるバイアス電圧がトランジスタ M_{12} のゲート電圧と同じ電圧まで上昇すると、電流源 I_{11} の基準電流は、トランジスタ M_{12} とトランジスタ M_{13} とを半分ずつ流れるようになる。

【 0 0 2 8 】

トランジスタ M_{13} のゲートには、バイアス電圧生成回路 11 によって、最終的にはトランジスタ M_{12} のゲート電圧より大きいバイアス電圧が印加される。このバイアス電圧は、トランジスタ M_{13} にバイアス電圧が印加された状態において、トランジスタ M_{11} が飽和領域で動作し、またトランジスタ M_{12} がほぼオフするような電圧が選ばれる。例えば、基準電流でバイアスされている状態で、トランジスタ M_{11} のゲート・ソース間電圧はその閾値電圧よりも $0.2V$ 高く、またトランジスタ M_{12} のゲート・ソース間電圧はその閾値電圧よりもやはり $0.2V$ 高い場合には、バイアス電圧生成回路 11 はトランジスタ M_{12} のゲート電圧よりも $0.2V$ 以上高い電圧、例えば $0.25V$ 高い電圧を生成するよう、設定される。従って、このようなバイアス電圧がトランジスタ M_{13} に印加された状態では、電流源 I_{11} の電流は、ほとんどトランジスタ M_{13} を流れることになる。すなわち、電流源 I_{11} の電流は、トランジスタ M_{11} , M_{13} を流れるようになる。

【 0 0 2 9 】

トランジスタ M_{15} のゲートにも、バイアス電圧生成回路 11 によって、バイアス電圧が印加され、トランジスタ M_{13} とともにオンする。トランジスタ M_{11} , M_{13} に流れる電流は、トランジスタ M_{14} , M_{15} に複製される。これにより、トランジスタ M_{15} から電流 I_{out} が出力されることになる。なお、トランジスタ M_{14} は、バイアス制御電圧によってオンしている。

【 0 0 3 0 】

すなわち、図1のカレントミラー回路は、起動時、トランジスタ M_{11} , M_{12} に電流源 I_{11} の電流が流れる。バイアス電圧生成回路 11 は、バイアス制御電圧によってトランジスタ M_{13} , M_{15} をオンし、電流源 I_{11} の電流は、トランジスタ M_{11} , M_{13} を流れるようになる。これにより、基準電流が投入されたのち回路動作が安定したときには、トランジスタ M_{11} , M_{13} を流れる電流がトランジスタ M_{14} , M_{15} に複製されることになる。

【 0 0 3 1 】

次に、バイアス電圧生成回路 11 の詳細について説明する。

図2は、バイアス電圧生成回路の詳細を示したカレントミラー回路の回路図である。図2において図1と同じものには同じ符号を付し、その詳細な説明を省略する。

【 0 0 3 2 】

図に示すように、バイアス電圧生成回路 11 は、NMOS のトランジスタ $M_{21} \sim M_{24}$ およびカレントミラー回路 J_{11} を有している。

トランジスタ $M_{21} \sim M_{23}$ は、トランジスタ $M_{11} \sim M_{13}$ と同じ回路構成を有して

10

20

30

40

50

いる。トランジスタM21, M22のゲートは、トランジスタM11, M12のゲートと接続されている。トランジスタM22, M23のドレインは、カレントミラー回路J11と接続されている。トランジスタM23のゲートは、トランジスタM13, M15, M24のゲートと接続されている。

【0033】

トランジスタM24のゲートは、トランジスタM13, M15, M23のゲートと接続されている。トランジスタM24のドレインは、自身のゲートと接続され、ダイオード接続を構成している。また、トランジスタM24のドレインは、カレントミラー回路J11に接続されている。トランジスタM24のソースは、電源Vssに接続されている。

【0034】

カレントミラー回路J11は、電源VddとトランジスタM22, M23のドレインとの間に流れる電流を、電源VddとトランジスタM24のドレインとの間に複製する。ここで、カレントミラー回路J11の詳細について説明する。

【0035】

図3は、図2のカレントミラー回路の詳細を示した回路図である。図に示すように、カレントミラー回路J11は、PMOS (Positive-channel Metal-Oxide Semiconductor) のトランジスタM31, M32を有している。

【0036】

トランジスタM31, M32のソースは、電源Vddに接続されている。トランジスタM31, M32のゲートは、互いに接続され、トランジスタM31のドレインに接続されている。トランジスタM31のドレインは、図2で示したトランジスタM22, M23のドレインに接続され、トランジスタM32のドレインは、トランジスタM24のドレインに接続されている。

【0037】

図2のカレントミラー回路の動作について説明する。電源Vdd, Vssが投入されると、電流源I11に電流が流れ、トランジスタM11, M12のゲート電圧が上昇する。ダイオード接続されているトランジスタM11, M12のゲート電圧がしきい値電圧に達すると、トランジスタM11, M12のドレイン-ソース間に電流源I11の電流が流れる。

【0038】

トランジスタM11~M13とトランジスタM21~M23は、同じ回路構成を有し、トランジスタM11, M12のゲートとトランジスタM21, M22のゲートは互いに接続されている。すなわち、トランジスタM11, M12とトランジスタM21, M22は、カレントミラー回路を構成している。従って、トランジスタM21, M22のドレイン-ソース間には、トランジスタM11, M12を流れる電流が複製される。

【0039】

トランジスタM21, M22のドレイン-ソース間を流れる電流は、カレントミラー回路J11によって、トランジスタM24のドレインへと複製される。

トランジスタM24は、ダイオード接続されている。トランジスタM24は、カレントミラー回路J11の電流によりオンし、トランジスタM13, M23, M15にバイアス電圧を印加する。

【0040】

トランジスタM13, M23, M15は、バイアス電圧がしきい値電圧に達すると、オンする。これにより、電流源I11の電流は、トランジスタM13とトランジスタM11を流れるようになる。

【0041】

トランジスタM11~M13とトランジスタM21~M23は、同じ回路構成を有し、トランジスタM13のゲートとトランジスタM23のゲートは互いに接続されている。従って、トランジスタM21, M23のドレイン-ソース間には、トランジスタM11, M13を流れる電流が複製される。

10

20

30

40

50

【 0 0 4 2 】

トランジスタM 2 1 , M 2 3 のドレイン - ソース間を流れる電流は、カレントミラー回路J 1 1 によって、トランジスタM 2 4 のドレインへと複製される。

トランジスタM 1 3 , M 2 3 , M 1 5 に印加されるバイアス電圧は、トランジスタM 2 1 , M 2 3 に電流が流れるようになると、バイアス制御電圧より大きい値となるようになっている。例えば、カレントミラー回路J 1 1 の電流の複製比率や、トランジスタM 2 4 の特性を調整して、バイアス電圧がバイアス制御電圧より大きくなるようにする。

【 0 0 4 3 】

このように、図2のカレントミラー回路は、起動時、トランジスタM 1 1 , M 1 2 およびバイアス電圧生成回路1 1 のトランジスタM 2 1 , M 2 2 に電流が流れる。トランジスタM 2 1 , M 2 2 に流れる電流は、カレントミラー回路J 1 1 によって、トランジスタM 2 4 に複製され、トランジスタM 1 3 , M 2 3 , M 1 5 のゲートに、バイアス電圧が供給される。その後、電流源I 1 1 の電流は、トランジスタM 1 3 , M 1 1 を流れ、バイアス電圧生成回路1 1 のトランジスタM 2 1 , M 2 3 にカレントミラーされる。トランジスタM 2 1 , M 2 3 に流れる電流は、カレントミラー回路J 1 1 によって、トランジスタM 2 4 にカレントミラーされる。これにより、トランジスタM 1 1 , M 1 3 を流れる電流は、トランジスタM 1 4 , M 1 5 に複製されることになる。

【 0 0 4 4 】

すなわち、図2のカレントミラー回路は、電流源I 1 1 の電流がカレントミラー回路J 1 1 に複製され、電流源I 1 1 とカレントミラー回路J 1 1 の実質2つの基準電流で動作していることになる。つまり、図2のカレントミラー回路は、1つの電流源I 1 1 で、低電圧（例えば、電源V d d の電圧が1 . 2 V）、高精度のカレントミラー回路を実現している。

【 0 0 4 5 】

なお、トランジスタM 1 5 は、トランジスタM 2 4 によってバイアス電圧が供給され、飽和領域で動作する。また、トランジスタM 1 4 は、トランジスタM 1 1 , M 1 2 に供給されているゲート電圧によって飽和領域で動作する。

【 0 0 4 6 】

図4は、図1のカレントミラー回路を適用した電子回路例を示した図である。図に示すように電子回路は、バイアス回路2 1 および動作回路3 1 ~ 3 4 を有している。

バイアス回路2 1 は、動作回路3 1 ~ 3 4 に基準電流を供給している。動作回路3 1 ~ 3 4 は、バイアス回路2 1 から供給される基準電流に基づいて複製電流を生成し、動作している。

【 0 0 4 7 】

動作回路3 1 ~ 3 4 のそれぞれは、図1 , 2 で示した電流源I 1 1 を除いたカレントミラー回路を有している。電流源I 1 1 は、バイアス回路2 1 が有している。図1 , 2 で示したカレントミラー回路は、1つの基準電流（電流源I 1 1）で動作するため、バイアス回路2 1 からは、動作回路3 1 ~ 3 4 のそれぞれに対し、1本の配線で十分である。従って、図1 , 2 で示したカレントミラー回路では、図8の電子回路例に対し、配線面積が縮小し、マッチングなどの問題を抑制することができる。

【 0 0 4 8 】

このように、図1 ~ 図3で説明したカレントミラー回路は、1つの電流源で基準電流を複製して出力することができるので、電子回路の配線面積の増大を抑制することができる。

【 0 0 4 9 】

また、図1 ~ 図3で説明したカレントミラー回路は、基準電流をばらつきなく高精度に複製することができる。例えば、特許文献1では、抵抗素子とトランジスタの2種類の回路素子で構成されるため、回路素子の特性のばらつきによって、トランジスタが飽和領域で動作しなくなり、正常な動作状態から外れ、複製する電流の値が大きく異なる場合がある。これに対し、図1 ~ 図3で説明したカレントミラー回路は、1種類の回路素子（トラ

10

20

30

40

50

ンジスタ)で構成するため、プロセスのばらつきがあってもトランジスタを正常な動作状態で動作させることができ、基準電流をばらつきなく高精度に複製することができる。

【0050】

なお、図1, 2で説明したカレントミラー回路は、PMOSのトランジスタでも構成することができる。この場合、図3で示したカレントミラー回路は、NMOSのトランジスタで構成することになる。

【0051】

次に、本発明の第2の実施の形態を図面を参照して詳細に説明する。電子回路は、消費電力の低減を図るため、パワーダウンモードを有するものがある。第2の実施の形態のカレントミラー回路では、電子回路がパワーダウンモードに入った場合、電流 I_{out} を電子回路に出力しないようにする。

10

【0052】

図5は、第2の実施の形態に係るカレントミラー回路の回路図を示した図である。図5において図2と同じものには同じ符号を付し、その詳細な説明を省略する。

図に示すように、トランジスタM12のゲートとドレインの間に、スイッチSW11が接続されている。トランジスタM11のゲートと電源 V_{ss} の間に、スイッチSW12が接続されている。トランジスタM24のゲートと電源 V_{ss} の間に、スイッチSW13が接続されている。トランジスタM24のゲートとドレインの間に、スイッチSW14が接続されている。

【0053】

20

スイッチSW11～SW14は、例えば、CPU(Central Processing Unit)などの制御装置と接続され、電子回路のパワーダウンに応じてオン/オフされる。スイッチSW11～SW13は、例えば、トランジスタで構成され、そのゲートには、オン/オフするための制御信号が入力される。

【0054】

図6は、スイッチのオン/オフ関係を示した図である。図に示すように、電子回路に電流 I_{out} を供給する通常時には、スイッチSW11, SW14をオンし、スイッチSW12, SW13をオフする。これにより、図5に示したカレントミラー回路は、図2に示したカレントミラー回路と同じ接続関係となり、電流 I_{out} を出力する。

【0055】

30

電子回路がパワーダウンするときは、図に示すように、スイッチSW11, SW14をオフし、スイッチSW12, SW13をオンする。スイッチSW12, SW13をオンすることで、トランジスタM11, M12, M14, M21, M22, M24のゲートを電源 V_{ss} に接続し、トランジスタM11, M12, M14, M21, M22, M24をオフにする。これにより、電流 I_{out} は、出力されなくなる。また、スイッチSW11, SW14をオフすることにより、電流源I11の電流およびカレントミラー回路J11の電流が電源 V_{ss} に流れるのを防止する。

【0056】

なお、スイッチSW13, SW14は、必ずしも必要でない。スイッチSW12をオンすると、トランジスタM11～M13には電流が流れないので、この電流がカレントミラー回路J11によってトランジスタM24のドレインに流れることはないからである。しかし、トランジスタM24を保護するためにも、スイッチSW13, SW14を設けるのが望ましい。

40

【0057】

このように、スイッチSW11～SW14を設けることにより、電子回路のパワーダウンに対応することができ、消費電力の低減を図ることができる。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

50

【符号の説明】

【 0 0 5 8 】

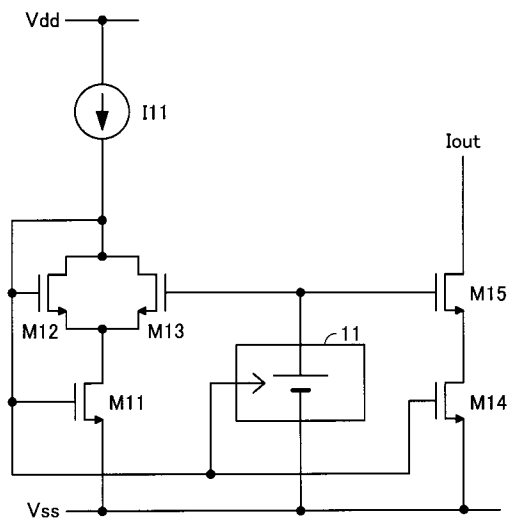
M 1 1 ~ M 1 5 トランジスタ

I 1 1 電流源

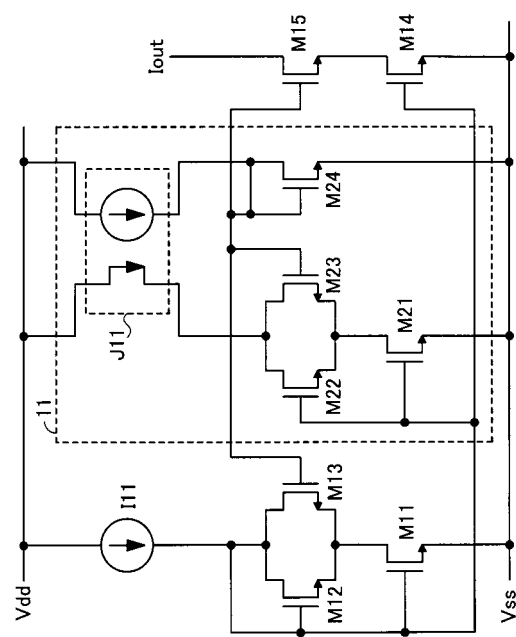
V d d , V s s 電源

1 1 バイアス電圧生成回路

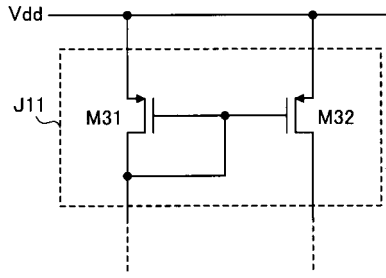
【 図 1 】



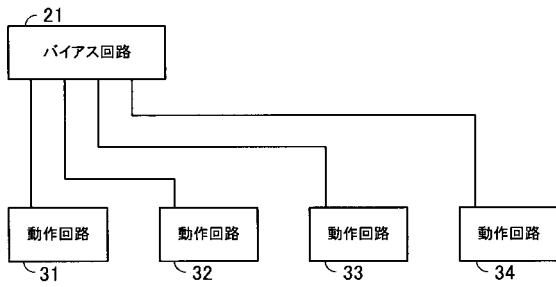
【 図 2 】



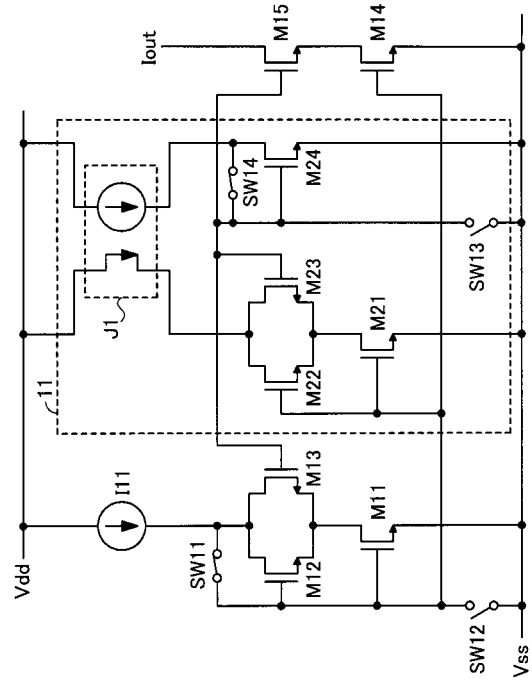
【図3】



【図4】



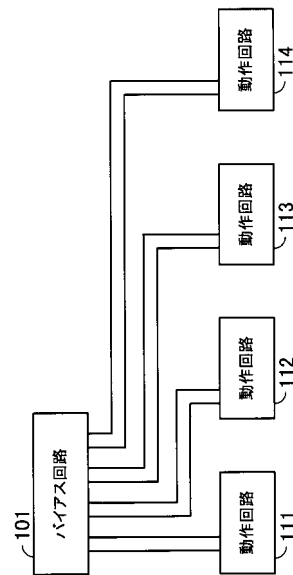
【図5】



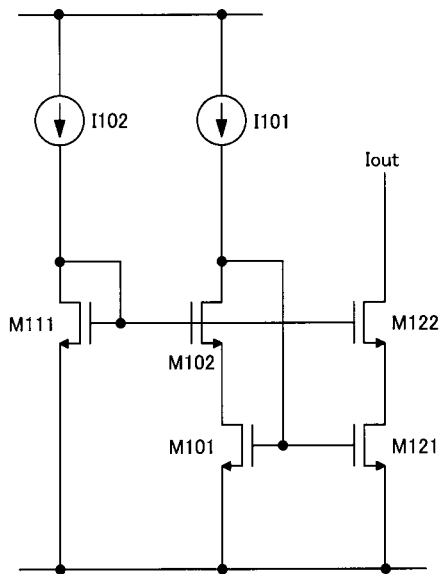
【図6】

	SW11,SW14	SW12,SW13
通常時	オン	オフ
パワーダウン時	オフ	オン

【図8】



【図7】



フロントページの続き

(56)参考文献 特開平 8 - 8 8 5 2 1 (J P , A)

特開平 9 - 1 3 9 6 3 8 (J P , A)

特開 2 0 0 7 - 1 4 2 6 9 8 (J P , A)

Minch, B.A., A low-voltage MOS cascode current mirror for all current levels, Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium, 2 0 0 2 年 8 月 7 日, Vol.2, II-53~II-56

(58)調査した分野(Int.Cl., D B 名)

H03F 3/343

G05F 3/26