



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0057785  
(43) 공개일자 2020년05월26일

(51) 국제특허분류(Int. Cl.) <b>G09G 3/32</b> (2016.01) (52) CPC특허분류 <b>G09G 3/32</b> (2013.01) (21) 출원번호 <b>10-2020-7013570</b> (22) 출원일자(국제) <b>2019년06월28일</b> 심사청구일자 <b>2020년05월12일</b> (85) 번역문제출일자 <b>2020년05월12일</b> (86) 국제출원번호 <b>PCT/CN2019/093785</b> (87) 국제공개번호 <b>WO 2020/001635</b> 국제공개일자 <b>2020년01월02일</b> (30) 우선권주장 201810696655.5 2018년06월29일 중국(CN)	(71) 출원인 <b>보에 테크놀로지 그룹 컴퍼니 리미티드</b> 중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호 (72) 발명자 <b>쉬안, 명화</b> 중국 100176 베이징 비디에이 디저 로드 넘버 9 <b>천, 샤오촨</b> 중국 100176 베이징 비디에이 디저 로드 넘버 9 (뒷면에 계속) (74) 대리인 <b>양영준, 김성운, 백만기</b>
--	--

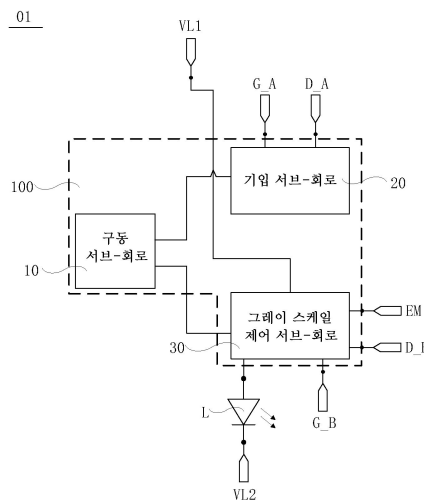
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **구동 회로 및 그 구동 방법, 및 디스플레이 장치**

**(57) 요약**

구동 회로(01) 및 그 구동 방법, 및 디스플레이 장치가 제공되며, 디스플레이 기술 분야에 관련된다. 구동 회로(01)는 구동될 요소(L)를 구동하기 위해 사용되고, 구동 회로(01)는 구동 디바이스(100)를 포함한다. 구동 디바이스(100) 및 구동될 요소(L)는 제1 동작 전압 단부(VL1)와 제2 동작 전압 단부(VL2) 사이에 직렬로 접속된다. 구동 디바이스(100)는 구동 서브-회로(10), 기입 서브-회로(20) 및 그레이 스케일 제어 서브-회로(30)를 포함한다. 기입 서브-회로(20)는 제1 데이터 신호 단부(DA)에 의해 제공되는 제1 데이터 전압(Vdata-A)을 구동 서브-회로(10)에 기입한다. 그레이 스케일 제어 서브-회로(30)는 제1 동작 전압 단부(VL1)에 의해 제공되는 제1 동작 전압을 구동 서브-회로(10)에 송신한다. 구동 서브-회로(10)는 구동 전류를 생성한다. 그레이 스케일 제어 서브-회로(30)는 또한 전류 경로의 전도 지속시간을 제어한다.

**대표도 - 도3**



(72) 발명자  
    **웨이, 한**  
    중국 100176 베이징 비디에이 디저 로드 넘버 9

**충, 닝**  
    중국 100176 베이징 비디에이 디저 로드 넘버 9

---

## 명세서

### 청구범위

#### 청구항 1

구동될 요소(to-be-driven element)를 구동하기 위한 구동 요소(driving element)를 포함하는 구동 회로로서, 상기 구동 요소와 상기 구동될 요소는 제1 동작 전압 단자와 제2 동작 전압 단자 사이에 직렬로 결합되고; 상기 구동 요소는 상기 구동될 요소에 구동 신호를 제공하고 상기 제1 동작 전압 단자와 상기 제2 동작 전압 단자 사이의 전류 경로의 온-상태 지속기간(on-state duration)을 제어하도록 구성되고;

상기 구동 요소는 구동 서브-회로, 기입 서브-회로 및 그레이 스케일 제어 서브-회로(gray scale control sub-circuit)를 포함하고;

상기 기입 서브-회로는 제1 스캐닝 신호 단자, 제1 데이터 신호 단자 및 상기 구동 서브-회로에 결합되고; 상기 기입 서브-회로는 상기 제1 데이터 신호 단자에 의해 제공되는 제1 데이터 전압을 상기 제1 스캐닝 신호 단자의 제어 하에서 상기 구동 서브-회로에 기입하도록 구성되고;

상기 그레이 스케일 제어 서브-회로는 구동 제어 신호 단자, 제2 스캐닝 신호 단자, 제2 데이터 신호 단자 및 상기 구동 서브-회로에 결합되고;

상기 그레이 스케일 제어 서브-회로는 상기 제1 동작 전압 단자에 의해 제공되는 제1 동작 전압을 상기 구동 제어 신호 단자의 제어 하에서 상기 구동 서브-회로에 송신하도록 구성되고;

상기 구동 서브-회로는 상기 제1 데이터 전압 및 상기 제1 동작 전압에 따라 상기 구동 신호를 생성하도록 구성되고;

상기 그레이 스케일 제어 서브-회로는 상기 구동 제어 신호 단자, 상기 제2 스캐닝 신호 단자, 및 상기 제2 데이터 신호 단자의 제어 하에서 상기 전류 경로의 온-상태 지속기간을 제어하도록 추가로 구성되는, 구동 회로.

#### 청구항 2

제1항에 있어서, 상기 그레이 스케일 제어 서브-회로는 제1 제어 서브-회로 및 제2 제어 서브-회로를 포함하고;

상기 제1 제어 서브-회로는 상기 구동 제어 신호 단자, 상기 구동 서브-회로 및 상기 제2 제어 서브-회로에 결합되고; 상기 제1 제어 서브-회로는 상기 제1 동작 전압 단자에 의해 제공되는 상기 제1 동작 전압을 상기 구동 제어 신호 단자의 제어 하에서 상기 구동 서브-회로에 송신하도록 구성되고;

상기 제1 제어 서브-회로는, 상기 구동 제어 신호 단자의 제어 하에서, 상기 구동 서브-회로에 의해 생성된 구동 전류를 상기 제2 제어 서브-회로에 송신하고, 상기 전류 경로의 온-상태 지속기간을 제어하도록 추가로 구성되고;

상기 제2 제어 서브-회로는 상기 제2 스캐닝 신호 단자 및 상기 제2 데이터 신호 단자에 추가로 결합되고; 상기 제2 제어 서브-회로는 상기 제2 스캐닝 신호 단자 및 상기 제2 데이터 신호 단자의 제어 하에서 상기 전류 경로의 온-상태 지속기간을 제어하도록 구성되는, 구동 회로.

#### 청구항 3

제1항에 있어서, 상기 구동 회로는 보상 서브-회로를 추가로 포함하고;

상기 보상 서브-회로는 상기 제1 스캐닝 신호 단자 및 상기 구동 서브-회로에 결합되고; 상기 보상 서브-회로는 상기 제1 스캐닝 신호 단자의 제어 하에서 상기 구동 서브-회로의 임계 전압을 보상하도록 구성되는, 구동 회로.

#### 청구항 4

제1항에 있어서, 상기 구동 회로는 리셋 서브-회로를 추가로 포함하고;

상기 리셋 서브-회로는 리셋 전압 단자, 리셋 제어 신호 단자 및 상기 구동 서브-회로에 결합되고; 상기 리셋

서브-회로는 상기 리셋 전압 단자에 의해 제공되는 리셋 전압을 상기 리셋 제어 신호 단자의 제어 하에서 상기 구동 서브-회로에 송신하도록 구성되는, 구동 회로.

**청구항 5**

제2항에 있어서, 상기 제1 제어 서브-회로는 제1 트랜지스터 및 제2 트랜지스터를 포함하고;

상기 구동될 요소의 애노드가 상기 제2 제어 서브-회로에 결합되고, 상기 구동될 요소의 캐소드가 상기 제2 동작 전압 단자에 결합되고; 상기 제1 트랜지스터의 게이트 전극이 상기 구동 제어 신호 단자에 결합되고, 상기 제1 트랜지스터의 제1 전극이 상기 제1 동작 전압 단자에 결합되고, 상기 제1 트랜지스터의 제2 전극이 상기 구동 서브-회로에 결합되고;

상기 제2 트랜지스터의 게이트 전극이 상기 구동 제어 신호 단자에 결합되고, 상기 제2 트랜지스터의 제1 전극이 상기 구동 서브-회로에 결합되고, 상기 제2 트랜지스터의 제2 전극이 상기 제2 제어 서브-회로에 결합되는, 구동 회로.

**청구항 6**

제2항에 있어서, 상기 제1 제어 서브-회로는 제1 트랜지스터 및 제2 트랜지스터를 포함하고;

상기 구동될 요소의 애노드가 상기 제1 동작 전압 단자에 결합되고; 상기 제1 트랜지스터의 게이트 전극이 상기 구동 제어 신호 단자에 결합되고, 상기 제1 트랜지스터의 제1 전극이 상기 구동될 요소의 캐소드에 결합되고, 상기 제1 트랜지스터의 제2 전극이 상기 구동 서브-회로에 결합되고;

상기 제2 트랜지스터의 게이트 전극이 상기 구동 제어 신호 단자에 결합되고, 상기 제2 트랜지스터의 제1 전극이 상기 구동 서브-회로에 결합되고, 상기 제2 트랜지스터의 제2 전극이 상기 제2 제어 서브-회로에 결합되는, 구동 회로.

**청구항 7**

제2항에 있어서, 상기 제2 제어 서브-회로는 제1 전압 단자에 추가로 결합되고; 상기 제2 제어 서브-회로는 제3 트랜지스터, 제4 트랜지스터 및 제1 커패시터를 포함하고;

상기 제3 트랜지스터의 게이트 전극이 제2 스캐닝 신호 단자에 결합되고, 상기 제3 트랜지스터의 제1 전극이 상기 제2 데이터 신호 단자에 결합되고, 상기 제3 트랜지스터의 제2 전극이 상기 제4 트랜지스터의 게이트 전극에 결합되고;

상기 제1 커패시터의 하나의 단자는 상기 제3 트랜지스터의 상기 제2 전극에 결합되고, 상기 제1 커패시터의 다른 단자는 상기 제1 전압 단자에 결합되고;

상기 구동될 요소의 캐소드가 상기 제2 동작 전압 단자에 결합되고; 상기 제4 트랜지스터의 제1 전극이 상기 제1 제어 서브-회로에 결합되고, 상기 제4 트랜지스터의 제2 전극이 상기 구동될 요소의 애노드에 결합되는, 구동 회로.

**청구항 8**

제2항에 있어서, 상기 제2 제어 서브-회로는 제1 전압 단자에 추가로 결합되고; 상기 제2 제어 서브-회로는 제3 트랜지스터, 제4 트랜지스터 및 제1 커패시터를 포함하고;

상기 제3 트랜지스터의 게이트 전극이 제2 스캐닝 신호 단자에 결합되고, 상기 제3 트랜지스터의 제1 전극이 상기 제2 데이터 신호 단자에 결합되고, 상기 제3 트랜지스터의 제2 전극이 상기 제4 트랜지스터의 게이트 전극에 결합되고;

상기 제1 커패시터의 하나의 단자는 상기 제3 트랜지스터의 상기 제2 전극에 결합되고, 상기 제1 커패시터의 다른 단자는 상기 제1 전압 단자에 결합되고;

상기 구동될 요소의 애노드가 상기 제1 동작 전압 단자에 결합되고, 상기 구동될 요소의 캐소드가 상기 제1 제어 서브-회로에 결합되고; 상기 제4 트랜지스터의 제1 전극이 상기 제1 제어 서브-회로에 결합되고, 상기 제4 트랜지스터의 제2 전극이 상기 제2 동작 전압 단자에 결합되는, 구동 회로.

**청구항 9**

제1항에 있어서, 상기 구동 서브-회로는 제2 전압 단자에 추가로 결합되고, 상기 구동 서브-회로는 구동 트랜지스터를 포함하고;

상기 구동 트랜지스터의 게이트 전극이 상기 제2 전압 단자에 결합되고, 상기 구동 트랜지스터의 제1 전극이 상기 기입 서브-회로에 결합되고, 상기 구동 트랜지스터의 제2 전극이 상기 그레이 스케일 제어 서브-회로에 결합되는, 구동 회로.

**청구항 10**

제3항 또는 제4항에 있어서, 상기 구동 서브-회로는 제2 전압 단자에 추가로 결합되고, 상기 구동 서브-회로는 구동 트랜지스터 및 제2 커패시터를 포함하고;

상기 구동 트랜지스터의 게이트 전극이 상기 제2 커패시터의 하나의 단자에 결합되고, 상기 구동 트랜지스터의 제1 전극이 상기 기입 서브-회로에 결합되고, 상기 구동 트랜지스터의 제2 전극이 상기 그레이 스케일 제어 서브-회로에 결합되고;

상기 제2 커패시터의 다른 단자는 상기 제2 전압 단자에 결합되는, 구동 회로.

**청구항 11**

제1항에 있어서, 상기 기입 서브-회로는 제5 트랜지스터를 포함하고;

상기 제5 트랜지스터의 게이트 전극이 상기 제1 스캐닝 신호 단자에 결합되고, 상기 제5 트랜지스터의 제1 전극이 상기 제1 데이터 신호 단자에 결합되고, 상기 제5 트랜지스터의 제2 전극이 상기 구동 서브-회로에 결합되는, 구동 회로.

**청구항 12**

제3항에 있어서, 상기 보상 서브-회로는 제6 트랜지스터를 포함하고;

상기 제6 트랜지스터의 게이트 전극이 상기 제1 스캐닝 신호 단자에 결합되고, 상기 제6 트랜지스터의 제1 및 제2 전극들이 상기 구동 서브-회로에 결합되는, 구동 회로.

**청구항 13**

제4항에 있어서, 상기 리셋 서브-회로는 제7 트랜지스터를 포함하고;

상기 제7 트랜지스터의 게이트 전극이 상기 리셋 제어 신호 단자에 결합되고, 상기 제7 트랜지스터의 제1 전극이 상기 리셋 전압 단자에 결합되고, 상기 제7 트랜지스터의 제2 전극이 상기 구동 서브-회로에 결합되는, 구동 회로.

**청구항 14**

제1항에 있어서, 상기 구동될 요소는 작은 발광 다이오드인, 구동 회로.

**청구항 15**

구동될 요소를 구동하기 위한 구동 회로로서,

상기 구동 회로는 제1 내지 제7 트랜지스터들, 제1 커패시터, 제2 커패시터, 구동 트랜지스터, 리셋 제어 신호 단자, 구동 제어 신호 단자, 제1 데이터 신호 단자, 제2 데이터 신호 단자, 제1 스캐닝 신호 단자, 제2 스캐닝 신호 단자, 제1 동작 전압 단자, 제1 전압 단자, 및 제2 전압 단자를 포함하고,

상기 구동 제어 신호 단자는 상기 제1 트랜지스터의 게이트 전극 및 상기 제2 트랜지스터의 게이트 전극에 결합되고,

상기 제1 데이터 신호 단자는 상기 제5 트랜지스터의 제1 전극에 결합되고,

상기 제2 데이터 신호 단자는 상기 제3 트랜지스터의 제1 전극에 결합되고,

상기 제1 스캐닝 신호 단자는 상기 제5 트랜지스터의 게이트 전극 및 상기 제6 트랜지스터의 게이트 전극에 결

합되고,

상기 제2 스캐닝 신호 단자는 상기 제3 트랜지스터의 게이트 전극에 결합되고,

상기 제1 동작 전압 단자는 상기 제1 트랜지스터의 제1 전극에 결합되고,

상기 제1 전압 단자는 상기 제1 커패시터의 하나의 단자에 결합되고,

상기 제2 전압 단자는 상기 제2 커패시터의 하나의 단자에 결합되고,

상기 리셋 제어 신호 단자는 상기 제7 트랜지스터의 게이트 전극에 결합되고,

상기 리셋 전압 단자는 상기 제7 트랜지스터의 제1 전극에 결합되고,

상기 제1 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극은 상기 구동 트랜지스터의 제1 전극에 결합되고,

상기 제2 커패시터의 다른 단자, 상기 제6 트랜지스터의 제2 전극 및 상기 제7 트랜지스터의 제2 전극은 상기 구동 트랜지스터의 게이트 전극에 결합되고,

상기 제2 트랜지스터의 제1 전극 및 상기 제6 트랜지스터의 제1 전극은 상기 구동 트랜지스터의 제2 전극에 결합되고,

상기 제2 트랜지스터의 제2 전극이 상기 제4 트랜지스터의 제1 전극에 결합되고,

상기 제1 커패시터의 다른 단자 및 상기 제3 트랜지스터의 제2 전극은 상기 제4 트랜지스터의 게이트 전극에 결합되고,

상기 제4 트랜지스터의 제2 전극이 상기 구동될 요소에 결합되는, 구동 회로.

#### 청구항 16

구동될 요소를 구동하기 위한 구동 회로로서,

상기 구동 회로는 제1 내지 제7 트랜지스터들, 제1 커패시터, 제2 커패시터, 구동 트랜지스터, 리셋 제어 신호 단자, 구동 제어 신호 단자, 제1 데이터 신호 단자, 제2 데이터 신호 단자, 제1 스캐닝 신호 단자, 제2 스캐닝 신호 단자, 전원 전압 단자(power voltage terminal), 제1 전압 단자, 및 제2 전압 단자를 포함하고,

상기 구동 제어 신호 단자는 상기 제1 트랜지스터의 게이트 전극 및 상기 제2 트랜지스터의 게이트 전극에 결합되고,

상기 제1 데이터 신호 단자는 상기 제5 트랜지스터의 제1 전극에 결합되고,

상기 제2 데이터 신호 단자는 상기 제3 트랜지스터의 제1 전극에 결합되고,

상기 제1 스캐닝 신호 단자는 상기 제5 트랜지스터의 게이트 전극 및 상기 제6 트랜지스터의 게이트 전극에 결합되고,

상기 제2 스캐닝 신호 단자는 상기 제3 트랜지스터의 게이트 전극에 결합되고,

상기 전원 전압 단자는 상기 제4 트랜지스터의 제2 전극에 결합되고,

상기 제1 전압 단자는 상기 제1 커패시터의 하나의 단자에 결합되고,

상기 제2 전압 단자는 상기 제2 커패시터의 하나의 단자에 결합되고,

상기 리셋 제어 신호 단자는 상기 제7 트랜지스터의 게이트 전극에 결합되고,

상기 리셋 전압 단자는 상기 제7 트랜지스터의 제1 전극에 결합되고,

상기 제1 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극은 상기 구동 트랜지스터의 제1 전극에 결합되고,

상기 제2 커패시터의 다른 단자, 상기 제6 트랜지스터의 제2 전극 및 상기 제7 트랜지스터의 제2 전극은 상기 구동 트랜지스터의 게이트 전극에 결합되고,

상기 제2 트랜지스터의 제1 전극 및 상기 제6 트랜지스터의 제1 전극은 상기 구동 트랜지스터의 제2 전극에 결

합되고,

상기 제2 트랜지스터의 제2 전극이 상기 제4 트랜지스터의 제1 전극에 결합되고,

상기 제1 커패시터의 다른 단자 및 상기 제3 트랜지스터의 제2 전극은 상기 제4 트랜지스터의 게이트 전극에 결합되고,

상기 제1 트랜지스터의 제1 전극이 상기 구동될 요소에 결합되는, 구동 회로.

#### 청구항 17

디스플레이 장치로서, 기판을 포함하고, 상기 디스플레이 기판은 복수의 서브-픽셀들을 포함하는 디스플레이 영역을 갖고, 상기 복수의 서브-픽셀들 중 적어도 하나에는 제1항 내지 제15항 중 어느 한 항의 구동 회로 및 구동될 요소가 내부에 제공되고, 상기 구동 회로는 상기 구동될 요소에 구동 신호를 제공하도록 구성되는, 디스플레이 장치.

#### 청구항 18

구동 회로를 위한 구동 방법으로서,

상기 구동 회로는 제1항 내지 제16항 중 어느 한 항의 구동 회로이고, 상기 구동 회로는 이미지 프레임 내의 복수의 스캐닝 주기(scanning period)에서 동작하고; 그레이 스케일 제어 서브-회로는 제1 제어 서브-회로 및 제2 제어 서브-회로를 포함하고; 상기 스캐닝 주기에서, 상기 구동 방법은:

제1 스캐닝 신호 단자에 제1 스캐닝 신호를 제공하고, 제1 데이터 신호 단자에 제1 데이터 전압을 제공하고, 상기 제1 데이터 전압을 기입 서브-회로를 통해 구동 서브-회로에 기입하는 단계;

제2 스캐닝 신호 단자에 제2 스캐닝 신호를 제공하고, 제2 데이터 신호 단자에 제2 데이터 전압을 제공하여, 상기 제2 스캐닝 신호 및 상기 제2 데이터 전압의 제어 하에서 상기 제2 제어 서브-회로를 턴온 또는 턴오프시키는 단계; 및

구동 제어 신호 단자에 구동 제어 신호를 제공하고, 제1 동작 전압 단자에 제1 동작 전압을 제공하고, 상기 제1 동작 전압을 상기 제1 제어 서브-회로를 통해 상기 구동 서브-회로에 송신하여, 상기 구동 제어 신호, 상기 제1 스캐닝 신호, 상기 제2 스캐닝 신호 및 상기 제2 데이터 전압의 제어 하에서 상기 제1 데이터 전압 및 상기 제1 동작 전압에 기초하여 구동될 요소를 동작시키는 단계

를 포함하는, 구동 방법.

#### 청구항 19

제18항에 있어서,

상기 스캐닝 주기 내에서, 상기 제2 스캐닝 신호 단자에 의해 액티브 신호를 제공하는 시간은 상기 제1 스캐닝 신호 단자에 의해 액티브 신호를 제공하는 시간보다 더 늦은 것을 추가로 포함하는, 구동 방법.

#### 청구항 20

제18항에 있어서, 상기 구동 회로는 리셋 서브-회로를 추가로 포함하고, 상기 제1 스캐닝 신호 단자에 상기 제1 스캐닝 신호를 제공하고, 상기 제1 데이터 신호 단자에 상기 제1 데이터 전압을 제공하고, 상기 제1 데이터 전압을 상기 기입 서브-회로를 통해 상기 구동 서브-회로에 기입하기 전에, 상기 구동 방법은:

리셋 제어 신호 단자에 리셋 제어 신호를 제공하고, 리셋 전압 단자에 리셋 전압을 제공하는 단계를 추가로 포함하고, 상기 리셋 전압은 상기 리셋 서브-회로를 통해 상기 구동 서브-회로에 송신되는, 구동 방법.

#### 청구항 21

제18항에 있어서, 상기 구동 서브-회로는 구동 트랜지스터 및 제2 커패시터를 포함하고; 상기 구동 트랜지스터의 게이트 전극이 상기 제2 커패시터의 하나의 단자에 결합되고, 상기 제2 커패시터의 다른 단자는 제2 전압 단자에 결합되고, 상기 제2 전압 단자에 제공되는 전압은 상기 제1 동작 전압 단자에 제공되는 전압과 동일한, 구동 방법.

**발명의 설명**

**기술 분야**

- [0001] 관련 출원에 대한 상호 참조
- [0002] 본 개시내용은 2018년 6월 29일자 출원된 중국 특허 출원 번호 제201810696655.5호에 대한 우선권의 이득을 주장하며, 그 내용은 전체가 참조로 본 명세서에 포함된다.
- [0003] 기술분야
- [0004] 본 개시내용은 디스플레이 기술 분야에 속하며, 특히, 구동 회로, 그 구동 방법, 및 디스플레이 장치에 관한 것이다.

**배경 기술**

- [0005] 유기 발광 다이오드(Organic Light Emitting Diode, OLED) 디스플레이 장치와 비교하여, 작은 LED 디스플레이 장치(예를 들어, 마이크로 LED 디스플레이 장치 또는  $\mu$ LED 디스플레이 장치)는 낮은 구동 전압, 긴 수명, 넓은 온도 범위에 대한 내성, 및 그와 유사한 것의 장점들을 가지며, 점차적으로 모바일 단말기 분야에 적용된다.

**발명의 내용**

- [0006] 일 양태에서, 본 개시내용은 구동될 요소를 구동하기 위한 구동 요소를 포함하는 구동 회로를 제공하고;
- [0007] 구동 요소와 구동될 요소는 제1 동작 전압 단자와 제2 동작 전압 단자 사이에 직렬로 결합되고; 구동 요소는 구동될 요소에 구동 신호를 제공하고 제1 동작 전압 단자와 제2 동작 전압 단자 사이의 전류 경로의 온-상태 지속 기간(on-state duration)을 제어하도록 구성되고;
- [0008] 구동 요소는 구동 서브-회로, 기입 서브-회로 및 그레이 스케일 제어 서브-회로를 포함하고;
- [0009] 기입 서브-회로는 제1 스캐닝 신호 단자, 제1 데이터 신호 단자 및 구동 서브-회로에 결합되고; 기입 서브-회로는 제1 데이터 신호 단자에 의해 제공되는 제1 데이터 전압을 제1 스캐닝 신호 단자의 제어 하에서 구동 서브-회로에 기입하도록 구성되고;
- [0010] 그레이 스케일 제어 서브-회로는 구동 제어 신호 단자, 제2 스캐닝 신호 단자, 제2 데이터 신호 단자 및 구동 서브-회로에 결합되고;
- [0011] 그레이 스케일 제어 서브-회로는 제1 동작 전압 단자에 의해 제공되는 제1 동작 전압을 구동 제어 신호 단자의 제어 하에서 구동 서브-회로에 송신하도록 구성되고;
- [0012] 구동 서브-회로는 제1 데이터 전압 및 제1 동작 전압에 따라 구동 신호를 생성하도록 구성되고;
- [0013] 그레이 스케일 제어 서브-회로는 구동 제어 신호 단자, 제2 스캐닝 신호 단자, 및 제2 데이터 신호 단자의 제어 하에서 전류 경로의 온-상태 지속기간을 제어하도록 추가로 구성된다.
- [0014] 본 개시내용의 실시예에 따르면, 그레이 스케일 제어 서브-회로는 제1 제어 서브-회로 및 제2 제어 서브-회로를 포함하고;
- [0015] 제1 제어 서브-회로는 구동 제어 신호 단자, 구동 서브-회로 및 제2 제어 서브-회로에 결합되고; 제1 제어 서브-회로는 제1 동작 전압 단자에 의해 제공되는 제1 동작 전압을 구동 제어 신호 단자의 제어 하에서 구동 서브-회로에 송신하도록 구성되고;
- [0016] 제1 제어 서브-회로는, 구동 제어 신호 단자의 제어 하에서, 구동 서브-회로에 의해 생성된 구동 전류를 제2 제어 서브-회로에 송신하고, 전류 경로의 온-상태 지속기간을 제어하도록 추가로 구성되고;
- [0017] 제2 제어 서브-회로는 제2 스캐닝 신호 단자 및 제2 데이터 신호 단자에 추가로 결합되고; 제2 제어 서브-회로는 제2 스캐닝 신호 단자 및 제2 데이터 신호 단자의 제어 하에서 전류 경로의 온-상태 지속기간을 제어하도록 구성된다.
- [0018] 본 개시내용의 실시예에 따르면, 구동 회로는 보상 서브-회로를 추가로 포함하고;
- [0019] 보상 서브-회로는 제1 스캐닝 신호 단자 및 구동 서브-회로에 결합되고; 보상 서브-회로는 제1 스캐닝 신호 단

자의 제어 하에서 구동 서브-회로의 임계 전압을 보상하도록 구성된다.

- [0020] 본 개시내용의 실시예에 따르면, 구동 회로는 리셋 서브-회로를 추가로 포함하고;
- [0021] 리셋 서브-회로는 리셋 전압 단자, 리셋 제어 신호 단자 및 구동 서브-회로에 결합되고; 리셋 서브-회로는 리셋 전압 단자에 의해 제공되는 리셋 전압을 리셋 제어 신호 단자의 제어 하에서 구동 서브-회로에 송신하도록 구성된다.
- [0022] 본 개시내용의 실시예에 따르면, 제1 제어 서브-회로는 제1 트랜지스터 및 제2 트랜지스터를 포함하고;
- [0023] 구동될 요소의 애노드가 제2 제어 서브-회로에 결합되고, 구동될 요소의 캐소드가 제2 동작 전압 단자에 결합되고; 제1 트랜지스터의 게이트 전극이 구동 제어 신호 단자에 결합되고, 제1 트랜지스터의 제1 전극이 제1 동작 전압 단자에 결합되고, 제1 트랜지스터의 제2 전극이 구동 서브-회로에 결합되고;
- [0024] 제2 트랜지스터의 게이트 전극이 구동 제어 신호 단자에 결합되고, 제2 트랜지스터의 제1 전극이 구동 서브-회로에 결합되고, 제2 트랜지스터의 제2 전극이 제2 제어 서브-회로에 결합된다.
- [0025] 본 개시내용의 실시예에 따르면, 제1 제어 서브-회로는 제1 트랜지스터 및 제2 트랜지스터를 포함하고;
- [0026] 구동될 요소의 애노드가 제1 동작 전압 단자에 결합되고; 제1 트랜지스터의 게이트 전극이 구동 제어 신호 단자에 결합되고, 제1 트랜지스터의 제1 전극이 구동될 요소의 캐소드에 결합되고, 제1 트랜지스터의 제2 전극이 구동 서브-회로에 결합되고;
- [0027] 제2 트랜지스터의 게이트 전극이 구동 제어 신호 단자에 결합되고, 제2 트랜지스터의 제1 전극이 구동 서브-회로에 결합되고, 제2 트랜지스터의 제2 전극이 제2 제어 서브-회로에 결합된다.
- [0028] 본 개시내용의 실시예에 따르면, 제2 제어 서브-회로는 제1 전압 단자에 추가로 결합되고; 제2 제어 서브-회로는 제3 트랜지스터, 제4 트랜지스터 및 제1 커패시터를 포함하고;
- [0029] 제3 트랜지스터의 게이트 전극이 제2 스캐닝 신호 단자에 결합되고, 제3 트랜지스터의 제1 전극이 제2 데이터 신호 단자에 결합되고, 제3 트랜지스터의 제2 전극이 제4 트랜지스터의 게이트 전극에 결합되고;
- [0030] 제1 커패시터의 하나의 단자는 제3 트랜지스터의 제2 전극에 결합되고, 제1 커패시터의 다른 단자는 제1 전압 단자에 결합되고;
- [0031] 구동될 요소의 캐소드가 제2 동작 전압 단자에 결합되고; 제4 트랜지스터의 제1 전극이 제1 제어 서브-회로에 결합되고, 제4 트랜지스터의 제2 전극이 구동될 요소의 애노드에 결합된다.
- [0032] 본 개시내용의 실시예에 따르면, 제2 제어 서브-회로는 제1 전압 단자에 추가로 결합되고; 제2 제어 서브-회로는 제3 트랜지스터, 제4 트랜지스터 및 제1 커패시터를 포함하고;
- [0033] 제3 트랜지스터의 게이트 전극이 제2 스캐닝 신호 단자에 결합되고, 제3 트랜지스터의 제1 전극이 제2 데이터 신호 단자에 결합되고, 제3 트랜지스터의 제2 전극이 제4 트랜지스터의 게이트 전극에 결합되고;
- [0034] 제1 커패시터의 하나의 단자는 제3 트랜지스터의 제2 전극에 결합되고, 제1 커패시터의 다른 단자는 제1 전압 단자에 결합되고;
- [0035] 구동될 요소의 애노드가 제1 동작 전압 단자에 결합되고, 구동될 요소의 캐소드가 제1 제어 서브-회로에 결합되고; 제4 트랜지스터의 제1 전극이 제1 제어 서브-회로에 결합되고, 제4 트랜지스터의 제2 전극이 제2 동작 전압 단자에 결합된다.
- [0036] 본 개시내용의 실시예에 따르면, 구동 서브-회로는 제2 전압 단자에 추가로 결합되고, 구동 서브-회로는 구동 트랜지스터를 포함하고;
- [0037] 구동 트랜지스터의 게이트 전극이 제2 전압 단자에 결합되고, 구동 트랜지스터의 제1 전극이 기입 서브-회로에 결합되고, 구동 트랜지스터의 제2 전극이 그레이 스케일 제어 서브-회로에 결합된다.
- [0038] 본 개시내용의 실시예에 따르면, 구동 서브-회로는 제2 전압 단자에 추가로 결합되고, 구동 서브-회로는 구동 트랜지스터 및 제2 커패시터를 포함하고;
- [0039] 구동 트랜지스터의 게이트 전극이 제2 커패시터의 하나의 단자에 결합되고, 구동 트랜지스터의 제1 전극이 기입 서브-회로에 결합되고, 구동 트랜지스터의 제2 전극이 그레이 스케일 제어 서브-회로에 결합되고;

- [0040] 제2 커패시터의 다른 단자는 제2 전압 단자에 결합된다.
- [0041] 본 개시내용의 실시예에 따르면, 기입 서브-회로는 제5 트랜지스터를 포함하고;
- [0042] 제5 트랜지스터의 게이트 전극이 제1 스캐닝 신호 단자에 결합되고, 제5 트랜지스터의 제1 전극이 제1 데이터 신호 단자에 결합되고, 제5 트랜지스터의 제2 전극이 구동 서브-회로에 결합된다.
- [0043] 본 개시내용의 실시예에 따르면, 보상 서브-회로는 제6 트랜지스터를 포함하고;
- [0044] 제6 트랜지스터의 게이트 전극이 제1 스캐닝 신호 단자에 결합되고, 제6 트랜지스터의 제1 및 제2 전극들이 구동 서브-회로에 결합된다.
- [0045] 본 개시내용의 실시예에 따르면, 리셋 서브-회로는 제7 트랜지스터를 포함하고;
- [0046] 제7 트랜지스터의 게이트 전극이 리셋 제어 신호 단자에 결합되고, 제7 트랜지스터의 제1 전극이 리셋 전압 단자에 결합되고, 제7 트랜지스터의 제2 전극이 구동 서브-회로에 결합된다.
- [0047] 본 개시내용의 실시예에 따르면, 구동될 요소는 작은 발광 다이오드이다.
- [0048] 다른 양태에서, 본 개시내용은 구동될 요소를 구동하기 위한 구동 회로를 제공하고, 구동 회로는 제1 내지 제7 트랜지스터들, 제1 커패시터, 제2 커패시터, 구동 트랜지스터, 리셋 제어 신호 단자, 구동 제어 신호 단자, 제1 데이터 신호 단자, 제2 데이터 신호 단자, 제1 스캐닝 신호 단자, 제2 스캐닝 신호 단자, 제1 동작 전압 단자, 제1 전압 단자, 및 제2 전압 단자를 포함하고,
- [0049] 구동 제어 신호 단자는 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 게이트 전극에 결합되고,
- [0050] 제1 데이터 신호 단자는 제5 트랜지스터의 제1 전극에 결합되고,
- [0051] 제2 데이터 신호 단자는 제3 트랜지스터의 제1 전극에 결합되고,
- [0052] 제1 스캐닝 신호 단자는 제5 트랜지스터의 게이트 전극 및 제6 트랜지스터의 게이트 전극에 결합되고,
- [0053] 제2 스캐닝 신호 단자는 제3 트랜지스터의 게이트 전극에 결합되고,
- [0054] 제1 동작 전압 단자는 제1 트랜지스터의 제1 전극에 결합되고,
- [0055] 제1 전압 단자는 제1 커패시터의 하나의 단자에 결합되고,
- [0056] 제2 전압 단자는 제2 커패시터의 하나의 단자에 결합되고,
- [0057] 리셋 제어 신호 단자는 제7 트랜지스터의 게이트 전극에 결합되고,
- [0058] 리셋 전압 단자는 제7 트랜지스터의 제1 전극에 결합되고,
- [0059] 제1 트랜지스터의 제2 전극 및 제5 트랜지스터의 제2 전극은 구동 트랜지스터의 제1 전극에 결합되고,
- [0060] 제2 커패시터의 다른 단자, 제6 트랜지스터의 제2 전극 및 제7 트랜지스터의 제2 전극은 구동 트랜지스터의 게이트 전극에 결합되고,
- [0061] 제2 트랜지스터의 제1 전극 및 제6 트랜지스터의 제1 전극은 구동 트랜지스터의 제2 전극에 결합되고,
- [0062] 제2 트랜지스터의 제2 전극이 제4 트랜지스터의 제1 전극에 결합되고,
- [0063] 제1 커패시터의 다른 단자 및 제3 트랜지스터의 제2 전극은 제4 트랜지스터의 게이트 전극에 결합되고,
- [0064] 제4 트랜지스터의 제2 전극이 구동될 요소에 결합된다.
- [0065] 다른 양태에서, 본 개시내용은 구동될 요소를 구동하기 위한 구동 회로를 제공하고, 구동 회로는 제1 내지 제7 트랜지스터들, 제1 커패시터, 제2 커패시터, 구동 트랜지스터, 리셋 제어 신호 단자, 구동 제어 신호 단자, 제1 데이터 신호 단자, 제2 데이터 신호 단자, 제1 스캐닝 신호 단자, 제2 스캐닝 신호 단자, 전원 전압 단자(power voltage terminal), 제1 전압 단자, 및 제2 전압 단자를 포함하고,
- [0066] 구동 제어 신호 단자는 제1 트랜지스터의 게이트 전극 및 제2 트랜지스터의 게이트 전극에 결합되고,
- [0067] 제1 데이터 신호 단자는 제5 트랜지스터의 제1 전극에 결합되고,
- [0068] 제2 데이터 신호 단자는 제3 트랜지스터의 제1 전극에 결합되고,

- [0069] 제1 스캐닝 신호 단자는 제5 트랜지스터의 게이트 전극 및 제6 트랜지스터의 게이트 전극에 결합되고,
- [0070] 제2 스캐닝 신호 단자는 제3 트랜지스터의 게이트 전극에 결합되고,
- [0071] 전원 전압 단자는 제4 트랜지스터의 제2 전극에 결합되고,
- [0072] 제1 전압 단자는 제1 커패시터의 하나의 단자에 결합되고,
- [0073] 제2 전압 단자는 제2 커패시터의 하나의 단자에 결합되고,
- [0074] 리셋 제어 신호 단자는 제7 트랜지스터의 게이트 전극에 결합되고,
- [0075] 리셋 전압 단자는 제7 트랜지스터의 제1 전극에 결합되고,
- [0076] 제1 트랜지스터의 제2 전극 및 제5 트랜지스터의 제2 전극은 구동 트랜지스터의 제1 전극에 결합되고,
- [0077] 제2 커패시터의 다른 단자, 제6 트랜지스터의 제2 전극 및 제7 트랜지스터의 제2 전극은 구동 트랜지스터의 게이트 전극에 결합되고,
- [0078] 제2 트랜지스터의 제1 전극 및 제6 트랜지스터의 제1 전극은 구동 트랜지스터의 제2 전극에 결합되고,
- [0079] 제2 트랜지스터의 제2 전극이 제4 트랜지스터의 제1 전극에 결합되고,
- [0080] 제1 커패시터의 다른 단자 및 제3 트랜지스터의 제2 전극은 제4 트랜지스터의 게이트 전극에 결합되고,
- [0081] 제1 트랜지스터의 제1 전극이 구동될 요소에 결합된다.
- [0082] 다른 양태에서, 본 개시내용은 기관을 포함하는 디스플레이 장치를 제공하고, 디스플레이 기관은 복수의 서브-픽셀들을 포함하는 디스플레이 영역을 가지며, 복수의 서브-픽셀들 중 적어도 하나에는 본 개시내용의 실시예들에 따른 구동 회로 및 구동될 요소가 내부에 제공되고, 구동 회로는 구동될 요소에 구동 신호를 제공하도록 구성된다.
- [0083] 다른 양태에서, 본 개시내용은 본 개시내용의 실시예에 따른 구동 회로를 위한 구동 방법을 제공하고, 구동 회로는 이미지 프레임 내에서 복수의 스캐닝 주기(scanning period)들로 동작하고; 그레이 스케일 제어 서브-회로는 제1 제어 서브-회로 및 제2 제어 서브-회로를 포함하고; 스캐닝 주기 내에서, 구동 방법은 다음의 단계들을 포함한다:
- [0084] 제1 스캐닝 신호 단자에 제1 스캐닝 신호를 제공하고, 제1 데이터 신호 단자에 제1 데이터 전압을 제공하고, 제1 데이터 전압을 기입 서브-회로를 통해 구동 서브-회로에 기입하는 단계;
- [0085] 제2 스캐닝 신호 단자에 제2 스캐닝 신호를 제공하고, 제2 데이터 신호 단자에 제2 데이터 전압을 제공하여, 제2 스캐닝 신호 및 제2 데이터 전압의 제어 하에서 제2 제어 서브-회로를 턴온 또는 턴오프시키는 단계; 및
- [0086] 구동 제어 신호 단자에 구동 제어 신호를 제공하고, 제1 동작 전압 단자에 제1 동작 전압을 제공하고, 제1 동작 전압을 제1 제어 서브-회로를 통해 구동 서브-회로에 송신하여, 구동 제어 신호, 제1 스캐닝 신호, 제2 스캐닝 신호 및 제2 데이터 전압의 제어 하에서 제1 데이터 전압 및 제1 동작 전압에 기초하여 구동될 요소를 동작시키는 단계.
- [0087] 본 개시내용의 실시예에 따르면, 이 방법은 다음을 추가로 포함한다:
- [0088] 스캐닝 주기 내에서, 제2 스캐닝 신호 단자에 의해 액티브 신호를 제공하는 시간은 제1 스캐닝 신호 단자에 의해 액티브 신호를 제공하는 시간보다 더 늦다.
- [0089] 본 개시내용의 실시예에 따르면, 구동 회로는 리셋 서브-회로를 추가로 포함하고, 제1 스캐닝 신호 단자에 제1 스캐닝 신호를 제공하고, 제1 데이터 신호 단자에 제1 데이터 전압을 제공하고, 제1 데이터 전압을 기입 서브-회로를 통해 구동 서브-회로에 기입하기 전에, 이 방법은:
- [0090] 리셋 제어 신호 단자에 리셋 제어 신호를 제공하고, 리셋 전압 단자에 리셋 전압을 제공하는 단계를 추가로 포함하고, 리셋 전압은 리셋 서브-회로를 통해 구동 서브-회로에 송신된다.
- [0091] 본 개시내용의 실시예에 따르면, 구동 서브-회로는 구동 트랜지스터 및 제2 커패시터를 포함하고; 구동 트랜지스터의 게이트 전극이 제2 커패시터의 하나의 단자에 결합되고, 제2 커패시터의 다른 단자는 제2 전압 단자에 결합되고, 제2 전압 단자에 제공되는 전압은 제1 동작 전압 단자에 제공되는 전압과 동일하다.

**도면의 간단한 설명**

- [0092] 본 개시내용의 실시예들 또는 종래 기술의 기술적 해결책들을 더 명확하게 예시하기 위해, 실시예들 또는 종래 기술의 설명에서 사용되는 도면들은 아래에 간략하게 설명될 것이며, 아래에 설명되는 도면들은 본 개시내용의 일부 실시예들일 뿐이고, 창의적 노력 없이 본 기술분야의 통상의 기술자에 의해 다른 도면들이 획득될 수 있다는 것이 명백하다.
- 도 1은 본 개시내용의 일부 실시예들에 따른 구동 회로의 개략적인 구조도이다.
- 도 2는 본 개시내용의 일부 실시예들에 따른 다른 구동 회로의 개략적인 구조도이다.
- 도 3은 도 1에 도시된 구동 회로의 특정 구조의 개략도이다.
- 도 4는 도 2에 도시된 구동 회로의 특정 구조의 개략도이다.
- 도 5는 도 3에 도시된 구동 회로에서의 서브-회로들의 특정 구조들의 개략도이다.
- 도 6은 도 4에 도시된 구동 회로에서의 서브-회로들의 특정 구조들의 개략도이다.
- 도 7은 본 개시내용의 일부 실시예들에 따른 다른 구동 회로의 개략적인 구조도이다.
- 도 8은 본 개시내용의 일부 실시예들에 따른 다른 구동 회로의 개략적인 구조도이다.
- 도 9는 본 개시내용의 일부 실시예들에 따른 타이밍 신호 다이어그램이다.
- 도 10은 본 개시내용의 일부 실시예들에 따른 디스플레이 패널의 개략적인 구조도이다.
- 도 11은 본 개시내용의 일부 실시예들에 따른 구동 회로의 구동 방법의 흐름도이다.
- 도 12는 본 개시내용의 일부 실시예들에 따른 다른 타이밍 신호 다이어그램이다.
- 도 13은 다른 실시예에 따른 구동 회로에서의 서브-회로들의 특정 구조들의 개략도이다.
- 도 14는 다른 실시예에 따른 구동 회로에서의 서브-회로들의 특정 구조들의 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0093] 본 개시내용의 실시예들에서의 기술적 해결책들은 본 개시내용의 실시예들에서의 도면들을 참조하여 이하에서 명확하고 완전하게 설명될 것이며, 설명된 실시예들은 본 개시내용의 실시예들의 일부일 뿐이고, 실시예들 전부가 아니라는 점이 명백하다. 임의의 창의적 노력 없이 본 명세서에 개시된 실시예들로부터 본 기술분야의 통상의 기술자에 의해 도출될 수 있는 모든 다른 실시예들은 본 개시내용의 보호 범위 내에 속할 것이다.
- [0094] 본 개시내용의 일부 실시예들은, 구동 요소(100) 및 구동될 요소(L)를 포함하는, 도 1 또는 도 2에 도시된 바와 같은 구동 회로(01)를 제공한다.
- [0095] 구동 요소(100) 및 구동될 요소(L)는 제1 동작 전압 단자(VL1)와 제2 동작 전압 단자(VL2) 사이에 직렬로 결합된다.
- [0096] 예를 들어, 도 1에 도시된 바와 같이, 구동 요소(100)는 제1 동작 전압 단자(VL1)와 구동될 요소(L)의 애노드 사이에 결합되고, 구동될 요소(L)의 캐소드가 제2 동작 전압 단자(VL2)에 결합된다.
- [0097] 대안적으로, 다른 예로서, 도 2에 도시된 바와 같이, 구동 요소(100)는 제2 동작 전압 단자(VL2)와 구동될 요소(L)의 캐소드 사이에 결합되고, 구동될 요소(L)의 애노드는 제1 동작 전압 단자(VL1)에 결합된다.
- [0098] 구동될 요소(L)는, 작은 발광 다이오드, 예를 들어,  $\mu$ LED 또는 마이크로 LED와 같은, 발광 디바이스일 수 있다.  $\mu$ LED 또는 마이크로 LED는 미크론( $\mu$ m) 스케일의 크기를 갖는다. 본 개시내용의 실시예들은, 구동될 요소(L)가 발광 디바이스이고 구동 회로(01)가 구동 회로인 경우를 예로 들어서 설명된다. 구동될 요소(L)는 다른 유체 전자 컴포넌트(fluidic electronic component)들일 수 있다는 점이 이해되어야 한다.
- [0099] 본 개시내용의 실시예에서, 구동 요소(100)는 구동 전류(I)를 제공하고 제1 동작 전압 단자(VL1)와 제2 동작 전압 단자(VL2) 사이의 전류 경로의 온-상태 지속시간을 제어하도록 구성된다.
- [0100] 전류 경로가 온일 때, 제1 동작 전압 단자(VL1)로부터 출력되는 제1 동작 전압(VDD) 및 제2 동작 전압 단자(VL2)로부터 출력되는 제2 동작 전압(VSS)은 전류 경로에 대한 전위차를 제공할 수 있으므로, 구동 전류(I)는

전류 경로를 통해 발광 디바이스(L)에 송신될 수 있다.

- [0101] 제1 동작 전압(VDD)은 일정한 하이 레벨일 수 있고, 제2 동작 전압(VSS)은 일정한 로우 레벨일 수 있다는 점에 유의해야 한다.
- [0102] 발광 디바이스(L)는 전류 경로 내의 구동 전류(I)를 수신하고 광을 방출하도록 구성된다.
- [0103] 도 3 또는 도 4에 도시된 바와 같이, 구동 요소(100)는 구동 서브-회로(10), 기입 서브-회로(20), 및 그레이 스케일 제어 서브-회로(30)를 포함한다.
- [0104] 기입 서브-회로(20)는 제1 스캐닝 신호 단자(G\_A), 제1 데이터 신호 단자(D\_A) 및 구동 서브-회로(10)에 결합된다. 기입 서브-회로(20)는 제1 데이터 신호 단자(D\_A)에 의해 제공되는 제1 데이터 전압(Vdata\_A)을 제1 스캐닝 신호 단자(G\_A)의 제어 하에서 구동 서브-회로(10)에 기입하도록 구성된다.
- [0105] 그레이 스케일 제어 서브-회로(30)는 방출 제어 신호 단자(EM)(즉, 구동 제어 신호 단자), 제2 스캐닝 신호 단자(G\_B), 제2 데이터 신호 단자(D\_B), 및 구동 서브-회로(10)에 결합된다.
- [0106] 구동 회로(01)가 도 1에 도시된 바와 같은 구조를 채택할 때, 구동 회로(01) 내의 그레이 스케일 제어 서브-회로(30)는 도 3에 도시된 바와 같이, 제1 동작 전압 단자(VL1)에 직접 결합되고, 발광 디바이스(L)를 통해 제2 동작 전압 단자(VL2)에 결합될 수 있다. 대안적으로, 구동 회로(01)가 도 2에 도시된 바와 같은 구조를 채택할 때, 구동 회로(01) 내의 그레이 스케일 제어 서브-회로(30)는 도 4에 도시된 바와 같이, 발광 디바이스(L)를 통해 제1 동작 전압 단자(VL1)에 결합되고, 제2 동작 전압 단자(VL2)에 직접 결합될 수 있다. 도 3에 도시된 구동 회로(01)의 경우에, 그레이 스케일 제어 서브-회로(30)는 방출 제어 신호 단자(EM)의 제어 하에서 제1 동작 전압 단자(VL1)로부터 공급되는 제1 동작 전압(VDD)을 구동 서브-회로(10)에 송신하도록 구성된다.
- [0107] 구동 서브-회로(10)는 제1 데이터 전압(Vdata\_A) 및 제1 동작 전압(VDD)에 따라 구동 전류(I)를 생성하도록 구성된다.
- [0108] 그레이 스케일 제어 서브-회로(30)는 방출 제어 신호 단자(EM), 제2 스캐닝 신호 단자(G\_B), 및 제2 데이터 신호 단자(D\_B)의 제어 하에서의 전류 경로의 온-상태 지속시간을 제어하도록 추가로 구성된다.
- [0109] 요약하면, 기입 서브-회로(20)는 디스플레이된 그레이 스케일에 관련된 제1 데이터 전압(Vdata\_A)을 구동 서브-회로(10)에 출력할 수 있으므로, 구동 서브-회로(10)는 발광 디바이스(L)를 구동하기 위한 구동 전류(I)를 생성하여 발광시킬 수 있다. 또한, 그레이 스케일 제어 서브-회로(30)는 구동 전류(I)가 발광 디바이스(L) 내로 흐르는 프로세스에서 생성된 전류 경로의 온-상태 지속시간을 제어함으로써, 발광 디바이스(L)의 발광 지속시간(light emission duration)을 제어할 수 있다. 구동 전류(I)의 크기 및 발광 지속시간은 발광 디바이스(L)의 유효 발광 휘도(light emission luminance)에 영향을 미치기 때문에, 발광 디바이스(L)의 유효 발광 휘도는, 하나의 스캐닝 주기 내에서 그레이 스케일 제어 서브-회로(30) 및 제1 데이터 전압(Vdata\_A)의 크기에 의해 제어되어, 디스플레이된 그레이 스케일을 조정하는 목적을 달성할 수 있다. 본 개시내용의 실시예에 따르면, 그레이 스케일 제어 서브-회로(30)는 각각의 구동 회로(01)에 배치될 수 있고, 동일한 행 내의 서브-픽셀들에 대응하는 각각의 구동 회로들에 포함된 그레이 스케일 제어 서브-회로들(30)은 상이한 데이터 신호 라인들에 결합되기 때문에(즉, 이 그레이 스케일 제어 서브-회로들(30)은 서로 독립적인 제2 데이터 전압들(Vdata\_B)에 의해 제어됨), 본 개시내용의 실시예들에 따른 구동 회로(01)는 구동 회로(01) 내의 발광 디바이스(L)(예를 들어,  $\mu$ LED)의 휘도를 직접적으로 그리고 개별적으로 제어할 수 있다. 또한, 본 개시내용의 실시예에 따른 구동 회로(01)는 패터닝 프로세스에 의해 디스플레이 장치의 디스플레이 패널에서 유리 기판 또는 투명 수지 기판 상에 제조될 수 있다. 발광 디바이스가  $\mu$ LED일 때, 더 낮은 비용, 간단한 제조 프로세스를 가지며 대량 생산될 수 있는  $\mu$ LED 디스플레이 장치의 실현이 제공될 수 있다.
- [0110] 구동 회로(01) 내의 각각의 서브-회로의 구조가 아래에 상세히 설명될 것이다.
- [0111] 도 3에 도시된 구조를 예로 들면, 그레이 스케일 제어 서브-회로(30)는 도 5에 도시된 바와 같이 제1 제어 서브-회로(301) 및 제2 제어 서브-회로(302)를 포함할 수 있다.
- [0112] 도 5를 참조하면, 제1 제어 서브-회로(301)는 방출 제어 신호 단자(EM), 구동 서브-회로(10) 및 제2 제어 서브-회로(302)에 결합된다. 제1 제어 서브-회로(301)는 제1 동작 전압 단자(VL1)에 의해 제공되는 제1 동작 전압(VDD)을 방출 제어 신호 단자(EM)의 제어 하에서 구동 서브-회로(10)에 송신하도록 구성된다.
- [0113] 제1 제어 서브-회로(301)는, 방출 제어 신호 단자(EM)의 제어 하에서, 구동 서브-회로(10)에 의해 생성된 구동

전류(I)를 제2 제어 서브-회로(302)에 송신하고, 전류 경로의 온-상태 지속기간을 제어하도록 추가로 구성된다.

- [0114] 제2 제어 서브-회로(302)는 제2 스캐닝 신호 단자(G\_B) 및 제2 데이터 신호 단자(D\_B)에 추가로 결합된다. 제2 제어 서브-회로(302)는 제2 스캐닝 신호 단자(G\_B) 및 제2 데이터 신호 단자(D\_B)의 제어 하에서 하나의 스캐닝 주기 내에서 전류 경로가 온인지를 제어하고 복수의 스캐닝 주기들 내에서 전류 경로의 전체 온-상태 지속기간(total on-state duration)을 제어하도록 구성된다.
- [0115] 위에서 알 수 있는 바와 같이, 전류 경로는 온일 수 있고 구동 서브-회로(10)에 의해 생성되는 구동 전류(I)는 제1 제어 서브-회로(301)와 제2 제어 서브-회로(302)가 둘 다 온 상태에 있을 때에만 전류 경로를 통해 발광 디바이스(L)에 출력될 수 있다. 따라서, 발광 디바이스(L)의 유효 발광 휘도는 구동 전류(I), 제1 제어 서브-회로(301) 및 제2 제어 서브-회로(302)에 의해 협력적으로 제어될 수 있으며, 이는 발광 디바이스(L)의 유효 발광 휘도에 영향을 미치는 인자들을 증가시키고, 따라서 구동 회로(01)를 갖는 서브-픽셀에 의해 디스플레이되는 그레이 스케일들의 값들은 더 다양화된다.
- [0116] 본 개시내용의 실시예에 따르면, 도 5에 도시된 바와 같이, 제1 제어 서브-회로(301)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 포함할 수 있다.
- [0117] 도 5는 도 3에 도시된 구조의 예이고, 도 3의 각각의 서브-회로의 구조를 도시한다. 이 경우, 도 5에 도시된 바와 같이, 발광 디바이스(L)의 캐소드는 제2 동작 전압 단자(VL2)에 결합된다.
- [0118] 제1 트랜지스터(T1)의 게이트 전극이 방출 제어 신호 단자(EM)에 결합되고, 제1 트랜지스터(T1)의 제1 전극이 제1 동작 전압 단자(VL1)에 결합되고, 제1 트랜지스터(T1)의 제2 전극이 구동 서브-회로(10)에 결합된다.
- [0119] 제2 트랜지스터(T2)의 게이트 전극이 방출 제어 신호 단자(EM)에 결합되고, 제2 트랜지스터(T2)의 제1 전극이 구동 서브-회로(10)에 결합되고, 제2 트랜지스터(T2)의 제2 전극이 제2 제어 서브-회로(302)에 결합된다.
- [0120] 또한, 제2 제어 서브-회로(302)는 제1 전압 단자(V1)에 추가로 결합된다. 제1 전압 단자(V1)는 접지 단자(GND)일 수 있다.
- [0121] 제2 제어 서브-회로(302)는 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제1 커패시터(C1)를 포함한다.
- [0122] 제3 트랜지스터(T3)는 제2 스캐닝 신호 단자(G\_B)에 결합되는 게이트 전극, 제2 데이터 신호 단자(D\_B)에 결합되는 제1 전극, 및 제4 트랜지스터(T4)의 게이트 전극에 결합되는 제2 전극을 갖는다.
- [0123] 제1 커패시터(C1)의 하나의 단자는 제3 트랜지스터(T3)의 제2 전극에 결합되고, 제1 커패시터(C1)의 다른 단자는 제1 전압 단자(V1)에 결합된다.
- [0124] 도 5에 도시된 바와 같이, 발광 디바이스(L)의 애노드가 제2 제어 서브-회로(302)에 결합되고 발광 디바이스(L)의 캐소드가 제2 동작 전압 단자(VL2)에 결합되는 경우, 제4 트랜지스터(T4)의 제1 전극이 제1 제어 서브-회로(301)에 결합되고 제4 트랜지스터(T4)의 제2 전극이 발광 디바이스(L)의 애노드에 결합된다.
- [0125] 제1 제어 서브-회로(301)가 전술한 바와 같이 구성될 때, 제4 트랜지스터(T4)의 제1 전극은 제2 트랜지스터(T2)의 제2 전극에 결합된다.
- [0126] 본 개시내용의 다른 실시예에 따르면, 도 4의 각각의 서브-회로의 구조는 도 4에 도시된 구조를 예로 들어서 설명될 것이다.
- [0127] 도 6은 발광 디바이스(L), 제1 제어 서브-회로 및 제2 제어 서브-회로 사이의 접속을 제외하고, 도 5의 서브-회로들의 구조들과 유사한, 도 4의 서브-회로들의 구조들의 개략도이다. 도 4 및 도 6을 참조하면, 발광 디바이스(L)의 애노드는 제1 동작 전압 단자(VL1)에 결합되고, 발광 디바이스(L)의 캐소드는 제1 트랜지스터(T1)의 제1 전극에 결합된다. 제4 트랜지스터(T4)의 제1 전극은 제1 제어 서브-회로(301)에 결합되고, 그것의 제2 전극은 제2 동작 전압 단자(VL2)에 결합된다.
- [0128] 본 개시내용의 실시예에 따르면, 도 7에 도시된 바와 같이, 구동 서브-회로(10)는 구동 트랜지스터(Td) 및 제2 커패시터(C2)를 포함하고, 구동 트랜지스터(Td)의 게이트 전극은 제2 커패시터(C2)의 하나의 단자에 결합되고, 제2 커패시터(C2)의 다른 단자는 제2 전압 단자(V2)에 결합된다. 제2 전압 단자(V2)는 제1 전압 단자(V1)와 동일할 수 있고, 접지 단자(GND)일 수 있다. 대안적으로, 제2 전압 단자(V2)가 제1 동작 전압 단자(VL1)에 가까이 있기 때문에, 회로 레이아웃 설계를 더 간단하게 하기 위해, 제2 전압 단자(V2)는 제1 동작 전압 단자(VL1)에 의해 출력되는 제1 동작 전압(VDD)을 수신하기 위해 제1 동작 전압 단자(VL1)에 결합될 수 있다.

- [0129] 구동 트랜지스터(Td)의 게이트 전극이 제2 커패시터(C2)의 하나의 단자에 결합되고, 구동 트랜지스터(Td)의 제1 전극이 기입 서브-회로(20)에 결합되고, 구동 트랜지스터(Td)의 제2 전극이 그레이 스케일 제어 서브-회로(30)에 결합된다. 그레이 스케일 제어 서브-회로(30)가 전술한 바와 같이 구성될 때, 구동 트랜지스터(Td)의 제2 전극은 제2 트랜지스터(T2)의 제1 전극에 결합된다.
- [0130] 본 개시내용의 실시예에 따르면, 기입 서브-회로(20)는 제5 트랜지스터(T5)를 포함한다.
- [0131] 제5 트랜지스터(T5)의 게이트 전극이 제1 스캐닝 신호 단자(G\_A)에 결합되고, 제5 트랜지스터(T5)의 제1 전극이 제1 데이터 신호 단자(D\_A)에 결합되고, 제5 트랜지스터(T5)의 제2 전극이 구동 서브-회로(10)에 결합된다. 구동 서브-회로(10)가 전술한 바와 같이 구성될 때, 제5 트랜지스터(T5)의 제2 전극은 구동 트랜지스터(Td)의 제1 전극에 결합된다.
- [0132] 구동 서브-회로(10) 내의 구동 트랜지스터(Td)가 포화 영역에서 동작할 때, 구동 트랜지스터(Td)는 그의 게이트 전압 및 소스 전압에 따라 구동 전류(I)를 생성할 수 있다. 구동 전류 공식  $I=K(V_{gs}-V_{th})^2$  으로부터 도출될 수 있는 바와 같이, 구동 전류(I)는 구동 트랜지스터(Td)의 임계 전압( $V_{th}$ )에 의해 영향을 받는다. 구동 트랜지스터(Td)의 임계 전압( $V_{th}$ )이 동작 프로세스 동안 시프트(shift)하고, 상이한 서브-픽셀들에서의 구동 트랜지스터들(Td)의 임계 전압들( $V_{th}$ )의 시프트 양들이 반드시 동일하지는 않기 때문에, 동일한 그레이 스케일 데이터가 디스플레이될 때 상이한 서브-픽셀들에서의 구동 트랜지스터들(Td)에 의해 생성되는 구동 전류들(I)은 상이하고, 결과로서, 상이한 서브-픽셀들에서의 발광 디바이스들(L)의 휘도가 불균일하고, 디스플레이 효과가 영향을 받을 수 있다.
- [0133] 상기한 문제를 해결하기 위해, 본 개시내용의 실시예에 따른 구동 회로(01)는 도 7에 도시된 바와 같이, 보상 서브-회로(40)를 추가로 포함한다.
- [0134] 보상 서브-회로(40)는 제1 스캐닝 신호 단자(G\_A) 및 구동 서브-회로(10)에 결합된다. 보상 서브-회로(40)는 제1 스캐닝 신호 단자(G\_A)의 제어 하에서 구동 서브-회로(10)의 임계 전압을 보상하도록 구성된다. 구동 서브-회로(10)가 전술한 바와 같이 구성될 때, 보상 서브-회로(40)는 구동 트랜지스터(Td)의 임계 전압( $V_{th}$ )을 보상할 수 있다. 임계 전압( $V_{th}$ )을 보상하는 특정 프로세스는 후술될 것이다.
- [0135] 예시적으로, 보상 서브-회로(40)는 제6 트랜지스터(T6)를 포함할 수 있다.
- [0136] 제6 트랜지스터(T6)의 게이트 전극은 제1 스캐닝 신호 단자(G\_A)에 결합되고, 제6 트랜지스터(T6)의 제1 및 제2 전극들은 구동 서브-회로(10)에 결합된다. 구동 서브-회로(10)가 전술한 바와 같이 구성될 때, 제6 트랜지스터(T6)의 제1 전극은 구동 트랜지스터(Td)의 제2 전극에 결합되고, 제6 트랜지스터(T6)의 제2 전극은 구동 트랜지스터(Td)의 게이트 전극에 결합된다.
- [0137] 또한, 구동 서브-회로(10)에 남아 있는 이전 이미지 프레임의 신호가 다음 이미지 프레임의 디스플레이에 영향을 미칠 수 있다고 고려하면, 본 개시내용의 실시예에 따른 구동 회로(01)는 도 7에 도시된 바와 같이 리셋 서브-회로(50)를 추가로 포함한다.
- [0138] 리셋 서브-회로(50)는 리셋 전압 단자(VINT), 리셋 제어 신호 단자(RS), 및 구동 서브-회로(10)에 결합된다. 리셋 서브-회로(50)는 리셋 전압 단자(VINT)에 의해 제공되는 리셋 전압을 리셋 제어 신호 단자(RS)의 제어 하에서 구동 서브-회로(10)에 송신하도록 구성된다.
- [0139] 리셋 서브-회로(50)는 제7 트랜지스터(T7)를 포함한다.
- [0140] 제7 트랜지스터(T7)는 리셋 제어 신호 단자(RS)에 결합된 게이트 전극, 리셋 전압 단자(VINT)에 결합된 제1 전극, 및 구동 서브-회로(10)에 결합된 제2 전극을 갖는다. 구동 서브-회로(10)가 전술한 바와 같이 구성될 때, 제7 트랜지스터(T7)의 제1 전극은 구동 트랜지스터(Td)의 게이트 전극에 결합된다.
- [0141] 도 7은 구동 요소(100)와 발광 디바이스(L)가 도 1에 예시된 바와 같이 결합되는 것을 예시한다는 점에 유의해야 한다. 구동 요소(100)와 발광 디바이스(L)가 도 2에 도시된 바와 같이 결합될 때, 보상 서브-회로(40) 및 리셋 서브-회로(50)의 특정 구조들 및 접속은 전술한 것들과 동일하고, 구동 서브-회로(10), 기입 서브-회로(20), 그레이 스케일 제어 서브-회로(30), 보상 서브-회로(40), 및 리셋 서브-회로(50)를 갖는 구동 회로(01)의 구조는 도 8에 도시된다.
- [0142] 또한, 도 5 내지 도 8에서는, 모든 트랜지스터들이 P-타입 트랜지스터들인 예를 들어서 설명이 주어진다. 본 개시내용의 일부 실시예들에서, 각각의 서브-회로 내의 트랜지스터들은 또한 N-타입 트랜지스터들일 수 있다.

트랜지스터의 제1 전극은 소스 전극일 수 있고, 트랜지스터의 제2 전극은 드레인 전극일 수 있다. 대안적으로, 트랜지스터의 제1 전극은 드레인 전극일 수 있고, 트랜지스터의 제2 전극은 소스 전극일 수 있다.

- [0143] 하나의 이미지 프레임에서의 구동 회로(01)의 동작은 도 7에 도시된 구동 회로(01)의 구조를 예로 들어서 이하에서 상세히 설명될 것이다.
- [0144] 본 개시내용의 일부 실시예들에서, 구동 회로(01)를 갖는 서브-픽셀이 더 많은 그레이 스케일을 디스플레이하고 더 나은 디스플레이 효과를 가질 수 있게 하기 위해, 구동 회로(01)는 하나의 이미지 프레임 내에서 복수의 스캐닝 주기(S)에서 동작할 수 있다. 예를 들어, 도 9에 도시된 바와 같이, 하나의 이미지 프레임에서 3개의 스캐닝 주기(S1, S2, 및 S3)가 제공되는 경우를 예로 들어서 설명이 주어질 것이다.
- [0145] 각각의 스캐닝 주기는 3개의 스테이지: 제1 스테이지(t1), 제2 스테이지(t2) 및 제3 스테이지(t3)로 분할될 수 있다.
- [0146] 제1 스캐닝 주기(S1)를 예로 들면, 제1 스테이지(t1)에서, 리셋 제어 신호 단자(RS)에 로우 레벨이 입력되고, 제7 트랜지스터(T7)가 턴온되고, 리셋 전압 단자(VINT)에 의해 제공되는 리셋 전압이 구동 트랜지스터(Td)의 게이트 전극을 리셋하기 위해 제7 트랜지스터(T7)를 통해 구동 트랜지스터(Td)의 게이트 전극에 송신되고, 그에 의해 구동 트랜지스터(Td)에 남아 있는 이전 이미지 프레임의 전압이 현재 이미지 프레임의 디스플레이에 영향을 미치는 것을 방지한다. 이때, 노드(N1)에서의 전압은 리셋 전압 단자(VINT)에 의해 제공되는 리셋 전압이다.
- [0147] 본 개시내용의 실시예에 따르면, 리셋 전압은 로우 레벨일 수 있고, 이는 구동 트랜지스터(Td)가 온 상태에 근접하지만 턴온되지는 않게 하여, 후속 데이터 기입 스테이지 동안 구동 트랜지스터(Td)의 게이트 전극을 충전하기 위해 준비하게 하고, 따라서 제1 데이터 전압(Vdata\_A)이 구동 트랜지스터(Td)의 게이트 전극을 더 신속하게 충전할 수 있다. 따라서, 후속 데이터 기입 스테이지에서, 상이한 데이터 전압들이 구동 트랜지스터들에 기입될 때, 데이터 전압의 기입 시간이 감소될 수 있으므로, 모든 구동 트랜지스터들(Td)의 응답 시간뿐만 아니라 데이터 전압의 기입 시간이 전체 디스플레이 패널의 모든 구동 회로들에 대해 거의 동일할 수 있고, 전체 디스플레이 패널에 대해 디스플레이 균일성이 향상될 수 있다.
- [0148] 제1 스테이지(t1)는 리셋 스테이지로 지칭될 수 있다.
- [0149] 제2 스테이지(t2)에서, 제1 및 제2 스캐닝 신호 단자들(G\_A 및 G\_B)에 로우 레벨이 입력된다. 제5 및 제6 트랜지스터들(T5 및 T6)은 제1 스캐닝 신호 단자(G\_A)의 제어 하에서 턴온된다. 제1 데이터 신호 단자(D\_A)로부터 공급된 제1 데이터 전압(Vdata\_A)은 제5 트랜지스터(T5)를 통해 구동 트랜지스터(Td)의 제1 전극에 송신된다.
- [0150] 제6 트랜지스터(T6)가 턴온될 때, 구동 트랜지스터(Td)의 게이트 전극과 제2 전극은 전기적으로 결합되어, 구동 트랜지스터(Td)가 다이오드로서 역할을 한다. 이때, 제1 데이터 전압(Vdata\_A)은 구동 트랜지스터(Td)가 턴오프될 때까지 구동 트랜지스터(Td)의 게이트 전극을 충전한다. 구동 트랜지스터(Td)가 턴오프될 때, 구동 트랜지스터(Td)의 게이트-소스 전압(Vgs)은  $V_{th}$ , 즉,  $V_g - V_s = V_{th}$ 와 같다. 이때, 구동 트랜지스터(Td)의 게이트 전극에서의 전압(즉, 노드(N1)에서의 전압)은  $V_g = V_s + V_{th} = V_{data\_A} + V_{th}$ 일 수 있다. 이 경우, 제1 데이터 전압(Vdata\_A)은 구동 트랜지스터(Td)의 게이트 전극에 기입된다.
- [0151] 또한, 제3 트랜지스터(T3)는 제2 스캐닝 신호 단자(G\_B)의 제어 하에서 턴온되고, 제2 데이터 신호 단자(D\_B)로부터 제공되는 제2 데이터 전압(Vdata\_B)은 제3 트랜지스터(T3)를 통해 제4 트랜지스터(T4)의 게이트 전극에 송신된다. 노드(N2)에서의 전압은 Vdata\_B이다.
- [0152] 제1 스캐닝 신호 단자(G\_A) 및 제2 스캐닝 신호 단자(G\_B)에 다시 로우 레벨이 입력될 때까지, 노드(N1) 및 노드(N2)에서의 전위들은 제1 커패시터(C1) 및 제2 커패시터(C2)의 작용 하에서 일정하게 유지된다.
- [0153] 제2 스테이지(t2)는 데이터 기입 스테이지일 수 있다.
- [0154] 제3 스테이지(t3)에서, 도 9에 도시된 바와 같이, 방출 제어 신호 단자(EM)는 로우 레벨을 제공하고, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 턴온된다.
- [0155] 또한, 제2 데이터 신호 단자(D\_B)에 의해 제공되는 제2 데이터 전압(Vdata\_B)은 하이 레벨(VGH) 및 로우 레벨(VGL)의 2개의 상태를 갖는다. 제4 트랜지스터(T4)의 게이트 전극이 하이 레벨을 수신할 때 제4 트랜지스터(T4)가 턴오프되고, 제4 트랜지스터(T4)의 게이트 전극이 로우 레벨을 수신할 때 제4 트랜지스터(T4)가 턴온되는 것이 구성될 수 있다.

- [0156] 도 9에서는, 제3 스테이지(T3)에서, 제2 데이터 전압(Vdata\_B)은 로우 레벨에 있고, 이 때, 제2 스캐닝 신호 단자(G\_B)에서의 전압은 로우 레벨로부터 하이 레벨로 변경하고, 제3 트랜지스터(T3)는 턴오프된다. 그러나, 제1 커패시터(C1)로 인해, 노드(N2)에서의 전위는 제2 스테이지(t2)에서와 같이 여전히 하이 레벨로 유지되고, 따라서 제4 트랜지스터(T4)는 턴오프되고, 발광 디바이스(L)는 이때 발광하지 않는다. 따라서, 하나의 이미지 프레임 내의 발광 디바이스의 발광 지속기간은, 발광 디바이스(L)가 스캐닝 주기 내에서 발광하지 않도록 제어함으로써, 전체적으로 감소될 수 있다.
- [0157] 대안적으로, 도 9에 도시된 타이밍도와 달리, Vdata\_B는 제2 주기(t2)에서 로우 레벨로 설정되어, 제4 트랜지스터(T4)가 제3 스테이지(t3)에서 턴오프되게 하고, 이 경우, 제1 동작 전압 단자(VL1)와 제2 동작 전압 단자(VL2) 사이의 전류 경로가 온이 된다. 이때, 포화 영역에서 동작하는 구동 트랜지스터(Td)에 의해 생성되는 구동 전류(I)는 전류 경로를 통해 발광 디바이스(L)에 송신되므로, 발광 디바이스(L)는 발광한다.
- [0158] 구동 전류(I)는 다음 식을 충족한다:
- [0159] 
$$I=K(V_{gs}-V_{th})^2=K(V_g-V_s-V_{th})^2=K(V_{data\_A}+V_{th}-V_{DD}-V_{th})^2=K(V_{data\_A}-V_{DD})^2.$$
- [0160] 여기서  $K=1/2Cox(\mu W/L)$ , Cox,  $\mu$ , W, 및 L은 각각 구동 트랜지스터(Td)의 단위 면적당 채널 용량(channel capacitance per unit area), 채널 이동도, 채널 폭, 및 채널 길이이다. 따라서, K는 상수이다.
- [0161] 구동 전류(I)의 공식으로부터 알 수 있는 바와 같이, 구동 전류(I)는 구동 트랜지스터(Td)의 임계 전압(Vth)과 독립적이다. 따라서, 구동 전류(I)의 크기는 구동 트랜지스터(Td)의 임계 전압(Vth)의 시프트로 인해 변경되지 않는다.
- [0162] 제3 스테이지(t3)는 발광 스테이지일 수 있다.
- [0163] 제1 스캐닝 주기(S1)에서의 구동 회로(O1)의 동작은 위에서 설명되었다. 나머지 스캐닝 주기들에서의 구동 회로(O1)의 동작은 전술한 것과 동일하고, 여기서 설명되지 않을 것이다.
- [0164] 차이점은, 일 양태에서, 제1 데이터 신호 단자(D\_A)로부터 공급되는 제1 데이터 전압(Vdata\_A)의 크기가 발광 디바이스(L)를 통해 흐르는 구동 전류(I)의 크기를 변경하도록 변경될 수 있고, 다른 양태에서, 제2 데이터 신호 단자(D\_B)로부터 공급되는 제2 데이터 전압(Vdata\_B)의 크기도 변경될 수 있다는 것이다. 예를 들어, 도 9를 참조하면, Vdata\_B는 제2 스캐닝 주기(S2)의 제2 스테이지(t2)에서 로우 레벨로 설정될 수 있고, 그에 의해 제2 스캐닝 주기(S2)에서 제4 트랜지스터(T4)가 턴오프되게 하고, 따라서 발광 디바이스(L)는 제2 스캐닝 주기(S2)에서 발광하여 하나의 이미지 프레임 내의 발광 디바이스(L)의 유효 발광 회도를 변경한다. 따라서, Vdata\_B는 구동 전류(I)를 발광 디바이스(L)에 송신할 때를 결정할 수 있다. 또 다른 양태에서, 방출 제어 신호 단자(EM)가 로우 레벨을 공급하는 지속기간이 제어될 수 있다. 예를 들어, 방출 제어 신호 단자(EM)로부터 공급되는 신호의 듀티 비(duty ratio)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 온-상태 지속기간들을 제어하도록 제어될 수 있어, 구동 전류(I)가 흐르는 전류 경로의 온-상태 지속기간을 제어할 수 있다.
- [0165] 요약하면, 이미지 프레임 내의 구동 회로(O1) 내의 발광 디바이스(L)의 유효 발광 회도는, 이미지 프레임 내의 스캐닝 주기들의 수, 각각의 스캐닝 주기의 지속기간, 제1 데이터 전압(Vdata\_A), 제2 데이터 전압(Vdata\_B), 및 방출 제어 신호 단자(EM)에 의해 제공되는 방출 제어 신호와 같은 복수의 인자에 의해 결정될 수 있으므로, 구동 회로(O1)를 갖는 서브-픽셀에 의해 디스플레이되는 그레이 스케일들의 수가 증가될 수 있고, 디스플레이 패널은 더 풍부하고 더 미세한 이미지를 디스플레이할 수 있다.
- [0166] 또한, 도 7에 도시된 바와 같이, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)의 게이트 전극들은 제1 스캐닝 신호 단자(G\_A)에 결합되고, 제3 트랜지스터(T3)의 게이트 전극은 제2 스캐닝 신호 단자(G\_B)에 결합된다. 도 9는 제1 스캐닝 신호 단자(G\_A) 및 제2 스캐닝 신호 단자(G\_B)에 입력된 신호들이 동일한 예를 도시한다.
- [0167] 본 개시내용의 일부 실시예들에서, 도 12에 도시된 바와 같이, 하나의 스캐닝 주기 S 동안, 제2 스캐닝 신호 단자(G\_B)로부터 입력되는 액티브 신호가 지연될 수 있다. 예를 들어, 제2 스테이지(t2) 동안, 제2 스캐닝 신호 단자(G\_B)로부터 입력되는 액티브 신호는 제1 스캐닝 신호 단자(G\_A)로부터 입력되는 액티브 신호에 대해 지연된다.
- [0168] 액티브 신호는, 이 액티브 신호를 수신하는 서브-회로를 온 상태로 만들 수 있는 레벨 신호, 예를 들어, 로우 레벨이다. 이 경우, 제2 스캐닝 신호 단자(G\_B)로부터 액티브 신호를 수신하는 그레이 스케일 제어 서브-회로(30)가 턴오프되는 시간은 제1 스캐닝 신호 단자(G\_A)로부터 액티브 신호를 수신하는 기입 서브-회로(20)가 턴온

되는 시간보다 더 늦다.

- [0169] 또한, 서브-회로가 트랜지스터를 포함할 때, 액티브 신호는 액티브 신호에 의해 제어되는 트랜지스터가 턴온되게 할 수 있는 레벨 신호를 지칭한다. 예를 들어, 그레이 스케일 제어 서브-회로(30)가 제3 트랜지스터(T3)를 포함하고, 기입 서브-회로(20)가 제5 트랜지스터(T5)를 포함하고, 보상 서브-회로(40)가 제6 트랜지스터(T6)를 포함할 때, 제1 스캐닝 신호 단자(G\_A)에 의해 제어되는 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴온되는 시간은 제2 스캐닝 신호 단자(G\_B)에 의해 제어되는 제3 트랜지스터(T3)가 턴온되는 시간보다 더 이르다. 트랜지스터가 P-타입 트랜지스터일 때, 액티브 신호는 로우 레벨이다.
- [0170] 이러한 방식으로, 제4 트랜지스터(T4)가 턴온되는 시간이 지연될 수 있고, 그에 의해 제2 트랜지스터(T2)에 의해 생성되는 누설 전류가 제4 트랜지스터(T4)를 통해 발광 디바이스(L) 내로 흘러서 잘못된 발광(false light emission)의 현상을 야기하는 것을 방지할 수 있다. 즉, 본 개시내용의 실시예에 따르면, 제1 데이터 신호 단자(D\_A)에 의해 제공되는 제1 데이터 전압(Vdata\_A)이 구동 트랜지스터(Td)에 기입되는 상태가 안정화되고, 구동 트랜지스터(Td)에 의해 생성되는 구동 전류(I)가 안정화된 후에, 제3 트랜지스터(T3)는 턴온되고, 제4 트랜지스터(T4)는, 안정화된 구동 전류(I)를 발광 디바이스(L)에 송신하여 발광 디바이스(L)의 휘도가 안정적으로 되게 하기 위해, 턴온되도록 제어된다.
- [0171] 상기한 것은 도 7에 도시된 구조를 예로 든 설명이고, 도 8에 도시된 구동 회로(01)의 동작 프로세스는 상기한 것과 동일하고, 여기서는 설명되지 않을 것이다.
- [0172] 본 개시내용의 일부 실시예들은 디스플레이 패널을 포함하는 디스플레이 장치를 제공하고, 디스플레이 패널의 디스플레이 영역은 도 10에 도시된 바와 같이 복수의 서브-픽셀들(02)을 가지며, 서브-픽셀들(02) 중 적어도 하나에는 위에서 설명된 바와 같은 구동 회로들(01) 중 어느 하나가 내부에 제공된다.
- [0173] 서브-픽셀들(02)은 서로 교차하도록 수평 방향 및 수직 방향으로 배열되는 제1 스캐닝 신호 라인들(G\_A) 및 제1 데이터 신호 라인들(D\_A)에 의해 정의될 수 있다. 또한, 제2 스캐닝 신호 라인(G\_B)은 제1 스캐닝 신호 라인(G\_A)에 평행하게 배치될 수 있고, 제2 데이터 신호 라인(D\_B)은 제1 데이터 신호 라인(D\_A)에 평행하게 배치될 수 있다.
- [0174] 도 10으로부터 알 수 있는 바와 같이, 동일한 행에 위치된 서브-픽셀들의 구동 회로들(01) 내의 제1 트랜지스터들(T1)은 동일한 방출 제어 신호 단자(EM)에 결합된다. 이 경우, 방출 제어 신호 단자(EM)가 액티브 신호, 예를 들어, 도 9에 도시된 바와 같은 로우 레벨을 공급할 때, 동일한 행 내의 제1 트랜지스터들(T1) 및 제2 트랜지스터들(T2) 각각은 턴온된다.
- [0175] 이에 기초하여, 동일한 행 내의 상이한 서브-픽셀들의 휘도가 개별적으로 제어될 수 있게 하기 위해, 제3 트랜지스터(T3)는 제2 스캐닝 신호 단자(G\_B)를 통해 액티브 신호를 입력함으로써 턴온되도록 제어될 수 있고, 그 다음에, 제3 트랜지스터(T3)가 턴온된 후, 제2 데이터 신호 단자(D\_B)를 통해 제공되는 제2 데이터 전압(Vdata\_B)이 액티브 신호일 때, 제4 트랜지스터(T4)는 턴온되도록 제어되므로, 제1 동작 전압 단자(VL1)와 제2 동작 전압 단자(VL2) 사이의 전류 경로가 온이 된다.
- [0176] 구동 트랜지스터(Td)에 의해 생성되는 구동 전류(I)는 전류 경로를 통해 발광 디바이스(L)에 송신될 수 있다. 이 전류 경로가 온인 지속시간이 길수록, 스캐닝 주기(S) 내의 발광 디바이스(L)의 유효 발광 휘도가 더 높아진다. 또한, 구동 전류(I)의 크기는 제1 데이터 신호 단자(D\_A)에 의해 제공되는 제1 데이터 전압(Vdata\_A)의 크기를 조정함으로써 조정될 수 있다. 구동 전류(I)가 클수록, 스캐닝 주기(S) 내의 발광 디바이스(L)의 유효 발광 휘도가 더 높아진다.
- [0177] 본 개시내용의 실시예에 따르면, 도 9에 도시된 바와 같이, 하나의 이미지 프레임 내에 3개의 스캐닝 주기(S1, S2, 및 S3)가 있다. 3개의 스캐닝 주기에서의 제3 스테이지(t3)는 서로 상이하다. 따라서, 하나 이상의 스캐닝 주기는 발광 디바이스의 원하는 발광 지속시간에 따라 선택될 수 있으므로, 발광 디바이스는 하나 이상의 스캐닝 주기 내의 제3 스테이지(t3)에서 발광하여 8개의 상이한 그레이 스케일을 가능하게 한다. 본 개시내용의 다른 실시예에 따르면, 하나의 이미지 프레임의 복수의 스캐닝 주기들 내의 제3 스테이지들은 서로 동일할 수 있다. 따라서, 하나 이상의 스캐닝 주기는 발광 디바이스의 원하는 발광 지속시간에 따라 선택될 수 있으므로, 발광 디바이스는 발광 디바이스의 발광 지속기간을 변경하기 위해 하나 이상의 스캐닝 주기 내의 제3 스테이지(t3)에서 발광하여, 4개의 상이한 그레이 스케일을 가능하게 한다.
- [0178] 하나의 이미지 프레임 내에 복수의 스캐닝 주기가 있고 스캐닝 주기들의 길이들이 서로 상이하다는 조건 하에서, 발광 디바이스의 발광 지속기간 및 유효 발광 휘도의 조정가능한 범위들이 확대될 수 있고, 디스플레이

패널에 의해 디스플레이될 수 있는 그레이 스케일들의 수가 풍부하게 된다는 것을 알 수 있다.

- [0179] 요약하면, 통상적으로, 방출 제어 신호 단자(EM)에 의해 제공되는 방출 제어 신호의 제어 하에서, 동일한 행 내의 구동 회로들(01) 내의 모든 서브-픽셀들은 동시에 발광할 수 있지만, 각각의 서브-픽셀의 발광 휘도 및 발광 지속기간은 개별적으로 제어될 수 없다. 그러나, 본 개시내용에 의해 제공되는 구동 회로에 따르면, 단일 서브-픽셀의 발광 휘도의 개별적인 조정은 방출 제어 신호 단자(EM), 제1 스캐닝 신호 단자(G\_A), 제2 스캐닝 신호 단자(G\_B), 제1 데이터 신호 단자(D\_A), 및 제2 데이터 신호 단자(D\_B)의 협력 하에서 실현될 수 있다.
- [0180] 디스플레이 장치는 디스플레이, 텔레비전, 디지털 포토 프레임, 모바일 폰, 또는 태블릿 컴퓨터와 같은 디스플레이 기능을 갖는 임의의 제품 또는 컴포넌트일 수 있다는 점에 유의해야 한다. 디스플레이 장치는 전술한 실시예들에서 제공된 구동 회로(01)와 동일한 기술적 효과들을 달성할 수 있고, 세부사항들은 여기서 설명되지 않을 것이다.
- [0181] 본 개시내용의 일부 실시예들은 전술한 바와 같은 구동 회로(01)를 구동하기 위한 방법을 제공하고, 구동 회로는 이미지 프레임 내의 복수의 스캐닝 주기들에서 동작한다.
- [0182] 구동 회로(01) 내의 그레이 스케일 제어 서브-회로(30)는 제1 제어 서브-회로(301) 및 제2 제어 서브-회로(302)를 포함한다.
- [0183] 하나의 스캐닝 주기 S(예를 들어, 제1 스캐닝 주기 S1)에서, 구동 회로를 구동하기 위한 방법은 도 11에 도시된 바와 같은 단계들 S100 내지 S103을 포함한다.
- [0184] 단계 S101은 제1 스캐닝 신호 단자(G\_A)에 제1 스캐닝 신호를 제공하고, 제1 데이터 신호 단자(D\_A)에 제1 데이터 전압(Vdata\_A)을 제공하고, 제1 데이터 전압(Vdata\_A)을 기입 서브-회로(20)를 통해 구동 서브-회로(10)에 기입하는 단계를 포함한다.
- [0185] 도 9에 도시된 바와 같이, 하나의 스캐닝 주기 S에서, 제1 스캐닝 신호 단자(G\_A)에 의해 제공되는 신호는 하이 레벨 상태와 로우 레벨 상태의 2개의 상태를 갖는다. 본 개시내용의 실시예에서, 제1 스캐닝 신호 단자(G\_A)에 입력되는 로우 레벨은 기입 서브-회로(20)를 턴온하기 위한 액티브 신호로서 역할을 할 수 있다. 하이 레벨이 제1 스캐닝 신호 단자(G\_A)에 입력될 때, 기입 서브-회로(20)는 턴오프된다.
- [0186] 단계 S102는 제2 스캐닝 신호 단자(G\_B)에 제2 스캐닝 신호를 제공하고, 제2 데이터 신호 단자(D\_B)에 제2 데이터 전압(Vdata\_B)을 제공하여, 제2 스캐닝 신호 및 제2 데이터 전압(Vdata\_B)의 제어 하에서 제2 제어 서브-회로(302)를 턴온 또는 턴오프시키는 단계를 포함한다.
- [0187] 제1 제어 서브-회로(301) 및 제2 제어 서브-회로(302)의 온-상태 지속기간들을 제어함으로써, 전류 경로의 온-상태 지속기간을 제어하는 목적이 달성될 수 있다.
- [0188] 도 9에 도시된 바와 같이, 제2 스캐닝 신호 단자(G\_B) 및 제2 데이터 전압 단자(D\_B)는 하이 레벨과 로우 레벨의 2개의 상태를 갖는다. 본 개시내용의 실시예에서, 제2 스캐닝 신호 단자(G\_B) 및 제2 데이터 전압 단자(D\_B)에 입력되는 로우 레벨은 제2 제어 서브-회로(302)를 턴온하기 위한 액티브 신호로서 역할을 할 수 있다. 다른 상태들에서, 제2 제어 서브-회로(302)는 턴오프된다.
- [0189] 단계들 S101 및 S102는 도 9에 도시된 스캐닝 주기 내의 제2 스테이지(t2)에서 수행될 수 있다는 점에 유의해야 한다.
- [0190] 또한, 구동 회로(01)가 보상 서브-회로(40)를 추가로 포함하는 경우에, 제1 스캐닝 신호가 제2 스테이지(t2)에서 제1 스캐닝 신호 단자(G\_A)에 입력될 때, 보상 서브-회로(40)는 턴온되어, 구동 서브-회로(10) 내의 구동 트랜지스터(Td)의 임계 전압(Vth)을 보상한다.
- [0191] 단계 S103은 방출 제어 신호 단자(EM)에 방출 제어 신호를 제공하고, 제1 동작 전압 단자(VL1)로부터 공급되는 제1 동작 전압(VDD)을 제1 제어 서브-회로(301)를 통해 구동 서브-회로(10)에 송신하여, 방출 제어 신호, 제1 스캐닝 신호, 제2 스캐닝 신호, 및 제2 데이터 전압(Vdata\_B)의 제어 하에서 제1 동작 전압(VDD) 및 제1 데이터 전압(Vdata\_A)에 기초하여 발광 디바이스(L)를 발광시키는 단계를 포함한다. 도 9에 도시된 바와 같이, 방출 제어 신호 단자(EM)는 하이 레벨과 로우 레벨의 2개의 상태를 갖는다. 본 개시내용의 실시예들에서, 방출 제어 신호 단자(EM)에 의해 제공되는 로우 레벨은 제1 제어 서브-회로(301)를 턴온하기 위한 액티브 신호로서 역할을 할 수 있다. 방출 제어 신호 단자(EM)가 하이 레벨을 제공할 때, 제1 제어 서브-회로(301)는 턴오프된다.
- [0192] 실시예에서, 구동 서브-회로(10)는 제1 데이터 전압(Vdata\_A) 및 제1 동작 전압(VDD)에 따라 구동 전류(I)를 생

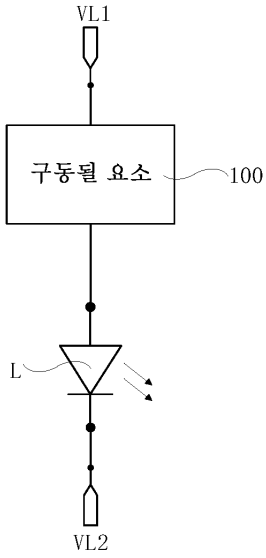
성한다. 구동 전류(I)는 제1 제어 서브-회로(301)를 통해 제2 제어 서브-회로(302)에 송신된다. 제1 제어 서브-회로(301)와 제2 제어 서브-회로(302)는 둘 다 턴온되기 때문에, 제1 동작 전압 단자(VL1)와 제2 동작 전압 단자(VL2) 사이의 전류 경로는 온이 되고, 구동 전류(I)는 전류 경로를 통해 발광 디바이스(L)에 송신된다. 발광 디바이스(L)는 전류 경로에서 구동 전류(I)를 수신하고 발광한다.

- [0193] 단계 S103은 도 9에 도시된 스캐닝 주기 내의 제3 스테이지(t3)에서 수행될 수 있다는 점에 유의해야 한다.
- [0194] 또한, 구동 회로(10)가 리셋 서브-회로(50)를 추가로 포함하는 경우에, 구동 회로를 구동하기 위한 방법은 단계 S101 전에 도 11에 도시된 바와 같은 단계 S100을 추가로 포함한다.
- [0195] 단계 S100에서, 리셋 제어 신호 단자(RS)에 리셋 제어 신호가 제공되고, 리셋 전압 단자(VINT)에 리셋 전압이 제공되고, 리셋 전압은 리셋 서브-회로(50)를 통해 구동 서브-회로(10)에 송신된다.
- [0196] 도 9에 도시된 바와 같이, 리셋 제어 신호 단자(RS)는 하이 레벨과 로우 레벨의 2개의 상태를 갖는다. 본 개시 내용의 실시예에서, 리셋 제어 신호 단자(RS)에 입력되는 로우 레벨은 리셋 서브-회로(50)를 턴온하기 위한 액티브 신호로서 역할을 할 수 있다. 리셋 제어 신호 단자(RS)가 하이 레벨을 제공할 때, 리셋 서브-회로(50)는 턴오프된다.
- [0197] 구동 서브-회로(10) 내의 구동 트랜지스터(Td)의 게이트 전극은 단계(S100)에 의해 리셋될 수 있다.
- [0198] 단계 S100은 도 9에 도시된 바와 같은 스캐닝 주기 내의 제1 스테이지(t1)에서 수행될 수 있다.
- [0199] 구동 회로(10) 내의 각각의 서브-회로의 구조가 도 7 또는 도 8에 도시된 바와 같을 때, 구동 회로(10)를 구동하기 위한 방법은 전술한 실시예에서의 구동 회로(10)의 동작 프로세스에 관한 설명에서 상세히 설명되었고, 여기서는 설명되지 않을 것이라는 점에 유의해야 한다. 또한, 구동 회로를 구동하기 위한 방법은 전술한 실시예에서 제공된 구동 회로와 동일한 기술적 효과들을 가지며, 여기서는 설명되지 않을 것이다.
- [0200] 또한, 실시예에서, 제1 데이터 전압(Vdata\_A)이 기입 서브-회로(20)를 통해 구동 서브-회로(10)에 안정적으로 기입된 후에 제2 제어 서브-회로(302)가 턴온될 수 있게 하기 위해, 도 12에 도시된 바와 같이, 스캐닝 주기(S)의 제2 스테이지(t2)에서, 제2 스캐닝 신호 단자(G\_B)가 액티브 신호를 제공하는 시간은 제1 스캐닝 신호 단자(G\_A)가 액티브 신호를 제공하는 시간보다 더 늦다. 따라서, 구동 서브-회로(10)에 의해 생성되는 구동 전류(I)가 안정된 후에, 제2 제어 서브-회로(302)는 턴온되어 전류 경로가 온 상태로 되게 한다. 액티브 신호는 위에서 설명되었고 여기서 설명되지 않을 것이다.
- [0201] 또한, 구동 서브-회로(10)가 구동 트랜지스터(Td) 및 제2 커패시터(C2)를 포함하는 경우에, 구동 트랜지스터(Td)의 게이트 전극은 제2 커패시터(C2)의 하나의 단자에 결합되고, 제2 커패시터(C2)의 다른 단자는 제2 전압 단자(V2)에 결합되고, 제2 전압 단자(V2)는 제1 동작 전압 단자(VL1)에 가까이 있기 때문에, 제2 전압 단자(V2)에 입력되는 전압은 회로 레이아웃 설계를 더 간단하게 하기 위해 제1 동작 전압 단자(VL1)에 입력되는 전압과 동일하다. 이러한 방식으로, 제1 동작 전압 단자(VL1)는 제2 전압 단자(V2)에 전기적으로 결합될 수 있다. 구동 서브-회로(10)가 동작할 때, 제1 동작 전압 단자(VL1)에 의해 제공되는 제1 동작 전압(VDD)은 제2 전압 단자(V2)에 송신될 수 있다.
- [0202] 본 개시내용의 다른 실시예에 따르면, 도 13에 도시된 바와 같이, 구동 요소(100)는 제2 그레이 스케일 제어 서브-회로(302), 구동 트랜지스터(Td), 및 제2 트랜지스터(T2)만을 포함할 수 있다. 구동 트랜지스터(Td)는 제3 전압 단자(V3)로부터 제공되는 소스 신호 및 제4 전압 단자(V4)로부터 제공되는 게이트 신호에 따라 발광 디바이스(L)를 구동하기 위한 구동 전류를 생성할 수 있다는 점이 이해될 수 있다. 발광 디바이스(L)의 구동 지속 기간은 제2 트랜지스터(T2) 및 제2 제어 서브-회로(302)에 의해 제어될 수 있다.
- [0203] 도 14를 참조하면, 본 개시내용의 실시예에 따르면, 구동 서브-회로(10)는 제4 전압 단자(V4)에 결합된 게이트 전극, 기입 서브-회로에 결합된 제1 전극, 및 그레이 스케일 제어 서브-회로에 결합된 제2 전극을 갖는 구동 트랜지스터(Td)만을 포함할 수 있다. 제4 전압 단자(V4)는 구동 트랜지스터(Td)를 턴온하기 위해 구동 트랜지스터(Td)의 게이트 전극에 적절한 전압 신호를 제공하도록 구성된다.
- [0204] 상기한 설명은 단지 본 개시내용의 특정 실시예들에 대한 것이며, 본 개시내용의 범위는 그에 제한되지 않고, 본 개시내용의 기술적 범위 내에서 본 기술분야의 임의의 통상의 기술자에 의해 용이하게 생각될 수 있는 변경들 또는 대체들은 본 개시내용의 범위 내에 있어야 한다. 따라서, 본 개시내용의 보호 범위는 청구항들의 보호 범위에 따를 것이다.

도면

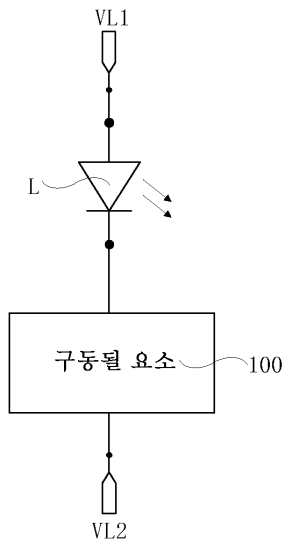
도면1

01

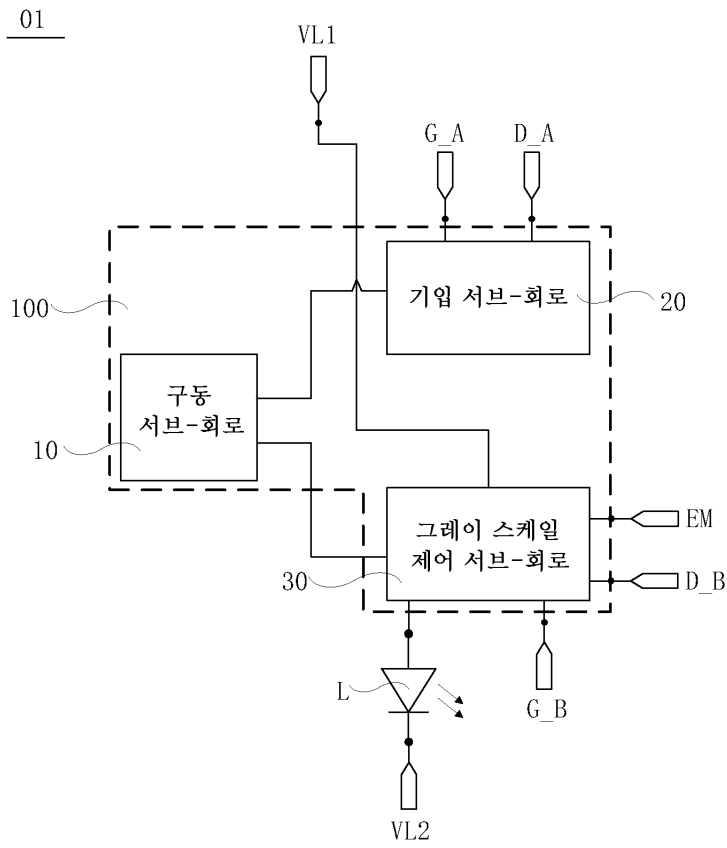


도면2

01

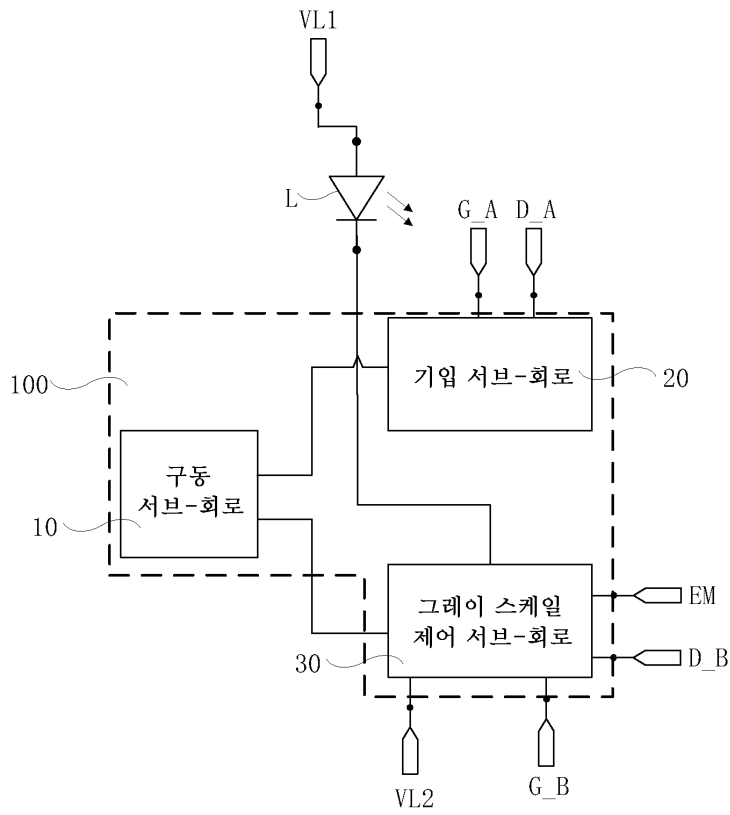


도면3

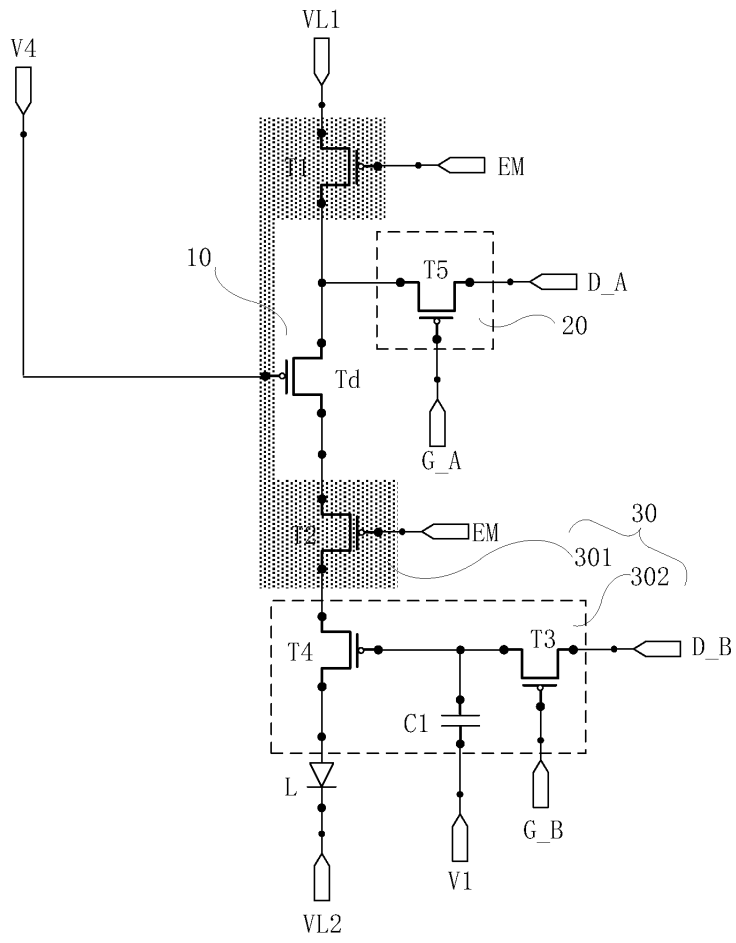


도면4

01

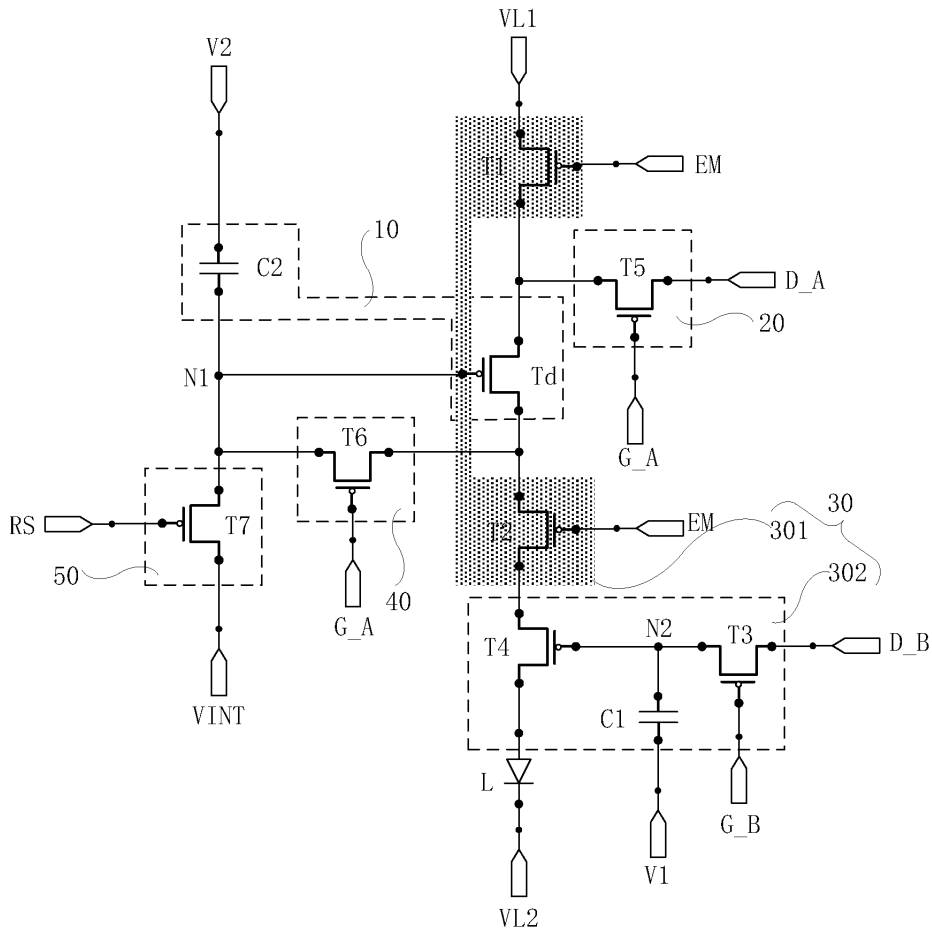


도면5

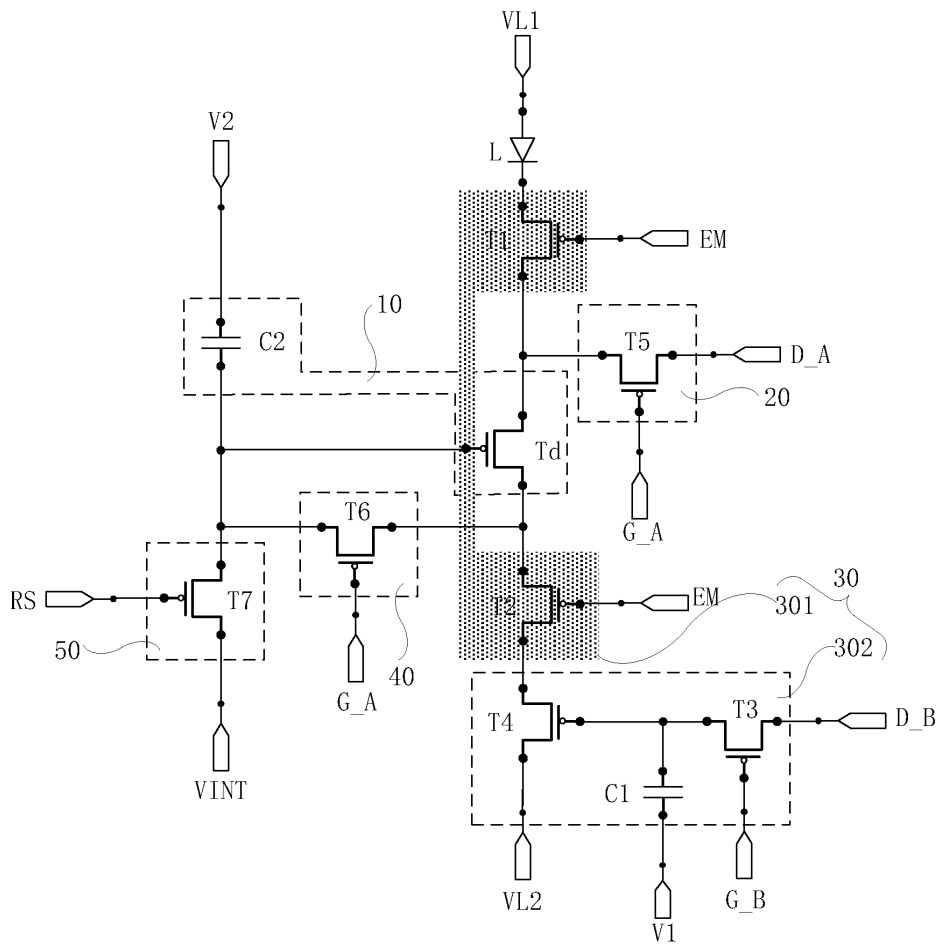




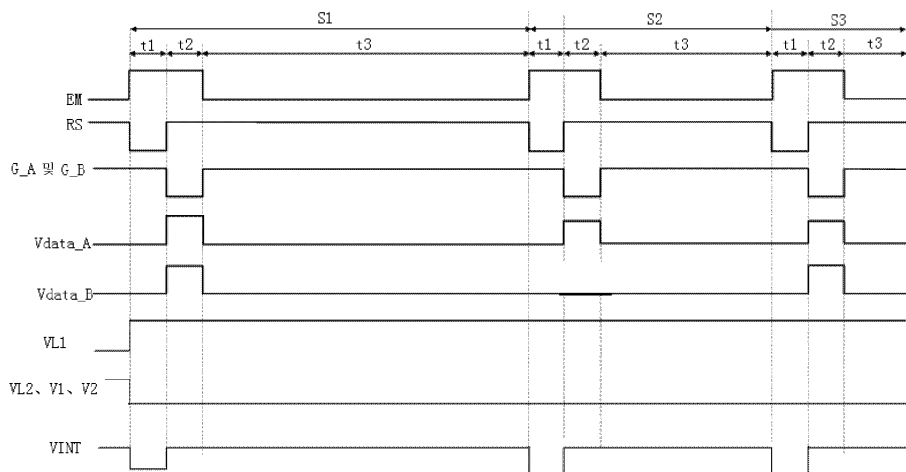
도면7



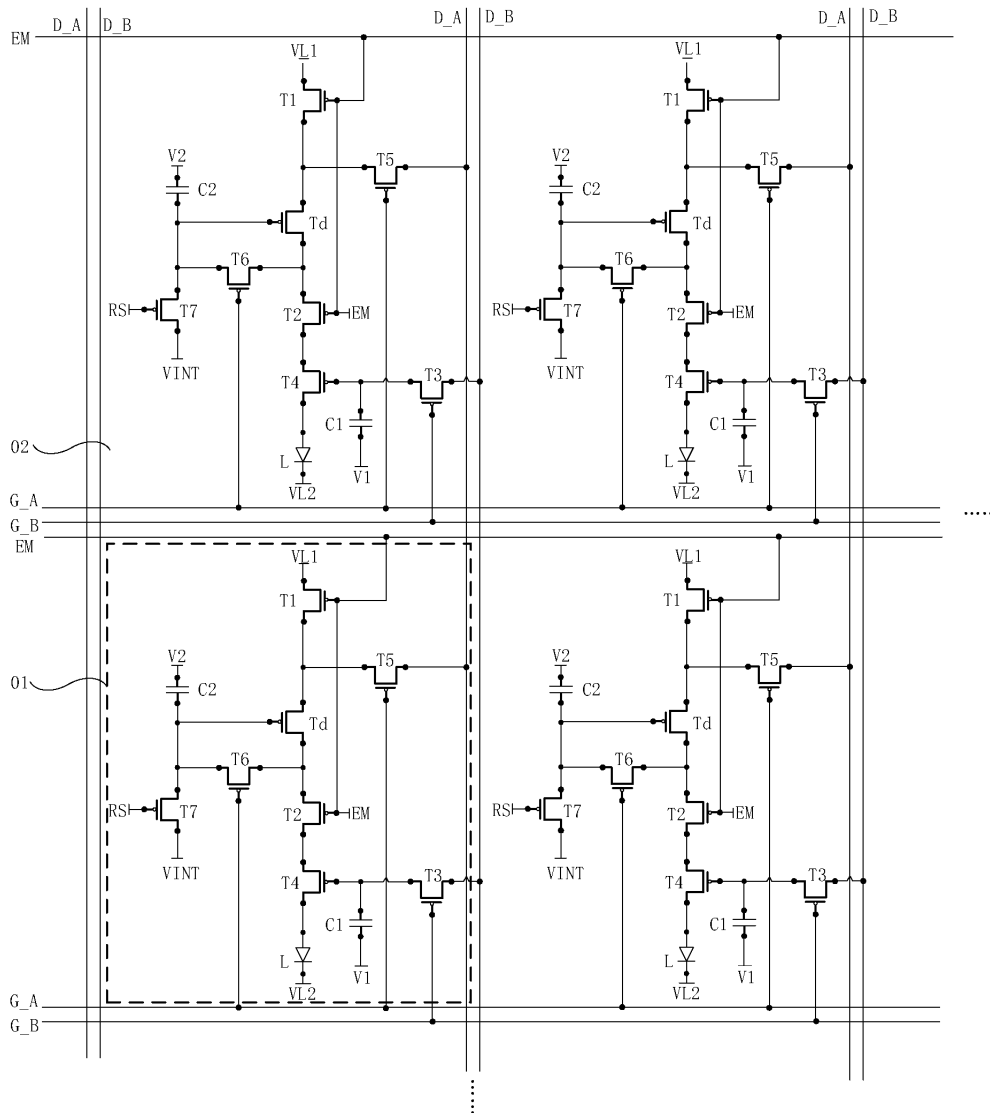
도면8



도면9



도면10



도면11

