

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月11日(11.04.2024)

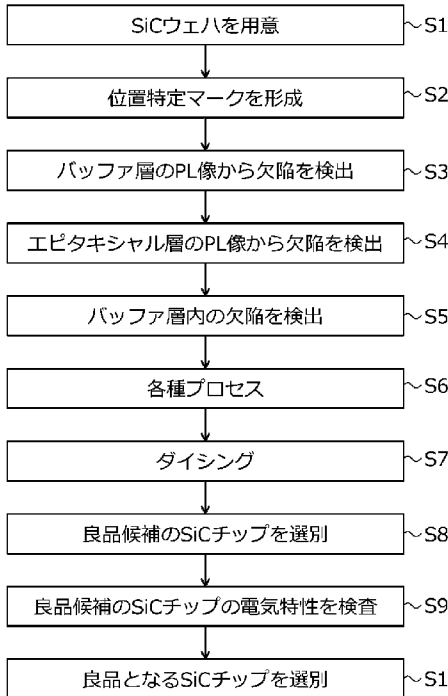


(10) 国際公開番号
WO 2024/075432 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/66 (2006.01)
G01N 21/64 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2023/031087
- (22) 国際出願日: 2023年8月29日(29.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-161809 2022年10月6日(06.10.2022) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 内田 貴史 (UCHIDA, Takafumi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020084 東京都千代田区二番町 1 1 - 3 相互二番町ビルディング別館 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置および炭化珪素半導体装置の製造方法



- S1 Prepare SiC wafer
S2 Form position specifying mark
S3 Detect defect from PL image of buffer layer
S4 Detect defect from PL image of epitaxial layer
S5 Detect defect in buffer layer
S6 Various processes
S7 Dicing
S8 Select SiC chip that is non-defective article candidate
S9 Test electrical properties of SiC chip that is non-defective article candidate
S10 Selection SiC chip that is non-defective article

(57) Abstract: Provided is a method for producing a vertical silicon carbide semiconductor device that comprises electrodes on both main surfaces of a semiconductor chip (30) in which an epitaxial layer (2) and a n⁻ type low-concentration buffer layer (20) have been epitaxially grown on a silicon carbide substrate (1). A defect that has extended from the silicon carbide substrate (1) to the epitaxial layer (2) and a defect that has occurred in the epitaxial layer (2) during epitaxial growth are detected with a PL image of the n⁻ type low-concentration buffer



HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

layer (20). A defect that has occurred in the epitaxial layer (2) during epitaxial growth is detected with a PL image of the epitaxial layer (2). A defect that has extended from the silicon carbide substrate (1) to the epitaxial layer (2) is detected from the difference in detection results. A semiconductor chip (30) which does not have a defect that has extended from the silicon carbide substrate (1) to the epitaxial layer (2) is selected.

(57) 要約: 炭化珪素基板 (1) 上に n 型低濃度バッファ層 (20) とエピタキシャル層 (2) をエピタキシャル成長させた半導体チップ (30) の両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置の製造方法である。n 型低濃度バッファ層 (20) の PL 像によって、炭化珪素基板 (1) からエピタキシャル層 (2) に延伸した欠陥およびエピタキシャル成長中にエピタキシャル層 (2) に生成された欠陥を検出し、エピタキシャル層 (2) の PL 像によって、エピタキシャル成長中にエピタキシャル層 (2) に生成された欠陥を検出し、検出結果の差分より、炭化珪素基板 (1) からエピタキシャル層 (2) に延伸した欠陥を検出し、炭化珪素基板 (1) からエピタキシャル層 (2) に延伸した欠陥を含まない半導体チップ (30) を選別する。

明 細 書

発明の名称：

炭化珪素半導体装置および炭化珪素半導体装置の製造方法

技術分野

[0001] この発明は、炭化珪素半導体装置および炭化珪素半導体装置の製造方法に関する。

背景技術

[0002] 従来、炭化珪素（SiC）を半導体材料としたSiC-MOSFET（Metal Oxide Semiconductor Field Effect Transistor：金属－酸化膜－半導体の3層構造からなる絶縁ゲートを備えたMOS型電界効果トランジスタ）では、炭化珪素からなる n^+ 型の出発基板上に n -型ドリフト領域および p 型ベース領域となる各エピタキシャル層を順にエピタキシャル成長させた半導体チップが用いられる。半導体チップのエピタキシャル層の内部には、エピタキシャル成長中に出発基板からの伝搬（延伸）やプロセスダメージによる基底面転位（BPD：Basal Plane Dislocation）が発生する。

[0003] エピタキシャル層内に形成された p 型ベース領域と n -型ドリフト領域との pn 接合で形成される寄生ダイオード（ボディダイオード）が導通すると、ボディダイオードのバイポーラ動作により n -型ドリフト領域に注入された少数キャリア（正孔）が電子と再結合する。この再結合がBPD付近で起きると、BPDを起点としてエピタキシャル層内にショックレー型積層欠陥が成長（拡張）して、ボディダイオードの順方向特性が劣化し、MOSFETのオン電圧特性が劣化する。そこで、出発基板（ n^+ 型炭化珪素基板101）と n -型炭化珪素エピタキシャル層102との間に n^+ 型バッファ層102（エピタキシャル層）を配置することで、 pn 接合からBPDに到達する正孔を減らして、ショックレー型積層欠陥の成長を抑制している（図7参照）。

[0004] また、SiCエピタキシャルウェハの表面検査をする表面検査工程と、S

i Cエピタキシャルウェハの表面に励起光を照射し、フォトルミネッセンス測定をするPL検査工程と、表面検査で検出される表面欠陥像及びPL検査工程で検出されるPL欠陥像から欠陥の程度を判定する工程とを含むプロセス過程で発生した欠陥を容易に検出できるSiCデバイスの製造方法が公知である（例えば、下記特許文献1参照）。

[0005] また、炭化珪素基板の全体に、第一紫外光を照射する第一照射工程（S1）と、炭化珪素基板の候補領域に、第二紫外光を、第一励起光よりも高強度で照射する第二照射工程（S4）と、炭化珪素基板に、第三紫外光を第二紫外光よりも低強度で照射する第三照射工程（S6）と、を含むTED（貫通刃状転位：Threading Edge Dislocation）に変換されたバッファ層の基底面転位もPL検査によって容易に検出することができる欠陥検査方法が公知である（例えば、下記特許文献2参照）。

先行技術文献

特許文献

[0006] 特許文献1：特開2020-13939号公報

特許文献2：特許第6999212号公報

発明の概要

発明が解決しようとする課題

[0007] 結晶欠陥検査装置のフォトルミネッセンス（PL：Photo Luminescence）像では、半導体ウェハの内部の異常を観察する。PL像では、ポリタイプの三角形状の積層欠陥を検出可能である。ポリタイプの三角形状の積層欠陥は、炭化珪素半導体装置の耐量、信頼性および電気特性の著しい低下を引き起こすキラー欠陥である。このため、PL像で積層欠陥を検出して、ポリタイプの三角形状の積層欠陥が検出されたすべてのチップ領域が不良チップとして除去される。

[0008] 図10は、従来の炭化珪素半導体装置の製造方法の欠陥検出を示す断面図である。図10に示すように、従来は、n⁺型高濃度バッファ層120内のP

L像を取得している。n⁺型高濃度バッファ層120のPL像は、n⁺型高濃度バッファ層120内部に達する励起光133を照射することで取得できる。

例えば、n⁻型炭化珪素エピタキシャル層102が10μm程度の場合、PL像を取得の際の励起光（照射光）の波長を313nmとすることで、n⁺型高濃度バッファ層120内のPL像を取得できる。このPL像は、n⁺型炭化珪素基板101からの欠陥131およびn⁻型炭化珪素エピタキシャル層102からの欠陥132を検出することができる。ここで、n⁺型炭化珪素基板101からの欠陥131はキラ欠陥であるが、n⁻型炭化珪素エピタキシャル層102からの欠陥132はキラ欠陥でないことが知られている。

[0009] しかしながら、従来の方法は、n⁺型炭化珪素基板101からの欠陥131とn⁻型炭化珪素エピタキシャル層102からの欠陥132を区別することができず、n⁻型炭化珪素エピタキシャル層102からの欠陥132のみが含まれるチップ領域も不良チップとして除去していた。このため、良品率が下がるという課題がある。

[0010] この発明は、上述した従来技術による課題を解消するため、基板からの欠陥が含まれるチップ領域のみを不良チップとして除去できる炭化珪素半導体装置および炭化珪素半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置は、次の特徴を有する。炭化珪素基板上に低濃度バッファ層と、不純物濃度が $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の範囲のエピタキシャル層とをエピタキシャル成長させた半導体チップの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置である。前記低濃度バッファ層は、前記エピタキシャル層より高不純物濃度でかつ $3 \times 10^{17} / \text{cm}^3$ 以下の不純物濃度であり、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含まない。

[0012] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記炭化珪素基板と前記エピタキシャル層との間に、前記低濃度バッファ層

の不純物濃度と前記炭化珪素基板の不純物濃度との間の不純物濃度を有する遷移層を備えることを特徴とする。

[0013] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記遷移層は前記低濃度バッファ層より薄いことを特徴とする。

[0014] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記炭化珪素基板と前記エピタキシャル層との間に、前記遷移層の不純物濃度と前記炭化珪素基板の不純物濃度との間の不純物濃度を有する高濃度バッファ層を備えることを特徴とする。

[0015] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記高濃度バッファ層は前記低濃度バッファ層より厚いことを特徴とする。

[0016] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置は、次の特徴を有する。炭化珪素基板上に低濃度バッファ層と、不純物濃度が $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の範囲のエピタキシャル層をエピタキシャル成長させた半導体チップの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置である。前記低濃度バッファ層は、前記エピタキシャル層より高不純物濃度でかつ $3 \times 10^{17} / \text{cm}^3$ 以下の不純物濃度であり、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含まず、エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を含む。

[0017] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記低濃度バッファ層の不純物濃度は、 $3 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする。

[0018] また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記低濃度バッファ層と前記エピタキシャル層の間に、前記低濃度バッファ層より高不純物濃度である遷移層を備えることを特徴とする。

[0019] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。炭化珪素基板上に低濃度バッファ層とエピタキシャル層をエピタキシャル成長させた半導体チッ

プの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置の製造方法である。前記炭化珪素基板上に前記低濃度バッファ層と前記エピタキシャル層をエピタキシャル成長させた半導体ウェハを用意する前工程を行う。次に、前記低濃度バッファ層のPL像によって、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥および前記エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を検出する第1検出工程を行う。次に、前記エピタキシャル層のPL像によって、前記エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を検出する第2検出工程を行う。次に、前記第1検出工程および前記第2検出工程の検出結果の差分より、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を検出する第3検出工程を行う。次に、前記半導体ウェハに所定の素子構造を形成する形成工程を行う。次に、前記形成工程の後、前記半導体ウェハをダイシングして前記半導体チップに個片化する切断工程を行う。次に、前記第3検出工程の結果に基づいて、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含まない前記半導体チップを選別する選別工程を行う。

[0020] また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第1検出工程は、PL像を取得の際の励起光の共焦点の位置を前記低濃度バッファ層内にすることで、前記低濃度バッファ層のPL像を取得し、前記第2検出工程は、PL像を取得の際の励起光の共焦点の位置を前記エピタキシャル層内にすることで、前記エピタキシャル層のPL像を取得することを特徴とする。

[0021] また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第1検出工程は、PL像を取得の際の励起光の波長を調節することで、前記低濃度バッファ層のPL像を取得し、前記第2検出工程は、PL像を取得の際の励起光の波長を前記第1検出工程の波長より短く調節することで、前記エピタキシャル層のPL像を取得することを特徴とする。

[0022] 上述した発明によれば、低濃度バッファ層のPL像からの検出結果とエピタキシャル層のPL像からの検出結果との差分から低濃度バッファ層の内部

の欠陥を検出する。これにより、キラー欠陥である炭化珪素基板からの欠陥の大きさおよび位置情報のみを取得できる。このため、炭化珪素基板からの欠陥を含む半導体チップを不良化でき、エピタキシャル層からの欠陥のみを含む半導体チップを良品化することで、良品率を向上させることができる。

発明の効果

[0023] 本発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法によれば、基板からの欠陥が含まれるチップ領域のみを不良チップとして除去できるという効果を奏する。

図面の簡単な説明

[0024] [図1]図1は、実施の形態にかかる炭化珪素半導体装置が製造（作製）された半導体ウェハをおもて面側から見たレイアウトを示す平面図である。

[図2]図2は、実施の形態にかかる炭化珪素半導体装置の構造を示す断面図である。

[図3]図3は、実施の形態にかかる炭化珪素半導体装置の製造方法の概要を示すフローチャートである。

[図4]図4は、実施の形態にかかる炭化珪素半導体装置の製造方法の n^+ 型バッファ層20のPL像から欠陥検出を示す断面図である。

[図5]図5は、実施の形態にかかる炭化珪素半導体装置の製造方法の n -型炭化珪素エピタキシャル層のPL像から欠陥検出を示す断面図である。

[図6]図6は、実施の形態にかかる炭化珪素半導体装置の他の構造を示す断面図である。

[図7]図7は、実施の形態にかかる炭化珪素半導体装置の他の構造を示す断面図である。

[図8]図8は、実施の形態にかかる炭化珪素半導体装置の他の構造を示す断面図である。

[図9]図9は、実施の形態にかかる炭化珪素半導体装置の他の構造を示す断面図である。

[図10]図10は、従来の炭化珪素半導体装置の製造方法の欠陥検出を示す断

面図である。

発明を実施するための形態

[0025] 以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“ $-$ ”はその直後の指数につくバーを意味しており、指数の前に“ $-$ ”を付けることで負の指数をあらわしている。そして、同じまたは同等との記載は製造におけるばらつきを考慮して5%以内まで含むとするのがよい。

[0026] (実施の形態)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製(製造)された炭化珪素半導体装置について、トレンチ型MOSFET70を例に説明する。

[0027] 図1は、実施の形態にかかる炭化珪素半導体装置が製造(作製)された半導体ウェハをおもて面側から見たレイアウトを示す平面図である。図2は、実施の形態にかかる炭化珪素半導体装置の構造を示す断面図である。図2では、トレンチ型MOSFET70の主電流が流れる活性領域のみを示している。

[0028] 図1に示すように、半導体ウェハ50は、面方位を示す例えばオリエンテーションフラット(エッジ端の一部に設けられた直線状の切り欠け)54またはノッチ(エッジ端の一部に設けられたV字状の切り欠け：不図示)を有していてもよい。半導体ウェハ50の各チップ領域51がダイシングライン52に沿ってそれぞれ切断(ダイシング)されることで個々の半導体チップ

30に個片化される。同一の半導体ウェハ50から個片化されたすべての半導体チップ30は、同一の炭化珪素半導体基体18（図2参照）を有し、同一工程で形成された同一の素子構造（ここではトレンチゲート構造：図2参照）を有する。

[0029] チップ領域51は、略矩形状の平面形状を有し、半導体ウェハ50の略中央部にマトリクス状に複数配置されている。隣接するチップ領域51同士は例えば1辺を共有するように配置される。隣接するチップ領域51間の境界には、ダイシングライン52が形成されている。ダイシングライン52は、チップ領域51の周囲を格子状に囲む。ダイシングライン52は、半導体ウェハ50の主面（図2の炭化珪素半導体基体18側の表面）に形成された溝である。ダイシングライン52内には、半導体ウェハ50の表面に平行な方向の位置（座標）を特定するためのマーク（位置特定マーク：不図示）が形成されている。

[0030] 位置特定マークは、各チップ領域51の位置や結晶欠陥の位置を特定するための目印である。位置特定マークは、例えばダイシングライン52内にエッチングにより形成された所定の平面形状（例えば十字状）の凸部または凹部である。位置特定マークは、半導体ウェハ50の無効領域53に設けられてもよい。無効領域53とは、半導体ウェハ50の最も外側のチップ領域51と半導体ウェハ50の端部との間の、半導体チップ30として用いない部分である。位置特定マークとして、チップ領域51に形成される素子構造の各部の位置合わせ（アライメント）のためのアライメントマークを用いてもよい。

[0031] 図2に示す実施の形態にかかる炭化珪素半導体装置は、例えば、活性領域において炭化珪素からなる半導体チップ30のおもて面側にトレンチゲート構造を備えたnチャネル型のトレンチ型MOSFET70である。活性領域は、トレンチ型MOSFET70がオン状態のときに主電流（ドリフト電流）が流れる領域であり、トレンチ型MOSFET70の同一構造の複数の単位セル（素子の機能単位）が隣接して配置される。図2には、トレンチ型M

OSFET 70の1つの単位セルを示す。活性領域は、例えば半導体チップ30の略中央（チップ中央）に配置され、エッジ終端領域に周囲を囲まれている。

[0032] エッジ終端領域は、活性領域と半導体チップ30の端部（チップ端部）との間の領域である。エッジ終端領域は、半導体チップ30のおもて面側の電界を緩和して耐圧を保持する機能を有する。耐圧とは、リーク電流が過度に増大せず、炭化珪素半導体装置が誤動作や破壊を起こさない限界の電圧である。

[0033] 図2に示すように、実施の形態にかかる炭化珪素半導体装置は、不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 以上の n^+ 型炭化珪素基板（炭化珪素基板）1の第1主面（おもて面）、例えば（0001）面（Si面）に、 n^- 型低濃度バッファ層（バッファ層）20と、 n^- 型炭化珪素エピタキシャル層（エピタキシャル層）2、 p 型ベース層6と、を順に積層してなる炭化珪素半導体基体18を用いて構成される。 n^- 型低濃度バッファ層20は、 n^- 型炭化珪素エピタキシャル層2の不純物濃度よりも3倍以上不純物濃度が高い。

[0034] n^- 型炭化珪素エピタキシャル層2の、 n^+ 型炭化珪素基板1側に対して反対側の表面には、 n 型高濃度領域5が設けられていてもよい。 n 型高濃度領域5は、 n^+ 型炭化珪素基板1よりも低く n^- 型炭化珪素エピタキシャル層2よりも高い不純物濃度の高濃度 n 型ドリフト層である。 n^- 型炭化珪素エピタキシャル層2の不純物濃度は、例えば $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の範囲内であり、厚さは例えば $10 \mu\text{m}$ 以上である。

[0035] n^- 型低濃度バッファ層20の不純物濃度は、例えば $3 \times 10^{17} / \text{cm}^3$ 以下で n^- 型炭化珪素エピタキシャル層2の不純物濃度の3倍以上の範囲内である。PL測定の励起光で、 $3 \times 10^{17} / \text{cm}^3$ より不純物濃度が高いと、ポリタイプの三角形の積層欠陥（以下、単に欠陥と称する）を検出できないため、 $3 \times 10^{17} / \text{cm}^3$ 以下としている。 n^- 型低濃度バッファ層20の厚さは、例えば $1 \mu\text{m}$ よりも厚く $3 \mu\text{m}$ 以下程度の範囲内であることが好ましい。 n 型エピタキシャル層23は、 n^- 型炭化珪素エピタキシャル層2および n^- 型低濃

度バッファ層 20 を含み、 n 型高濃度領域 5 を設ける場合、 n 型高濃度領域 5 も含む。

[0036] また、 n^+ 型炭化珪素基板 1 の第 2 主面（裏面、すなわち炭化珪素半導体基体 18 の裏面）には、ドレイン電極となる裏面電極 13 が設けられている。

[0037] 炭化珪素半導体基体 18 の第 1 主面側（ p 型ベース層 6 側）には、トレンチ構造が形成されている。具体的には、トレンチ 16 は、 p 型ベース層 6 の n^+ 型炭化珪素基板 1 側に対して反対側（炭化珪素半導体基体 18 の第 1 主面側）の表面から p 型ベース層 6 を貫通して n 型高濃度領域 5（ n 型高濃度領域 5 を設けない場合には n^- 型炭化珪素エピタキシャル層 2、以下単に（2）と記載する）に達する。トレンチ 16 の内壁に沿って、トレンチ 16 の底部および側壁にゲート絶縁膜 9 が形成されており、トレンチ 16 内のゲート絶縁膜 9 の内側にゲート電極 10 が形成されている。ゲート絶縁膜 9 によりゲート電極 10 が、 n 型高濃度領域 5（2）および p 型ベース層 6 と絶縁されている。ゲート電極 10 の一部は、トレンチ 16 の上方（後述するソース電極 12 が設けられている側）からソース電極 12 側に突出していてもよい。

[0038] n 型高濃度領域 5（2）の n^+ 型炭化珪素基板 1 側に対して反対側（炭化珪素半導体基体 18 の第 1 主面側）の表面層には、トレンチ 16 の間に、第 1 p^+ 型ベース領域 3 が設けられている。また、 n 型高濃度領域 5（2）内に、トレンチ 16 の底部と接する第 2 p^+ 型ベース領域 4 が設けられている。第 2 p^+ 型ベース領域 4 は、トレンチ 16 の底部と深さ方向（ソース電極 12 からドレイン電極 13 へ方向）に対向する位置に設けられる。第 2 p^+ 型ベース領域 4 の幅は、トレンチ 16 の幅と同じかそれよりも広い。トレンチ 16 の底部は、第 2 p^+ 型ベース領域 4 に達してもよいし、 p 型ベース層 6 と第 2 p^+ 型ベース領域 4 に挟まれた n 型高濃度領域 5（2）内に位置していてもよい。

[0039] また、 n^- 型炭化珪素エピタキシャル層 2 内に、トレンチ 16 間の第 1 p^+ 型ベース領域 3 よりも深い位置に n 型高濃度領域 5（2）よりピーク不純物濃度が高い n^+ 型領域 17 が設けられる。なお、深い位置とは、第 1 p^+ 型ベース

領域3よりも裏面電極13に近い位置のことである。

[0040] p型ベース層6の内部には、炭化珪素半導体基体18の第1主面側にn⁺型ソース領域7が選択的に設けられている。また、p⁺型コンタクト領域8が選択的に設けられていてもよい。また、n⁺型ソース領域7およびp⁺型コンタクト領域8は互いに接する。

[0041] 層間絶縁膜11は、炭化珪素半導体基体18の第1主面側の全面に、トレンチ16に埋め込まれたゲート電極10を覆うように設けられている。ソース電極12は、層間絶縁膜11に開口されたコンタクトホールを介して、n⁺型ソース領域7およびp型ベース層6に接する。また、p⁺型コンタクト領域8が設けられる場合、ソース電極12は、n⁺型ソース領域7およびp⁺型コンタクト領域8に接する。ソース電極12は、層間絶縁膜11によって、ゲート電極10と電氣的に絶縁されている。ソース電極12上には、ソース電極パッド（不図示）が設けられている。ソース電極12と層間絶縁膜11との間に、例えばソース電極12からゲート電極10側への金属原子の拡散を防止するチタンまたは窒化チタンからなるバリアメタル14が設けられていてもよい。

[0042] 以下で、詳細に説明するように、実施の形態にかかる炭化珪素半導体装置は、2回以上のPL像を取得することにより、キラ欠陥であるn⁺型炭化珪素基板1からn⁻型炭化珪素エピタキシャル層2に延伸した欠陥31（以下、n⁺型炭化珪素基板1からの欠陥31と称する）とエピタキシャル成長中にn⁻型炭化珪素エピタキシャル層2に生成された欠陥32（以下、n⁻型炭化珪素エピタキシャル層2からの欠陥32と称する）とを分けて検出して、n⁺型炭化珪素基板1からの欠陥31が存在する半導体チップのみを不良化している。欠陥31、32については、図4および図5参照。また、n型高濃度領域5が設けられる場合、エピタキシャル成長中にn型高濃度領域5に生成された欠陥が存在する。

[0043] （実施の形態にかかる炭化珪素半導体装置の製造方法）

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明す

る。図3は、実施の形態にかかる炭化珪素半導体装置の製造方法の概要を示すフローチャートである。

[0044] まず、炭化珪素を半導体材料とした半導体ウェハ（SiCウェハ）50を用意する（ステップS1：前工程）。半導体ウェハ50は、炭化珪素からなる出発ウェハ（図2のn⁺型炭化珪素基板1に相当）上にエピタキシャル層（図2のn型エピタキシャル層23に相当）をエピタキシャル成長させてなる。ステップS1の処理においては、炭化珪素からなる出発ウェハを用意して半導体ウェハ50を作製してもよいし、半導体ウェハ50自体を購入してもよい。次に、半導体ウェハ50の主面（n型エピタキシャル層23側の表面）に位置特定マーク（不図示）を形成する（ステップS2）。

[0045] ステップS2の処理においては、フォトリソグラフィおよびエッチングにより、ダイシングライン52内において半導体ウェハ50の主面に位置特定マーク（不図示）を形成する。位置特定マークは、半導体ウェハ50の結晶欠陥の位置（ウェハ表面に平行な方向の座標）を特定するための基準となる。ステップS1の処理において用意した半導体ウェハ50にダイシングライン52が形成されていない場合には、ステップS1の処理の後、ステップS2の処理の前に、フォトリソグラフィおよびエッチングにより、半導体ウェハ50の主面にダイシングライン52（図1参照）を形成すればよい。

[0046] 次に、結晶欠陥検査装置による半導体ウェハ50のn⁻型低濃度バッファ層20のPL像によって、n⁻型炭化珪素エピタキシャル層2およびn⁻型低濃度バッファ層20の内部の欠陥（ポリタイプの三角形の積層欠陥）の大きさ（長さや表面積等）および位置情報を検出する（ステップS3：第1検出工程）。ステップS3の処理において、n⁻型低濃度バッファ層20のPL像は、n⁻型低濃度バッファ層20内部に達する励起光33を照射することで取得でき、欠陥の大きさおよび位置情報は位置特定マークに基づいて取得すればよい。

[0047] 図4は、実施の形態にかかる炭化珪素半導体装置の製造方法のn⁻型低濃度バッファ層のPL像から欠陥検出を示す断面図である。図4に示すように、

ステップS 3では、 n^- 型低濃度バッファ層20内部に到達する励起光33を用いて、 n^- 型低濃度バッファ層20から n^- 型炭化珪素エピタキシャル層2までの欠陥を検出する。このため、 n^- 型炭化珪素エピタキシャル層2からの欠陥32および n^+ 型炭化珪素基板1からの欠陥31の両方が検出される。

[0048] 次に、結晶欠陥検査装置による半導体ウェハ50の n^- 型炭化珪素エピタキシャル層2のPL像によって、 n^- 型炭化珪素エピタキシャル層2の内部の欠陥の大きさ（長さや表面積等）および位置情報を検出する（ステップS 4：第2検出工程）。ステップS 4の処理において、 n^- 型炭化珪素エピタキシャル層2のPL像は、 n^- 型炭化珪素エピタキシャル層2内部に達する励起光34を照射することで取得でき、欠陥の大きさおよび位置情報は位置特定マークに基づいて取得すればよい。

[0049] ステップS 3およびステップS 4のPL像からは、欠陥だけでなく、 n^+ 型炭化珪素基板1から伝搬してきたBPDが n^- 型低濃度バッファ層20内で転換された貫通刃状転位（TED：Threading Edge Dislocation）も検出できるが、実施の形態では、欠陥の大きさおよび位置情報のみを検出する。

[0050] 図5は、実施の形態にかかる炭化珪素半導体装置の製造方法の n^- 型炭化珪素エピタキシャル層のPL像から欠陥検出を示す断面図である。図5に示すように、ステップS 4では、 n^- 型炭化珪素エピタキシャル層2内部に到達する励起光34を用いて、 n^- 型炭化珪素エピタキシャル層2の欠陥を検出する。このため、 n^- 型炭化珪素エピタキシャル層2からの欠陥32が検出される。

[0051] ステップS 3とステップS 4の順序を逆にして、最初に、 n^- 型炭化珪素エピタキシャル層2のPL像によって、 n^- 型炭化珪素エピタキシャル層2の欠陥の大きさおよび位置情報を検出し、次に、 n^+ 型バッファ層20のPL像によって、 n^+ 型バッファ層20から n^- 型炭化珪素エピタキシャル層2までの欠陥を検出してもよい。

[0052] ここでは、ステップS 3とステップS 4の2回のPL像を取得してきたが

、2回より多くのPL像を取得してもよい。例えば、エピタキシャル層が複数回のエピタキシャル成長で積層される場合、エピタキシャル成長の回数分のPL像を取得してもよい。

[0053] 次に、 n^+ 型炭化珪素基板1および n^- 型低濃度バッファ層20からの欠陥を検出する（ステップS5：第3検出工程）。ステップS5の処理では、ステップS3で取得した n^- 型炭化珪素エピタキシャル層2および n^- 型低濃度バッファ層20の内部の欠陥の大きさおよび位置情報と、ステップS4で取得した n^- 型炭化珪素エピタキシャル層2の内部の欠陥の大きさおよび位置情報との差分を取得する。これにより、 n^- 型炭化珪素エピタキシャル層2の内部の欠陥の大きさおよび位置情報が削除され、 n^- 型低濃度バッファ層20の内部の欠陥の大きさおよび位置情報が検出される。

[0054] ここで、 n^- 型低濃度バッファ層20は、エピタキシャル層であるため、 n^- 型低濃度バッファ層20からの欠陥も存在する。しかし、 n^- 型低濃度バッファ層20は、 n^- 型炭化珪素エピタキシャル層2や n^+ 型炭化珪素基板1と比べて薄いため、 n^- 型低濃度バッファ層20からの欠陥は少ない。このため、 n^- 型低濃度バッファ層20からの欠陥は、 n^+ 型炭化珪素基板1からの欠陥31と同じ扱いとしている。よって、ステップS5の処理により、 n^+ 型炭化珪素基板1からの欠陥31の大きさおよび位置情報のみが取得される。

[0055] このように、炭化珪素半導体装置の耐量、信頼性および電気特性の著しい低下を引き起こすキラ欠陥である n^+ 型炭化珪素基板1からの欠陥31の大きさおよび位置情報のみが検出され、キラ欠陥でない n^- 型炭化珪素エピタキシャル層2からの欠陥32の大きさおよび位置情報が削除される。このため、 n^+ 型炭化珪素基板1からの欠陥31を含む半導体チップ30を不良化して、 n^- 型炭化珪素エピタキシャル層2からの欠陥32のみを含む半導体チップ30を良品化することで、良品率を向上させることができる。

[0056] 例えば、ステップS3およびステップS4のPL像は、次のように取得できる。実施の形態の実施例1では、励起光の波長は変えずに共焦点を調整することにより、欠陥を検出する半導体層の位置を変えている。PL測定では

、励起光の共焦点の位置により、PL像を取得できる位置が決まる。このため、ステップS3では、PL像を取得の際の励起光の共焦点の位置をn⁻型低濃度バッファ層20内にすることで、n⁻型低濃度バッファ層20に達する励起光33を照射し、n⁻型低濃度バッファ層20のPL像を取得できる。ステップS4では、PL像を取得の際の励起光の共焦点の位置をより浅くしてn⁻型炭化珪素エピタキシャル層2内にすることで、n⁻型炭化珪素エピタキシャル層2内部に達する励起光34を照射し、n⁻型炭化珪素エピタキシャル層2のPL像を取得できる。

[0057] また、実施の形態の実施例2では、励起光の波長を変えることにより、欠陥を検出する半導体層の位置を変えている。PL測定では、励起光の波長が大きくなると、より深い位置のPL像を取得できる。このため、ステップS3では、PL像を取得する際の励起光の波長を調節することで、n⁻型低濃度バッファ層20に達する励起光33を照射し、n⁻型低濃度バッファ層20のPL像を取得できる。ステップS4では、PL像を取得する際の励起光の波長をより短く調節することで、n⁻型炭化珪素エピタキシャル層2内に達する励起光34を照射し、n⁻型炭化珪素エピタキシャル層2のPL像を取得できる。具体的には、ステップS3では、波長365nmの励起光33により、n⁻型低濃度バッファ層20の内部の欠陥を検出し、ステップS4では、波長313nmの励起光34により、n⁻型炭化珪素エピタキシャル層2の内部の欠陥を検出する。

[0058] それぞれの波長は、n⁻型低濃度バッファ層20の不純物濃度、膜厚およびn⁻型炭化珪素エピタキシャル層2の不純物濃度、膜厚によって変化する。上記の波長は、n⁻型低濃度バッファ層20の不純物濃度は $3 \times 10^{17} / \text{cm}^3$ 以下、n⁻型炭化珪素エピタキシャル層2の不純物濃度の3倍以上であり、n⁻型炭化珪素エピタキシャル層2の膜厚が70μm以下の場合である。

[0059] 次に、半導体ウェハ50の各チップ領域51に所定の素子構造（例えば図2参照）を形成するための各種プロセスを行う（ステップS6：形成工程）。このとき、後述するステップS8の処理後に不良チップとなるチップ領域

51に素子構造を形成しなくてもよい。次に、半導体ウェハ50をダイシングライン52（太線）に沿って切断（ダイシング）して、各チップ領域51を個々の半導体チップ30（SiCチップ：図1参照）に個片化する（ステップS7：切断工程）。次に、ステップS5の処理で取得した情報に基づいて良品候補の半導体チップ30を選別する（ステップS8：選別工程）。具体的には、ステップS8の処理においては、 n^+ 型炭化珪素基板1からの欠陥31を含まない半導体チップ30を良品候補として選別する。

[0060] 次に、良品候補とした各半導体チップ30について、一般的な信頼性試験によってオン電圧特性や耐圧特性、リーク電流特性等の電気特性を検査する（ステップS9：検査工程）。ステップS9の処理において、耐量や信頼性に影響しない条件を確認または評価するために他の各種試験を行ってもよい。ステップS9の処理や他の試験は、半導体ウェハ50の状態で行っても支障のない場合には、ステップS7の処理後、ステップS8の処理前に行ってもよい。次に、ステップS9の結果に基づいて、良品（良チップ）となる半導体チップ30を選別することで（ステップS10）、炭化珪素半導体装置の製造が完了する。

[0061] 上述した実施の形態にかかる炭化珪素半導体装置の製造方法において、ステップS9、S10の処理を省略して、ステップS8の処理で選別した半導体チップ30を良品としてもよい。また、炭化珪素半導体装置の n 型高濃度領域5、第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4および n^+ 型領域17を形成する場合、ステップS6において、イオン注入により n^- 型炭化珪素エピタキシャル層2の内部に n^+ 型領域17を選択的に形成し、 n 型高濃度領域5となる n 型エピタキシャル層をエピタキシャル成長させた後、 p 型ベース層5となる p 型エピタキシャル層をエピタキシャル成長させる前に、イオン注入により、 n 型高濃度領域5、 n 型高濃度領域5の内部に第1 p^+ 型ベース領域3および第2 p^+ 型ベース領域4を選択的に形成すればよい。

[0062] 図6は、実施の形態にかかる炭化珪素半導体装置の他の構造を示す断面図である。図6に示すように、トレンチ型MOSFET70は、 n^- 型低濃度バ

ッファ層20とn⁻型炭化珪素エピタキシャル層2との間にn型遷移層21が設けられていてもよい。

[0063] n型遷移層21は、n⁻型低濃度バッファ層20より薄く、不純物濃度が高い。さらに、n型遷移層21は、n⁺型炭化珪素基板1より不純物濃度が低い。例えば、n型遷移層21の膜厚は、0.1 μm以上で2 μm以下、好ましくは1 μm以下であり、n型遷移層21の不純物濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上であり、n⁺型炭化珪素基板1より不純物濃度が低い。n型遷移層21は、基底面転位（BPD）を貫通刃状転位（TED）と変換する転位変換層である。

[0064] この場合でも、ステップS3で、n⁻型低濃度バッファ層20のPL像によって、n⁻型低濃度バッファ層20からn⁻型炭化珪素エピタキシャル層2までの欠陥の大きさおよび位置情報を検出し、ステップS4で、n⁻型炭化珪素エピタキシャル層2のPL像によって、n⁻型炭化珪素エピタキシャル層2の欠陥の大きさおよび位置情報を検出し、ステップS5で、n⁺型炭化珪素基板1からの欠陥31の大きさおよび位置情報のみを取得すればよい。

[0065] なお、n型遷移層21は、n⁻型低濃度バッファ層20と同様にn⁻型炭化珪素エピタキシャル層2やn⁺型炭化珪素基板1と比べて薄いため、n型遷移層21からの欠陥は少ない。このため、n⁻型低濃度バッファ層20からの欠陥と同様に、n型遷移層21からの欠陥は、n⁺型炭化珪素基板1からの欠陥31と同じ扱いとしている。

[0066] 図7は、図6におけるn⁺型炭化珪素基板1からn⁻型炭化珪素エピタキシャル層2までの構成と異なる構造の部分断面図である。図7が図6と異なるのは、n⁺型炭化珪素基板1上にn型遷移層21を形成し、n型遷移層21上にn⁻型低濃度バッファ層20を形成し、n⁻型低濃度バッファ層20上にn⁻型炭化珪素エピタキシャル層2を形成している点である。図7のn⁺型炭化珪素基板1、n型遷移層21、n⁻型低濃度バッファ層20およびn⁻型炭化珪素エピタキシャル層2のそれぞれの不純物濃度および厚さは図6と同じでよい。

[0067] 図8は、図6と図7におけるn⁺型炭化珪素基板1からn⁻型炭化珪素エピタ

キシアル層 2 までの構成と更に異なる構造の部分断面図である。図 8 が図 6 と異なるのは、 n 型遷移層 2 1 と n -型炭化珪素エピタキシアル層 2 の間に n^+ 型高濃度バッファ層 2 2 を更に形成している点である。図 8 の n^+ 型炭化珪素基板 1、 n 型遷移層 2 1、 n -型低濃度バッファ層 2 0 および n -型炭化珪素エピタキシアル層 2 のそれぞれの不純物濃度および厚さは図 6 と同じでよい。

n^+ 型高濃度バッファ層 2 2 は、主接合となる p n 接合（ p 型ベース層 6 および第 1 p^+ 型ベース領域 3、第 2 p^+ 型ベース領域 4 と n 型高濃度領域 5 および n -型炭化珪素エピタキシアル層 2 との p n 接合）に順方向に電流が流れたときに当該 p n 接合の界面で発生した少数キャリア（正孔）を捕獲して多数キャリア（電子）との再結合により消滅させ、 n^+ 型高濃度バッファ層 2 2 よりも n^+ 型炭化珪素基板 1 側に存在する B P D に到達する正孔を減らす機能を有する。このため、 n^+ 型高濃度バッファ層 2 2 を設けることで、S i C - M O S F E T の使用による経時的な積層欠陥の成長を抑制することができる。

[0068] つまり、 n^+ 型高濃度バッファ層 2 2 は再結合促進層とも呼ばれ、高ドーピング層にライフタイムキラーを導入し、 n -型炭化珪素エピタキシアル層 2 からのホールの再結合を促し、 n^+ 型炭化珪素半導体基板 1 に到達するホール濃度を制御して、積層欠陥の発生およびその面積拡大を抑制している。 n^+ 型高濃度バッファ層 2 2 は、 n^+ 型炭化珪素基板 1 と略同じ不純物濃度で、例えば $3 \times 10^{18} / \text{cm}^3$ 以上であり、厚さは $3 \mu\text{m} \sim 10 \mu\text{m}$ とするのがよい。

[0069] 図 9 は、図 6、図 7 および図 8 における n^+ 型炭化珪素基板 1 から n -型炭化珪素エピタキシアル層 2 までの構成と更に異なる構造の部分断面図である。図 9 が図 8 と異なるのは、 n^+ 型炭化珪素基板 1 上に n 型遷移層 2 1 を形成し、 n 型遷移層 2 1 上に n -型低濃度バッファ層 2 0 を形成し、 n -型低濃度バッファ層 2 0 上に n^+ 型高濃度バッファ層 2 2 を形成し、 n^+ 型高濃度バッファ層 2 2 上に n -型炭化珪素エピタキシアル層 2 を形成している点である。図 9 の n^+ 型炭化珪素基板 1、 n 型遷移層 2 1、 n -型低濃度バッファ層 2 0、 n^+ 型高濃度バッファ層 2 2 および n -型炭化珪素エピタキシアル層 2 のそれぞれの不純物濃度および厚さは図 8 と同じでよい。

[0070] なお、本実施の形態で説明した炭化珪素半導体装置の製造方法は、予め用意されたプログラムをパーソナル・コンピュータやワークステーションなどのコンピュータや、データベースサーバー、ウェブサーバーで実行することにより実現することができる。このプログラムやステップS3の処理で取得した結晶欠陥の大きさおよび位置情報は、ソリッドステートドライブ（SSD：Solid State Drive）、ハードディスク、ブルーレイディスク（BD：Blue-ray（登録商標） Disc）、フレキシブルディスク、USBフラッシュメモリ、CD-ROM、MO、DVDなどのコンピュータで読み取り可能な記録媒体に記録され、コンピュータやサーバーによって記録媒体から読み出されることによって実行される。また、このプログラムは、インターネットなどのネットワークを介して配布することが可能な伝送媒体であってもよい。

[0071] 以上、説明したように、実施の形態によれば、 n^- 型低濃度バッファ層のPL像からの検出結果と n^- 型炭化珪素エピタキシャル層のPL像からの検出結果との差分から n^- 型低濃度バッファ層の内部の欠陥の大きさおよび位置情報を取得する。これにより、キラ欠陥である n^+ 型炭化珪素基板からの欠陥の大きさおよび位置情報のみを検出できる。このため、 n^+ 型炭化珪素基板からの欠陥を含む半導体チップを不良化でき、 n^- 型炭化珪素エピタキシャル層からの欠陥のみを含む半導体チップを良品化することで、良品率を向上させることができる。

[0072] 以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、トレンチゲート型の縦型MOSFETを例に説明したが、IGBT（Insulated Gate Bipolar Transistor）等にも適用可能である。また、各実施の形態では第1導電型を n 型とし、第2導電型を p 型としたが、本発明は第1導電型を p 型とし、第2導電型を n 型としても同様に成り立つ。

産業上の利用可能性

[0073] 以上のように、本発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法は、インバータなどの電力変換装置や種々の産業用機械などの電源装置や自動車のイグナイタなどに使用されるパワー半導体装置に有用である。

符号の説明

- [0074] 1、101 n^+ 型炭化珪素基板
2、102 n^- 型炭化珪素エピタキシャル層
3 第1 p^+ 型ベース領域
4 第2 p^+ 型ベース領域
5 n 型高濃度領域
6 p 型ベース層
7 n^+ 型ソース領域
8 p^+ 型コンタクト領域
9 ゲート絶縁膜
10 ゲート電極
11 層間絶縁膜
12 ソース電極
13 裏面電極
14 バリアメタル
16 トレンチ
17 n^+ 型領域
18 炭化珪素半導体基体
20 n^- 型低濃度バッファ層
21 n 型遷移層
22、120 n^+ 型高濃度バッファ層
23 n 型エピタキシャル層
30 半導体チップ

- 3 1、1 3 1 n^+ 型炭化珪素基板からの欠陥
- 3 2、1 3 2 n^- 型エピタキシャル層からの欠陥
- 3 3、1 3 3 n^+ 型バッファ層に達する励起光
- 3 4 エピタキシャル層に達する励起光
- 5 0 半導体ウェハ
- 5 1 半導体ウェハのチップ領域
- 5 2 半導体ウェハのダイシングライン
- 5 3 無効領域
- 5 4 オリエンテーションフラット
- 7 0 トレンチ型MOSFET

請求の範囲

- [請求項1] 炭化珪素基板上に低濃度バッファ層と、不純物濃度が $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の範囲のエピタキシャル層とをエピタキシャル成長させた半導体チップの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置であって、
- 前記低濃度バッファ層は、前記エピタキシャル層より高不純物濃度でかつ $3 \times 10^{17} / \text{cm}^3$ 以下の不純物濃度であり、
- 前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含まないことを特徴とする炭化珪素半導体装置。
- [請求項2] 前記炭化珪素基板と前記エピタキシャル層との間に、前記低濃度バッファ層の不純物濃度と前記炭化珪素基板の不純物濃度との間の不純物濃度を有する遷移層を備えることを特徴とする請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記遷移層は前記低濃度バッファ層より薄いことを特徴とする請求項2に記載の炭化珪素半導体装置。
- [請求項4] 前記炭化珪素基板と前記エピタキシャル層との間に、前記遷移層の不純物濃度と前記炭化珪素基板の不純物濃度との間の不純物濃度を有する高濃度バッファ層を備えることを特徴とする請求項3に記載の炭化珪素半導体装置。
- [請求項5] 前記高濃度バッファ層は前記低濃度バッファ層より厚いことを特徴とする請求項4に記載の炭化珪素半導体装置。
- [請求項6] 炭化珪素基板上に低濃度バッファ層と、不純物濃度が $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の範囲のエピタキシャル層をエピタキシャル成長させた半導体チップの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置であって、
- 前記低濃度バッファ層は、前記エピタキシャル層より高不純物濃度でかつ $3 \times 10^{17} / \text{cm}^3$ 以下の不純物濃度であり、
- 前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含ま

ず、

エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を含むことを特徴とする炭化珪素半導体装置。

[請求項7] 前記低濃度バッファ層の不純物濃度は、 $3 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする請求項6に記載の炭化珪素半導体装置。

[請求項8] 前記低濃度バッファ層と前記エピタキシャル層の間に、前記低濃度バッファ層より高不純物濃度である遷移層を備えることを特徴とする請求項6に記載の炭化珪素半導体装置。

[請求項9] 炭化珪素基板上に低濃度バッファ層とエピタキシャル層をエピタキシャル成長させた半導体チップの両主面にそれぞれ電極を備えた縦型の炭化珪素半導体装置の製造方法であって、

前記炭化珪素基板上に前記低濃度バッファ層と前記エピタキシャル層をエピタキシャル成長させた半導体ウェハを用意する前工程と、

前記低濃度バッファ層のPL像によって、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥および前記エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を検出する第1検出工程と、

前記エピタキシャル層のPL像によって、前記エピタキシャル成長中に前記エピタキシャル層に生成された欠陥を検出する第2検出工程と、

前記第1検出工程および前記第2検出工程の検出結果の差分より、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を検出する第3検出工程と、

前記半導体ウェハに所定の素子構造を形成する形成工程と、

前記形成工程の後、前記半導体ウェハをダイシングして前記半導体チップに個片化する切断工程と、

前記第3検出工程の結果に基づいて、前記炭化珪素基板から前記エピタキシャル層に延伸した欠陥を含まない前記半導体チップを選別す

る選別工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方法。

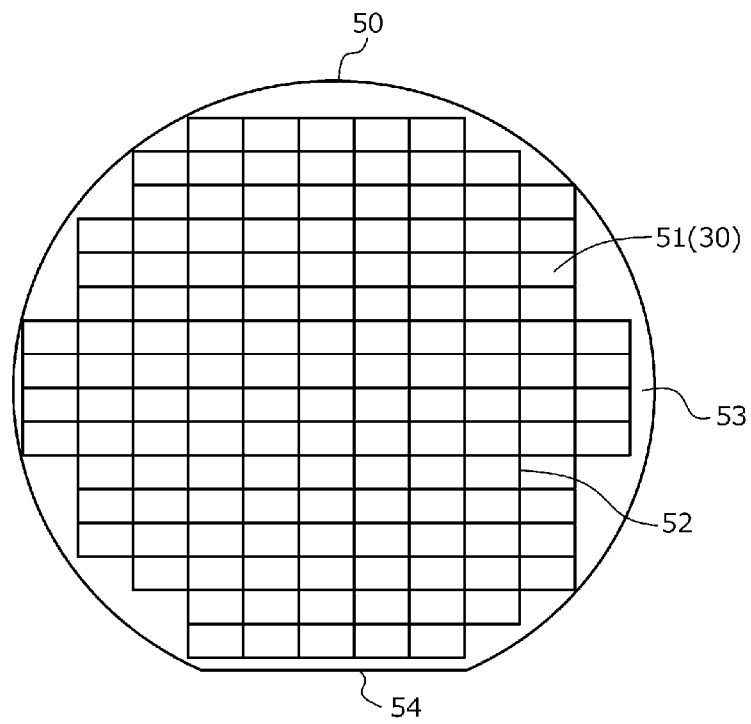
[請求項10] 前記第1検出工程は、PL像を取得の際の励起光の共焦点の位置を前記低濃度バッファ層内にすることで、前記低濃度バッファ層のPL像を取得し、

前記第2検出工程は、PL像を取得の際の励起光の共焦点の位置を前記エピタキシャル層内にすることで、前記エピタキシャル層のPL像を取得することを特徴とする請求項9に記載の炭化珪素半導体装置の製造方法。

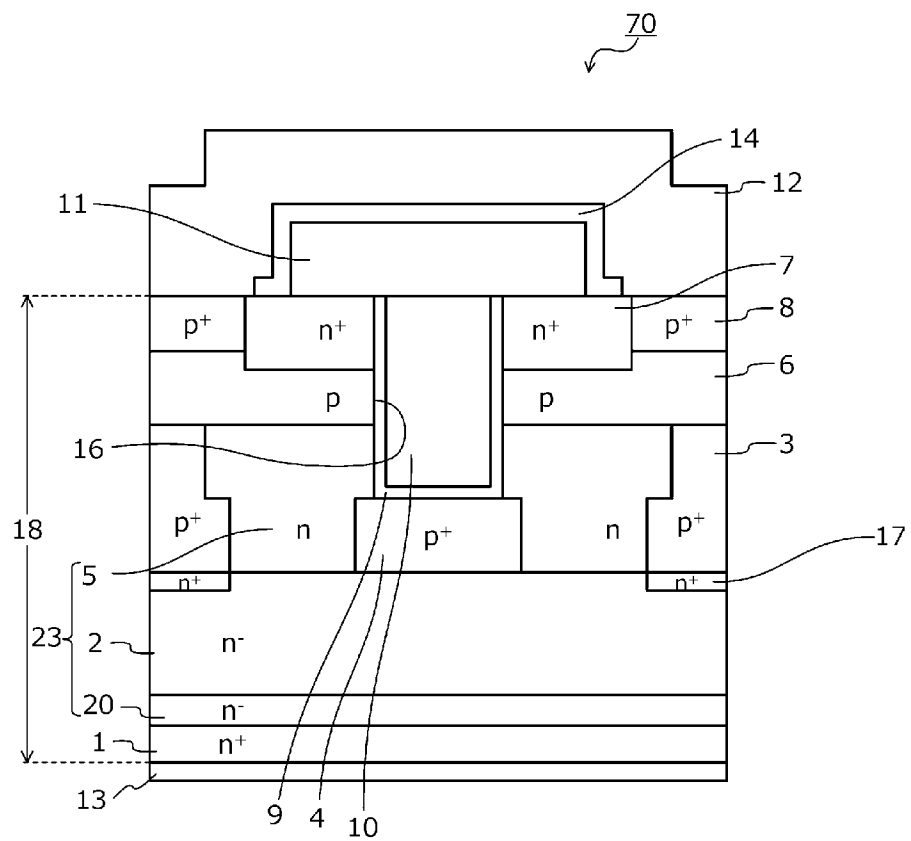
[請求項11] 前記第1検出工程は、PL像を取得の際の励起光の波長を調節することで、前記低濃度バッファ層のPL像を取得し、

前記第2検出工程は、PL像を取得の際の励起光の波長を前記第1検出工程の波長より短く調節することで、前記エピタキシャル層のPL像を取得することを特徴とする請求項9に記載の炭化珪素半導体装置の製造方法。

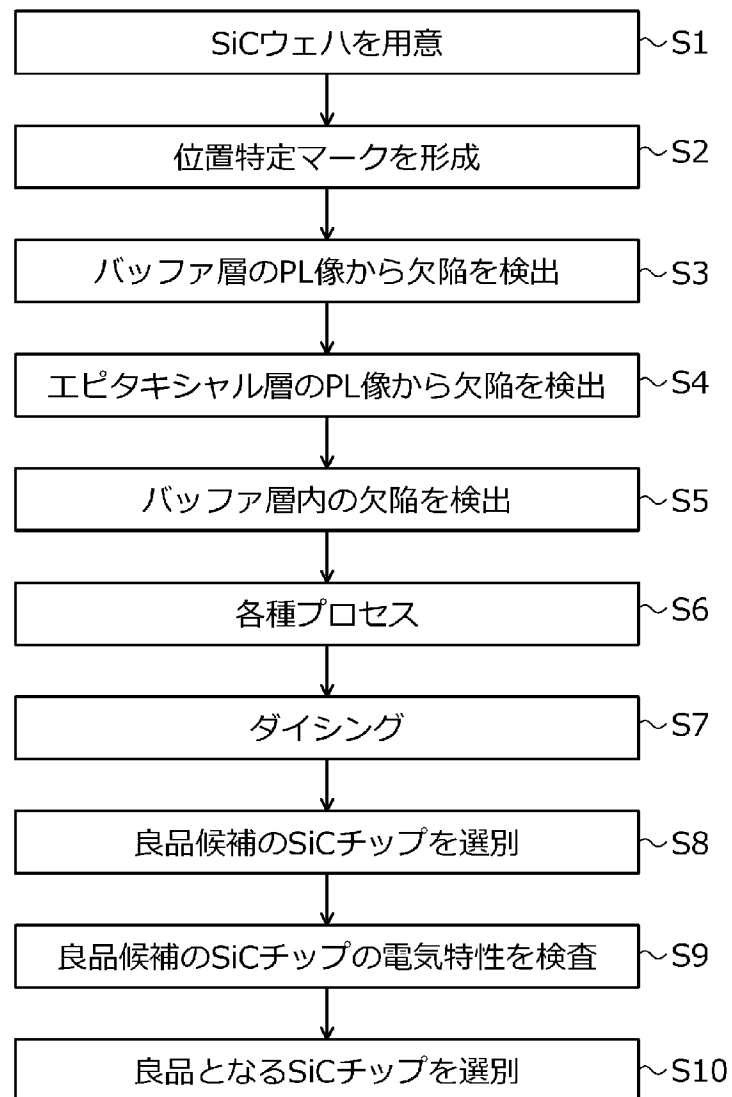
[図1]



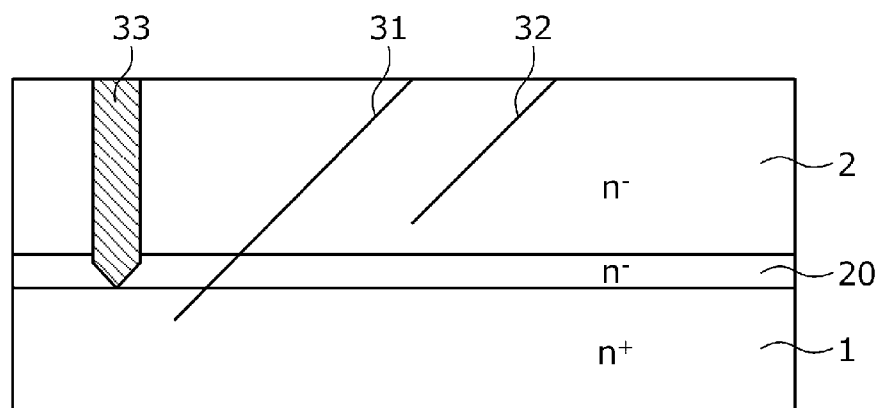
[図2]



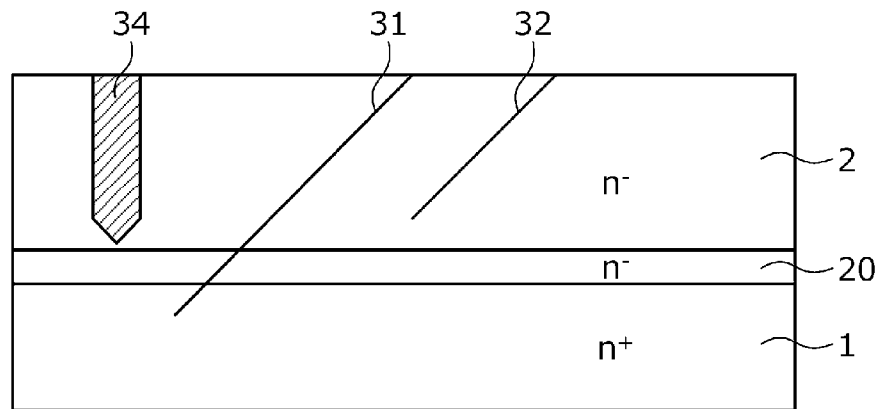
[図3]



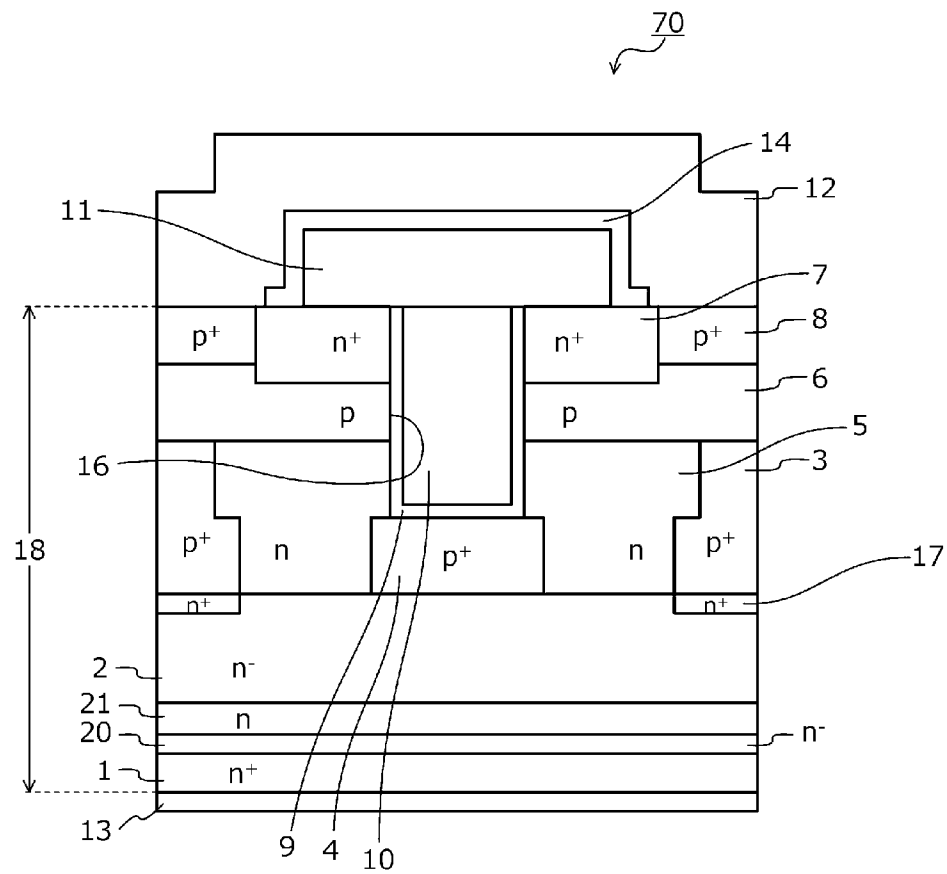
[図4]



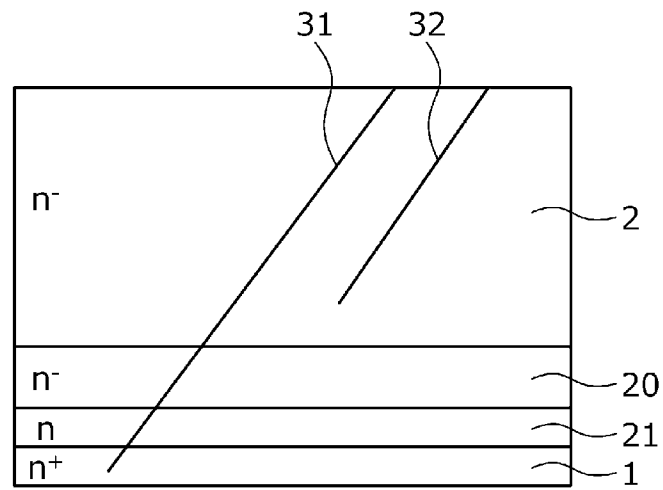
[図5]



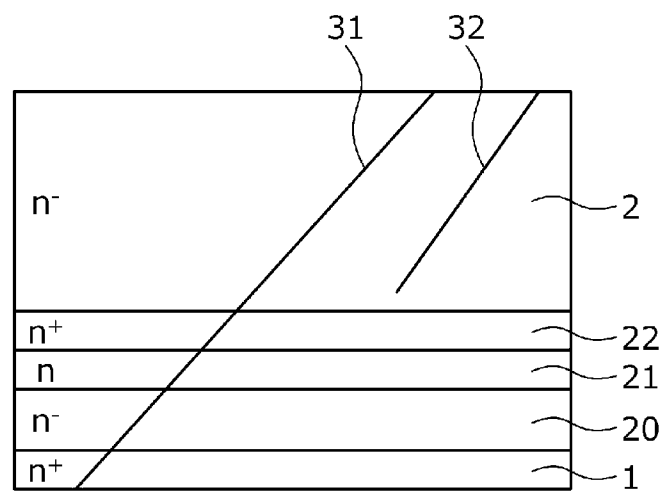
[図6]



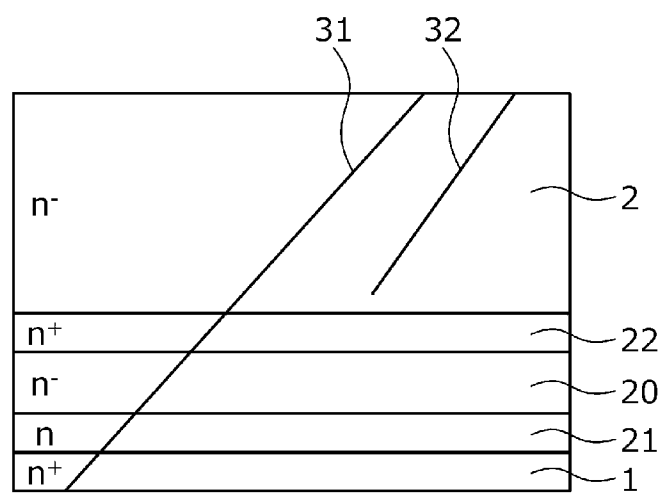
[図7]



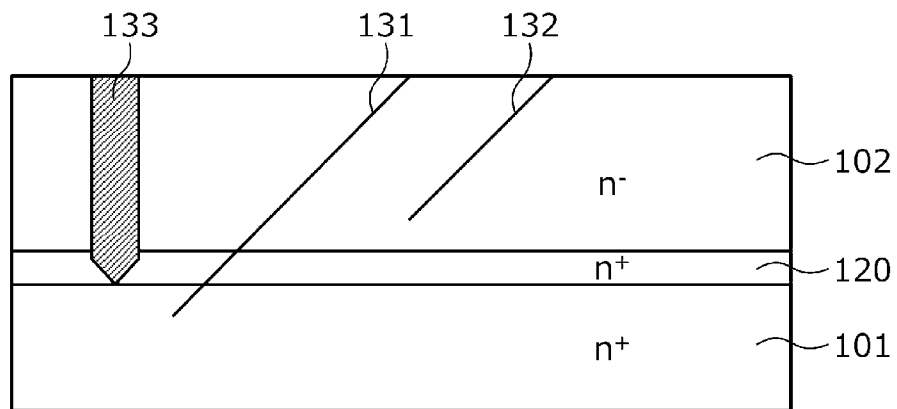
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/031087

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; G01N 21/64 (2006.01)i; H01L 21/336 (2006.01)i; H01L 21/66 (2006.01)i; H01L 29/12 (2006.01)i; H01L 29/739 (2006.01)i FI: H01L29/78 652G; H01L29/78 652H; H01L29/78 653A; H01L29/78 652J; H01L29/78 652T; H01L21/66 V; H01L29/78 658E; H01L29/78 655A; G01N21/64 Z; H01L21/66 N; H01L29/78 658L According to International Patent Classification (IPC) or to both national classification and IPC																													
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; G01N21/64; H01L21/336; H01L21/66; H01L29/12; H01L29/739 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																													
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2022/202936 A1 (DENSO CORP) 29 September 2022 (2022-09-29) paragraphs [0018]-[0087], fig. 1-13</td> <td>1</td> </tr> <tr> <td>Y</td> <td></td> <td>2, 3</td> </tr> <tr> <td>A</td> <td></td> <td>4-11</td> </tr> <tr> <td>Y</td> <td>WO 2017/199792 A1 (MITSUBISHI ELECTRIC CORP) 23 November 2017 (2017-11-23) paragraphs [0017]-[0029], [0066]-[0070], fig. 2, 6</td> <td>2, 3</td> </tr> <tr> <td>A</td> <td></td> <td>1, 4-11</td> </tr> <tr> <td>A</td> <td>JP 2016-025241 A (SUMITOMO ELECTRIC INDUSTRIES) 08 February 2016 (2016-02-08) paragraphs [0034]-[0053], fig. 1-11</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2022-016168 A (FUJI ELECTRIC CO LTD) 21 January 2022 (2022-01-21) paragraphs [0039]-[0091], fig. 1-10</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2022-135787 A (FUJI ELECTRIC CO LTD) 15 September 2022 (2022-09-15) paragraphs [0034]-[0086], fig. 1-7</td> <td>1-11</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	WO 2022/202936 A1 (DENSO CORP) 29 September 2022 (2022-09-29) paragraphs [0018]-[0087], fig. 1-13	1	Y		2, 3	A		4-11	Y	WO 2017/199792 A1 (MITSUBISHI ELECTRIC CORP) 23 November 2017 (2017-11-23) paragraphs [0017]-[0029], [0066]-[0070], fig. 2, 6	2, 3	A		1, 4-11	A	JP 2016-025241 A (SUMITOMO ELECTRIC INDUSTRIES) 08 February 2016 (2016-02-08) paragraphs [0034]-[0053], fig. 1-11	1-11	A	JP 2022-016168 A (FUJI ELECTRIC CO LTD) 21 January 2022 (2022-01-21) paragraphs [0039]-[0091], fig. 1-10	1-11	A	JP 2022-135787 A (FUJI ELECTRIC CO LTD) 15 September 2022 (2022-09-15) paragraphs [0034]-[0086], fig. 1-7	1-11
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																											
X	WO 2022/202936 A1 (DENSO CORP) 29 September 2022 (2022-09-29) paragraphs [0018]-[0087], fig. 1-13	1																											
Y		2, 3																											
A		4-11																											
Y	WO 2017/199792 A1 (MITSUBISHI ELECTRIC CORP) 23 November 2017 (2017-11-23) paragraphs [0017]-[0029], [0066]-[0070], fig. 2, 6	2, 3																											
A		1, 4-11																											
A	JP 2016-025241 A (SUMITOMO ELECTRIC INDUSTRIES) 08 February 2016 (2016-02-08) paragraphs [0034]-[0053], fig. 1-11	1-11																											
A	JP 2022-016168 A (FUJI ELECTRIC CO LTD) 21 January 2022 (2022-01-21) paragraphs [0039]-[0091], fig. 1-10	1-11																											
A	JP 2022-135787 A (FUJI ELECTRIC CO LTD) 15 September 2022 (2022-09-15) paragraphs [0034]-[0086], fig. 1-7	1-11																											
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																													
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																													
Date of the actual completion of the international search 02 November 2023		Date of mailing of the international search report 14 November 2023																											
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.																											

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/031087

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/202936	A1	29 September 2022	JP 2022-151776 A paragraphs [0018]-[0087], fig. 1-13	
WO	2017/199792	A1	23 November 2017	US 2019/0145021 A1 paragraphs [0025]-[0037], [0074]-[0078], fig. 2, 6 CN 109155239 A	
JP	2016-025241	A	08 February 2016	(Family: none)	
JP	2022-016168	A	21 January 2022	(Family: none)	
JP	2022-135787	A	15 September 2022	US 2022/0285501 A1 paragraphs [0025]-[0079], fig. 1-7	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; G01N 21/64(2006.01)i; H01L 21/336(2006.01)i; H01L 21/66(2006.01)i;
H01L 29/12(2006.01)i; H01L 29/739(2006.01)i
FI: H01L29/78 652G; H01L29/78 652H; H01L29/78 653A; H01L29/78 652J; H01L29/78 652T; H01L21/66 V;
H01L29/78 658E; H01L29/78 655A; G01N21/64 Z; H01L21/66 N; H01L29/78 658L

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; G01N21/64; H01L21/336; H01L21/66; H01L29/12; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2023年
日本国実用新案登録公報 1996-2023年
日本国登録実用新案公報 1994-2023年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/202936 A1（株式会社デンソー）29.09.2022（2022-09-29） 段落[0018]-[0087], 図1-13	1
Y		2, 3
A		4-11
Y	WO 2017/199792 A1（三菱電機株式会社）23.11.2017（2017-11-23） 段落[0017]-[0029], [0066]-[0070], 図2, 6	2, 3
A		1, 4-11
A	JP 2016-025241 A（住友電気工業株式会社）08.02.2016（2016-02-08） 段落[0034]-[0053], 図1-11	1-11
A	JP 2022-016168 A（富士電機株式会社）21.01.2022（2022-01-21） 段落[0039]-[0091], 図1-10	1-11
A	JP 2022-135787 A（富士電機株式会社）15.09.2022（2022-09-15） 段落[0034]-[0086], 図1-7	1-11

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日

02.11.2023

国際調査報告の発送日

14.11.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

杉山 芳弘 5F 6311

電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/031087

引用文献			公表日	パテントファミリー文献	公表日
WO	2022/202936	A1	29.09.2022	JP 2022-151776 A 段落[0018]-[0087], 図1-13	
WO	2017/199792	A1	23.11.2017	US 2019/0145021 A1 段落[0025]-[0037], [0074]- [0078], 図2, 6 CN 109155239 A	
JP	2016-025241	A	08.02.2016	(ファミリーなし)	
JP	2022-016168	A	21.01.2022	(ファミリーなし)	
JP	2022-135787	A	15.09.2022	US 2022/0285501 A1 段落[0025]-[0079], 図1-7	