



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월20일  
(11) 등록번호 10-0760422  
(24) 등록일자 2007년09월13일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/36 (2006.01)  
G09G 3/30 (2006.01) G11C 19/28 (2006.01)

(21) 출원번호 10-2006-0027516

(22) 출원일자 2006년03월27일

심사청구일자 2006년03월27일

(65) 공개번호 10-2006-0103295

공개일자 2006년09월28일

(30) 우선권주장

JP-P-2005-00087463 2005년03월25일 일본(JP)

(56) 선행기술조사문헌

KR1020020059232 A

(뒷면에 계속)

전체 청구항 수 : 총 16 항

(73) 특허권자

엡슨 이미징 디바이스 가부시기가이샤

일본국 나가노켄 아즈미노시 도요시나 다자와 6925

(72) 발명자

호리바따 히로유키

일본 기후켄 안빠찌군 안빠찌쵸 오오모리 180 산  
요 엡슨 이미징디바이스 가부시기가이샤 내

센다 미찌루

일본 기후켄 안빠찌군 안빠찌쵸 오오모리 180 산  
요 엡슨 이미징디바이스 가부시기가이샤 내

(74) 대리인

구영창, 이중희, 장수길

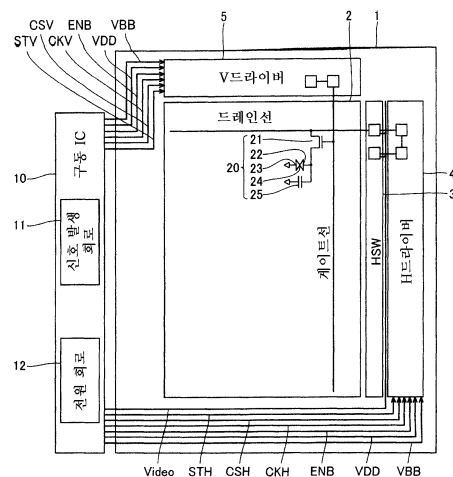
심사관 : 박부식

(54) 표시 장치

(57) 요약

게이트 선이나 드레인 선에 의도하지 않은 타이밍에서 신호가 출력되는 것을 억제하는 것이 가능한 표시 장치를 얻을 수 있다. 이 표시 장치는 제1 전위로 온 하는 제1 도전형의 복수의 트랜지스터에 의해서 구성되고, 제1 시프트 신호 및 제2 시프트 신호가 입력됨과 함께, 제1 시프트 신호와 제2 시프트 신호를 논리 합성하여 시프트 출력 신호를 출력하는 논리 합성 회로부를 포함하는 시프트 레지스터 회로를 구비하고 있다. 또한, 제1 시프트 레지스터 회로부 및 제2 시프트 레지스터 회로부 중 적어도 한쪽은 소정의 구동 신호에 응답하여, 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드의 전위를 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 리셋하기 위한 리셋 트랜지스터를 포함한다.

대표도 - 도1



(56) 선행기술조사문헌  
JP2000194308 A  
US6392628 B1

---

## 특허청구의 범위

### 청구항 1

제1 시프트 신호를 출력하는 제1 시프트 레지스터 회로부와,

상기 제1 시프트 레지스터 회로부의 다음단에 배치됨과 함께, 제2 시프트 신호를 출력하는 제2 시프트 레지스터 회로부와,

제1 전위로 온하는 제1 도전형의 복수의 트랜지스터에 의해서 구성되고, 상기 제1 시프트 신호 및 상기 제2 시프트 신호가 입력됨과 함께, 상기 제1 시프트 신호와, 상기 제2 시프트 신호를 논리 합성하여 시프트 출력 신호를 출력하는 논리 합성 회로부

를 포함하는 시프트 레지스터 회로를 구비하고,

상기 제1 시프트 레지스터 회로부 및 상기 제2 시프트 레지스터 회로부 중 적어도 한쪽은, 소정의 구동 신호에 응답하여, 상기 제1 시프트 신호 또는 상기 제2 시프트 신호가 출력되는 노드의 전위를 상기 논리 합성 회로부의 트랜지스터가 온하지 않는 제2 전위로 리셋하기 위한 리셋 트랜지스터를 포함하는 표시 장치.

### 청구항 2

제1항에 있어서,

상기 제1 시프트 레지스터 회로부 및 상기 제2 시프트 레지스터 회로부는, 양쪽 모두, 상기 리셋 트랜지스터를 포함하는 표시 장치.

### 청구항 3

제1항에 있어서,

상기 소정의 구동 신호는, 상기 시프트 레지스터 회로에 의한 주사를 개시시키기 위한 스타트 신호인 표시 장치.

### 청구항 4

제1항에 있어서,

상기 제1 시프트 레지스터 회로부 및 상기 제2 시프트 레지스터 회로부 중 적어도 한쪽은, 전단의 제1 회로부와 후단의 제2 회로부를 포함하고,

상기 제2 회로부는, 상기 제2 전위측과 상기 제1 시프트 신호 또는 상기 제2 시프트 신호가 출력되는 노드 사이에 접속됨과 함께, 상기 제1 회로부의 출력 노드에 게이트가 접속된 제1 도전형의 제1 트랜지스터를 포함하고,

상기 리셋 트랜지스터는, 상기 소정의 구동 신호에 응답하여, 상기 제1 회로부의 출력 노드를 상기 제1 전위로 리셋하는 기능을 갖고,

상기 리셋 트랜지스터에 의해 상기 제1 회로부의 출력 노드가 상기 제1 전위로 리셋되는 것에 응답하여, 상기 제1 트랜지스터가 온 상태로 되는 것에 의해, 상기 제2 회로부의 상기 제1 시프트 신호 또는 상기 제2 시프트 신호가 출력되는 노드가 상기 제2 전위로 리셋되는 표시 장치.

### 청구항 5

제4항에 있어서,

상기 리셋 트랜지스터는, 상기 제1 전위측과 상기 제1 회로부의 출력 노드 사이에 접속되어 있음과 함께, 상기 소정의 구동 신호를 공급하는 제1 구동 신호선에 게이트가 접속되어 있는 표시 장치.

### 청구항 6

제5항에 있어서,

상기 제1 구동 신호선은, 상기 소정의 구동 신호로서의 상기 시프트 레지스터 회로의 주사를 개시시키기 위한 스타트 신호를 공급하는 스타트 신호선인 표시 장치.

#### 청구항 7

제1항에 있어서,

상기 논리 합성 회로부의 트랜지스터는,

소스/드레인의 한쪽이 상기 제1 전위와 상기 제2 전위로 절환되는 제1 신호를 공급하는 제1 신호선에 접속됨과 함께, 게이트에 상기 제1 시프트 신호가 입력되는 제2 트랜지스터와,

상기 제2 트랜지스터의 소스/드레인의 다른 쪽에 소스/드레인의 한쪽이 접속됨과 함께, 게이트에 상기 제2 시프트 신호가 입력되는 제3 트랜지스터를 포함하고,

상기 제1 시프트 신호 및 상기 제2 시프트 신호가 상기 제1 전위일 때에, 상기 제2 트랜지스터 및 상기 제3 트랜지스터가 온 상태로 됨과 함께, 상기 제1 신호선으로부터 상기 제2 트랜지스터의 소스/드레인의 한쪽에 상기 제1 전위의 상기 제1 신호가 공급됨으로써, 상기 제2 트랜지스터 및 상기 제3 트랜지스터를 통하여 상기 제1 전위의 상기 시프트 출력 신호가 출력되고,

상기 제1 시프트 신호가 상기 제1 전위로부터 상기 제2 전위로 변화할 때에, 상기 제1 신호선으로부터 상기 제2 트랜지스터의 소스/드레인의 한쪽에 상기 제2 전위의 상기 제1 신호가 공급됨으로써, 상기 제2 트랜지스터 및 상기 제3 트랜지스터를 통하여 상기 제2 전위의 상기 시프트 출력 신호가 출력되는 표시 장치.

#### 청구항 8

제7항에 있어서,

상기 제1 신호가 상기 제2 전위인 기간에는, 상기 시프트 출력 신호는 강제적으로 상기 제2 전위로 유지되는 표시 장치.

#### 청구항 9

제7항에 있어서,

상기 논리 합성 회로부는, 상기 제1 시프트 신호가 상기 제1 전위로부터 상기 제2 전위로 변화한 후, 상기 시프트 출력 신호를 상기 제2 전위로 고정하기 위한 전위 고정 회로부를 포함하는 표시 장치.

#### 청구항 10

제7항에 있어서,

상기 제1 시프트 레지스터 회로부는, 드레인에 적어도 상기 제1 전위가 공급됨과 함께, 게이트가 상기 제1 시프트 신호가 출력되는 노드에 접속되는 제4 트랜지스터와, 상기 제4 트랜지스터의 게이트-소스 사이에 접속되는 제1 용량을 포함하고,

상기 제2 시프트 레지스터 회로부는, 드레인에 적어도 상기 제1 전위가 공급됨과 함께, 게이트가 상기 제2 시프트 신호가 출력되는 노드에 접속되는 제5 트랜지스터와, 상기 제5 트랜지스터의 게이트-소스 사이에 접속되는 제2 용량을 포함하는 표시 장치.

#### 청구항 11

제10항에 있어서,

상기 제4 트랜지스터의 드레인에는, 상기 제1 전위와 상기 제2 전위로 절환되는 상기 제1 신호를 공급하는 상기 제1 신호선이 접속됨과 함께, 게이트에는, 제1 클럭 신호가 공급되고,

상기 제5 트랜지스터의 드레인에는, 상기 제1 신호를 공급하는 상기 제1 신호선이 접속됨과 함께, 게이트에는, 제2 클럭 신호가 공급되고,

상기 제1 신호는, 상기 제1 클럭 신호가 상기 제2 전위로부터 상기 제1 전위로 된 후와, 상기 제2 클럭 신호가 상기 제2 전위로부터 상기 제1 전위로 된 후에, 각각, 상기 제2 전위로부터 상기 제1 전위로 절환되는 표시 장

치.

## 청구항 12

제10항에 있어서,

상기 제4 트랜지스터의 드레인에는, 상기 제1 전위와 상기 제2 전위로 절환되는 제2 신호를 공급하는 제2 신호선이 접속됨과 함께, 게이트에는, 제1 클럭 신호가 공급되고,

상기 제5 트랜지스터의 드레인에는, 상기 제1 전위와 상기 제2 전위로 절환되는 제3 신호를 공급하는 제3 신호선이 접속됨과 함께, 게이트에는, 제2 클럭 신호가 공급되고,

상기 제2 신호는, 상기 제1 클럭 신호가 상기 제2 전위로부터 상기 제1 전위로 된 후, 상기 제2 전위로부터 상기 제1 전위로 절환되고,

상기 제3 신호는, 상기 제2 클럭 신호가 상기 제2 전위로부터 상기 제1 전위로 된 후, 상기 제2 전위로부터 상기 제1 전위로 절환되는 표시 장치.

## 청구항 13

제10항에 있어서,

상기 리셋 트랜지스터는, 상기 소정의 구동 신호에 응답하여, 상기 제4 트랜지스터 또는 상기 제5 트랜지스터의 소스의 전위를 상기 제2 전위로 리셋하는 기능도 갖고 있는 표시 장치.

## 청구항 14

제1항에 있어서,

상기 시프트 레지스터 회로는, 게이트선을 구동하기 위한 시프트 레지스터 회로, 및, 드레인선을 구동하기 위한 시프트 레지스터 회로 중 적어도 한쪽에 적용되어 있는 표시 장치.

## 청구항 15

제1항에 있어서,

상기 제1 시프트 레지스터 회로부, 상기 제2 시프트 레지스터 회로부 및 상기 논리 합성 회로부를 구성하는 트랜지스터와, 상기 리셋 트랜지스터는, 제1 도전형을 갖는 표시 장치.

## 청구항 16

제1항에 있어서,

상기 표시 장치는, 액정 표시 장치 및 EL 표시 장치 중 어느 한쪽으로 이루어지는 표시 장치.

## 명 세 서

### 발명의 상세한 설명

#### 발명의 목적

#### 종래기술의 문헌 정보

<30> [특허 문헌1] 일본 특허공개 2005-17973호 공보

#### 발명이 속하는 기술 및 그 분야의 종래기술

<31> 본 발명은 표시 장치에 관한 것으로, 특히 시프트 레지스터 회로를 구비한 표시 장치에 관한 것이다.

<32> 종래, 시프트 레지스터 회로를 구비한 표시 장치가 알려져 있다. 이러한 표시 장치는 예를 들면 특허 문헌1에 개시되어 있다.

<33> 도 18은 상기 특허 문헌1에 개시된 종래의 일례에 의한 표시 장치의 드레인 선을 구동시키는 시프트 레지스터

회로의 회로 구성을 설명하기 위한 회로도이다. 도 18을 참조하여 종래의 일례에 의한 표시 장치의 드레인 선을 구동시키는 시프트 레지스터 회로에서는 복수단의 시프트 레지스터 회로부(1001 내지 1003)가 설치되어 있다. 1단째의 시프트 레지스터 회로부(1001)는 전단의 제1 회로부(1001a) 및 후단의 제2 회로부(1001b)에 의해서 구성되어 있다. 또한, 1단째의 시프트 레지스터 회로부(1001)의 제1 회로부(1001a)는, n채널 트랜지스터(NT501 내지 NT503)와, 다이오드 접속된 n채널 트랜지스터(NT504)와, 용량(C501)을 포함하고 있다. 또한, 1단째의 시프트 레지스터 회로부(1001)의 제2 회로부(1001b)는, n채널 트랜지스터(NT505 내지 NT507)와, 다이오드 접속된 n채널 트랜지스터(NT508)와, 용량(C502)을 포함하고 있다. 이하, n채널 트랜지스터(NT501 내지 NT508)는 트랜지스터(NT501 내지 NT508)라고 칭한다.

<34> 또한, 제1 회로부(1001a)에 있어서, 트랜지스터(NT501)의 드레인 플러스측 전위(VDD)에 접속되어 있음과 함께, 소스는 트랜지스터(NT502)의 드레인 플러스측 전위(VDD)에 접속되어 있다. 또한, 트랜지스터(NT501)의 게이트는 노드(ND501)에 접속되어 있다. 트랜지스터(NT502)의 소스는 마이너스측 전위(VBB)에 접속되어 있다. 또한, 트랜지스터(NT502)의 게이트에는 스타트 신호(ST)가 공급된다. 또한, 트랜지스터(NT501)의 게이트가 접속된 노드(ND501)와 마이너스측 전위(VBB) 사이에는 트랜지스터(NT503)가 접속되어 있다. 또한, 트랜지스터(NT503)의 게이트에는 스타트 신호(ST)가 공급된다. 또한, 트랜지스터(NT501)의 게이트와 소스 사이에는 용량(C501)이 접속되어 있다. 또한, 트랜지스터(NT501)의 게이트가 접속된 노드(ND501)와 클록 신호선(CLK1) 사이에 다이오드 접속된 트랜지스터(NT504)가 접속되어 있다.

<35> 또한, 제2 회로부(1001b)에 있어서, 트랜지스터(NT505)의 드레인 플러스측 전위(VDD)에 접속되어 있다. 트랜지스터(NT505)의 소스는 트랜지스터(NT506)의 드레인 플러스측 전위(VDD)에 접속되어 있다. 또한, 트랜지스터(NT505)의 게이트는 노드(ND503)에 접속되어 있다. 트랜지스터(NT506)의 소스는 마이너스측 전위(VBB)에 접속되어 있다. 또한, 트랜지스터(NT506)의 게이트는 제1 회로부(1001a)의 트랜지스터(NT501)와 트랜지스터(NT502) 사이에 설치된 노드(ND502)에 접속되어 있다.

<36> 또한, 트랜지스터(NT505)의 게이트가 접속된 노드(ND503)와 마이너스측 전위(VBB) 사이에는 트랜지스터(NT507)가 접속되어 있다. 또한, 트랜지스터(NT507)의 게이트는 제1 회로부(1001a)의 노드(ND502)에 접속되어 있다. 또한, 트랜지스터(NT505)의 게이트와 소스 사이에는 용량(C502)이 접속되어 있다. 또한, 트랜지스터(NT505)의 게이트가 접속된 노드(ND503)와 클록 신호선(CLK1) 사이에 다이오드 접속된 트랜지스터(NT508)가 접속되어 있다.

<37> 또한, 트랜지스터(NT505)의 소스와 트랜지스터(NT506)의 드레인 사이에 설치된 노드(ND504)(출력 노드)로부터 1단째의 시프트 레지스터 회로(1001)의 시프트 출력 신호(SR501)가 출력된다. 또한, 2단째 이후의 시프트 레지스터 회로부(1002 및 1003)는 1단째의 시프트 레지스터 회로부(1001)와 같은 회로 구성을 갖는다. 즉, 2단째의 시프트 레지스터 회로부(1002)는 1단째의 시프트 레지스터 회로부(1001)의 제1 회로부(1001a) 및 제2 회로부(1001b)와 같은 회로 구성을 갖는 제1 회로부(1002a) 및 제2 회로부(1002b)를 포함하고 있다. 2단째의 시프트 레지스터 회로부(1002)의 제1 회로부(1002a)는 1단째의 시프트 레지스터 회로부(1001)의 제2 회로부(1001b)의 노드(ND504)(출력 노드)에 접속되어 있다. 이것에 의해 1단째의 시프트 레지스터 회로(1001)의 시프트 출력 신호(SR501)는 2단째의 시프트 레지스터 회로부(1002)의 제1 회로부(1002a)에 입력된다. 또한, 2단째의 시프트 레지스터 회로부(1002)에는 1단째의 시프트 레지스터 회로부(1001)에 공급되는 클록 신호(CLK1)와 타이밍이 상이한 클록 신호(CLK2)를 공급하는 클록 신호선(CLK2)이 접속되어 있다. 또한, 2단째의 시프트 레지스터 회로부(1002)의 제2 회로부의 노드(ND504)(출력 노드)로부터 2단째의 시프트 레지스터 회로(1002)의 시프트 출력 신호(SR502)가 출력된다.

<38> 또한, 3단째의 시프트 레지스터 회로부(1003)는 1단째의 시프트 레지스터 회로부(1001)의 제1 회로부(1001a) 및 제2 회로부(1001b)와 같은 회로 구성을 갖는 제1 회로부(1003a) 및 제2 회로부(1003b)를 포함하고 있다. 3단째의 시프트 레지스터 회로부(1003)의 제1 회로부(1003a)는 2단째의 시프트 레지스터 회로부(1002)의 제2 회로부(1002b)의 노드(ND504)(출력 노드)에 접속되어 있다. 이것에 의해 2단째의 시프트 레지스터 회로(1002)의 시프트 출력 신호(SR502)는 3단째의 시프트 레지스터 회로부(1003)의 제1 회로부(1003a)에 입력된다. 또한, 3단째의 시프트 레지스터 회로부(1003)에는 1단째의 시프트 레지스터 회로부(1001)와 동일한 클록 신호(CLK1)를 공급하는 클록 신호선(CLK1)이 접속되어 있다. 또한, 3단째의 시프트 레지스터 회로부(1003)의 제2 회로부의 노드(ND504)(출력 노드)로부터 3단째의 시프트 레지스터 회로(1003)의 시프트 출력 신호(SR503)가 출력된다. 이 시프트 출력 신호(SR503)는 도시하지 않은 다음단의 시프트 레지스터 회로부의 제1 회로부에 입력된다.

<39> 또한, 각 단의 시프트 레지스터 회로부(1001 내지 1003)의 노드(ND504)는 수평 스위치(1100)에 접속되어 있다.

구체적으로는 수평 스위치(1100)는 복수의 트랜지스터(NT510 내지 NT512)를 구비하고 있다. 이 트랜지스터(NT510 내지 NT512)의 게이트는 각각 1단계 내지 3단계의 시프트 레지스터 회로(1001 내지 1003)의 노드(ND504)에 접속되어 있다. 이것에 의해 각 단계의 시프트 레지스터 회로부(1001 내지 1003)의 시프트 출력 신호(SR501 내지 SR503)는 각각 수평 스위치(1100)의 트랜지스터(NT510 내지 NT512)의 게이트에 입력된다. 또한, 트랜지스터(NT510 내지 NT512)의 드레인은 각각 각 단계의 드레인 선에 접속되어 있다. 또한, 트랜지스터(NT510 내지 NT512)의 소스는 비디오 신호선(Video)에 접속되어 있다.

<40> 상기한 바와 같이 구성함으로써, 종래의 일례에 의한 표시 장치의 드레인 선을 구동시키는 시프트 레지스터 회로에서는 각 단계의 시프트 레지스터 회로부(1001 내지 1003)에 의해서 H레벨로 상승하는 타이밍이 시프트된 시프트 출력 신호(SR501 내지 SR503)가 수평 스위치(1100)의 트랜지스터(NT510 내지 NT512)의 게이트에 각각 입력된다. 이것에 의해 수평 스위치(1100)의 트랜지스터(NT510 내지 NT512)가 순차적으로 온 상태로 되기 때문에, 트랜지스터(NT510 내지 NT512)를 통하여 비디오 신호선(Video)으로부터 각 단계의 드레인 선에 순차적으로 영상 신호가 출력되도록 구성되어 있다.

### 발명이 이루고자 하는 기술적 과제

<41> 그러나, 도 18에 도시한 종래의 일례에 의한 시프트 레지스터 회로를 구비한 표시 장치에서는 시프트 레지스터 회로에 플러스측 전위(VDD)와 마이너스측 전위(VBB)를 공급한 후, 시프트 레지스터 회로에 의한 주사를 아직 행하지 않은 상태에서, 각 단계의 시프트 레지스터 회로부(1001 내지 1003)의 출력 노드인 노드(ND504)의 전위가 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위가 된다고 하는 문제점이 있다. 이것에 의해 노드(ND504)에 게이트가 접속된 수평 스위치(1100)의 트랜지스터(NT510 내지 NT512)가 의도하지 않은 타이밍에서 온 하는 경우가 있다고 하는 문제점이 있다. 이 경우에는 그 온 상태로 된 트랜지스터(NT510 내지 NT512)를 통하여 비디오 신호선(Video)으로부터 영상 신호가 드레인 선에 출력되므로, 의도하지 않은 타이밍에서 드레인 선에 영상 신호가 출력된다고 하는 문제점이 있다.

<42> 본 발명은 상기한 바와 같은 과제를 해결하기 위해 이루어진 것으로, 본 발명의 하나의 목적은 게이트 선이나 드레인 선에 의도하지 않은 타이밍에서 신호가 출력되는 것을 억제하는 것이 가능한 표시 장치를 제공하는 것이다.

### 발명의 구성 및 작용

<43> 상기 목적을 달성하기 위해, 본 발명의 하나의 국면에 의한 표시 장치는 제1 시프트 신호를 출력하는 제1 시프트 레지스터 회로부와 제1 시프트 레지스터 회로부의 다음단에 배치됨과 함께, 제2 시프트 신호를 출력하는 제2 시프트 레지스터 회로부와, 제1 전위로 온 하는 제1 도전형의 복수의 트랜지스터에 의해서 구성되고, 제1 시프트 신호 및 제2 시프트 신호가 입력됨과 함께, 제1 시프트 신호와 제2 시프트 신호를 논리 합성하여 시프트 출력 신호를 출력하는 논리 합성 회로부를 포함하는 시프트 레지스터 회로를 구비하고 있다. 또한, 제1 시프트 레지스터 회로부 및 제2 시프트 레지스터 회로부 중 적어도 한쪽은 소정의 구동 신호에 응답하여, 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드의 전위를 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 리셋하기 위한 리셋 트랜지스터를 포함한다.

<44> 이 하나의 국면에 의한 표시 장치에서는 상기한 바와 같이 제1 시프트 레지스터 회로부가 소정의 구동 신호에 응답하여 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드의 전위를 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 리셋하기 위한 리셋 트랜지스터를 포함하도록 구성함으로써, 시프트 레지스터 회로에 의 전원 투입 후에, 소정의 구동 신호를 입력하여, 리셋 트랜지스터에 의해 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드의 전위를 제2 전위로 리셋하면 논리 합성 회로부에 출력되는 제1 시프트 신호 및 제2 시프트 신호 중 적어도 한쪽을 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 고정할 수 있다. 이것에 의해 논리 합성 회로부의 2개의 트랜지스터의 게이트에 각각 제1 시프트 신호와 제2 시프트 신호를 입력함과 함께, 그 2개의 트랜지스터를 통하여 출력되는 신호를 제1 시프트 신호와 제2 시프트 신호가 논리 합성된 시프트 출력 신호로서 이용하는 경우에, 제1 시프트 신호 및 제2 시프트 신호 중 적어도 한쪽을 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 고정할 수 있으므로, 논리 합성 회로부의 2개의 트랜지스터 중 적어도 한쪽을 오프 상태로 유지할 수 있다. 이 때문에, 논리 합성 회로부의 2개의 트랜지스터를 통하여 시프트 출력 신호는 출력되지 않기 때문에, 게이트 선이나 드레인 선에 의도하지 않은 타이밍에서 신호가 출력되는 것을 억제할 수 있다.

<45> 상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 제1 시프트 레지스터 회로부 및 제2 시프트 레지스



터 회로부는 양쪽 모두 리셋 트랜지스터를 포함한다. 이와 같이 구성하면 리셋 트랜지스터에 의해 제1 시프트 레지스터 회로부로부터 출력되는 제1 시프트 신호와, 제2 시프트 레지스터 회로부로부터 출력되는 제2 시프트 신호를 양쪽 모두 논리 합성 회로부의 트랜지스터가 온 하지 않는 제2 전위로 고정할 수 있다. 이것에 의해 논리 합성 회로부의 2개의 트랜지스터의 게이트에 각각 제1 시프트 신호와 제2 시프트 신호를 입력함과 함께, 그 2개의 트랜지스터를 통하여 출력되는 신호를 제1 시프트 신호와 제2 시프트 신호가 논리 합성된 시프트 출력 신호로서 이용하는 경우에, 논리 합성 회로부의 2개의 트랜지스터를 양쪽 모두 오프 상태로 유지할 수 있다. 이 때문에, 논리 합성 회로부에서 게이트 선이나 드레인 선에 의도하지 않은 타이밍에서 신호가 출력되는 것을 보다 확실하게 억제할 수 있다.

<46> 상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 소정의 구동 신호는 시프트 레지스터 회로에 의한 주사를 개시시키기 위한 스타트 신호이다. 이와 같이 구성하면 소정의 구동 신호를 생성하기 위한 신호 생성 회로를 별도 형성할 필요가 없기 때문에, 표시 장치의 회로 구성이 복잡화하는 것을 억제할 수 있다.

<47> 상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 제1 시프트 레지스터 회로부 및 제2 시프트 레지스터 회로부 중 적어도 한쪽은 전단의 제1 회로부와 후단의 제2 회로부를 포함하고, 제2 회로부는 제2 전위측과 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드 사이에 접속됨과 함께, 제1 회로부의 출력 노드에 게이트가 접속된 제1 도전형의 제1 트랜지스터를 포함하고, 리셋 트랜지스터는 소정의 구동 신호에 응답하여, 제1 회로부의 출력 노드를 제1 전위로 리셋하는 기능을 갖고, 리셋 트랜지스터에 의해 제1 회로부의 출력 노드가 제1 전위로 리셋되는 것에 응답하여 제1 트랜지스터가 온 상태가 됨으로써 제2 회로부의 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드가 제2 전위로 리셋된다. 이와 같이 구성하면 리셋 트랜지스터에 의해 소정의 구동 신호에 응답하여 제1 회로부의 출력 노드를 제1 전위로 리셋함으로써, 제1 회로부의 출력 노드에 게이트가 접속된 제1 도전형의 제1 트랜지스터를 온 시킬 수 있기 때문에, 제1 트랜지스터를 통하여 제2 전위측으로부터 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드에 제2 전위를 공급할 수 있다. 이것에 의해 용이하게 소정의 구동 신호에 응답하여, 제1 시프트 신호 또는 제2 시프트 신호가 출력되는 노드의 전위를 제2 전위로 리셋할 수 있다.

<48> 상기 리셋 트랜지스터가 제1 회로부의 출력 노드를 제1 전위로 리셋하는 기능을 갖는 구성에 있어서, 바람직하게는 리셋 트랜지스터는 제1 전위측과 제1 회로부의 출력 노드 사이에 접속되어 있음과 함께, 소정의 구동 신호를 공급하는 제1 구동 신호선에 게이트가 접속되어 있다. 이와 같이 구성하면 용이하게 리셋 트랜지스터에, 소정의 구동 신호에 응답하여 제1 회로부의 출력 노드를 제1 전위로 리셋하는 기능을 갖게 할 수 있다.

<49> 상기 제1 구동 신호선을 포함하는 구성에 있어서, 제1 구동 신호선은 소정의 구동 신호로서의 시프트 레지스터 회로의 주사를 개시시키기 위한 스타트 신호를 공급하는 스타트 신호선이다. 이와 같이 구성하면 소정의 구동 신호로서 스타트 신호를 이용할 수 있기 때문에, 소정의 구동 신호를 생성하기 위한 신호 생성 회로를 별도 형성할 필요가 없다. 이것에 의해 표시 장치의 회로 구성이 복잡화하는 것을 억제할 수 있다. 또한, 제1 구동 신호선으로서 스타트 신호를 공급하는 스타트 신호선을 이용함으로써, 소정의 구동 신호를 공급하기 위한 제1 구동 신호선으로서, 별도 배선을 설치할 필요가 없기 때문에, 표시 장치의 회로 규모가 증대하는 것을 억제할 수 있다.

<50> 상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 논리 합성 회로부의 트랜지스터는 소스/드레인의 한쪽이 제1 전위와 제2 전위로 전환되는 제1 신호를 공급하는 제1 신호선에 접속됨과 함께, 게이트에 제1 시프트 신호가 입력되는 제2 트랜지스터와, 제2 트랜지스터의 소스/드레인의 다른 쪽에 소스/드레인의 한쪽이 접속됨과 함께, 게이트에 제2 시프트 신호가 입력되는 제3 트랜지스터를 포함하고, 제1 시프트 신호 및 제2 시프트 신호가 제1 전위일 때에, 제2 트랜지스터 및 제3 트랜지스터가 온 상태가 됨과 함께, 제1 신호선으로부터 제2 트랜지스터의 소스/드레인의 한쪽에 제1 전위의 제1 신호가 공급됨으로써 제2 트랜지스터 및 제3 트랜지스터를 통하여 제1 전위의 시프트 출력 신호가 출력되고, 제1 시프트 신호가 제1 전위로부터 제2 전위로 변화할 때에, 제1 신호선으로부터 제2 트랜지스터의 소스/드레인의 한쪽에 제2 전위의 제1 신호가 공급됨으로써 제2 트랜지스터 및 제3 트랜지스터를 통하여 제2 전위의 시프트 출력 신호가 출력된다. 이와 같이 구성하면 제1 시프트 신호 및 제2 시프트 신호가 제1 전위일 때에, 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터의 2개의 트랜지스터를 통하여 제1 전위의 제1 시프트 신호와 제1 전위의 제2 시프트 신호를 논리 합성한 제1 전위의 시프트 출력 신호를 출력할 수 있음과 함께, 제1 시프트 신호가 제1 전위로부터 제2 전위로 변화할 때에, 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터의 2개의 트랜지스터를 통하여 제2 전위의 제1 시프트 신호와 제1 전위의 제2 시프트 신호를 논리 합성한 제2 전위의 시프트 출력 신호를 출력할 수 있다. 이것에 의해 용이하게 논리 합성 회로부로부터 제1 시프트 신호와 제2 시프트 신호를 논리 합성한 시프트 출력 신호를 출력할 수



있다.

<51> 이 경우에 있어서, 바람직하게는 제1 신호가 제2 전위인 기간은 시프트 출력 신호는 강제적으로 제2 전위로 유지된다. 이와 같이 구성하면 복수단의 논리 합성 회로로부터 출력되는 시프트 출력 신호의 전위가 순차적으로 제2 전위(예를 들면 L레벨)로부터 제1 전위(예를 들면 H레벨)로 변화하는 경우에, 제1 신호가 제2 전위(L레벨)인 기간에 있어서, 전단의 논리 합성 회로로부터 출력되는 시프트 출력 신호와, 다음단의 논리 합성 회로로부터 출력되는 시프트 출력 신호를 양쪽 모두 강제적으로 제2 전위(L레벨)로 할 수 있다. 이것에 의해 전단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제1 전위(H레벨)이고, 다음단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제2 전위(L레벨)일 때에, 제1 신호를 제2 전위(L레벨)로 함으로써 전단 및 다음단의 논리 합성 회로로부터 각각 출력되는 시프트 출력 신호를 함께 제2 전위(L레벨)로 할 수 있다. 또한, 제1 신호가 제2 전위(L레벨)의 기간 후에, 다음단의 논리 합성 회로로부터 출력되는 시프트 출력 신호만을 제1 전위(H레벨)로 변화하면 전단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제1 전위(H레벨)로부터 제2 전위(L레벨)로 변화하는 타이밍과, 다음단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제2 전위(L레벨)로부터 제1 전위(H레벨)로 변화하는 타이밍이 중첩되는 것을 억제할 수 있다. 이것에 의해 전단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제1 전위(H레벨)로부터 제2 전위(L레벨)로 변화하는 타이밍과, 다음단의 논리 합성 회로로부터 출력되는 시프트 출력 신호가 제2 전위(L레벨)로부터 제1 전위(H레벨)로 변화하는 타이밍이 중첩되는 것에 기인하는 노이즈의 발생을 억제할 수 있다.

<52> 상기 제1 시프트 신호가 제1 전위로부터 제2 전위로 변화할 때에, 제2 전위의 시프트 출력 신호가 출력되는 구성에 있어서, 바람직하게는 논리 합성 회로부는 제1 시프트 신호가 제1 전위로부터 제2 전위로 변화한 후, 시프트 출력 신호를 제2 전위로 고정하기 위한 전위 고정 회로부를 포함한다. 이와 같이 구성하면 전위 고정 회로부에 의해 제1 시프트 신호가 제1 전위로부터 제2 전위로 변화한 후, 시프트 출력 신호를 제2 전위로 고정할 수 있으므로, 제1 시프트 신호가 제2 전위이고, 제2 시프트 신호가 제1 전위일 때에, 시프트 출력 신호를 제2 전위로 고정할 수 있다. 또한, 그 후, 제2 시프트 신호가 제2 전위로 변화함으로써 제1 시프트 신호 및 제2 시프트 신호가 양쪽 모두 제2 전위가 된 경우에도, 시프트 출력 신호를 제2 전위로 고정할 수 있다.

<53> 상기 논리 합성 회로부가 게이트에 제1 시프트 신호가 입력되는 제2 트랜지스터와, 게이트에 제2 시프트 신호가 입력되는 제3 트랜지스터를 포함하는 구성에 있어서, 바람직하게는 제1 시프트 레지스터 회로부는 드레인에 적어도 제1 전위가 공급됨과 함께, 게이트가 제1 시프트 신호가 출력되는 노드에 접속되는 제4 트랜지스터와, 제4 트랜지스터의 게이트-소스 사이에 접속되는 제1 용량을 포함하고, 제2 시프트 레지스터 회로부는 드레인에 적어도 제1 전위가 공급됨과 함께, 게이트가 제2 시프트 신호가 출력되는 노드에 접속되는 제5 트랜지스터와, 제5 트랜지스터의 게이트-소스 사이에 접속되는 제2 용량을 포함한다. 이와 같이 구성하면 예를 들면 제4 트랜지스터(제5 트랜지스터)의 드레인에 플러스측 전위(VDD)가 공급됨과 함께, 제4 트랜지스터(제5 트랜지스터)가 n채널 트랜지스터인 경우, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 VDD보다도 제4 트랜지스터(제5 트랜지스터)의 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ )만큼 높은 전위까지 상승시킬 수 있기 때문에, 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터의 게이트에, 각각  $VDD+V_t$ 보다도 높은 전위( $VDD+V_a$ )를 갖는 제1 시프트 신호 및 제2 시프트 신호를 공급할 수 있다. 이것에 의해 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터를 통하여 출력되는 시프트 출력 신호의 전위가, VDD로부터 제2 트랜지스터 및 제3 트랜지스터의 임계값 전압( $V_t$ ) 분만큼 저하하는 것을 억제할 수 있다. 또한, 제4 트랜지스터(제5 트랜지스터)의 드레인에 마이너스측 전위(VBB)가 공급됨과 함께, 제4 트랜지스터(제5 트랜지스터)가 p채널 트랜지스터인 경우, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 VBB보다도 제4 트랜지스터(제5 트랜지스터)의 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ )만큼 낮은 전위까지 저하시킬 수 있기 때문에, 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터의 게이트에, 각각  $VBB-V_t$ 보다도 낮은 전위( $VDD-V_a$ )를 갖는 제1 시프트 신호 및 제2 시프트 신호를 공급할 수 있다. 이것에 의해 논리 합성 회로부의 제2 트랜지스터 및 제3 트랜지스터를 통하여 출력되는 시프트 출력 신호의 전위가, VBB로부터 제2 트랜지스터 및 제3 트랜지스터의 임계값 전압( $V_t$ ) 분만큼 상승하는 것을 억제할 수 있다.

<54> 상기 제4 트랜지스터 및 제5 트랜지스터를 포함하는 구성에 있어서, 바람직하게는 제4 트랜지스터의 드레인에는 제1 전위와 제2 전위로 전환되는 제1 신호를 공급하는 제1 신호선이 접속됨과 함께, 게이트에는 제1 클록 신호가 공급되고, 제5 트랜지스터의 드레인에는 제1 신호를 공급하는 제1 신호선이 접속됨과 함께, 게이트에는 제2 클록 신호가 공급되고, 제1 신호는 제1 클록 신호가 제2 전위로부터 제1 전위로 된 후와, 제2 클록 신호가 제2 전위로부터 제1 전위로 된 후에, 각각 제2 전위로부터 제1 전위로 전환된다. 이와 같이 구성하면 제1 클록 신호(제2 클록 신호)에 의해 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 제2 전위로부터 제1 전위로 변화시

킴에 수반하여 제4 트랜지스터(제5 트랜지스터)를 온 상태로 되게 한 후, 제1 신호에 의해 제4 트랜지스터(제5 트랜지스터)의 소스 전위를 제2 전위로부터 제1 전위로 변화시킬 수 있다. 이것에 의해 그 때의 제4 트랜지스터(제5 트랜지스터)의 소스 전위의 변화분도 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 상승 또는 저하시킬 수 있다. 즉, 제4 트랜지스터(제5 트랜지스터)의 드레인에 고정적인 전위인 제1 전위가 공급되고 있는 경우의 제4 트랜지스터(제5 트랜지스터)의 게이트와 소스 사이의 제1 용량(제2 용량)에 의한 제4 트랜지스터(제5 트랜지스터)의 게이트 전위의 상승 또는 저하 외에 추가로, 소스 전위를 제2 전위로부터 제1 전위로 변화할 때의 변화분도 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 보다 높게 또는 낮게 할 수 있다. 이것에 의해 보다 용이하게 제1 및 제2 시프트 신호의 전위를, VDD보다도 임계값 전압( $V_t$ ) 이상 높은 전위 또는 VBB보다도 임계값 전압( $V_t$ ) 이상 낮은 전위로 할 수 있다. 따라서, 보다 용이하게 논리 합성 회로부의 제2 트랜지스터의 게이트 및 제3 트랜지스터의 게이트에, VDD+ $V_t$  이상의 전위 또는 VBB- $V_t$  이하의 전위를 갖는 제1 시프트 신호 및 제2 시프트 신호를 공급할 수 있으므로, 제2 트랜지스터 및 제3 트랜지스터를 통하여 출력되는 시프트 출력 신호의 전위가 임계값 전압( $V_t$ ) 분만큼 저하 또는 상승하는 것을 더욱 억제할 수 있다.

<55>

상기 제4 트랜지스터 및 제5 트랜지스터를 포함하는 구성에 있어서, 바람직하게는 제4 트랜지스터의 드레인에는 제1 전위와 제2 전위로 전환되는 제2 신호를 공급하는 제2 신호선이 접속됨과 함께, 게이트에는 제1 클록 신호가 공급되고, 제5 트랜지스터의 드레인에는 제1 전위와 제2 전위로 전환되는 제3 신호를 공급하는 제3 신호선이 접속됨과 함께, 게이트에는 제2 클록 신호가 공급되고, 제2 신호는 제1 클록 신호가 제2 전위로부터 제1 전위로 된 후, 제2 전위로부터 제1 전위로 전환되고, 제3 신호는 제2 클록 신호가 제2 전위로부터 제1 전위로 된 후, 제2 전위로부터 제1 전위로 전환된다. 이와 같이 구성하면 제1 시프트 레지스터 회로부의 제4 트랜지스터와, 제2 시프트 레지스터 회로부의 제5 트랜지스터가, 각각 제1 클록 신호와 제2 클록 신호에 응답하여 온 하는 타이밍에 맞춰 제4 및 제5 트랜지스터의 소스 전위를 제2 전위로부터 제1 전위로 변화시킬 수 있다. 또한, 제1 시프트 레지스터 회로부의 제4 트랜지스터와, 제2 시프트 레지스터 회로부의 제5 트랜지스터가 각각 제1 클록 신호와 제2 클록 신호에 응답하여 오프 상태가 될 때까지, 제4 및 제5 트랜지스터의 소스 전위를 각각 제1 전위로 유지할 수 있다. 이것에 의해 제4 및 제5 트랜지스터가 제1 및 제2 클록 신호에 응답하여 오프하기 까지의 동안에, 제4 및 제5 트랜지스터의 소스 전위가 제2 전위가 되는 것에 기인하여, 제4 및 제5 트랜지스터의 게이트 전위가 변동한다고 하는 문제점이 발생하는 것을 억제할 수 있다. 이 경우, 제1 시프트 레지스터 회로부의 제4 트랜지스터의 게이트가 접속된 노드로부터 출력되는 제1 시프트 신호와, 제2 시프트 레지스터 회로부의 제5 트랜지스터의 게이트가 접속된 노드로부터 출력되는 제2 시프트 신호가 변동하는 것을 억제할 수 있으므로, 제1 시프트 신호가 게이트에 입력되는 논리 합성 회로부의 제2 트랜지스터의 동작과, 제2 시프트 신호가 게이트에 입력되는 논리 합성 회로부의 제3 트랜지스터의 동작이 불안정해지는 것을 억제할 수 있다.

<56>

상기 제4 트랜지스터 및 제5 트랜지스터를 포함하는 구성에 있어서, 바람직하게는 리셋 트랜지스터는 소정의 구동 신호에 응답하고, 제4 트랜지스터 또는 제5 트랜지스터의 소스의 전위를 제2 전위로 리셋하는 기능도 갖고 있다. 이와 같이 구성하면 예를 들면 제4 트랜지스터(제5 트랜지스터)가 n채널 트랜지스터임과 함께, 제4 트랜지스터(제5 트랜지스터)의 드레인에 플러스측 전위(VDD)(제1 전위)를 공급하여, 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 상승시키는 데 앞서 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 마이너스측 전위(VBB)(제2 전위)로 리셋하면 제4 트랜지스터(제5 트랜지스터)의 소스의 전위가 마이너스측 전위(VBB)로부터 플러스측 전위(VDD)로 상승하는 전위차 만큼, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 상승시킬 수 있다. 이것에 의해 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로부터 상승시키는 경우에 비해서, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 더욱 상승시킬 수 있기 때문에, 보다 확실하게 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 VDD보다도 제4 트랜지스터(제5 트랜지스터)의 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ )만큼 높은 전위까지 상승시킬 수 있다. 또한, 제4 트랜지스터(제5 트랜지스터)가 p채널 트랜지스터임과 함께, 제4 트랜지스터(제5 트랜지스터)의 드레인에 마이너스측 전위(VBB)(제1 전위)를 공급하여, 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 저하시키는 데 앞서 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 플러스측 전위(VDD)(제2 전위)로 리셋하면 제4 트랜지스터(제5 트랜지스터)의 소스의 전위가 플러스측 전위(VDD)로부터 마이너스측 전위(VBB)로 저하하는 전위차 만큼, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 저하시킬 수 있다. 이것에 의해 제4 트랜지스터(제5 트랜지스터)의 소스의 전위를 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로부터 저하시키는 경우에 비해서, 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 보다 저하시킬 수 있기 때문에, 보다 확실하게 제4 트랜지스터(제5 트랜지스터)의 게이트 전위를 VBB보다도 제4 트랜지스터(제5 트랜지스터)의 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ ) 만큼 낮은 전위까지 저하시킬 수 있다.

<57>

상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 시프트 레지스터 회로는 게이트 선을 구동하기 위

한 시프트 레지스터 회로, 및 드레인 선을 구동하기 위한 시프트 레지스터 회로 중 적어도 한쪽에 적용되어 있다. 이와 같이 구성하면 용이하게 게이트 선 및 드레인 선 중 적어도 한쪽에 의도하지 않은 타이밍에서 신호가 출력되는 것을 억제할 수 있다.

<58> 상기 하나의 국면에 의한 표시 장치에 있어서, 바람직하게는 제1 시프트 레지스터 회로부, 제2 시프트 레지스터 회로부 및 논리 합성 회로부를 구성하는 트랜지스터와 리셋 트랜지스터는 제1 도전형을 갖는다. 이와 같이 구성하면 제1 시프트 레지스터 회로부, 제2 시프트 레지스터 회로부 및 논리 합성 회로부를 구성하는 트랜지스터와, 리셋 트랜지스터를 제1 도전형 또는 제2 도전형의 두 가지의 도전형을 갖는 트랜지스터에 의해서 구성하는 경우에 비해서 이들 트랜지스터를 형성할 때의 이온 주입 공정의 횟수 및 이온 주입 마스크의 매수를 저감시킬 수 있다. 이것에 의해 제조 프로세스가 복잡화하는 것을 억제할 수 있음과 함께, 제조 비용이 증대하는 것을 억제할 수 있다.

<59> 상기 하나의 국면에 의한 표시 장치는 액정 표시 장치 및 EL 표시 장치 중 어느 한쪽으로 이루어져 있어도 된다.

<60> 이하, 본 발명의 실시 형태를 도면에 기초하여 설명한다.

<61> (제1 실시 형태)

<62> 우선, 도 1을 참조하여 이 제1 실시 형태에서는 기관(1) 위에 표시부(2)가 설치되어 있다. 이 표시부(2)에는 화소(20)가 매트릭스 형상으로 배치되어 있다. 또한, 도 1에서는 도면의 간략화를 위해 1개의 화소(20)만을 도시하고 있다. 각각의 화소(20)는, n채널 트랜지스터(21)(이하, 트랜지스터(21)라고 한다), 화소 전극(22), 화소 전극(22)에 대향 배치된 각 화소(20)에 공통의 대향 전극(23), 화소 전극(22)과 대향 전극(23) 사이에 형성된 액정(24), 및 보조 용량(25)에 의해서 구성되어 있다. 그리고, 트랜지스터(21)의 소스는 화소 전극(22) 및 보조 용량(25)에 접속되어 있음과 함께, 드레인 선은 드레인 선에 접속되어 있다. 이 트랜지스터(21)의 게이트는 게이트 선에 접속되어 있다.

<63> 또한, 표시부(2)의 1변을 따르도록, 기관(1) 위에 표시부(2)의 드레인 선을 구동(주사)하기 위한 수평 스위치(HSW)(3) 및 H드라이버(4)가 설치되어 있다. 또한, 표시부(2)의 다른 변을 따르도록, 기관(1) 위에 표시부(2)의 게이트 선을 구동(주사)하기 위한 V드라이버(5)가 설치되어 있다. 또한, 도 1의 수평 스위치(3)에는 2개의 스위치만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 스위치가 배치되어 있다. 또한, 도 1의 H드라이버(4) 및 V드라이버(5)에는 각각 시프트 레지스터 회로부를 2개만 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부가 배치되어 있다.

<64> 또한, 기관(1)의 외부에는 구동 IC(10)가 설치되어 있다. 이 구동 IC(10)는 신호 발생 회로(11) 및 전원 회로(12)를 구비하고 있다. 구동 IC(10)로부터 H드라이버(4)로는 비디오 신호(Video), 스타트 신호(STH), 주사 방향 전환 신호(CSH), 클록 신호(CKH), 인에이블 신호(ENB), 플러스측 전위(VDD) 및 마이너스측 전위(VBB)가 공급된다. 또한, 구동 IC(10)로부터 V드라이버(5)로는 스타트 신호(STV), 인에이블 신호(ENB), 주사 방향 전환 신호(CSV), 클록 신호(CKV), 플러스측 전위(VDD) 및 마이너스측 전위(VBB)가 공급된다.

<65> 또한, 도 2에 도시한 바와 같이 제1 실시 형태에서는 V드라이버(5)의 내부에, 복수단의 시프트 레지스터 회로부(51 내지 55)와, 주사 방향 전환 회로부(60)와, 입력 신호 전환 회로부(70)와, 복수단의 논리 합성 회로부(81 내지 83)와, 회로부(91)가 설치되어 있다. 또한, 도 2에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(51 내지 55) 및 3단분의 논리 합성 회로부(81 내지 83)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.

<66> 그리고, 1단째의 시프트 레지스터 회로부(51)는 전단의 제1 회로부(51a)와, 후단의 제2 회로부(51b)에 의해 구성되어 있다. 제1 회로부(51a)는, n채널 트랜지스터(NT1 및 NT2)와, 다이오드 접속된 n채널 트랜지스터(NT3)와, 용량(C1 및 C2)을 포함한다. 또한, 제2 회로부(51b)는, n채널 트랜지스터(NT4, NT5, NT6 및 NT7)와, 다이오드 접속된 n채널 트랜지스터(NT8)와, 용량(C3 및 C4)을 포함한다. 이하, n채널 트랜지스터(NT1 내지 NT8)는 각각 트랜지스터(NT1 내지 NT8)라고 칭한다.

<67> 또한, 1단째의 시프트 레지스터 회로부(51)에 설치된 트랜지스터(NT1 내지 NT8)는 모두 n형의 MOS 트랜지스터(전계 효과형 트랜지스터)를 포함하는 TFT(박막 트랜지스터)에 의해 구성되어 있다. 또한, 트랜지스터(NT1, NT2, NT6, NT7 및 NT8)는 상호 전기적으로 접속된 2개의 게이트 전극을 갖는다. 또한, 제1 회로부(51a)에 있어서, 트랜지스터(NT1)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인 선은 제1 회로부(51a)의 출력 노드인 노드(ND1)에 접속되어 있다. 또한, 용량(C1)의 한쪽 전극은 마이너스측 전위(VBB)에 접속되어 있음

과 함께, 다른 쪽의 전극은 노드(ND1)에 접속되어 있다. 또한, 트랜지스터(NT2)의 소스는 트랜지스터(NT3)를 통하여 노드(ND1)에 접속되어 있음과 함께, 드레인은 클록 신호선(CKV1)에 접속되어 있다. 또한, 용량(C2)은 트랜지스터(NT2)의 게이트와 소스 사이에 접속되어 있다.

<68> 또한, 제2 회로부(51b)에 있어서, 트랜지스터(NT4)의 소스는 노드(ND3)에 접속되어 있음과 함께, 드레인은 플러스측 전위(VDD)에 접속되어 있다. 이 트랜지스터(NT4)의 게이트는 노드(ND2)에 접속되어 있다. 또한, 트랜지스터(NT5)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND3)에 접속되어 있다. 이 트랜지스터(NT5)의 게이트는 제1 회로부(51a)의 노드(ND1)에 접속되어 있다. 또한, 트랜지스터(NT6)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND2)에 접속되어 있다. 이 트랜지스터(NT6)의 게이트는 제1 회로부(51a)의 노드(ND1)에 접속되어 있다. 또한, 트랜지스터(NT6)는 트랜지스터(NT5)가 온 상태 일 때에, 트랜지스터(NT4)를 오프 상태로 하기 위해서 설치되어 있다. 또한, 트랜지스터(NT7)의 소스는 트랜지스터(NT8)를 통하여 노드(ND2)에 접속되어 있음과 함께, 드레인은 클록 신호선(CKV1)에 접속되어 있다. 또한, 용량(C3)은 트랜지스터(NT4)의 게이트와 소스 사이에 접속되어 있다. 또한, 용량(C4)은 트랜지스터(NT7)의 게이트와 소스 사이에 접속되어 있다.

<69> 또한, 2단계 내지 5단계의 시프트 레지스터 회로부(52 내지 55)는 상기한 1단계의 시프트 레지스터 회로부(51)와 거의 같은 회로 구성을 갖는다. 구체적으로는 2단계 내지 5단계의 시프트 레지스터 회로부(52 내지 55)는 각각 1단계의 시프트 레지스터 회로부(51)의 제1 회로부(51a)와 거의 같은 회로 구성을 갖는 제1 회로부(52a 내지 55a)와, 제2 회로부(51b)와 거의 같은 회로 구성을 갖는 제2 회로부(52b 내지 55b)에 의해 구성되어 있다.

<70> 2단계의 시프트 레지스터 회로부(52)는 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1 내지 NT8)에 대응하는, n채널 트랜지스터(NT11 내지 NT18)와, 용량(C1 내지 C4)에 대응하는 용량(C11 내지 C14)을 포함한다. 또한, n채널 트랜지스터(NT14)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일례이며, n채널 트랜지스터(NT16)는 본 발명의 「제1 트랜지스터」의 일례이다. 또한, 용량(C13)은 본 발명의 「제1 용량」 및 「제2 용량」의 일례이다. 이하, n채널 트랜지스터(NT11 내지 NT18)는 각각 트랜지스터(NT11 내지 NT18)라고 칭한다. 또한, 3단계의 시프트 레지스터 회로부(53)는 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1 내지 NT8)에 대응하는, n채널 트랜지스터(NT21 내지 NT28)와, 용량(C1 내지 C4)에 대응하는 용량(C21 내지 C24)을 포함한다. 또한, n채널 트랜지스터(NT24)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일례이며, n채널 트랜지스터(NT26)는 본 발명의 「제1 트랜지스터」의 일례이다. 또한, 용량(C23)은 본 발명의 「제1 용량」 및 「제2 용량」의 일례이다. 이하, n채널 트랜지스터(NT21 내지 NT28)는 각각 트랜지스터(NT21 내지 NT28)라고 칭한다.

<71> 또한, 4단계의 시프트 레지스터 회로부(54)는 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1 내지 NT8)에 대응하는, n채널 트랜지스터(NT31 내지 NT38)와, 용량(C1 내지 C4)에 대응하는 용량(C31 내지 C34)을 포함한다. 또한, n채널 트랜지스터(NT34)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일례이며, n채널 트랜지스터(NT36)는 본 발명의 「제1 트랜지스터」의 일례이다. 또한, 용량(C33)은 본 발명의 「제1 용량」 및 「제2 용량」의 일례이다. 이하, n채널 트랜지스터(NT31 내지 NT38)는 각각 트랜지스터(NT31 내지 NT38)라고 칭한다. 또한, 5단계의 시프트 레지스터 회로부(55)는 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1 내지 NT8)에 대응하는, n채널 트랜지스터(NT41 내지 NT48)와, 용량(C1 내지 C4)에 대응하는 용량(C41 내지 C44)을 포함한다. 또한, n채널 트랜지스터(NT44)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일례이며, n채널 트랜지스터(NT46)는 본 발명의 「제1 트랜지스터」의 일례이다. 또한, 용량(C43)은 본 발명의 「제1 용량」 및 「제2 용량」의 일례이다. 이하, n채널 트랜지스터(NT41 내지 NT48)는 각각 트랜지스터(NT41 내지 NT48)라고 칭한다.

<72> 여기서, 제1 실시 형태에서는 4단계의 시프트 레지스터 회로부(54)의 제1 회로부(54a)는 시프트 신호(SR4)를 출력하는 노드(ND2)의 전위를 마이너스측 전위(VBB)로 리셋하기 위한 n채널 트랜지스터(NT39)를 포함하고 있다. 또한, 5단계의 시프트 레지스터 회로부(55)의 제1 회로부(55a)는 시프트 신호(SR5)를 출력하는 노드(ND2)의 전위를 마이너스측 전위(VBB)로 리셋하기 위한 n채널 트랜지스터(NT49)를 포함하고 있다. 이하, n채널 트랜지스터(NT39 및 NT49)는 각각 리셋 트랜지스터(NT39 및 NT49)라고 칭한다.

<73> 또한, 리셋 트랜지스터(NT39)의 드레인에는 플러스측 전위(VDD)가 공급됨과 함께, 소스는 4단계의 시프트 레지스터 회로부(54)의 제1 회로부(54a)의 출력 노드인 노드(ND1)에 접속되어 있다. 또한, 리셋 트랜지스터(NT39)의 게이트에는 스타트 신호(STV)를 공급하기 위한 스타트 신호선(STV)이 접속되어 있다. 또한, 스타트 신호



(STV)는 본 발명의 「소정의 구동 신호」의 일례이며, 스타트 신호선(STV)은 본 발명의 「제1 구동 신호선」의 일례이다. 이것에 의해 H레벨의 스타트 신호(STV)에 응답하여 리셋 트랜지스터(NT39)가 온 하면 리셋 트랜지스터(NT39)를 통하여 플러스측 전위(VDD)가 공급됨으로써 제1 회로부(54a)의 노드(ND1)의 전위가 플러스측 전위(VDD)(H레벨)로 되도록 구성되어 있다. 그리고, 제1 회로부(54a)의 노드(ND1)의 전위가 플러스측 전위(VDD)(H레벨)가 되면, 제2 회로부(54b)의 트랜지스터(NT36)가 온 하기 때문에, 트랜지스터(NT36)를 통하여 마이너스측 전위(VBB)가 공급됨으로써 시프트 신호(SR4)를 출력하는 제2 회로부(54b)의 노드(ND2)이 마이너스측 전위(VBB)로 리셋되도록 구성되어 있다.

<74> 또한, 리셋 트랜지스터(NT49)의 드레인에는 플러스측 전위(VDD)가 공급됨과 함께, 소스는 5단계의 시프트 레지스터 회로부(55)의 제1 회로부(55a)의 출력 노드인 노드(ND1)에 접속되어 있다. 또한, 리셋 트랜지스터(NT49)의 게이트에는 스타트 신호(STV)를 공급하기 위한 스타트 신호선(STV)이 접속되어 있다. 이것에 의해 5단계의 시프트 레지스터 회로부(55)에서는 상기한 4단계의 시프트 레지스터 회로부(54)와 마찬가지로 해서, 시프트 신호(SR5)를 출력하는 제2 회로부(55b)의 노드(ND2)이 마이너스측 전위(VBB)로 리셋되도록 구성되어 있다.

<75> 또한, 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT12 및 NT17)와, 4단계의 시프트 레지스터 회로부(54)의 트랜지스터(NT32 및 NT37)는 클록 신호선(CKV2)에 접속되어 있다. 또한, 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT22 및 NT27)와, 5단계의 시프트 레지스터 회로부(55)의 트랜지스터(NT42 및 NT47)는 클록 신호선(CKV1)에 접속되어 있다. 즉, 클록 신호선(CKV1)과 클록 신호선(CKV2)이 1단마다 교대로 접속되어 있다.

<76> 또한, 제1 실시 형태에서는 3단계 이후의 시프트 레지스터 회로부(53 내지 55)에 인에이블 신호선(ENB1)과 인에이블 신호선(ENB2)이 1개씩 교대로 접속되어 있다. 또한, 이 인에이블 신호선(ENB1 및 ENB2)은 본 발명의 「제2 신호선」 및 「제3 신호선」의 일례이다. 이 인에이블 신호선(ENB1)을 통하여 소정의 타이밍에서 전위가 L레벨로부터 H레벨로 전환되는 인에이블 신호(ENB1)가 공급됨과 함께, 인에이블 신호선(ENB2)을 통하여 인에이블 신호(ENB1)와는 다른 타이밍에서 전위가 L레벨로부터 H레벨로 전환되는 인에이블 신호(ENB2)가 공급되도록 구성되어 있다. 그리고, 3단계의 시프트 레지스터 회로부(53) 및 5단계의 시프트 레지스터 회로부(55)에서는 각각 트랜지스터(NT24 및 NT44)의 드레인에 인에이블 신호선(ENB1)이 접속되어 있다. 또한, 4단계의 시프트 레지스터 회로부(54)에서는 트랜지스터(NT34)의 드레인에 인에이블 신호선(ENB2)이 접속되어 있다.

<77> 또한, 주사 방향 전환 회로부(60)는, n채널 트랜지스터(NT51 내지 NT60)를 포함한다. 이하, n채널 트랜지스터(NT51 내지 NT60)는 각각 트랜지스터(NT51 내지 NT60)라고 칭한다. 이 트랜지스터(NT51 내지 NT60)는 모두 n형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다.

<78> 또한, 트랜지스터(NT51 내지 NT55)는 이 순서로 소스/드레인의 한쪽과 소스/드레인의 다른 쪽이 상호 접속되어 있다. 또한, 트랜지스터(NT51, NT53 및 NT55)의 게이트에는 주사 방향 전환 신호선(CSV)이 접속되어 있음과 함께, 트랜지스터(NT52 및 NT54)의 게이트에는 반전 주사 방향 전환 신호선(XCSV)이 접속되어 있다. 즉, 트랜지스터(NT51 내지 NT55)의 게이트에는 각각 주사 방향 전환 신호선(CSV)과 반전 주사 방향 전환 신호선(XCSV)이 교대로 접속되어 있다.

<79> 또한, 트랜지스터(NT56)는 후술하는 회로부(91)의 노드(ND6)에 접속되어 있다. 또한, 트랜지스터(NT57 내지 NT60)는 이 순서로 소스/드레인의 한쪽과 소스/드레인의 다른 쪽이 상호 접속되어 있다. 트랜지스터(NT56, NT58 및 NT60)의 게이트에는 반전 주사 방향 전환 신호선(XCSV)이 접속되어 있음과 함께, 트랜지스터(NT57 및 NT59)의 게이트에는 주사 방향 전환 신호선(CSV)이 접속되어 있다. 즉, 트랜지스터(NT56 내지 NT60)의 게이트에는 각각 반전 주사 방향 전환 신호선(XCSV)과 주사 방향 전환 신호선(CSV)이 교대로 접속되어 있다.

<80> 또한, 주사 방향이 순방향인 경우에는 주사 방향 전환 신호(CSV)가 H레벨(VDD)이 되도록, 또한, 반전 주사 방향 전환 신호(XCSV)가 L레벨(VBB)이 되도록 제어된다. 이 때문에, 주사 방향이 순방향인 경우에는 트랜지스터(NT51, NT53, NT55, NT57 및 NT59)가 온 상태로 되도록, 또한, 트랜지스터(NT52, NT54, NT56, NT58 및 NT60)가 오프 상태로 되도록 제어된다. 또한, 주사 방향이 역방향인 경우에는 주사 방향 전환 신호(CSV)가 L레벨(VBB)이 되도록, 또한, 반전 주사 방향 전환 신호(XCSV)가 H레벨(VDD)이 되도록 제어된다. 이 때문에, 주사 방향이 역방향인 경우에는 트랜지스터(NT51, NT53, NT55, NT57 및 NT59)가 오프 상태로 되도록, 또한, 트랜지스터(NT52, NT54, NT56, NT58 및 NT60)가 온 상태로 되도록 제어된다.

<81> 또한, 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1)의 게이트가, 주사 방향 전환 회로부(60)의 트랜지스터(NT51)의 소스/드레인의 다른 쪽(트랜지스터(NT52)의 소스/드레인의 한쪽)에 접속되어 있음과 함께, 1단

제의 시프트 레지스터 회로부(51)의 노드(ND3)가 주사 방향 전환 회로부(60)의 트랜지스터(NT57)의 소스/드레인의 한쪽에 접속되어 있다.

<82> 또한, 2단제의 시프트 레지스터 회로부(52)의 트랜지스터(NT11)의 게이트가, 주사 방향 전환 회로부(60)의 트랜지스터(NT57)의 소스/드레인의 다른 쪽(트랜지스터(NT58)의 소스/드레인의 한쪽)에 접속되어 있음과 함께, 2단제의 시프트 레지스터 회로부(52)의 노드(ND3)가 주사 방향 전환 회로부(60)의 트랜지스터(NT52)의 소스/드레인의 다른 쪽(트랜지스터(NT53)의 소스/드레인의 한쪽)에 접속되어 있다.

<83> 또한, 3단제의 시프트 레지스터 회로부(53)의 트랜지스터(NT21)의 게이트가, 주사 방향 전환 회로부(60)의 트랜지스터(NT53)의 소스/드레인의 다른 쪽(트랜지스터(NT54)의 소스/드레인의 한쪽)에 접속되어 있음과 함께, 3단제의 시프트 레지스터 회로부(53)의 노드(ND3)가 주사 방향 전환 회로부(60)의 트랜지스터(NT58)의 소스/드레인의 다른 쪽(트랜지스터(NT59)의 소스/드레인의 한쪽)에 접속되어 있다.

<84> 또한, 4단제의 시프트 레지스터 회로부(54)의 트랜지스터(NT31)의 게이트가, 주사 방향 전환 회로부(60)의 트랜지스터(NT59)의 소스/드레인의 다른 쪽(트랜지스터(NT60)의 소스/드레인의 한쪽)에 접속되어 있음과 함께, 4단제의 시프트 레지스터 회로부(54)의 노드(ND3)가 주사 방향 전환 회로부(60)의 트랜지스터(NT54)의 소스/드레인의 다른 쪽(트랜지스터(NT55)의 소스/드레인의 한쪽)에 접속되어 있다.

<85> 또한, 5단제의 시프트 레지스터 회로부(55)의 트랜지스터(NT41)의 게이트가, 주사 방향 전환 회로부(60)의 트랜지스터(NT55)의 소스/드레인의 다른 쪽에 접속되어 있음과 함께, 5단제의 시프트 레지스터 회로부(55)의 노드(ND3)가 주사 방향 전환 회로부(60)의 트랜지스터(NT60)의 소스/드레인의 다른 쪽에 접속되어 있다.

<86> 각단의 시프트 레지스터 회로부(51 내지 55)와 주사 방향 전환 회로부(60)를 상기한 바와 같이 접속함으로써, 주사 방향에 따라서 소정단의 시프트 레지스터 회로부의 제1 회로부에 주사 방향에 대해서 전단의 출력 신호(SR11 내지 SR15)가 입력되도록 제어된다. 단, 주사 방향이 순방향인 경우의 선두단의 시프트 레지스터 회로부(51)의 제1 회로부(51a)에는 스타트 신호(STV)가 입력된다.

<87> 또한, 입력 신호 전환 회로부(70)는 게이트가 주사 방향 전환 신호선(CSV)에 접속된 n채널 트랜지스터(NT61 내지 NT70)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 n채널 트랜지스터(NT71 내지 NT80)를 포함한다. 이하, n채널 트랜지스터(NT61 내지 NT80)는 각각 트랜지스터(NT61 내지 NT80)라고 칭한다. 또한, 입력 신호 전환 회로부(70)를 구성하는 트랜지스터(NT61 내지 NT80)는 모두 n형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다.

<88> 또한, 주사 방향 전환 신호선(CSV)에 접속된 n채널 트랜지스터와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 n채널 트랜지스터는, 각 단의 시프트 레지스터 회로부(51 내지 55)에 대해서 각각 2개씩 배치되어 있다. 구체적으로는 1단제의 시프트 레지스터 회로부(51)에 대응하여, 게이트가 주사 방향 전환 신호선(CSV)에 접속된 트랜지스터(NT61 및 NT62)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 트랜지스터(NT71 및 NT72)가 배치되어 있다. 트랜지스터(NT61 및 NT71)의 소스/드레인의 한쪽은 1단제의 시프트 레지스터 회로부(51)의 트랜지스터(NT2)의 게이트에 접속되어 있다. 트랜지스터(NT61)의 소스/드레인의 다른 쪽은 2단제의 시프트 레지스터 회로부(52)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT71)의 소스/드레인의 다른 쪽은 플러스측 전위(VDD)에 접속되어 있다. 또한, 트랜지스터(NT62 및 NT72)의 소스/드레인의 한쪽은 1단제의 시프트 레지스터 회로부(51)의 트랜지스터(NT7)의 게이트에 접속되어 있다. 트랜지스터(NT62)의 소스/드레인의 다른 쪽은 스타트 신호(STV)가 공급되는 주사 방향 전환 회로부(60)의 트랜지스터(NT51)의 소스/드레인의 다른 쪽(트랜지스터(NT52)의 소스/드레인의 한쪽) 및 트랜지스터(NT1)의 게이트에 접속되어 있음과 함께, 트랜지스터(NT72)의 소스/드레인의 다른 쪽은 2단제의 시프트 레지스터 회로부(52)의 노드(ND2)에 접속되어 있다.

<89> 또한, 2단제의 시프트 레지스터 회로부(52)에 대응하여, 게이트가 주사 방향 전환 신호선(CSV)에 접속된 트랜지스터(NT63 및 NT64)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 트랜지스터(NT73 및 NT74)가 배치되어 있다. 트랜지스터(NT63 및 NT73)의 소스/드레인의 한쪽은 2단제의 시프트 레지스터 회로부(52)의 트랜지스터(NT12)의 게이트에 접속되어 있다. 트랜지스터(NT63)의 소스/드레인의 다른 쪽은 3단제의 시프트 레지스터 회로부(53)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT73)의 소스/드레인의 다른 쪽은 1단제의 시프트 레지스터 회로부(51)의 노드(ND2)에 접속되어 있다. 또한, 트랜지스터(NT64 및 NT74)의 소스/드레인의 한쪽은 2단제의 시프트 레지스터 회로부(52)의 트랜지스터(NT17)의 게이트에 접속되어 있다. 트랜지스터(NT64)의 소스/드레인의 다른 쪽은 1단제의 시프트 레지스터 회로부(51)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT74)의 소스/드레인의 다른 쪽은 3단제의 시프트 레지스터 회로부(53)의 노드(ND2)에 접속되어 있다.

- <90> 또한, 3단계의 시프트 레지스터 회로부(53)에 대응하여, 게이트가 주사 방향 전환 신호선(CSV)에 접속된 트랜지스터(NT65 및 NT66)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 트랜지스터(NT75 및 NT76)가 배치되어 있다. 트랜지스터(NT65 및 NT75)의 소스/드레인의 한쪽은 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT22)의 게이트에 접속되어 있다. 트랜지스터(NT65)의 소스/드레인의 다른 쪽은 4단계의 시프트 레지스터 회로부(54)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT75)의 소스/드레인의 다른 쪽은 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)에 접속되어 있다. 또한, 트랜지스터(NT66 및 NT76)의 소스/드레인의 한쪽은 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT27)의 게이트에 접속되어 있다. 트랜지스터(NT66)의 소스/드레인의 다른 쪽은 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT76)의 소스/드레인의 다른 쪽은 4단계의 시프트 레지스터 회로부(54)의 노드(ND2)에 접속되어 있다.
- <91> 또한, 4단계의 시프트 레지스터 회로부(54)에 대응하여, 게이트가 주사 방향 전환 신호선(CSV)에 접속된 트랜지스터(NT67 및 NT68)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 트랜지스터(NT77 및 NT78)가 배치되어 있다. 트랜지스터(NT67 및 NT77)의 소스/드레인의 한쪽은 4단계의 시프트 레지스터 회로부(54)의 트랜지스터(NT32)의 게이트에 접속되어 있다. 트랜지스터(NT67)의 소스/드레인의 다른 쪽은 5단계의 시프트 레지스터 회로부(55)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT77)의 소스/드레인의 다른 쪽은 3단계의 시프트 레지스터 회로부(53)의 노드(ND2)에 접속되어 있다. 또한, 트랜지스터(NT68 및 NT78)의 소스/드레인의 한쪽은 4단계의 시프트 레지스터 회로부(54)의 트랜지스터(NT37)의 게이트에 접속되어 있다. 트랜지스터(NT68)의 소스/드레인의 다른 쪽은 3단계의 시프트 레지스터 회로부(53)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT78)의 소스/드레인의 다른 쪽은 5단계의 시프트 레지스터 회로부(55)의 노드(ND2)에 접속되어 있다.
- <92> 또한, 5단계의 시프트 레지스터 회로부(55)에 대응하여, 게이트가 주사 방향 전환 신호선(CSV)에 접속된 트랜지스터(NT69 및 NT70)와, 게이트가 반전 주사 방향 전환 신호선(XCSV)에 접속된 트랜지스터(NT79 및 NT80)가 배치되어 있다. 트랜지스터(NT69 및 NT79)의 소스/드레인의 한쪽은 5단계의 시프트 레지스터 회로부(55)의 트랜지스터(NT42)의 게이트에 접속되어 있다. 트랜지스터(NT69)의 소스/드레인의 다른 쪽은 도시하지 않은 6단계의 시프트 레지스터 회로부의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT79)의 소스/드레인의 다른 쪽은 4단계의 시프트 레지스터 회로부(54)의 노드(ND2)에 접속되어 있다. 또한, 트랜지스터(NT70 및 NT80)의 소스/드레인의 한쪽은 5단계의 시프트 레지스터 회로부(55)의 트랜지스터(NT47)의 게이트에 접속되어 있다. 트랜지스터(NT70)의 소스/드레인의 다른 쪽은 4단계의 시프트 레지스터 회로부(54)의 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT80)의 소스/드레인의 다른 쪽은 도시하지 않은 6단계의 시프트 레지스터 회로부의 노드(ND2)에 접속되어 있다.
- <93> 입력 신호 전환 회로부(70)를 구성하는 트랜지스터(NT61 내지 NT80)를 상기한 바와 같이 구성함으로써, 주사 방향이 순방향인 경우에는 트랜지스터(NT61 내지 NT70)가 온 상태로 되도록, 또한, 트랜지스터(NT71 내지 NT80)가 오프 상태로 되도록 제어된다. 또한, 각 단의 시프트 레지스터 회로부(51 내지 55)와 입력 신호 전환 회로부(70)를 상기한 바와 같이 접속함으로써, 주사 방향에 따라서 소정단의 시프트 레지스터 회로부의 제1 회로부에 주사 방향에 대해서 다음단의 시프트 신호(SR1 내지 SR5)가 입력되도록, 또한, 소정단의 시프트 레지스터 회로부의 제2 회로부에 주사 방향에 대해서 전단의 시프트 신호(SR1 내지 SR5)가 입력되도록 제어된다. 단, 초단의 시프트 레지스터 회로부(51)의 제1 회로부(51a)에는 스타트 신호(STV)가 입력된다.
- <94> 또한, 논리 합성 회로부(81 내지 83)는 각각 더미 게이트 선(Dummy), 1단계의 게이트 선(Gate1) 및 2단계의 게이트 선(Gate2)에 접속되어 있다. 또한, 더미 게이트 선(Dummy)은 표시부(2)에 설치된 화소(20)(도 1 참조)에 접속되지 않는 게이트 선이다. 또한, 논리 합성 회로부(81 내지 83)는 각각 대응하는 소정단의 시프트 레지스터 회로부로부터 출력된 시프트 신호와, 그 소정단의 다음단의 시프트 레지스터 회로부로부터 출력된 시프트 신호를 논리 합성하여, 각 단의 게이트 선에 시프트 출력 신호를 출력하도록 구성되어 있다. 또한, 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)는, n채널 트랜지스터(NT81 내지 NT84)와, 다이오드 접속된 n채널 트랜지스터(NT85)와, 용량(C81)을 포함한다. 또한, n채널 트랜지스터(NT81)는 본 발명의 「제2 트랜지스터」의 일례이며, n채널 트랜지스터(NT82)는 본 발명의 「제3 트랜지스터」의 일례이다. 이하, n채널 트랜지스터(NT81 내지 NT85)는 각각 트랜지스터(NT81 내지 NT85)라고 칭한다.
- <95> 또한, 트랜지스터(NT83 내지 NT85)와, 용량(C81)에 의해 전위 고정 회로부(81a)가 구성되어 있다. 이 전위 고정 회로부(81a)는 논리 합성 회로부(81)로부터 L레벨의 시프트 출력 신호가 더미 게이트 선(Dummy)에 출력될 때, 그 시프트 출력 신호의 L레벨의 전위를 고정하기 위해 설치되어 있다. 또한, 논리 합성 회로부(81)를 구성하는 트랜지스터(NT81 내지 NT85)는 모두 n형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다. 또한, 트랜지스터(NT81)의 드레인은 인에이블 신호선(ENB)에 접속되어 있음과 함께, 소스는 트랜지스터(NT82)의 드레



인에 접속되어 있다. 또한, 트랜지스터(NT82)의 소스는 노드(ND4)(더미 게이트 선)에 접속되어 있다. 트랜지스터(NT81)의 게이트는 2단계의 시프트 레지스터 회로부(52)의 시프트 신호(SR2)가 출력되는 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT82)의 게이트는 3단계의 시프트 레지스터 회로부(53)의 시프트 신호(SR3)가 출력되는 노드(ND2)에 접속되어 있다.

<96> 또한, 트랜지스터(NT83)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND4)(더미 게이트 선)에 접속되어 있다. 이 트랜지스터(NT83)의 게이트는 노드(ND5)에 접속되어 있다. 또한, 트랜지스터(NT84)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND5)에 접속되어 있다. 이 트랜지스터(NT84)의 게이트는 노드(ND4)(더미 게이트 선)에 접속되어 있다. 또한, 용량(C81)의 한쪽 전극은 마이너스측 전위(VBB)에 접속되어 있음과 함께, 다른 쪽의 전극은 노드(ND5)에 접속되어 있다. 또한, 노드(ND5)는 트랜지스터(NT85)를 통하여 반전 인에이블 신호선(XENB)에 접속되어 있다.

<97> 또한, 1단계의 게이트 선(Gate1)에 접속되는 논리 합성 회로부(82)는 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)와 같은 회로 구성을 갖는다. 구체적으로는 1단계의 게이트 선(Gate1)에 접속되는 논리 합성 회로부(82)는 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)의 트랜지스터(NT81 내지 NT85)와, 용량(C81)에 대응하는, n채널 트랜지스터(NT91 내지 NT95)와, 용량(C91)을 포함한다. 또한, n채널 트랜지스터(NT91)는 본 발명의 「제2 트랜지스터」의 일레이며, n채널 트랜지스터(NT92)는 본 발명의 「제3 트랜지스터」의 일레이다. 이하, n채널 트랜지스터(NT91 내지 NT95)는 각각 트랜지스터(NT91 내지 NT95)라고 칭한다. 또한, 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)의 전위 고정 회로부(81a)에 대응하는 전위 고정 회로부(82a)가 트랜지스터(NT93 내지 NT95)와, 용량(C91)에 의해 구성되어 있다.

<98> 또한, 1단계의 게이트 선(Gate1)에 접속되는 논리 합성 회로부(82)에 있어서, 트랜지스터(NT91)의 게이트는 3단계의 시프트 레지스터 회로부(53)의 시프트 신호(SR3)가 출력되는 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT92)의 게이트는 4단계의 시프트 레지스터 회로부(54)의 시프트 신호(SR4)가 출력되는 노드(ND2)에 접속되어 있다. 또한, 노드(ND5)는 트랜지스터(NT95)를 통하여 반전 인에이블 신호선(XENB)에 접속되어 있다.

<99> 또한, 2단계의 게이트 선(Gate2)에 접속되는 논리 합성 회로부(83)는 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)와 같은 회로 구성을 갖는다. 구체적으로는 2단계의 게이트 선(Gate2)에 접속되는 논리 합성 회로부(83)는 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)의 트랜지스터(NT81 내지 NT85)와, 용량(C81)에 대응하는, n채널 트랜지스터(NT101 내지 NT105)와, 용량(C101)을 포함한다. 또한, n채널 트랜지스터(NT101)는 본 발명의 「제2 트랜지스터」의 일레이며, n채널 트랜지스터(NT102)는 본 발명의 「제3 트랜지스터」의 일레이다. 이하, n채널 트랜지스터(NT101 내지 NT105)는 각각 트랜지스터(NT101 내지 NT105)라고 칭한다. 또한, 더미 게이트 선(Dummy)에 접속되는 논리 합성 회로부(81)의 전위 고정 회로부(81a)에 대응하는 전위 고정 회로부(83a)가 트랜지스터(NT103 내지 NT105)와, 용량(C101)에 의해 구성되어 있다.

<100> 또한, 2단계의 게이트 선(Gate2)에 접속되는 논리 합성 회로부(83)에 있어서, 트랜지스터(NT101)의 게이트는 4단계의 시프트 레지스터 회로부(54)의 시프트 신호(SR4)가 출력되는 노드(ND2)에 접속되어 있음과 함께, 트랜지스터(NT102)의 게이트는 5단계의 시프트 레지스터 회로부(55)의 시프트 신호(SR5)가 출력되는 노드(ND2)에 접속되어 있다. 또한, 노드(ND5)는 트랜지스터(NT105)를 통하여 반전 인에이블 신호선(XENB)에 접속되어 있다.

<101> 또한, 회로부(91)는, n채널 트랜지스터(NT111 내지 NT113)와, 다이오드 접속된 n채널 트랜지스터(NT114)와, 용량(C111)을 포함한다. 이하, n채널 트랜지스터(NT111 내지 NT114)는 각각 트랜지스터(NT111 내지 NT114)라고 칭한다. 또한, 회로부(91)를 구성하는 트랜지스터(NT111 내지 NT114)는 모두 n형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다.

<102> 그리고, 트랜지스터(NT111)의 드레인은 인에이블 신호선(ENB)에 접속되어 있음과 함께, 소스는 노드(ND6)에 접속되어 있다. 이 트랜지스터(NT111)의 게이트는 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)에 접속되어 있다. 트랜지스터(NT112)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND6)에 접속되어 있다. 이 트랜지스터(NT112)의 게이트는 노드(ND7)에 접속되어 있다. 트랜지스터(NT113)의 소스는 마이너스측 전위(VBB)에 접속되어 있음과 함께, 드레인은 노드(ND7)에 접속되어 있다. 이 트랜지스터(NT113)의 게이트는 노드(ND6)에 접속되어 있다. 용량(C111)의 한쪽 전극은 마이너스측 전위(VBB)에 접속되어 있음과 함께, 다른 쪽의 전극은 노드(ND7)에 접속되어 있다. 또한, 노드(ND6)는 주사 방향 전환 회로부(60)의 트랜지스터(NT56)의 소스/드레인의 다른 쪽에 접속되어 있다. 또한, 노드(ND7)는 트랜지스터(NT114)를 통하여 반전 인에이블 신호선(XENB)에 접속되어 있다.

- <103> 다음에 도 1 내지 도 3을 참조하여 제1 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작에 대해서 설명한다.
- <104> 우선, 도 2 중의 순방향을 따라 각 단의 게이트 선에 타이밍이 시프트한 시프트 출력 신호가 순차적으로 출력되는 경우(순방향 주사인 경우)에 대해서 설명한다. 우선, 전원을 투입함으로써, V드라이버(5)의 각 단의 시프트 레지스터 회로부에 플러스측 전위(VDD) 및 마이너스측 전위(VBB)를 공급한다. 그리고, 순방향 주사인 경우에는 주사 방향 전환 신호(CSV)가 H레벨로 유지됨과 함께, 반전 주사 방향 전환 신호(XCSV)가 L레벨로 유지된다. 이것에 의해 순방향 주사 시에는 주사 방향 전환 신호(CSV)가 게이트에 입력되는 트랜지스터(NT51, NT53, NT55, NT57, NT59 및 NT61 내지 NT70)가 온 상태로 유지된다. 또한, 반전 주사 방향 전환 신호(XCSV)가 게이트에 입력되는 트랜지스터(NT52, NT54, NT56, NT58, NT60 및 NT71 내지 NT80)가 오프 상태로 유지된다. 그리고, 초기 상태에서는 각 단의 시프트 레지스터 회로부(51 내지 55)의 노드(ND1 내지 ND3)의 전위는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로 되어있다. 이것에 의해 초기 상태에서는 각 단의 시프트 레지스터 회로부(51 내지 55)로부터 출력되는 시프트 신호(SR1 내지 SR5)와, 출력 신호(SR11 내지 SR15)는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로 되어있다. 이 상태에서 도 3에 도시한 바와 같이 스타트 신호(STV)를 H레벨로 상승시킨다.
- <105> 이것에 의해 제1 실시 형태에서는 H레벨의 스타트 신호(STV)가 4단째의 시프트 레지스터 회로부(54)의 제1 회로부(54a)의 리셋 트랜지스터(NT39)의 게이트에 입력된다. 이 때문에, 리셋 트랜지스터(NT39)가 온 하기 때문에, 리셋 트랜지스터(NT39)를 통하여 플러스측 전위(VDD)가 4단째의 시프트 레지스터 회로부(54)의 제1 회로부(54a)의 노드(ND1)에 공급된다. 이것에 의해 초기 상태에서는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위였던 제1 회로부(54a)의 노드(ND1)의 전위가 플러스측 전위(VDD)(H레벨)로 리셋된다. 이 때문에, 제1 회로부(54a)의 노드(ND1)에 연결되는 제2 회로부(54b)의 트랜지스터(NT36 및 NT35)의 게이트에 각각 플러스측 전위(VDD)(H레벨)가 인가된다. 이것에 의해 트랜지스터(NT36 및 NT35)이 온 하기 때문에, 트랜지스터(NT36 및 NT35)을 통하여 4단째의 시프트 레지스터 회로부(54)의 노드(ND2 및 ND3)에 각각 마이너스측 전위(VBB)가 공급된다.
- <106> 이 때문에, 초기 상태에서는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위였던 4단째의 시프트 레지스터 회로부(54)의 노드(ND2 및 ND3)의 전위는 스타트 신호(STV)가 H레벨인 기간에 있어서 마이너스측 전위(VBB)로 리셋된다. 이것에 의해 4단째의 시프트 레지스터 회로부(54)의 노드(ND2 및 ND3)로부터 각각 출력되는 시프트 신호(SR4) 및 출력 신호(SR14)는 모두 마이너스측 전위(VBB)(L레벨)로 리셋된다.
- <107> 그리고, L레벨의 시프트 신호(SR4)는 논리 합성 회로부(82)의 트랜지스터(NT92)의 게이트, 및 논리 합성 회로부(83)의 트랜지스터(NT101)의 게이트에 입력되므로, 이들 트랜지스터(NT92 및 NT101)은 오프 상태로 고정된다. 또한, L레벨의 시프트 신호(SR4)는 입력 신호 전환 회로부(70)의 온 상태의 트랜지스터(NT65)를 통하여 3단째의 시프트 레지스터 회로부(53)의 트랜지스터(NT22)의 게이트에 입력된다. 이것에 의해 3단째의 시프트 레지스터 회로부(53)의 트랜지스터(NT22)는 오프 상태로 고정된다. 또한, L레벨의 시프트 신호(SR4)는 입력 신호 전환 회로부(70)의 온 상태의 트랜지스터(NT70)를 통하여 5단째의 시프트 레지스터 회로부(55)의 트랜지스터(NT47)의 게이트에 입력된다. 이것에 의해 5단째의 시프트 레지스터 회로부(55)의 트랜지스터(NT47)는 오프 상태로 고정된다.
- <108> 또한, 4단째의 시프트 레지스터 회로부(54)의 노드(ND3)로부터 출력되는 L레벨의 출력 신호(SR14)는 주사 방향 전환 회로부(60)의 온 상태의 트랜지스터(NT55)를 통하여 5단째의 시프트 레지스터 회로부(55)의 트랜지스터(NT41)의 게이트에 입력된다. 이것에 의해 5단째의 시프트 레지스터 회로부(55)의 트랜지스터(NT41)는 오프 상태로 고정된다.
- <109> 또한, 5단째의 시프트 레지스터 회로부(55)에서는 H레벨의 스타트 신호(STV)가 제1 회로부(55a)의 리셋 트랜지스터(NT49)의 게이트에 입력됨으로써, 상기한 4단째의 시프트 레지스터 회로부(54)와 마찬가지로 해서 노드(ND1)의 전위가 플러스측 전위(VDD)(H레벨)로 리셋됨과 함께, 노드(ND2 및 ND3)의 전위가 마이너스측 전위(VBB)(L레벨)로 리셋된다. 이것에 수반하여 5단째의 시프트 레지스터 회로부(55)의 노드(ND2 및 ND3)로부터 각각 출력되는 시프트 신호(SR5) 및 출력 신호(SR15)도 마이너스측 전위(VBB)(L레벨)로 리셋된다. 그리고, 이 L레벨의 시프트 신호(SR5)는 논리 합성 회로부(83)의 트랜지스터(NT102)의 게이트와, 논리 합성 회로부(83)의 트랜지스터(NT101)에 대응하는 논리 합성 회로부(83)의 다음단의 논리 합성 회로부의 n채널 트랜지스터의 게이트에 입력된다. 이것에 의해 이들 트랜지스터가 오프 상태로 고정된다. 또한, L레벨의 시프트 신호(SR5)는 입력 신호 전환 회로부(70)의 온 상태의 트랜지스터(NT67)를 통하여 4단째의 시프트 레지스터 회로부(54)의 트랜지스

터(NT32)의 게이트에 입력된다. 이것에 의해 트랜지스터(NT32)는 오프 상태로 고정된다.

- <110> 상기한 바와 마찬가지로 해서 스타트 신호(STV)가 H레벨이 되는 기간에는 4단계 이후의 모든 시프트 레지스터 회로부에 있어서, 노드(ND1)의 전위와, 노드(ND2 및 ND3)의 전위가 각각 플러스측 전위(VDD)와 마이너스측 전위(VBB)로 일괄하여 리셋된다. 그리고, 이것에 수반하여 4단계 이후의 시프트 레지스터 회로부로부터 각각 출력되는 시프트 신호 및 출력 신호가 마이너스측 전위(VBB)(L레벨)로 리셋된다. 이것에 의해 그 L레벨의 시프트 신호 또는 출력 신호가 게이트에 입력되는 각 단의 시프트 레지스터 회로부의 트랜지스터와 각 단의 논리 합성 회로부의 논리 합성을 행하는 트랜지스터가 오프 상태로 고정된다.
- <111> 또한, H레벨의 스타트 신호(STV)는 주사 방향 전환 회로부(60)의 온 상태의 트랜지스터(NT51)를 통하여 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1)의 게이트에 입력된다. 이 때문에, 트랜지스터(NT1)가 온 상태로 된다. 이 후, 트랜지스터(NT2)의 드레인에 입력되는 클록 신호(CKV1)가 H레벨로 상승한다.
- <112> 이때, 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT2)의 게이트에, 2단계의 시프트 레지스터 회로부(52)로부터 출력되는 시프트 신호(SR2)가 온 상태의 트랜지스터(NT61)를 통하여 입력되어 있다. 또한, 이 때의 트랜지스터(NT2)의 게이트에 입력되는 시프트 신호(SR2)는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위이기기는 하지만, 트랜지스터(NT2)를 오프시키는 것이 가능한 전위로 되어 있다. 이것에 의해 트랜지스터(NT2)는 오프 상태로 되어 있다.
- <113> 또한, 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1)가 온 상태에서 트랜지스터(NT2)가 오프 상태이기 때문에, 트랜지스터(NT1)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 노드(ND1)의 전위가 L레벨로 저하한다. 이것에 의해 1단계의 시프트 레지스터 회로부(51)의 노드(ND1)에 게이트가 접속되는 트랜지스터(NT5 및 NT6)가 오프 상태로 된다. 또한, H레벨의 스타트 신호(STV)는 온 상태의 트랜지스터(NT51 및 NT62)를 통하여 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT7)의 게이트에도 입력된다. 이것에 의해 트랜지스터(NT7)는 온 상태로 되어 있다. 그리고, 트랜지스터(NT7)의 드레인에 입력되는 클록 신호(CKV1)의 전위가 H레벨로 상승한다.
- <114> 이때, 트랜지스터(NT7)가 온 상태이더라도, 트랜지스터(NT6)가 오프 상태이기 때문에, 트랜지스터(NT7, NT8 및 NT6)을 통하여 클록 신호선(CKV1)과, 마이너스측 전위(VBB) 사이에서 관통 전류가 흐르는 경우는 없다. 또한, H레벨의 클록 신호(CKV1)가 트랜지스터(NT7)와, 다이오드 접속된 트랜지스터(NT8)를 통하여 입력됨으로써, 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위가 H레벨로 상승한다. 이것에 의해 트랜지스터(NT4)가 온 상태로 된다. 그리고, 플러스측 전위(VDD)로부터 트랜지스터(NT4)를 통하여 노드(ND3)에 H레벨(VDD)의 전위가 공급된다.
- <115> 이때, 트랜지스터(NT4)가 온 상태이더라도, 트랜지스터(NT5)가 오프 상태이기 때문에, 트랜지스터(NT4 및 NT5)를 통하여 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이에서 관통 전류가 흐르는 경우는 없다. 그리고, 플러스측 전위(VDD)로부터 트랜지스터(NT4)를 통하여 노드(ND3)에 H레벨(VDD)의 전위가 공급됨으로써 1단계의 시프트 레지스터 회로부(51)의 노드(ND3)의 전위는 VDD측으로 상승한다. 이때, 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위는 용량(C3)에 의해서 트랜지스터(NT4)의 게이트-소스 간 전압이 유지되도록, 노드(ND3)의 전위의 상승에 수반하여 부팅됨으로써 상승한다. 이것에 의해 노드(ND2)의 전위가 VDD보다도 트랜지스터(NT4)의 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ )만큼 높은 전위까지 상승한다. 그 결과, 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)로부터  $VDD+V_t$  이상의 전위( $VDD+V_a$ )를 갖는 H레벨의 시프트 신호(SR1)가 출력된다. 또한, 동시에, 1단계의 시프트 레지스터 회로부의 노드(ND3)로부터 H레벨(VDD)의 출력 신호(SR11)가 출력된다.
- <116> 그리고, 1단계의 시프트 레지스터 회로부(51)의 H레벨(VDD)의 출력 신호(SR11)는 온 상태의 트랜지스터(NT57)를 통하여 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT11)의 게이트에 입력된다. 이것에 의해 트랜지스터(NT11)는 온 상태로 된다. 그리고, 1단계의 시프트 레지스터 회로부(51)의 H레벨( $VDD+V_a$ )의 시프트 신호(SR1)는 온 상태의 트랜지스터(NT64)의 드레인에 입력된다. 이때, 트랜지스터(NT64)의 게이트 전압은 주사 방향 전환 신호(CSV)의 전위(VDD)와 동일하기 때문에, 트랜지스터(NT64)의 소스에 접속되는 트랜지스터(NT17)의 게이트 전압은( $VDD-V_t$ )에 충전된다. 이것에 의해 트랜지스터(NT17)는 온 상태로 된다.
- <117> 또한, 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT12)의 게이트에는 3단계의 시프트 레지스터 회로부(53)의 노드(ND2)로부터 출력되는 시프트 신호(SR3)가 온 상태의 트랜지스터(NT63)를 통하여 입력되어 있다. 또한, 이 때의 트랜지스터(NT12)의 게이트에 입력되는 시프트 신호(SR3)는 플러스측 전위(VDD)와 마이너스측 전

위(VBB) 사이의 불안정한 전위이기는 하지만, 트랜지스터(NT12)를 오프시키는 것이 가능한 전위로 되어 있다. 이것에 의해 트랜지스터(NT12)는 오프 상태로 되어 있다.

<118> 이 후, 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT17)의 드레인에 입력되는 클록 신호(CKV2)의 전위가 L레벨(VBB)로부터 H레벨(VDD)로 상승한다. 이것에 의해 트랜지스터(NT17)에서는 용량(C14)의 기능에 의해 게이트-소스 간 전압이 유지되면서, 게이트 전위가 VDD-Vt로부터 VDD와 VBB의 전위차만큼 상승한다. 이 때문에, 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)의 전위는 트랜지스터(NT17)의 임계값 전압(Vt)만큼 저하하지 않고, H레벨(VDD)의 전위로 상승한다. 이 후, 상기한 1단계의 시프트 레지스터 회로부(51)의 동작과 마찬가지로 해서, 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)로부터 VDD+Vt 이상의 전위(VDD+V $\alpha$ )를 갖는 H레벨의 시프트 신호(SR2)가 출력된다. 또한, 동시에, 2단계의 시프트 레지스터 회로부(52)의 노드(ND3)로부터 H레벨(VDD)의 출력 신호(SR12)가 출력된다.

<119> 그리고, 2단계의 시프트 레지스터 회로부(52)의 H레벨(VDD+V $\alpha$  > VDD+Vt)의 시프트 신호(SR2)는 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 트랜지스터(NT81)의 게이트에 입력된다. 또한, H레벨(VDD+V $\alpha$  > VDD+Vt)의 시프트 신호(SR2)는 게이트에 VDD의 주사 방향 전환 신호(CSV)가 입력됨으로써 온 하고 있는 트랜지스터(NT61 및 NT66)의 드레인에 입력된다. 이것에 의해 트랜지스터(NT61 및 NT66)의 소스 전위는 (VDD-Vt)로 되기 때문에, 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT2)의 게이트와, 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT27)의 게이트는 (VDD-Vt)의 전위가 입력된다. 또한, H레벨(VDD)의 출력 신호(SR12)는 온 상태의 트랜지스터(NT53)를 통하여 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT21)의 게이트에 입력된다.

<120> 그리고, 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 트랜지스터(NT81)는 H레벨(VDD+V $\alpha$ )의 시프트 신호(SR2)가 게이트에 입력됨으로써, 온 상태로 된다. 이때, 트랜지스터(NT83)는 온 상태로 유지되어 있기 때문에, 트랜지스터(NT83)를 통하여 노드(ND4)에 마이너스측 전위(VBB)가 공급된다. 또한, 이때, 트랜지스터(NT82)의 게이트에는 3단계의 시프트 레지스터 회로부(53)의 노드(ND2)로부터 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위의 시프트 신호(SR3)가 입력되어 있다. 이것에 의해 트랜지스터(NT82)는 의도하지 않은 온 상태가 되는 경우가 있다.

<121> 트랜지스터(NT82)가 의도하지 않은 온 상태가 되는 경우에는 트랜지스터(NT81 및 NT82)를 통하여 공급되는 인에이블 신호(ENB)에 의해 노드(ND4)의 전위가 VBB보다도 높은 전위로 상승한다. 이것에 의해 논리 합성 회로부(81)의 노드(ND4)로부터, 의도하지 않은 타이밍에서 VBB보다도 높은 전위의 시프트 출력 신호 Dummy가 더미 게이트 선에 출력되는 경우가 있다. 또한, 이와 같이 의도하지 않은 타이밍에서 VBB보다도 높은 전위의 시프트 출력 신호 Dummy가 더미 게이트 선에 출력되었다고 해도, 더미 게이트 선은 화소(20)(도 1 참조)에 접속되어 있지 않기 때문에 영상의 표시에 영향을 미치는 것은 아니다.

<122> 또한, (VDD-Vt)의 전위가 트랜지스터(NT61)로부터 게이트에 입력됨으로써, 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT2)는 온 상태로 된다. 그리고, 트랜지스터(NT2 및 NT7)의 드레인에 입력되는 클록 신호(CKV1)의 전위는 L레벨로 저하한다. 이때, 1단계의 시프트 레지스터 회로부(51)의 노드(ND1)의 전위는 L레벨로 유지된다. 이것에 의해 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT5 및 NT6)는 오프 상태로 유지된다.

<123> 또한, 클록 신호(CKV1)가 L레벨로 저하함으로써, 트랜지스터(NT8)의 게이트 전압은 L레벨로 저하하기 때문에, 트랜지스터(NT8)는 오프 상태로 된다. 이것에 의해 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위는 H레벨(VDD+V $\alpha$ )로 유지되므로, 1단계의 시프트 레지스터 회로부(51)로부터 H레벨(VDD+V $\alpha$ )의 시프트 신호(SR1)가 계속해서 출력된다. 또한, 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위가 H레벨(VDD+V $\alpha$ )로 유지됨으로써 트랜지스터(NT4)는 온 상태로 유지되므로, 1단계의 시프트 레지스터 회로부(51)의 노드(ND3)로부터 H레벨(VDD)의 출력 신호(SR11)가 계속해서 출력된다.

<124> 또한, (VDD-Vt)의 전위가 트랜지스터(NT66)로부터 게이트에 입력됨으로써, 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT27)는 온 상태로 된다. 또한, 트랜지스터(NT21)는 게이트에 H레벨(VDD)의 출력 신호(SR12)가 입력됨으로써 온 상태로 된다. 이때, 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT22)는 오프 상태로 고정되어 있다. 그리고, 트랜지스터(NT21)가 온 함으로써 트랜지스터(NT21)를 통하여 마이너스측 전위(VBB)가 공급됨으로써 3단계의 시프트 레지스터 회로부(53)의 노드(ND1)의 전위는 마이너스측 전위(VBB)(L레벨)로 고정된다. 이것에 의해 트랜지스터(NT25 및 NT26)는 오프 상태로 된다.



- <125> 이때, 클록 신호선(CKV1)으로부터 온 상태의 트랜지스터(NT27)를 통하여 트랜지스터(NT28)의 게이트에 공급되는 클록 신호(CKV1)가 H레벨(VDD)로부터 L레벨(VBB)로 저하하기 때문에, 트랜지스터(NT28)는 오프 상태로 된다. 이것에 의해 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)의 전위는 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로 유지된다. 이 때문에, 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)로부터 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위의 시프트 신호(SR3)가 계속해서 출력된다. 또한, 이때, 3단째의 시프트 레지스터 회로부(53)의 노드(ND3)의 전위도 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위로 유지됨으로써, 3단째의 시프트 레지스터 회로부(53)의 노드(ND3)로부터 플러스측 전위(VDD)와 마이너스측 전위(VBB) 사이의 불안정한 전위의 출력 신호(SR13)가 계속해서 출력된다.
- <126> 그리고, 스타트 신호(STV)의 전위가 L레벨로 저하한다. 이것에 의해 1단째의 시프트 레지스터 회로부(51)의 트랜지스터(NT1)가 오프 상태로 된다. 이 때문에, 1단째의 시프트 레지스터 회로부(51)의 노드(ND1)의 전위는 L레벨로 유지되므로, 트랜지스터(NT5 및 NT6)는 오프 상태로 유지된다. 또한, 스타트 신호(STV)의 전위가 L레벨로 저하함으로써, 스타트 신호(STV)가 트랜지스터(NT51 및 NT62)를 통하여 게이트에 입력되는 트랜지스터(NT7)도 오프 상태로 된다. 이것에 의해 1단째의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위는 H레벨(VDD+V $\alpha$ )로 유지됨과 함께, 노드(ND3)의 전위는 H레벨(VDD)로 유지된다. 이 때문에, 1단째의 시프트 레지스터 회로부(51)로부터, H레벨(VDD+V $\alpha$ )의 시프트 신호(SR1)와, H레벨(VDD)의 출력 신호(SR11)가 계속해서 출력된다.
- <127> 또한, L레벨로 저하한 스타트 신호(STV)는 4단째의 시프트 레지스터 회로부(54)의 리셋 트랜지스터(NT39), 5단째의 시프트 레지스터 회로부(55)의 리셋 트랜지스터(NT49), 및 도시하지 않은 6단째 이후의 시프트 레지스터 회로부의 상기의 리셋 트랜지스터(NT39 및 NT49)에 대응하는, n채널 트랜지스터의 게이트에도 입력되므로, 이들 트랜지스터는 오프한다. 이것에 의해 4단째 이후의 시프트 레지스터 회로부에 있어서, 노드(ND1)는 H레벨의 전위를 유지하면서 플로팅 상태가 됨과 함께, 노드(ND2 및 ND3)의 전위는 L레벨로 유지된다. 이 때문에, 4단째 이후의 시프트 레지스터 회로부의 노드(ND2)로부터 출력되는 시프트 신호와 노드(ND3)로부터 출력되는 출력 신호는 모두 L레벨로 유지된다.
- <128> 이 후, 3단째의 시프트 레지스터 회로부(53)의 트랜지스터(NT27)의 드레인에 입력되는 클록 신호(CKV1)가 H레벨로 상승한다. 이것에 의해 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)의 전위는 H레벨(VDD)로 상승하기 때문에, 시프트 신호(SR3)의 전위는 H레벨로 상승한다. 또한, 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)에 게이트가 접속된 트랜지스터(NT24)는 온 상태로 된다. 이때, 트랜지스터(NT24)의 드레인에 L레벨의 인에이블 신호(ENB1)가 공급되어 있기 때문에, 트랜지스터(NT24)의 소스 전위(노드(ND3)의 전위)는 L레벨로 유지된다.
- <129> 이 후, 제1 실시 형태에서는 인에이블 신호(ENB1)의 전위가 L레벨로부터 H레벨로 상승한다. 이것에 의해 3단째의 시프트 레지스터 회로부(53)의 노드(ND3)의 전위가 H레벨(VDD)로 상승하기 때문에, 출력 신호(SR13)의 전위도 H레벨(VDD)로 상승한다. 또한, 이때, 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)의 전위는 용량(C23)에 의해 트랜지스터(NT24)의 게이트-소스 간 전압이 유지되도록 노드(ND3)의 전위의 상승에 수반하여 부팅됨으로써 VDD로부터 더욱 상승한다. 이것에 의해 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)의 전위는 VDD보다도 임계값 전압(V $t$ ) 이상의 소정의 전압(V $\beta$ )만큼 높은 전위(VDD+V $\beta$  > VDD+V $t$ )까지 상승한다. 또한, 이 때의 노드(ND2)의 전위(VDD+V $\beta$ )는 상기한 1단째의 시프트 레지스터 회로부(51) 및 2단째의 시프트 레지스터 회로부(52)에 있어서, 상승한 후의 노드(ND2)의 전위(VDD+V $\alpha$ )보다도 더욱 높은 전위가 된다. 그리고, 3단째의 시프트 레지스터 회로부(53)의 노드(ND2)로부터 VDD+V $t$  이상의 전위(VDD+V $\beta$ )를 갖는 H레벨의 시프트 신호(SR3)가 출력된다.
- <130> 그리고, H레벨(VDD+V $\beta$  > VDD+V $t$ )의 시프트 신호(SR3)는 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 트랜지스터(NT82)의 게이트와, 1단째의 게이트 선에 연결되는 논리 합성 회로부(82)의 트랜지스터(NT91)의 게이트에 입력된다. 또한, H레벨(VDD+V $\beta$  > VDD+V $t$ )의 시프트 신호(SR3)는 온 상태의 트랜지스터(NT63)의 드레인에 입력됨과 함께, 온 상태의 트랜지스터(NT68)의 드레인에 입력된다. 또한, H레벨(VDD)의 출력 신호(SR13)는 온 상태의 트랜지스터(NT59)를 통하여 4단째의 시프트 레지스터 회로부(54)의 트랜지스터(NT31)의 게이트에 입력된다.
- <131> 이때, 제1 실시 형태에서는 더미 게이트 선에 연결되는 논리 합성 회로부(81)에 있어서, 트랜지스터(NT81 및 NT82)의 게이트에 각각 입력되는 시프트 신호(SR2)와 시프트 신호(SR3)가 양쪽 모두 H레벨이 되기 때문에, 트랜지스터(NT81) 및 트랜지스터(NT82)가 양쪽 모두 온 상태로 된다. 이것에 의해 인에이블 신호선(ENB)으로부터 트랜지스터(NT81 및 NT82)를 통하여 노드(ND4)에 인에이블 신호(ENB)가 공급된다. 이 인에이블 신호(ENB)는 시

프트 신호(SR1 및 SR2)가 양쪽 모두 H레벨이 된 시점에서는 L레벨이며, 그 후 근소한 기간 후에 L레벨로부터 H레벨로 전위가 전환된다. 이것에 의해 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 노드(ND4)의 전위가 L레벨로부터 H레벨로 상승하기 때문에, 논리 합성 회로부(81)로부터 더미 게이트 선에 H레벨의 시프트 출력 신호 Dummy가 출력된다. 즉, 인에이블 신호(ENB)가 L레벨인 동안에는 시프트 출력 신호 Dummy의 전위는 강제로 L레벨로 유지됨과 함께, 인에이블 신호(ENB)의 전위가 L레벨로부터 H레벨로 상승하는 데 수반하여 H레벨로 상승된다.

<132> 또한, 이때, 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 노드(ND4)의 전위(시프트 출력 신호 Dummy의 전위)가 H레벨로 상승하는 데 수반하여 노드(ND4)에 게이트가 접속된 트랜지스터(NT84)가 온 상태로 된다. 이것에 의해 트랜지스터(NT84)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 트랜지스터(NT83)의 게이트에 공급되므로, 트랜지스터(NT83)는 오프 상태로 된다. 이 때문에, 트랜지스터(NT81 및 NT82)이 양쪽 모두 온 상태로 된 경우에도, 트랜지스터(NT83)가 오프 상태로 되기 때문에, 트랜지스터(NT81, NT82 및 NT83)을 통하여 인에이블 신호선(ENB)과 마이너스측 전위(VBB) 사이에서 관통 전류가 흐르는 것이 억제된다.

<133> 또한, 제1 실시 형태에서는 트랜지스터(NT81 및 NT82)의 게이트에, VDD보다도 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_\alpha$  또는  $V_\beta$ )만큼 높은 전위( $VDD+V_\alpha$  또는  $VDD+V_\beta$ )의 H레벨의 시프트 신호(SR2 및 SR3)가 각각 입력된다. 이것에 의해 트랜지스터(NT81)의 드레인에 VDD의 전위를 갖는 H레벨의 인에이블 신호(ENB)가 공급된 경우에, 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 노드(ND4)에 나타나는 전위가, VDD로부터 트랜지스터(NT81 및 NT82)의 임계값 전압( $V_t$ )만큼 저하하는 것이 억제된다. 이 때문에, 논리 합성 회로부(81)로부터 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위가 H레벨로부터 저하하는 것이 억제된다.

<134> 또한, 1단계의 게이트 선에 연결되는 논리 합성 회로부(82)에서는 트랜지스터(NT91)의 게이트에 3단계의 시프트 레지스터 회로부(53)의 H레벨( $VDD+V_\beta$ )의 시프트 신호(SR3)가 입력됨으로써 트랜지스터(NT91)는 온 한다. 이때, 트랜지스터(NT92)가 오프 상태로 고정되어 있기 때문에 인에이블 신호선(ENB)부터 트랜지스터(NT91 및 NT92)를 통하여 노드(ND4)에 인에이블 신호(ENB)는 공급되지 않는다.

<135> 또한, 이 시점보다 전의 반전 인에이블 신호(XENB)가 H레벨인 기간에 있어서 반전 인에이블 신호선(XENB)에 게이트가 접속된 트랜지스터(NT95)가 온 한다. 이것에 의해 트랜지스터(NT95)를 통하여 논리 합성 회로부(82)의 노드(ND5)에 H레벨의 반전 인에이블 신호(XENB)가 공급된다. 이 때문에, 노드(ND5)에 게이트가 접속된 트랜지스터(NT93)가 온 함과 함께 용량(C91)이 충전된다. 이것에 의해 트랜지스터(NT93)를 통하여 마이너스측 전위(VBB)(L레벨)이 논리 합성 회로부(82)의 노드(ND4)에 공급된다. 이 때문에, 논리 합성 회로부(82)로부터 1단계의 게이트 선에 L레벨의 시프트 출력 신호(Gate1)가 출력된다. 또한, 이때, 논리 합성 회로부(82)의 노드(ND4)의 전위가 L레벨이 됨으로써 그 노드(ND4)에 게이트가 접속되는 트랜지스터(NT94)는 오프 상태로 된다. 이것에 의해 논리 합성 회로부(82)의 노드(ND5)의 전위는 H레벨로 유지된다.

<136> 그리고, 반전 인에이블 신호(XENB)의 전위가 H레벨로부터 L레벨로 전환될 때에는 트랜지스터(NT95)는 오프하기 때문에, 트랜지스터(NT95)를 통하여 노드(ND5)에, L레벨의 반전 인에이블 신호(XENB)는 공급되지 않는다. 이것에 의해 트랜지스터(NT93)는 온 상태로 유지되므로, 트랜지스터(NT93)를 통하여 노드(ND4)에 마이너스측 전위(VBB)가 계속해서 공급된다. 이 때문에, 반전 인에이블 신호(XENB)가 H레벨인 기간 외에 L레벨인 기간에도, 논리 합성 회로부(82)의 노드(ND4)로부터 1단계의 게이트 선에 L레벨의 시프트 출력 신호(Gate1)가 출력된다.

<137> 또한, H레벨( $VDD+V_\beta > VDD+V_t$ )의 시프트 신호(SR3)가, 게이트에 VDD의 주사 방향 전환 신호(CSV)가 입력됨으로써 온 하고 있는 트랜지스터(NT63)의 드레인에 입력됨으로써, 트랜지스터(NT63)의 소스 전위는 ( $VDD-V_t$ )가 된다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT12)의 게이트에는 ( $VDD-V_t$ )의 전위가 입력된다. 이 때문에, 트랜지스터(NT12)가 온 상태로 된다. 이때, 클록 신호(CKV2)의 전위가 L레벨이다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)의 노드(ND1)의 전위는 L레벨로 유지되므로, 트랜지스터(NT15 및 NT16)는 오프 상태로 유지된다. 또한, 이때, 트랜지스터(NT18)의 게이트 전위는 클록 신호(CKV2)에 의해 L레벨이 되기 때문에 트랜지스터(NT18)는 오프하고 있다. 따라서, 노드(ND2)의 전위는 H레벨( $VDD+V_\alpha$ )로 유지된다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)로부터 H레벨( $VDD+V_\alpha$ )의 시프트 신호(SR2)가 계속해서 출력된다. 또한, 트랜지스터(NT15)가 오프 상태로 유지됨으로써, 2단계의 시프트 레지스터 회로부(52)의 노드(ND3)의 전위는 H레벨(VDD)로 유지된다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)로부터 H레벨(VDD)의 출력 신호(SR12)가 계속해서 출력된다.

<138> 또한, 1단계의 시프트 레지스터 회로부(51)에서는 H레벨( $VDD+V_\alpha$ )의 시프트 신호(SR2)가 드레인에 입력되는 트랜지스터(NT61)로부터 계속해서 ( $VDD-V_t$ )의 전위가 게이트에 입력됨으로써 트랜지스터(NT2)가 온 상태로 유지된

다. 이 상태에서 클록 신호(CKV1)가 L레벨(VBB)로부터 H레벨(VDD)로 상승하기 때문에, 트랜지스터(NT2)의 소스 전위가 상승한다. 이때, 트랜지스터(NT2)에서는 용량(C2)에 의해 게이트-소스 간 전압이 유지되면서, 게이트 전위가 (VDD-Vt)로부터 VDD와 VBB의 전위차만큼 상승한다. 이것에 의해 1단계의 시프트 레지스터 회로부(51)의 노드(ND1)의 전위(트랜지스터(NT2)의 소스 전위)는 트랜지스터(NT2)의 임계값 전압(Vt)만큼 저하하지 않고, H레벨(VDD)의 전위로 상승한다.

<139> 그리고, 1단계의 시프트 레지스터 회로부(51)의 노드(ND1)의 전위가 H레벨로 상승함으로써, 트랜지스터(NT5 및 NT6)가 온 상태로 된다. 이때, 트랜지스터(NT7)가 오프 상태이기 때문에, 트랜지스터(NT6)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 1단계의 시프트 레지스터 회로부(51)의 노드(ND2)의 전위는 L레벨로 저하한다. 이것에 의해 1단계의 시프트 레지스터 회로부(51)로부터 출력되는 시프트 신호(SR1)의 전위는 L레벨로 저하한다. 또한, 노드(ND2)의 전위가 L레벨로 저하함으로써, 트랜지스터(NT4)는 오프 상태로 된다. 이것에 의해 트랜지스터(NT5)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 1단계의 시프트 레지스터 회로부(51)의 노드(ND3)의 전위는 L레벨로 저하한다. 이 때문에, 1단계의 시프트 레지스터 회로부(51)로부터 출력되는 출력 신호(SR11)의 전위는 L레벨로 저하한다. 또한, 1단계의 시프트 레지스터 회로부(51)의 노드(ND1)의 전위가 H레벨로 상승했을 때 용량(C1)이 충전된다. 이것에 의해 다음에 트랜지스터(NT1)가 온 상태로 되어, 트랜지스터(NT1)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급될 때까지, 노드(ND1)의 전위가 H레벨로 유지된다. 이 때문에, 다음에 트랜지스터(NT1)가 온 상태가 될 때까지 트랜지스터(NT5 및 NT6)가 온 상태로 유지되므로, 시프트 신호(SR1) 및 출력 신호(SR11)의 전위는 L레벨로 유지된다.

<140> 그리고, 인에이블 신호(ENB)의 전위가 H레벨로부터 L레벨로 저하한다. 이것에 의해 더미 게이트 선에 연결되는 논리 합성 회로부(81)에서는 트랜지스터(NT81 및 NT82)를 통하여 L레벨의 전위가 공급됨으로써 노드(ND4)의 전위가 L레벨로 저하한다. 이 때문에, 논리 합성 회로부(81)로부터 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위는 L레벨로 저하한다. 또한, 인에이블 신호(ENB)가 H레벨로부터 L레벨로 저하하는 것과 동시에, 반전 인에이블 신호(XENB)가 L레벨로부터 H레벨로 상승한다. 이것에 의해 H레벨의 반전 인에이블 신호(XENB)가, 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 다이오드 접속된 트랜지스터(NT85)를 통하여 트랜지스터(NT83)의 게이트에 입력된다. 이것에 의해 트랜지스터(NT83)는 온 상태로 된다. 이 때문에, 트랜지스터(NT83)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 더미 게이트 선에 연결되는 논리 합성 회로부(81)의 노드(ND4)의 전위는 L레벨로 고정된다. 이것에 의해 논리 합성 회로부(81)로부터 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위는 L레벨로 고정된다.

<141> 또한, H레벨의 반전 인에이블 신호(XENB)가 트랜지스터(NT83)의 게이트에 입력되었을 때 용량(C81)이 충전된다. 이것에 의해 다음에 트랜지스터(NT84)가 온 상태로 되어 마이너스측 전위(VBB)로부터 트랜지스터(NT84)를 통하여 L레벨의 전위가 공급될 때까지, 노드(ND5)의 전위(트랜지스터(NT83)의 게이트 전위)는 H레벨로 유지된다. 이 때문에, 다음에 트랜지스터(NT84)가 온 상태가 될 때까지 트랜지스터(NT83)는 온 상태로 유지되므로, 논리 합성 회로부(81)로부터 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위는 L레벨로 고정된 상태에서 유지된다.

<142> 또한, 클록 신호(CKV2)가 H레벨로 상승함으로써, 2단계의 시프트 레지스터 회로부(52)에 있어서, 온 상태의 트랜지스터(NT12)를 통하여 H레벨의 클록 신호(CKV2)가 노드(ND1)에 공급된다. 이것에 의해 노드(ND1)에 게이트가 접속되는 트랜지스터(NT15 및 NT16)는 온 상태로 된다. 이 때문에, 트랜지스터(NT16)를 통하여 마이너스측 전위(VBB)로부터 노드(ND2)에 L레벨의 전위가 공급된다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)의 노드(ND2)로부터 출력되는 시프트 신호(SR2)의 전위는 L레벨로 저하한다. 또한, 노드(ND2)의 전위가 L레벨로 저하함으로써, 트랜지스터(NT14)가 오프한다. 이것에 의해 트랜지스터(NT15)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 노드(ND3)의 전위는 L레벨로 저하한다. 이것에 의해 2단계의 시프트 레지스터 회로부(52)의 노드(ND3)로부터 출력되는 출력 신호(SR12)의 전위는 L레벨로 저하한다.

<143> 또한, 4단계의 시프트 레지스터 회로부(54)에서는 H레벨(VDD+V $\beta$ )의 시프트 신호(SR3)가 드레인에 입력되는 트랜지스터(NT68)로부터, (VDD-Vt)의 전위가 트랜지스터(NT37)의 게이트에 입력된다. 또한, 트랜지스터(NT31)의 게이트에 H레벨(VDD)의 출력 신호(SR13)가 입력된다. 또한, 트랜지스터(NT32)는 오프 상태로 고정되어 있다. 이 상태에서 트랜지스터(NT37)의 드레인에 입력되는 클록 신호(CKV2)의 전위가 H레벨(VDD)로 상승한 후, 트랜지스터(NT34)의 드레인에 입력되는 인에이블 신호(ENB2)의 전위가 L레벨(VBB)로부터 H레벨(VDD)로 상승한다. 이것에 의해 상기한 3단계의 시프트 레지스터 회로부(53)의 동작과 마찬가지로 해서, 4단계의 시프트 레지스터 회로부(54)로부터 VDD+Vt 이상의 전위(VDD+V $\beta$ )를 갖는 H레벨의 시프트 신호(SR4)와, H레벨(VDD)의 출력 신호



(SR14)가 출력된다.

<144> 그리고, 1단째의 게이트 선에 연결되는 논리 합성 회로부(82)에서는 트랜지스터(NT91)의 게이트에 H레벨(VDD+V $\beta$ )의 시프트 신호(SR3)가 입력됨과 함께, 트랜지스터(NT92)의 게이트에 H레벨(VDD+V $\beta$ )의 시프트 신호(SR4)가 입력된다. 이것에 의해 트랜지스터(NT91)와 트랜지스터(NT92)가 양쪽 모두 온 상태로 되기 때문에 인에이블 신호선으로부터 트랜지스터(NT91 및 NT92)를 통하여 노드(ND4)에 인에이블 신호(ENB)가 공급된다. 이 인에이블 신호(ENB)는 시프트 신호(SR3 및 SR4)이 양쪽 모두 H레벨이 됨으로써 트랜지스터(NT91 및 NT92)이 양쪽 모두 온 상태로 된 시점에서는 L레벨이며, 그 후 근소한 기간 후에 L레벨로부터 H레벨로 전위가 전환된다. 이것에 의해 1단째의 게이트 선에 연결되는 논리 합성 회로부(82)의 노드(ND4)의 전위가 H레벨로 상승하기 때문에, 논리 합성 회로부(82)로부터 1단째의 게이트 선에 H레벨의 시프트 출력 신호(Gate1)가 출력된다.

<145> 즉, 시프트 출력 신호(Gate1)의 전위는 인에이블 신호(ENB)가 L레벨인 동안에는 강제적으로 L레벨로 유지됨과 함께, 인에이블 신호(ENB)의 전위가 L레벨로부터 H레벨로 상승하는 데 수반하여 L레벨로부터 H레벨로 상승된다. 따라서, 인에이블 신호(ENB)가 L레벨일 때, 논리 합성 회로부(81)로부터 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy도 강제적으로 L레벨로 유지되어 있기 때문에, 시프트 출력 신호 Dummy가 H레벨로부터 L레벨에 하강하는 타이밍과, 시프트 출력 신호(Gate1)가 L레벨로부터 H레벨로 상승하는 타이밍이 중첩되는 것이 억제된다. 이것에 의해 시프트 출력 신호 Dummy가 H레벨로부터 L레벨에 하강하는 타이밍과, 시프트 출력 신호(Gate1)가 L레벨로부터 H레벨로 상승하는 타이밍이 중첩되는 것에 기인하여, 노이즈가 발생하는 것이 억제된다.

<146> 이 후, 상기한 3단째의 시프트 레지스터 회로부(53)와 같은 동작이 4단째 이후의 시프트 레지스터 회로부(54 및 55)에 있어서 순차적으로 행해진다. 또한, 상기한 더미 게이트 선에 연결되는 논리 합성 회로부(81)와 같은 동작이 1단째 이후의 더미 게이트 선에 연결되는 논리 합성 회로부(82 및 83)에서 행해진다. 그리고, 각 단의 시프트 레지스터 회로부로부터 H레벨의 시프트 신호와, H레벨의 출력 신호가 출력되는 타이밍이 시프트한다. 이것에 수반하여 전단의 시프트 신호와 다음단의 시프트 신호가 양쪽 모두 H레벨이 되는 타이밍도 후단으로 진행함에 따라서 시프트한다. 이것에 의해 전단의 H레벨의 시프트 신호와, 다음단의 H레벨의 시프트 신호가 중첩되는 기간에 있어서 인에이블 신호(ENB)가 H레벨로 상승함으로써, 각 단의 논리 합성 회로부로부터 대응하는 게이트 선에 H레벨의 시프트 출력 신호가 출력되는 타이밍도 후단으로 진행함에 따라서 시프트한다. 그리고, 이 타이밍의 시프트한 H레벨의 시프트 출력 신호에 의해 각 단의 게이트 선이 순차적으로 구동된다.

<147> 상기한 바와 마찬가지로 해서 제1 실시 형태에 따른 액정 표시 장치의 각 단의 게이트 선이, 순차적으로 구동(주사)된다. 그리고, 상기의 동작이 최후의 게이트 선의 주사가 종료될 때까지 반복된다. 그 후, 재차, 1단째의 시프트 레지스터 회로부(51)로부터 상기의 동작이 반복하여 행해진다.

<148> 다음에 도 2 중의 역방향을 따라서, 각 단의 게이트 선에 타이밍이 시프트한 시프트 출력 신호가 순차적으로 출력되는 경우(역방향 주사인 경우)에는 주사 방향 전환 신호(CSV)가 L레벨로 유지됨과 함께, 반전 주사 방향 전환 신호(XCSV)가 H레벨로 유지된다. 이것에 의해 역방향 주사 시에는 주사 방향 전환 신호(CSV)가 게이트에 입력되는 트랜지스터(NT51, NT53, NT55, NT57, NT59 및 NT61 내지 NT70)가 오프 상태로 유지됨과 함께, 반전 주사 방향 전환 신호(XCSV)가 게이트에 입력되는 트랜지스터(NT52, NT54, NT56, NT58, NT60 및 NT71 내지 NT80)가 온 상태로 유지된다. 그리고, 역방향 주사 시에는 상기한 순방향 주사 시와 같은 동작이, 도 2 중의 역방향을 따라서 각 단의 시프트 레지스터 회로부와, 각 단의 게이트 선에 연결되는 논리 합성 회로부에서 행해진다. 이때, 전단의 시프트 레지스터 회로부로부터 다음단의 시프트 레지스터 회로부에 시프트 신호 및 출력 신호가 입력되는 경우나, 다음단의 시프트 레지스터 회로부로부터 전단의 시프트 레지스터 회로부에 시프트 신호 및 출력 신호가 입력되는 경우에는 상기한 H레벨의 반전 주사 방향 전환 신호(XSCV)에 의해서 온 상태로 된 트랜지스터(NT52, NT54, NT58, NT60 및 NT71 내지 NT80)를 통하여 각각 입력된다.

<149> 제1 실시 형태에서는 상기한 바와 같이 시프트 레지스터 회로부(54)에, 시프트 신호(SR4)가 출력되는 노드(ND2)와 마이너스측 전위(VBB) 사이에 접속된 트랜지스터(NT36)의 게이트가 접속되는 제1 회로부(54a)의 노드(ND1)를 플러스측 전위(VDD)로 리셋하기 위한 리셋 트랜지스터(NT39)를 설치함으로써, V드라이버(5)에의 플러스측 전위(VDD) 및 마이너스측 전위(VBB)의 공급 후, H레벨의 스타트 신호(STV)를 입력하여 리셋 트랜지스터(NT39)에 의해 제1 회로부(54a)의 노드(ND1)를 플러스측 전위(VDD)로 리셋하면 트랜지스터(NT36)가 온 하기 때문에, 트랜지스터(NT36)를 통하여 노드(ND2)에 마이너스측 전위(VBB)를 공급할 수 있다. 이것에 의해 시프트 신호(SR4)를 마이너스측 전위(VBB)로 고정할 수 있다. 또한, 시프트 레지스터 회로부(55)에, 시프트 신호(SR5)가 출력되는 노드(ND2)와 마이너스측 전위(VBB) 사이에 접속된 트랜지스터(NT46)의 게이트가 접속되는 제1 회로부(55a)의 노드(ND1)를 플러스측 전위(VDD)로 리셋하기 위한 리셋 트랜지스터(NT49)를 설치함으로써, V드라이버(5)에의 플러

스측 전위(VDD) 및 마이너스측 전위(VBB)의 공급 후, H레벨의 스타트 신호(STV)를 입력하여 리셋 트랜지스터(NT49)에 의해 제1 회로부(55a)의 노드(ND1)를 플러스측 전위(VDD)로 리셋하면 트랜지스터(NT46)가 온 하기 때문에, 트랜지스터(NT46)를 통하여 노드(ND2)에 마이너스측 전위(VBB)를 공급할 수 있다. 이것에 의해 시프트 신호(SR5)를 마이너스측 전위(VBB)로 고정할 수 있다. 이것에 의해 논리 합성 회로부(83)의 트랜지스터(NT101 및 NT102)을 양쪽 모두 오프 상태로 유지할 수 있다. 이 때문에, 논리 합성 회로부(83)의 트랜지스터(NT101 및 NT102)을 통하여 시프트 출력 신호(Gate2)는 출력되지 않기 때문에, 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호(Gate2)가 출력되는 것을 억제할 수 있다.

<150> 또한, 제1 실시 형태에서는 시프트 레지스터 회로부(53 내지 55)의 트랜지스터(NT24, NT34 및 NT44)의 게이트에 클록 신호(CKV1 및 CKV2)를 교대로 공급함과 함께, 드레인에 타이밍이 상이한 인에이블 신호(ENB1 및 ENB2)를 교대로 공급함으로써, 예를 들면 3단째의 시프트 레지스터 회로부(53)에 있어서, 클록 신호(CKV1)에 의해 트랜지스터(NT24)가 온 상태로 된 후, 인에이블 신호(ENB1)에 의해 트랜지스터(NT24)의 소스 전위가 VBB로부터 VDD로 상승하기 때문에, 그 전위의 상승분( $V_{\beta}$ )만큼 트랜지스터(NT24)의 게이트 전위를 상승시킬 수 있다. 또한, 4단째의 시프트 레지스터 회로부(54)에 있어서, 클록 신호(CKV2)에 의해 트랜지스터(NT34)가 온 상태로 된 후, 인에이블 신호(ENB2)에 의해 트랜지스터(NT34)의 소스 전위가 VBB로부터 VDD로 상승하기 때문에, 그 전위의 상승분( $V_{\beta}$ )만큼 트랜지스터(NT34)의 게이트 전위를 상승시킬 수 있다. 이것에 의해 트랜지스터(NT24 및 NT34)의 드레인이 고정적인 플러스측 전위(VDD)에 접속되어 있는 경우에 비해서, 시프트 신호(SR3 및 SR4)의 전위( $VDD+V_{\beta} < VDD+V_t$ )를 보다 높게 할 수 있으므로, 용이하게 시프트 신호(SR3 및 SR4)의 전위를, VDD보다도 임계값 전압( $V_t$ ) 이상 높은 전위로 할 수 있다. 따라서, 용이하게 1단째의 게이트 선에 연결되는 논리 합성 회로부(82)의 트랜지스터(NT91 및 NT92)의 게이트에, 각각  $VDD+V_t$  이상의 전위( $VDD+V_{\beta}$ )를 갖는 시프트 신호(SR3 및 SR4)를 공급할 수 있다. 이것에 의해 논리 합성 회로부(82)의 트랜지스터(NT91 및 NT92)를 통하여 1단째의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위가, 트랜지스터(NT91 및 NT92)의 임계값 전압( $V_t$ ) 분만큼 저하하는 것을 억제할 수 있다.

<151> 또한, 제1 실시 형태에서는 리셋 트랜지스터(NT39 및 NT49)를 이용하여 노드(ND2)의 전위를 마이너스측 전위(VBB)로 리셋할 때에, 리셋 트랜지스터(NT39 및 NT49)의 게이트에 H레벨의 스타트 신호(STV)를 입력함으로써, 리셋 트랜지스터(NT39 및 NT49)를 이용하여 노드(ND2)의 전위를 마이너스측 전위(VBB)로 리셋할 때에, 리셋 트랜지스터(NT39 및 NT49)의 게이트에 입력하는 구동 신호를 생성하기 위해 신호 생성 회로를 별도 형성할 필요가 없기 때문에, V드라이버(5)를 포함하는 액정 표시 장치의 회로 구성이 복잡화하는 것을 억제할 수 있다.

<152> (제2 실시 형태)

<153> 도 4 및 도 5를 참조하여 이 제2 실시 형태에서는 상기 제1 실시 형태의 V드라이버를 p채널 트랜지스터로 구성하는 경우에 대해 설명한다.

<154> 우선, 도 4를 참조하여 이 제2 실시 형태에서는 기관(1a) 위에 표시부(2a)가 설치되어 있다. 이 표시부(2a)에는 화소(20a)가 매트릭스 형상으로 배치되어 있다. 또한, 도 4에서는 도면의 간략화를 위해 1개의 화소(20a)만을 도시하고 있다. 각각의 화소(20a)는, p채널 트랜지스터(21a)(이하, 트랜지스터(21a)라고 한다), 화소 전극(22a), 화소 전극(22a)에 대향 배치된 각 화소(20a)에 공통의 대향 전극(23a), 화소 전극(22a)과 대향 전극(23a) 사이에 협지된 액정(24a), 및 보조 용량(25a)에 의해서 구성되어 있다. 그리고, 트랜지스터(21a)의 소스는 드레인 선에 접속되어 있음과 함께, 드레인은 화소 전극(22a) 및 보조 용량(25a)에 접속되어 있다. 이 트랜지스터(21a)의 게이트는 게이트 선에 접속되어 있다.

<155> 또한, 표시부(2a)의 1변을 따르도록, 기관(1a) 위에 표시부(2a)의 드레인 선을 구동(주사)하기 위한 수평 스위치(HSW)(3a) 및 H드라이버(4a)가 설치되어 있다. 또한, 표시부(2a)의 다른 변을 따르도록, 기관(1a) 위에 표시부(2a)의 게이트 선을 구동(주사)하기 위한 V드라이버(5a)가 설치되어 있다. 또한, 도 4의 수평 스위치(3a)에는 2개의 스위치만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 스위치가 배치되어 있다. 또한, 도 4의 H드라이버(4a) 및 V드라이버(5a)에는 각각 시프트 레지스터 회로부를 2개만 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부가 배치되어 있다. 또한, 기관(1a)의 외부에는 상기 제1 실시 형태와 마찬가지로 신호 발생 회로(11) 및 전원 회로(12)를 포함하는 구동 IC(10)가 설치되어 있다.

<156> 또한, 도 5에 도시한 바와 같이 제2 실시 형태에서는 V드라이버(5a)의 내부에, 복수단의 시프트 레지스터 회로부(501 내지 505)와, 주사 방향 전환 회로부(600)와, 입력 신호 전환 회로부(700)와, 복수단의 논리 합성 회로부(801 내지 803)가 설치되어 있다. 또한, 시프트 레지스터 회로부(502 내지 505)는 본 발명의 「제1 시프트 레지스터 회로부」 및 「제2 시프트 레지스터 회로부」의 일례이다. 또한, 도 5에서는 도면의 간략화를 위해 5

단분의 시프트 레지스터 회로부(501 내지 505) 및 3단분의 논리 합성 회로부(801 내지 803)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.

- <157> 1단계의 시프트 레지스터 회로부(501)는 제1 회로부(501a)와 제2 회로부(501b)에 의해 구성되어 있다. 제1 회로부(501a)는, p채널 트랜지스터(PT1 및 PT2)와, 다이오드 접속된 p채널 트랜지스터(PT3)와, 용량(C1 및 C2)을 포함한다. 또한, 제2 회로부(501b)는, p채널 트랜지스터(PT4 내지 PT7)와, 다이오드 접속된 p채널 트랜지스터(PT8)와, 용량(C3 및 C4)을 포함한다. 이하, p채널 트랜지스터(PT1 내지 PT8)는 각각 트랜지스터(PT1 내지 PT8)라고 칭한다.
- <158> 또한, 1단계의 시프트 레지스터 회로부(501)를 구성하는 트랜지스터(PT1 내지 PT8)는 각각 도 2에 도시한 제1 실시 형태의 1단계의 시프트 레지스터 회로부(51)의 트랜지스터(NT1 내지 NT8)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT1)의 소스는 플러스측 전위(VDD)에 접속되어 있음과 함께, 트랜지스터(PT4)의 드레인은 마이너스측 전위(VBB)에 접속되어 있다. 또한, 트랜지스터(PT5 및 PT6)의 소스는 플러스측 전위(VDD)에 접속되어 있다.
- <159> 2단계의 시프트 레지스터 회로부(502)는 제1 회로부(502a)와 제2 회로부(502b)에 의해 구성되어 있다. 제1 회로부(502a)는, p채널 트랜지스터(PT11 및 PT12)와, 다이오드 접속된 p채널 트랜지스터(PT13)와, 용량(C11 및 C12)을 포함한다. 또한, 제2 회로부(502b)는, p채널 트랜지스터(PT14 내지 PT17)와, 다이오드 접속된 p채널 트랜지스터(PT18)와, 용량(C13 및 C14)을 포함한다. 또한, p채널 트랜지스터(PT14)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일레이며, p채널 트랜지스터(PT16)는 본 발명의 「제1 트랜지스터」의 일레이다. 이하, p채널 트랜지스터(PT11 내지 PT18)는 각각 트랜지스터(PT11 내지 PT18)라고 칭한다.
- <160> 또한, 2단계의 시프트 레지스터 회로부(502)를 구성하는 트랜지스터(PT11 내지 PT18)는 각각 도 2에 도시한 제1 실시 형태의 2단계의 시프트 레지스터 회로부(52)의 트랜지스터(NT11 내지 NT18)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT11)의 소스는 플러스측 전위(VDD)에 접속되어 있음과 함께, 트랜지스터(PT14)의 드레인은 마이너스측 전위(VBB)에 접속되어 있다. 또한, 트랜지스터(PT15 및 PT16)의 소스는 플러스측 전위(VDD)에 접속되어 있다.
- <161> 3단계의 시프트 레지스터 회로부(503)는 제1 회로부(503a)와 제2 회로부(503b)에 의해 구성되어 있다. 제1 회로부(503a)는, p채널 트랜지스터(PT21 및 PT22)와, 다이오드 접속된 p채널 트랜지스터(PT23)와, 용량(C21 및 C22)을 포함한다. 또한, 제2 회로부(503b)는, p채널 트랜지스터(PT24 내지 PT27)와, 다이오드 접속된 p채널 트랜지스터(PT28)와, 용량(C23 및 C24)을 포함한다. 또한, p채널 트랜지스터(PT24)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일레이며, p채널 트랜지스터(PT26)는 본 발명의 「제1 트랜지스터」의 일레이다. 이하, p채널 트랜지스터(PT21 내지 PT28)는 각각 트랜지스터(PT21 내지 PT28)라고 칭한다.
- <162> 또한, 3단계의 시프트 레지스터 회로부(503)를 구성하는 트랜지스터(PT21 내지 PT28)는 각각 도 2에 도시한 제1 실시 형태의 3단계의 시프트 레지스터 회로부(53)의 트랜지스터(NT21 내지 NT28)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT21, PT25 및 PT26)의 소스는 각각 플러스측 전위(VDD)에 접속되어 있다.
- <163> 4단계의 시프트 레지스터 회로부(504)는 제1 회로부(504a)와 제2 회로부(504b)에 의해 구성되어 있다. 제1 회로부(504a)는, p채널 트랜지스터(PT31 및 PT32)와, 다이오드 접속된 p채널 트랜지스터(PT33)와, 용량(C31 및 C32)을 포함한다. 또한, 제2 회로부(504b)는, p채널 트랜지스터(PT34 내지 PT37)와, 다이오드 접속된 p채널 트랜지스터(PT38)와, 용량(C33 및 C34)을 포함한다. 또한, p채널 트랜지스터(PT34)는 본 발명의 「제4 트랜지스터」 및 「제5 트랜지스터」의 일레이며, p채널 트랜지스터(PT36)는 본 발명의 「제1 트랜지스터」의 일레이다. 이하, p채널 트랜지스터(PT31 내지 PT38)는 각각 트랜지스터(PT31 내지 PT38)라고 칭한다.
- <164> 또한, 4단계의 시프트 레지스터 회로부(504)를 구성하는 트랜지스터(PT31 내지 PT38)는 각각 도 2에 도시한 제1 실시 형태의 4단계의 시프트 레지스터 회로부(54)의 트랜지스터(NT31 내지 NT38)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT31, PT35 및 PT36)의 소스는 각각 플러스측 전위(VDD)에 접속되어 있다.
- <165> 5단계의 시프트 레지스터 회로부(505)는 제1 회로부(505a)와 제2 회로부(505b)에 의해 구성되어 있다. 제1 회로부(505a)는, p채널 트랜지스터(PT41 및 PT42)와, 다이오드 접속된 p채널 트랜지스터(PT43)와, 용량(C41 및 C42)을 포함한다. 또한, 제2 회로부(505b)는, p채널 트랜지스터(PT44 내지 PT47)와, 다이오드 접속된 p채널 트랜지스터(PT48)와, 용량(C43 및 C44)을 포함한다. 또한, p채널 트랜지스터(PT44)는 본 발명의 「제4 트랜지스터」

터」 및 「제5 트랜지스터」의 일레이며, p채널 트랜지스터(PT46)는 본 발명의 「제1 트랜지스터」의 일레이다. 이하, p채널 트랜지스터(PT41 내지 PT48)는 각각 트랜지스터(PT41 내지 PT48)라고 칭한다.

- <166> 또한, 5단째의 시프트 레지스터 회로부(505)를 구성하는 트랜지스터(PT41 내지 PT48)는 각각 도 2에 도시한 제1 실시 형태의 5단째의 시프트 레지스터 회로부(55)의 트랜지스터(NT41 내지 PT48)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT41, PT45 및 PT46)의 소스는 각각 플러스측 전위(VDD)에 접속되어 있다.
- <167> 여기서, 제2 실시 형태에서는 4단째의 시프트 레지스터 회로부(504)의 제1 회로부(504a)는 시프트 신호(SR4)를 출력하는 노드(ND2)의 전위를 플러스측 전위(VDD)로 리셋하기 위한 p채널 트랜지스터(PT39)를 포함하고 있다. 또한, 5단째의 시프트 레지스터 회로부(505)의 제1 회로부(505a)는 시프트 신호(SR5)를 출력하는 노드(ND2)의 전위를 플러스측 전위(VDD)로 리셋하기 위한 p채널 트랜지스터(PT49)를 포함하고 있다. 이하, p채널 트랜지스터(PT39 및 PT49)는 각각 리셋 트랜지스터(PT39 및 PT49)라고 칭한다.
- <168> 또한, 리셋 트랜지스터(PT39)의 드레인에는 마이너스측 전위(VBB)가 공급됨과 함께, 소스는 4단째의 시프트 레지스터 회로부(504)의 제1 회로부(504a)의 출력 노드인 노드(ND1)에 접속되어 있다. 또한, 리셋 트랜지스터(PT39)의 게이트에는 스타트 신호(STV)를 공급하기 위한 스타트 신호선(STV)이 접속되어 있다. 이것에 의해 L레벨의 스타트 신호(STV)에 응답하여 리셋 트랜지스터(PT39)가 온 하면 리셋 트랜지스터(PT39)를 통하여 마이너스측 전위(VBB)가 공급됨으로써 제1 회로부(504a)의 노드(ND1)의 전위가 마이너스측 전위(VBB)(L레벨)이 되도록 구성되어 있다. 그리고, 제1 회로부(504a)의 노드(ND1)의 전위가 마이너스측 전위(VBB)(L레벨)이 되면, 제2 회로부(504b)의 트랜지스터(PT36)가 온 하기 때문에, 트랜지스터(PT36)를 통하여 플러스측 전위(VDD)가 공급됨으로써 시프트 신호(SR4)를 출력하는 제2 회로부(504b)의 노드(ND2)가 플러스측 전위(VDD)로 리셋되도록 구성되어 있다.
- <169> 또한, 리셋 트랜지스터(PT49)의 드레인에는 마이너스측 전위(VBB)가 공급됨과 함께, 소스는 5단째의 시프트 레지스터 회로부(505)의 제1 회로부(505a)의 출력 노드인 노드(ND1)에 접속되어 있다. 또한, 리셋 트랜지스터(PT49)의 게이트에는 스타트 신호(STV)를 공급하기 위한 스타트 신호선(STV)이 접속되어 있다. 이것에 의해 5단째의 시프트 레지스터 회로부(505)에서는 상기한 4단째의 시프트 레지스터 회로부(504)와 마찬가지로 해서, 시프트 신호(SR5)를 출력하는 제2 회로부(505b)의 노드(ND2)이 플러스측 전위(VDD)로 리셋되도록 구성되어 있다.
- <170> 또한, 상기한 각 단의 시프트 레지스터 회로부(501 내지 505)에 설치된 트랜지스터(PT1 내지 PT8, PT11 내지 PT18, PT21 내지 PT28, PT31 내지 PT38 및 PT41 내지 PT48)와, 리셋 트랜지스터(PT39 및 PT49)는 모두 p형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다. 또한, 트랜지스터(PT1, PT2, PT6, PT7, PT8, PT11, PT12, PT16, PT17, PT18, PT21, PT22, PT26, PT27, PT28, PT31, PT32, PT36, PT37, PT38, PT41, PT42, PT46, PT47 및 PT48)는 각각 상호 전기적으로 접속된 2개의 게이트 전극을 갖는다.
- <171> 또한, 주사 방향 전환 회로부(600)는, p채널 트랜지스터(PT51 내지 PT60)를 포함한다. 이하, p채널 트랜지스터(PT51 내지 PT60)는 각각 트랜지스터(PT51 내지 PT60)라고 칭한다. 이 트랜지스터(PT51 내지 PT60)는 전부 p형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다. 그리고, 주사 방향 전환 회로부(600)를 구성하는 트랜지스터(PT51 내지 PT60)는 각각 도 2에 도시한 제1 실시 형태의 주사 방향 전환 회로부(60)의 트랜지스터(NT51 내지 NT60)에 대응한 위치에 접속되어 있다.
- <172> 또한, 입력 신호 전환 회로부(700)는, p채널 트랜지스터(PT61 내지 PT80)를 포함한다. 이하, p채널 트랜지스터(PT61 내지 PT80)는 각각 트랜지스터(PT61 내지 PT80)라고 칭한다. 이 트랜지스터(PT61 내지 PT80)는 전부 p형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다. 그리고, 입력 신호 전환 회로부(700)를 구성하는 트랜지스터(PT61 내지 PT80)는 각각 도 2에 도시한 제1 실시 형태의 입력 신호 전환 회로부(70)의 트랜지스터(NT61 내지 NT80)에 대응한 위치에 접속되어 있다. 단, 상기 제1 실시 형태와 달리 트랜지스터(PT71)의 소스/드레인의 다른 쪽은 마이너스측 전위(VBB)에 접속되어 있다.
- <173> 또한, 논리 합성 회로부(801 내지 803)는 각각 더미 게이트 선, 1단째의 게이트 선 및 2단째의 게이트 선에 접속되어 있다. 더미 게이트 선에 접속되는 논리 합성 회로부(801)는, p채널 트랜지스터(PT81 내지 PT84)와, 다이오드 접속된 p채널 트랜지스터(PT85)와, 용량(C81)을 포함한다. 또한, p채널 트랜지스터(PT81)는 본 발명의 「제2 트랜지스터」의 일레이며, p채널 트랜지스터(PT82)는 본 발명의 「제3 트랜지스터」의 일레이다. 이하, p채널 트랜지스터(PT81 내지 PT85)는 각각 트랜지스터(PT81 내지 PT85)라고 칭한다. 또한, 트랜지스터(PT83 내



지 PT85)와, 용량(C81)에 의해 전위 고정 회로부(801a)가 구성되어 있다. 그리고, 더미 게이트 선에 접속되는 논리 합성 회로부(801)를 구성하는 트랜지스터(PT81 내지 PT85)는 각각 도 2에 도시한 제1 실시 형태의 더미 게이트 선에 접속되는 논리 합성 회로부(81)의 트랜지스터(NT81 내지 NT85)에 대응한 위치에 접속되어 있다. 단, 트랜지스터(PT83)의 소스는 플러스측 전위(VDD)에 접속되어 있다.

<174> 또한, 1단계의 게이트 선에 접속되는 논리 합성 회로부(802)는, p채널 트랜지스터(PT91 내지 PT94)와, 다이오드 접속된 p채널 트랜지스터(PT95)와, 용량(C91)을 포함한다. 또한, p채널 트랜지스터(PT91)는 본 발명의 「제2 트랜지스터」의 일례이며, p채널 트랜지스터(PT92)는 본 발명의 「제3 트랜지스터」의 일례이다. 이하, p채널 트랜지스터(PT91 내지 PT95)는 각각 트랜지스터(PT91 내지 PT95)라고 칭한다. 또한, 트랜지스터(PT93 내지 PT95)와, 용량(C91)에 의해 전위 고정 회로부(802a)가 구성되어 있다. 그리고, 1단계의 게이트 선에 접속되는 논리 합성 회로부(802)를 구성하는 트랜지스터(PT91 내지 PT95)는 각각 도 2에 도시한 제1 실시 형태의 1단계의 게이트 선에 접속되는 논리 합성 회로부(82)의 트랜지스터(NT91 내지 NT95)에 대응한 위치에 접속되어 있다. 단, 트랜지스터(PT93)의 소스는 플러스측 전위(VDD)에 접속되어 있다.

<175> 또한, 2단계의 게이트 선에 접속되는 논리 합성 회로부(803)는, p채널 트랜지스터(PT101 내지 PT104)와, 다이오드 접속된 p채널 트랜지스터(PT105)와, 용량(C101)을 포함한다. 또한, p채널 트랜지스터(PT101)는 본 발명의 「제2 트랜지스터」의 일례이며, p채널 트랜지스터(PT102)는 본 발명의 「제3 트랜지스터」의 일례이다. 이하, p채널 트랜지스터(PT101 내지 PT105)는 각각 트랜지스터(PT101 내지 PT105)라고 칭한다. 또한, 트랜지스터(PT103 내지 PT105)와, 용량(C101)에 의해 전위 고정 회로부(803a)가 구성되어 있다. 그리고, 2단계의 게이트 선에 접속되는 논리 합성 회로부(803)를 구성하는 트랜지스터(PT101 내지 PT105)는 각각 도 2에 도시한 제1 실시 형태의 2단계의 게이트 선에 접속되는 논리 합성 회로부(83)의 트랜지스터(NT101 내지 NT105)에 대응한 위치에 접속되어 있다. 단, 트랜지스터(PT103)의 소스는 플러스측 전위(VDD)에 접속되어 있다. 또한, 상기의 논리 합성 회로부(801 내지 803)에 설치된 트랜지스터(PT81 내지 PT85, PT91 내지 PT95 및 PT101 내지 PT105)는 모두 p형의 MOS 트랜지스터를 포함하는 TFT에 의해 구성되어 있다.

<176> 또한, 회로부(901)는, p채널 트랜지스터(PT111 내지 PT113)와, 다이오드 접속된 p채널 트랜지스터(PT114)와, 용량(C111)을 포함하고 있다. 이하, p채널 트랜지스터(PT111 내지 PT114)는 각각 트랜지스터(PT111 내지 PT114)라고 칭한다. 그리고, 회로부(901)를 구성하는 트랜지스터(PT111 내지 PT114)는 각각 도 2에 도시한 제1 실시 형태의 회로부(91)의 트랜지스터(NT111 내지 NT114)에 대응한 위치에 접속되어 있다. 단, 트랜지스터(PT112)의 소스는 플러스측 전위(VDD)에 접속되어 있다.

<177> 다음에 도 5 및 도 6을 참조하여 제2 실시 형태에 따른 V드라이버(5a)의 동작을 설명한다. 이 제2 실시 형태에 따른 V드라이버(5a)에서는 도 3에 도시한 제5 실시 형태의 스타트 신호(STV), 클록 신호(CKV1, CKV2), 인에이블 신호(ENB, ENB1, ENB2) 및 반전 인에이블 신호(XENB)의 H레벨과 L레벨을 반전시킨 파형의 신호를, 각각 스타트 신호(STV), 클록 신호(CKV1, CKV2), 인에이블 신호(ENB, ENB1, ENB2) 및 반전 인에이블 신호(XENB)로서 입력한다. 이것에 의해 제2 실시 형태에 따른 시프트 레지스터 회로부(501 내지 505)로부터는 도 2에 도시한 제1 실시 형태에 따른 시프트 레지스터 회로부(51 내지 55)로부터 출력되는 시프트 신호(SR1 내지 SR5) 및 출력 신호(SR11 내지 SR15)의 H레벨과 L레벨을 반전시킨 파형을 갖는 신호가 출력된다. 또한, 제2 실시 형태에 따른 논리 합성 회로부(801 내지 803)로부터는 도 2에 도시한 제1 실시 형태에 따른 논리 합성 회로부(81 내지 83)로부터 출력되는 시프트 출력 신호 Dummy, Gate1 및 Gate2의 H레벨과 L레벨을 반전시킨 파형을 갖는 신호가 출력된다. 이 제2 실시 형태에 따른 V드라이버의 상기 이외의 동작은 도 2에 도시한 상기 제1 실시 형태에 따른 V드라이버의 동작과 같다.

<178> 또한, 제2 실시 형태에서는 시프트 레지스터 회로부(503 내지 505)의 트랜지스터(PT24, PT34 및 PT44)의 게이트에 클록 신호(CKV1 및 CKV2)를 교대로 공급함과 함께, 드레인에 타이밍이 상이한 인에이블 신호(ENB1 및 ENB2)를 교대로 공급함으로써 이하와 같은 동작이 행해진다. 예를 들면 3단계의 시프트 레지스터 회로부(503)에 있어서, 클록 신호(CKV1)에 의해 트랜지스터(PT24)가 온 상태로 된 후, 인에이블 신호(ENB1)에 의해 트랜지스터(PT24)의 소스 전위가 VDD로부터 VBB로 저하하기 때문에, 그 전위의 저하분( $V_{\beta}$ )만큼 트랜지스터(PT24)의 게이트 전위가 저하한다. 또한, 4단계의 시프트 레지스터 회로부(504)에 있어서, 클록 신호(CKV2)에 의해 트랜지스터(PT34)가 온 상태로 된 후, 인에이블 신호(ENB2)에 의해 트랜지스터(PT34)의 소스 전위가 VDD로부터 VBB로 저하하기 때문에, 그 전위의 저하분( $V_{\beta}$ )만큼 트랜지스터(PT34)의 게이트 전위가 저하한다. 이것에 의해 트랜지스터(PT24 및 PT34)의 드레인이 고정적인 마이너스측 전위(VBB)에 접속되어 있는 경우에 비해서, 시프트 신호(SR3 및 SR4)의 전위( $V_{BB}-V_{\beta} < V_{BB}-V_t$ )를 보다 낮게 할 수 있으므로, 보다 용이하게 시프트 신호(SR3 및 SR4)의 전위를 VBB보다도 임계값 전압( $V_t$ ) 이상 낮은 전위로 할 수 있다. 따라서, 보다 용이하게 1단계의 게이트 선에

연결되는 논리 합성 회로부(802)의 트랜지스터(PT91 및 PT92)의 게이트에, 각각  $V_{BB}-V_t$  이하의 전위( $V_{BB}-V_\beta$ )를 갖는 시프트 신호(SR3 및 SR4)를 공급할 수 있다. 이것에 의해 논리 합성 회로부(802)의 트랜지스터(PT91 및 PT92)를 통하여 1단째의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위가 임계값 전압( $V_t$ ) 분만큼 상승하는 것을 더욱 억제할 수 있다.

<179> 또한, 제2 실시 형태에서는 상기한 바와 같이 리셋 트랜지스터(PT39 및 PT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(PT39 및 PT49)를 온 시킴으로써 V드라이버를 포함하는 액정 표시 장치에 있어서 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제1 실시 형태와 같은 효과를 얻을 수 있다.

<180> (제3 실시 형태)

<181> 도 7을 참조하여 이 제3 실시 형태에서는 상기 제1 실시 형태의 구성에 있어서, 3단계 이후의 시프트 레지스터 회로부에서도 1단째 및 2단째의 시프트 레지스터 회로부와 마찬가지로, 출력 신호가 출력되는 노드에 접속된 트랜지스터의 드레인에 플러스측 전위를 공급함과 함께, 시프트 레지스터 회로부의 출력 신호를 이용하여 논리 합성 회로부로부터 출력하는 시프트 출력 신호를 L레벨로 고정한 상태에서 유지하는 경우에 대해 설명한다.

<182> 즉, 이 제3 실시 형태에 따른 V드라이버에서는 도 7에 도시한 바와 같이 복수단의 시프트 레지스터 회로부(511 내지 515)와, 주사 방향 전환 회로부(610)와, 입력 신호 전환 회로부(710)와, 복수단의 논리 합성 회로부(811 내지 813)가 설치되어 있다. 또한, 시프트 레지스터 회로부(512 내지 515)는 본 발명의 「제1 시프트 레지스터 회로부」 및 「제2 시프트 레지스터 회로부」의 일례이다. 또한, 도 7에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(511 내지 515) 및 3단분의 논리 합성 회로부(811 내지 813)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.

<183> 그리고, 1단째의 시프트 레지스터 회로부(511)는 도 2에 도시한 제1 실시 형태의 1단째의 시프트 레지스터 회로부(51)의 제1 회로부(51a) 및 제2 회로부(51b)와 같은 회로 구성을 갖는 제1 회로부(511a) 및 제2 회로부(511b)에 의해서 구성되어 있다. 또한, 2단째의 시프트 레지스터 회로부(512)는 도 2에 도시한 제1 실시 형태의 2단째의 시프트 레지스터 회로부(52)의 제1 회로부(52a) 및 제2 회로부(52b)와 같은 회로 구성을 갖는 제1 회로부(512a) 및 제2 회로부(512b)에 의해서 구성되어 있다.

<184> 여기서, 제3 실시 형태에서는 3단째의 시프트 레지스터 회로부(513)는 출력 신호(SR13)를 출력하는 노드(ND3)에 소스가 접속된 트랜지스터(NT24)의 드레인에 플러스측 전위(VDD)가 공급되는 것 이외에는 도 2에 도시한 제1 실시 형태의 3단째의 시프트 레지스터 회로부(53)의 제1 회로부(53a) 및 제2 회로부(53b)와 같은 회로 구성을 갖는 제1 회로부(513a) 및 제2 회로부(513b)를 갖고 있다. 또한, 4단째의 시프트 레지스터 회로부(514)는 출력 신호(SR14)를 출력하는 노드(ND3)에 소스가 접속된 트랜지스터(NT34)의 드레인에 플러스측 전위(VDD)가 공급되는 것 이외에는 도 2에 도시한 제1 실시 형태의 4단째의 시프트 레지스터 회로부(54)의 제1 회로부(54a) 및 제2 회로부(54b)와 같은 회로 구성을 갖는 제1 회로부(514a) 및 제2 회로부(514b)를 갖고 있다. 또한, 5단째의 시프트 레지스터 회로부(515)는 출력 신호(SR15)를 출력하는 노드(ND3)에 소스가 접속된 트랜지스터(NT44)의 드레인에 플러스측 전위(VDD)가 공급되는 것 이외에는 도 2에 도시한 제1 실시 형태의 5단째의 시프트 레지스터 회로부(55)의 제1 회로부(55a) 및 제2 회로부(55b)와 같은 회로 구성을 갖는 제1 회로부(515a) 및 제2 회로부(515b)를 갖고 있다.

<185> 또한, 주사 방향 전환 회로부(610)는 도 2에 도시한 제1 실시 형태의 주사 방향 전환 회로부(60)와 같은 회로 구성을 갖는다. 단, 제3 실시 형태에서는 트랜지스터(NT56)의 소스/드레인의 다른 쪽과, 트랜지스터(NT57)의 소스/드레인의 한쪽이 접속되어 있다. 또한, 제3 실시 형태의 입력 신호 전환 회로부(710)는 도 2에 도시한 제1 실시 형태의 입력 신호 전환 회로부(70)와 같은 회로 구성을 갖는다.

<186> 또한, 더미 게이트 선에 접속되는 논리 합성 회로부(811)는 트랜지스터(NT81 내지 NT84)와, 다이오드 접속된 트랜지스터(NT85 및 NT86)와, 용량(C81)을 포함한다. 즉, 제3 실시 형태의 논리 합성 회로부(811)는 도 2에 도시한 제1 실시 형태의 논리 합성 회로부(81)의 회로 구성에 있어서, 다이오드 접속된 트랜지스터(NT86)를 더한 회로 구성을 갖는다. 또한, 트랜지스터(NT83 내지 NT86)와, 용량(C81)에 의해 전위 고정 회로부(811a)가 구성되어 있다. 또한, 제3 실시 형태에서는 트랜지스터(NT85)의 소스는 1단째의 시프트 레지스터 회로부(511)의 출력 신호(SR11)가 출력되는 노드(ND3)에 접속되어 있다. 또한, 트랜지스터(NT86)의 소스는 4단째의 시프트 레지스터 회로부(514)의 출력 신호(SR14)가 출력되는 노드(ND3)에 접속되어 있음과 함께, 드레인은 논리 합성 회로부(811)의 노드(ND5)에 접속되어 있다.

- <187> 또한, 1단계의 게이트 선에 접속되는 논리 합성 회로부(812)는 트랜지스터(NT91 내지 NT94)와, 다이오드 접속된 트랜지스터(NT95 및 NT96)와, 용량(C91)을 포함한다. 즉, 제3 실시 형태의 논리 합성 회로부(812)는 도 2에 도시한 제1 실시 형태의 논리 합성 회로부(82)의 회로 구성에 있어서, 다이오드 접속된 트랜지스터(NT96)를 더한 회로 구성을 갖는다. 또한, 트랜지스터(NT93 내지 NT96)와, 용량(C91)에 의해 전위 고정 회로부(812a)가 구성되어 있다. 또한, 제3 실시 형태에서는 트랜지스터(NT95)의 소스는 2단계의 시프트 레지스터 회로부(512)의 출력 신호(SR12)가 출력되는 노드(ND3)에 접속되어 있다. 또한, 트랜지스터(NT96)의 소스는 5단계의 시프트 레지스터 회로부(515)의 출력 신호(SR15)가 출력되는 노드(ND3)에 접속되어 있음과 함께, 드레인은 논리 합성 회로부(812)의 노드(ND5)에 접속되어 있다.
- <188> 또한, 2단계의 게이트 선에 접속되는 논리 합성 회로부(813)는 트랜지스터(NT101 내지 NT104)와, 다이오드 접속된 트랜지스터(NT105 및 NT106)와, 용량(C101)을 포함한다. 즉, 제3 실시 형태의 논리 합성 회로부(813)는 도 2에 도시한 제1 실시 형태의 논리 합성 회로부(83)의 회로 구성에 있어서, 다이오드 접속된 트랜지스터(NT106)를 더한 회로 구성을 갖는다. 또한, 트랜지스터(NT103 내지 NT106)와, 용량(C101)에 의해 전위 고정 회로부(813a)가 구성되어 있다. 또한, 제3 실시 형태에서는 트랜지스터(NT105)의 소스는 3단계의 시프트 레지스터 회로부(513)의 출력 신호(SR13)가 출력되는 노드(ND3)에 접속되어 있다. 또한, 트랜지스터(NT106)의 소스는 도시하지 않은 6단계의 시프트 레지스터 회로부의 시프트 신호가 출력되는 노드에 접속되어 있음과 함께, 드레인은 논리 합성 회로부(813)의 노드(ND5)에 접속되어 있다.
- <189> 다음에 도 7 및 도 8을 참조하여 제3 실시 형태에 따른 V드라이버의 동작에 대해서 설명한다.
- <190> 이 제3 실시 형태에 따른 V드라이버의 동작은 기본적으로는 상기 제1 실시 형태에 따른 V드라이버의 동작과 같다. 단, 이 제3 실시 형태에 따른 V드라이버에서는 상기 제1 실시 형태와 달리 3단계 이후의 시프트 레지스터 회로부(513 내지 515)의 출력 신호(SR13 내지 SR15)가 출력되는 노드(ND3)에 접속된 트랜지스터(NT24 내지 NT44)의 드레인에 플러스측 전위(VDD)를 공급한다. 즉, 제3 실시 형태에서는 3단계 이후의 시프트 레지스터 회로부(513 내지 515)에 있어서, 상기한 제1 실시 형태에 따른 1단계 및 2단계의 시프트 레지스터 회로부와 같은 동작이 행해진다.
- <191> 또한, 제3 실시 형태에서는 논리 합성 회로부(811 내지 813)로부터 각 단의 게이트 선에 출력하는 시프트 출력 신호 Dummy, Gate1 및 Gate2의 전위를 L레벨로 고정할 때, 시프트 레지스터 회로부로부터의 출력 신호를 이용하여 전위를 고정한다. 예를 들면 1단계의 게이트 선에 연결되는 논리 합성 회로부(812)에 있어서, 함께 온 상태로 되어 있는 트랜지스터(NT91 및 NT92)를 통하여 H레벨의 인에이블 신호(ENB)가 공급됨으로써 1단계의 게이트 선에 출력하는 시프트 출력 신호(Gate1)가 H레벨로 되어 있다. 이 후, 인에이블 신호(ENB)의 전위가 L레벨로 저하한다. 이것에 의해 L레벨의 인에이블 신호(ENB)가 트랜지스터(NT91 및 NT92)를 통하여 공급됨으로써 1단계의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위가 L레벨로 저하한다.
- <192> 이 후, 제3 실시 형태에서는 H레벨(VDD)의 출력 신호(SR15)가, 1단계의 게이트 선에 연결되는 논리 합성 회로부(812)의 트랜지스터(NT93)의 게이트에 다이오드 접속된 트랜지스터(NT96)를 통하여 입력된다. 이것에 의해 트랜지스터(NT93)는 온 상태로 된다. 이 때문에, 트랜지스터(NT93)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 1단계의 게이트 선에 연결되는 논리 합성 회로부(812)의 노드(ND4)의 전위는 L레벨로 고정된다. 이것에 의해 논리 합성 회로부(812)로부터 1단계의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위는 L레벨로 고정된다. 또한, 제3 실시 형태에서는 H레벨(VDD)의 출력 신호(SR15)가 트랜지스터(NT93)의 게이트에 입력되었을 때 용량(C91)이 충전된다. 이것에 의해 다음에 트랜지스터(NT94)가 온 상태로 되어 마이너스측 전위(VBB)로부터 트랜지스터(NT94)를 통하여 L레벨의 전위가 공급될 때까지, 노드(ND5)의 전위(트랜지스터(NT93)의 게이트 전위)는 H레벨로 유지된다. 이 때문에, 다음에 트랜지스터(NT94)가 온 상태가 될 때까지 트랜지스터(NT93)는 온 상태로 유지되므로, 논리 합성 회로부(812)로부터 1단계의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위는 L레벨로 고정된 상태에서 유지된다.
- <193> 그리고, 각 단의 논리 합성 회로부에 있어서, 상기한 1단계의 게이트 선에 연결되는 논리 합성 회로부(812)의 동작과 같은 동작에 의해 시프트 레지스터 회로부의 출력 신호를 이용하여 시프트 출력 신호의 전위가 L레벨로 고정된다. 제3 실시 형태에 따른 V드라이버의 상기 이외의 동작은 상기 제1 실시 형태에 따른 V드라이버의 동작과 같다.
- <194> 또한, 제3 실시 형태에서는 트랜지스터(NT4, NT14, NT24, NT34 및 NT44)의 게이트와 소스 사이에, 각각 용량(C3, C13, C23, C33 및 C43)을 접속함과 함께, 트랜지스터(NT4, NT14, NT24, NT34 및 NT44)의 드레인에 플러스측 전위(VDD)를 공급함으로써 이하와 같은 동작이 행해진다. 예를 들면 2단계의 시프트 레지스터 회로부(512)



에 있어서, 클록 신호(CKV2)에 응답하여 트랜지스터(NT14)가 온할 때에, 용량(C13)이 접속된 트랜지스터(NT14)의 게이트-소스 간 전압을 유지하도록, 트랜지스터(NT14)의 소스 전위의 상승에 수반하여 트랜지스터(NT14)의 게이트 전위(시프트 신호(SR2)의 전위)가 상승한다. 또한, 3단계의 시프트 레지스터 회로부(513)에 있어서, 클록 신호(CKV1)에 응답하여 트랜지스터(NT24)가 온할 때에, 용량(C23)이 접속된 트랜지스터(NT24)의 게이트-소스 간 전압을 유지하도록, 트랜지스터(NT24)의 소스 전위의 상승에 수반하여 트랜지스터(NT24)의 게이트 전위(시프트 신호(SR3)의 전위)가 상승한다. 상기한 바와 마찬가지로 해서 트랜지스터(NT14)의 게이트 전위(시프트 신호(SR2)의 전위)와, 트랜지스터(NT24)의 게이트 전위(시프트 신호(SR3)의 전위)가 VDD보다도 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ )만큼 높은 전위까지 저하하기 때문에, 더미 게이트 선에 연결되는 논리 합성 회로부(811)의 트랜지스터(NT81) 및 트랜지스터(NT82)의 게이트에, 각각 VDD+ $V_t$ 보다도 높은 전위(VDD+ $V_a$ )를 갖는 시프트 신호(SR2 및 SR3)가 공급된다. 이것에 의해 논리 합성 회로부(811)의 트랜지스터(NT81 및 NT82)를 통하여 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위가, VDD로부터 트랜지스터(NT81 및 NT82)의 임계값 전압( $V_t$ ) 분만큼 저하하는 것이 억제된다.

<195> 또한, 제3 실시 형태에서는 상기한 바와 같이 리셋 트랜지스터(NT39 및 NT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(NT39 및 NT49)를 온 시킴으로써 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제1 실시 형태와 같은 효과를 얻을 수 있다.

<196> (제4 실시 형태)

<197> 도 9를 참조하여 이 제4 실시 형태에서는 상기 제3 실시 형태의 V드라이버를 p채널 트랜지스터로 구성하는 경우에 대해 설명한다.

<198> 이 제4 실시 형태에 따른 V드라이버에서는 도 9에 도시한 바와 같이 복수단의 시프트 레지스터 회로부(521 내지 525)와, 주사 방향 전환 회로부(620)와, 입력 신호 전환 회로부(720)와, 복수단의 논리 합성 회로부(821 내지 823)가 설치되어 있다. 또한, 시프트 레지스터 회로부(521 내지 525)는 본 발명의 「제1 시프트 레지스터 회로부」 및 「제2 시프트 레지스터 회로부」의 일례이다. 또한, 도 9에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(521 내지 525) 및 3단분의 논리 합성 회로부(821 내지 823)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.

<199> 그리고, 1단계의 시프트 레지스터 회로부(521)는 도 5에 도시한 제2 실시 형태의 1단계의 시프트 레지스터 회로부(501)의 제1 회로부(501a) 및 제2 회로부(501b)와 같은 회로 구성을 갖는 제1 회로부(521a) 및 제2 회로부(521b)에 의해서 구성되어 있다. 또한, 2단계의 시프트 레지스터 회로부(522)는 도 5에 도시한 제2 실시 형태의 2단계의 시프트 레지스터 회로부(502)의 제1 회로부(502a) 및 제2 회로부(502b)와 같은 회로 구성을 갖는 제1 회로부(522a) 및 제2 회로부(522b)에 의해서 구성되어 있다.

<200> 여기서, 제4 실시 형태에서는 3단계 이후의 시프트 레지스터 회로부(523 내지 525)의 출력 신호(SR13 내지 SR15)를 출력하는 노드(ND3)에 소스가 접속된 트랜지스터(PT24 내지 PT44)의 드레인에는 각각 마이너스측 전위(VBB)가 공급되어 있다. 즉, 제4 실시 형태에서는 3단계 이후의 시프트 레지스터 회로부(523 내지 525)는 모두 동일한 회로 구성을 갖고 있다. 구체적으로는 3단계 내지 5단계의 시프트 레지스터 회로부는 제2 실시 형태에 따른 시프트 레지스터 회로부의 제1 회로부 및 제2 회로부와 같은 회로 구성을 갖는 제1 회로부 및 제2 회로부를 갖고 있다.

<201> 또한, 주사 방향 전환 회로부(620)는 기본적으로는 도 5에 도시한 제2 실시 형태에 따른 주사 방향 전환 회로부(600)와 같은 회로 구성을 갖고 있다. 단, 제4 실시 형태에 따른 주사 방향 전환 회로부(620)에서는 트랜지스터(PT56)의 소스/드레인의 다른 쪽과, 트랜지스터(PT57)의 소스/드레인의 한쪽이 접속되어 있다. 또한, 입력 신호 전환 회로부(720)는 도 5에 도시한 제2 실시 형태의 입력 신호 전환 회로부(700)와 같은 회로 구성을 갖는다.

<202> 또한, 논리 합성 회로부(821 내지 823)는 도 7에 도시한 제3 실시 형태의 논리 합성 회로부(811 내지 813)를 구성하는, n채널 트랜지스터를 p채널 트랜지스터로 치환한 구성을 갖고 있다. 구체적으로는 제4 실시 형태에 따른 더미 게이트 선에 연결되는 논리 합성 회로부(821)는 도 7에 도시한 제3 실시 형태의 논리 합성 회로부(811)의 트랜지스터(NT81 내지 NT86)를 각각 트랜지스터(PT81 내지 PT86)로 치환한 회로 구성을 갖고 있다. 또한, 제4 실시 형태에 따른 1단계의 게이트 선에 연결되는 논리 합성 회로부(822)는 도 7에 도시한 제3 실시 형태의 논리 합성 회로부(812)의 트랜지스터(NT91 내지 NT96)를 각각 트랜지스터(PT91 내지 PT96)로 치환한 회로 구성을 갖고 있다. 또한, 제4 실시 형태에 따른 2단계의 게이트 선에 연결되는 논리 합성 회로부(823)는 도 7에 도

시한 제3 실시 형태의 논리 합성 회로부(813)의 트랜지스터(NT101 내지 NT106)를 각각 트랜지스터(PT101 내지 PT106)로 치환한 회로 구성을 갖고 있다. 또한, 제4 실시 형태에서는 논리 합성 회로부(821 내지 823)의 트랜지스터(PT83, PT93 및 PT103)의 소스는 플러스측 전위(VDD)에 접속되어 있다.

<203> 다음에 도 9 및 도 10을 참조하여 제4 실시 형태에 따른 V드라이버의 동작을 설명한다. 이 제4 실시 형태에 따른 V드라이버에서는 도 8에 도시한 제3 실시 형태의 스타트 신호(STV), 클록 신호(CKV1, CKV2) 및 인에이블 신호(ENB)의 H레벨과 L레벨을 반전시킨 파형의 신호를, 각각 스타트 신호(STV), 클록 신호(CKV1, CKV2) 및 인에이블 신호(ENB)로서 입력한다. 이것에 의해 제3 실시 형태에 따른 시프트 레지스터 회로부(521 내지 525)로부터는 도 7에 도시한 제3 실시 형태에 따른 시프트 레지스터 회로부(511 내지 515)로부터 출력되는 시프트 신호(SR1 내지 SR5) 및 출력 신호(SR11 내지 SR15)의 H레벨과 L레벨을 반전시킨 파형을 갖는 신호가 각각 출력된다. 또한, 제4 실시 형태에 따른 논리 합성 회로부(821 내지 823)로부터는 도 7에 도시한 제3 실시 형태에 따른 논리 합성 회로부(811 내지 813)로부터 출력되는 시프트 출력 신호 Dummy, Gate1 및 Gate2의 H레벨과 L레벨을 반전시킨 파형을 갖는 신호가 출력된다. 이 제4 실시 형태에 따른 V드라이버의 상기 이외의 동작은 도 7에 도시한 상기 제3 실시 형태에 따른 V드라이버의 동작과 같다.

<204> 또한, 제4 실시 형태에서는 트랜지스터(PT4, PT14, PT24, PT34 및 PT44)의 게이트와 소스 사이에, 각각 용량(C3, C13, C23, C33 및 C43)을 접속함과 함께, 트랜지스터(PT4, PT14, PT24, PT34 및 PT44)의 드레인에 마이너스측 전위(VBB)를 공급함으로써 이하와 같은 동작이 행해진다. 예를 들면 2단계의 시프트 레지스터 회로부(522)에 있어서, 클록 신호(CKV2)에 응답하여 트랜지스터(PT14)가 온할 때에, 용량(C13)이 접속된 트랜지스터(PT14)의 게이트-소스 간 전압을 유지하도록, 트랜지스터(PT14)의 소스 전위의 저하에 수반하여 트랜지스터(PT14)의 게이트 전위(시프트 신호(SR2)의 전위)가 저하한다. 또한, 3단계의 시프트 레지스터 회로부(523)에서, 클록 신호(CKV1)에 응답하여 트랜지스터(PT24)가 온할 때에, 용량(C23)이 접속된 트랜지스터(PT24)의 게이트-소스 간 전압을 유지하도록, 트랜지스터(PT24)의 소스 전위의 저하에 수반하여 트랜지스터(PT24)의 게이트 전위(시프트 신호(SR3)의 전위)가 저하한다. 상기한 바와 마찬가지로 해서 트랜지스터(PT14)의 게이트 전위(시프트 신호(SR2)의 전위)와, 트랜지스터(PT24)의 게이트 전위(시프트 신호(SR3)의 전위)가 VBB보다도 임계값 전압( $V_t$ ) 이상의 소정의 전압( $V_a$ ) 만큼 낮은 전위까지 저하하기 때문에, 더미 게이트 선에 연결되는 논리 합성 회로부(821)의 트랜지스터(PT81) 및 트랜지스터(PT82)의 게이트에, 각각 VBB- $V_t$ 보다도 낮은 전위(VBB- $V_a$ )를 갖는 시프트 신호(SR2 및 SR3)가 공급된다. 이것에 의해 논리 합성 회로부(821)의 트랜지스터(PT81 및 PT82)를 통하여 더미 게이트 선에 출력되는 시프트 출력 신호 Dummy의 전위가 VBB로부터 트랜지스터(PT81 및 PT82)의 임계값 전압( $V_t$ ) 분만큼 상승하는 것이 억제된다.

<205> 또한, 제4 실시 형태에서는 상기한 바와 같이 리셋 트랜지스터(PT39 및 PT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(PT39 및 PT49)를 온 시킴으로써 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제3 실시 형태와 같은 효과를 얻을 수 있다.

<206> (제5 실시 형태)

<207> 도 11을 참조하여 이 제5 실시 형태에서는 상기 제1 실시 형태의 구성에 있어서, 3단계 이후의 시프트 레지스터 회로부의 출력 신호가 출력되는 노드에 접속된 트랜지스터의 드레인에 공통의 인에이블 신호를 공급하는 경우에 대해 설명한다.

<208> 즉, 이 제5 실시 형태에 따른 V드라이버에서는 도 11에 도시한 바와 같이 복수단의 시프트 레지스터 회로부(531 내지 535)와, 주사 방향 전환 회로부(630)와, 입력 신호 전환 회로부(730)와, 복수단의 논리 합성 회로부(831 내지 833)와, 회로부(911)가 설치되어 있다. 또한, 도 11에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(531 내지 535) 및 3단분의 논리 합성 회로부(831 내지 833)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.

<209> 그리고, 1단계의 시프트 레지스터 회로부(531)는 도 2에 도시한 제1 실시 형태의 1단계의 시프트 레지스터 회로부(51)의 제1 회로부(51a) 및 제2 회로부(51b)와 같은 회로 구성을 갖는 제1 회로부(531a) 및 제2 회로부(531b)에 의해서 구성되어 있다. 또한, 2단계의 시프트 레지스터 회로부(532)는 도 2에 도시한 제1 실시 형태의 2단계의 시프트 레지스터 회로부(52)의 제1 회로부(52a) 및 제2 회로부(52b)와 같은 회로 구성을 갖는 제1 회로부(532a) 및 제2 회로부(532b)에 의해서 구성되어 있다.

<210> 여기서, 제5 실시 형태에서는 3단계의 시프트 레지스터 회로부(533), 4단계의 시프트 레지스터 회로부(534) 및 5단계의 시프트 레지스터 회로부(535)의 각각에 인에이블 신호선(ENB)이 접속되어 있다. 구체적으로는 3단계의

시프트 레지스터 회로부(533)는 제1 회로부(533a)와 제2 회로부(533b)에 의해 구성되어 있다. 제1 회로부(533a) 및 제2 회로부(533b)는 각각 도 2에 도시한 제1 실시 형태의 3단계의 시프트 레지스터 회로부(53)의 제1 회로부(53a) 및 제2 회로부(53b)와 같은 회로 구성을 갖는다. 그리고, 이 제5 실시 형태에서는 트랜지스터(NT24)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다.

<211> 또한, 4단계의 시프트 레지스터 회로부(534)는 제1 회로부(534a)와 제2 회로부(534b)에 의해 구성되어 있다. 제1 회로부(534a) 및 제2 회로부(534b)는 각각 도 2에 도시한 제1 실시 형태의 4단계의 시프트 레지스터 회로부(54)의 제1 회로부(54a) 및 제2 회로부(54b)와 같은 회로 구성을 갖는다. 그리고, 이 제5 실시 형태에서는 트랜지스터(NT34)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다. 또한, 5단계의 시프트 레지스터 회로부(535)는 제1 회로부(535a)와 제2 회로부(535b)에 의해 구성되어 있다. 제1 회로부(535a) 및 제2 회로부(535b)는 각각 도 2에 도시한 제1 실시 형태의 5단계의 시프트 레지스터 회로부(55)의 제1 회로부(55a) 및 제2 회로부(55b)와 같은 회로 구성을 갖는다. 그리고, 이 제5 실시 형태에서는 트랜지스터(NT44)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다.

<212> 또한, 주사 방향 전환 회로부(630)는 도 2에 도시한 제1 실시 형태의 주사 방향 전환 회로부(60)와 같은 회로 구성을 갖는다. 또한, 제5 실시 형태의 입력 신호 전환 회로부(730)는 도 2에 도시한 제1 실시 형태의 입력 신호 전환 회로부(70)와 같은 회로 구성을 갖는다. 또한, 제5 실시 형태의 논리 합성 회로부(831 내지 833)는 도 2에 도시한 제1 실시 형태의 논리 합성 회로부(81 내지 83)와 같은 회로 구성을 갖는다. 또한, 논리 합성 회로부(831 내지 833)는 각각 도 2에 도시한 제1 실시 형태의 전위 고정 회로부(81a 내지 83a)와 같은 회로 구성을 갖는 전위 고정 회로부(831a 내지 833a)를 구비하고 있다. 또한, 회로부(911)는 도 2에 도시한 제1 실시 형태의 회로부(91)와 같은 회로 구성을 갖는다.

<213> 다음에 도 11 및 도 12를 참조하여 제5 실시 형태에 따른 V드라이버의 동작에 대해서 설명한다.

<214> 이 제5 실시 형태에 따른 V드라이버의 동작은 기본적으로는 상기 제1 실시 형태에 따른 V드라이버의 동작과 같다. 단, 이 제5 실시 형태에 따른 V드라이버에서는 상기 제1 실시 형태와 달리 3단계 이후의 시프트 레지스터 회로부(533 내지 535)의 출력 신호(SR13 내지 SR15)가 출력되는 노드(ND3)에 접속된 트랜지스터(NT24 내지 NT44)의 드레인에, 공통의 인에이블 신호(ENB)를 공급한다.

<215> 구체적으로는 1단계 및 2단계의 시프트 레지스터 회로부(531 및 532)(도 11 참조)에 있어서의 동작은 도 2에 도시한 제1 실시 형태에 의한 1단계 및 2단계의 시프트 레지스터 회로부(51 및 52)에 있어서의 동작과 같다. 그리고, 2단계의 시프트 레지스터 회로부(532)로부터 H레벨(VDD+V<sub>α</sub>)의 시프트 신호(SR2)가 트랜지스터(NT66)의 드레인에 입력된다. 이것에 의해 게이트에 VDD의 전위의 주사 방향 전환 신호(CSV)가 입력됨으로써 온 하고 있는 트랜지스터(NT66)의 소스 전위는 (VDD-V<sub>t</sub>)의 전위가 된다. 이 때문에, 3단계의 시프트 레지스터 회로부(533)의 트랜지스터(NT27)의 게이트에 (VDD-V<sub>t</sub>)의 전위가 입력된다.

<216> 또한, 트랜지스터(NT21)의 게이트에 H레벨(VDD)의 출력 신호(SR12)가 입력된다. 또한, 트랜지스터(NT22)의 게이트에는 4단계의 시프트 레지스터 회로부(534)로부터 L레벨의 시프트 신호(SR4)가 입력된다. 이것에 의해 트랜지스터(NT21 및 NT27)은 온 상태가 됨과 함께, 트랜지스터(NT22)는 오프 상태로 된다. 이 때문에, 트랜지스터(NT21)를 통하여 마이너스측 전위(VBB)로부터 L레벨의 전위가 공급됨으로써 3단계의 시프트 레지스터 회로부(533)의 노드(ND1)의 전위는 L레벨로 저하한다. 이것에 의해 트랜지스터(NT25 및 NT26)는 오프 상태로 된다. 이 상태에서 트랜지스터(NT27)의 드레인에 입력되는 클럭 신호(CKV1)가 L레벨로부터 H레벨로 상승한다. 이것에 의해 3단계의 시프트 레지스터 회로부(533)의 노드(ND2)의 전위는 H레벨로 상승하기 때문에, 트랜지스터(NT24)는 온 상태로 된다. 이때, 트랜지스터(NT24)의 드레인에 L레벨의 인에이블 신호(ENB)가 공급되어 있기 때문에, 트랜지스터(NT24)의 소스 전위(노드(ND3)의 전위)는 L레벨로 유지된다.

<217> 이 후, 제5 실시 형태에서는 인에이블 신호(ENB)의 전위가 L레벨로부터 H레벨로 상승한다. 이것에 의해 3단계의 시프트 레지스터 회로부(533)의 노드(ND3)의 전위가 H레벨로 상승한다. 이때, 3단계의 시프트 레지스터 회로부(533)의 노드(ND2)의 전위는 용량(C23)에 의해서 트랜지스터(NT24)의 게이트-소스 간 전압이 유지되도록, 노드(ND3)의 전위의 상승에 수반하여 부팅됨으로써 상승한다. 이것에 의해 3단계의 시프트 레지스터 회로부(533)의 노드(ND2)의 전위가 VDD보다도 임계값 전압(V<sub>t</sub>) 이상의 소정의 전압(V<sub>α</sub>)만큼 높은 전위(VDD+V<sub>β</sub> > VDD+V<sub>t</sub>)까지 상승한다. 또한, 이 때의 노드(ND2)의 전위(VDD+V<sub>β</sub>)는 1단계 및 2단계의 시프트 레지스터 회로부(511 및 512)에 있어서, 상승한 후의 노드(ND2)의 전위(VDD+V<sub>α</sub>)보다도 더욱 높은 전위가 된다. 그리고, 3단계의 시프트 레지스터 회로부(533)의 노드(ND2)로부터 VDD+V<sub>t</sub> 이상의 전위(VDD+V<sub>β</sub>)를 갖는 H레벨의 시프트 신호(SR3)가 출력된다. 그리고, 4단계 이후의 시프트 레지스터 회로부(534 및 535)에 있어서도, 상기한 3단계의 시

프트 레지스터 회로부(533)와 같은 동작에 의해 상기 제1 실시 형태에 따른 시프트 레지스터 회로부로부터 출력되는 H레벨( $VDD+V_{\alpha}$ )의 시프트 신호보다도 더욱 높은  $VDD+V_t$  이상의 전위( $VDD+V_{\beta}$ )를 갖는 H레벨의 시프트 신호(SR4 및 SR5)가 출력된다.

<218> 그리고, 3단계의 시프트 레지스터 회로부(513)의 H레벨( $VDD+V_{\beta} > VDD+V_t$ )의 시프트 신호(SR3)는 트랜지스터(NT63 및 NT68)의 드레인에 각각 입력된다. 이것에 의해 게이트에 VDD의 전위의 주사 방향 전환 신호(CSV)가 입력됨으로써 온 하고 있는 트랜지스터(NT63 및 NT68)의 소스 전위는 모두 ( $VDD-V_t$ )의 전위가 된다. 이 때문에, 2단계의 시프트 레지스터 회로부(532)의 트랜지스터(NT12)의 게이트와, 4단계의 시프트 레지스터 회로부(534)의 트랜지스터(NT37)의 게이트에 ( $VDD-V_t$ )의 전위가 입력된다. 이 상태에서 클록 신호(CKV2)가 L레벨(VBB)로부터 H레벨(VDD)로 상승함으로써 2단계의 시프트 레지스터 회로부(532)의 트랜지스터(NT12)에서는 용량(C12)에 의해 게이트-소스 간 전압이 유지되면서, 게이트 전위가 ( $VDD-V_t$ )로부터 VDD와 VBB의 전위차만큼 상승한다. 이것에 의해 트랜지스터(NT12)의 노드(ND1)측에 발생하는 전위가 VDD로부터 트랜지스터(NT12)의 임계값 전압( $V_t$ )만큼 저하하는 것이 억제된다. 이 때문에, 2단계의 시프트 레지스터 회로부(532)의 노드(ND1)에 발생하는 H레벨의 전위가 저하하는 것이 억제된다. 또한, 4단계의 시프트 레지스터 회로부(534)의 트랜지스터(NT37)의 게이트에 ( $VDD-V_t$ )의 전위가 입력된 상태에서, 클록 신호(CKV2)가 L레벨(VBB)로부터 H레벨(VDD)로 상승함으로써 트랜지스터(NT37)에서는 용량(C34)에 의해 게이트-소스 간 전압이 유지되면서, 게이트 전위가 ( $VDD-V_t$ )로부터 VDD와 VBB의 전위차만큼 상승한다. 이것에 의해 트랜지스터(NT37)의 노드(ND2)측에 발생하는 전위가 VDD로부터 트랜지스터(NT37)의 임계값 전압( $V_t$ )만큼 저하하는 것이 억제된다. 이 때문에, 4단계의 시프트 레지스터 회로부(534)의 노드(ND2)에 발생하는 H레벨의 전위가 저하하는 것이 억제된다. 상기한 바와 마찬가지로 해서 각 단의 시프트 레지스터 회로부에 있어서, 클록 신호(CKV1) 또는 CKV2의 전위가 H레벨(VDD)로 상승하는데 수반하여 노드(ND1 또는 ND2)의 전위가 상승하는 경우에, 노드(ND1 및 ND2)에 발생하는 H레벨의 전위가 저하하는 것이 억제된다.

<219> 또한, 3단계의 시프트 레지스터 회로부(533)의 H레벨( $VDD+V_{\beta}$ )의 시프트 신호(SR3)는 1단계의 게이트 선에 연결되는 논리 합성 회로부(832)의 트랜지스터(NT91)의 게이트에도 입력된다. 또한, 1단계의 게이트 선에 연결되는 논리 합성 회로부(832)의 트랜지스터(NT92)의 게이트에는 4단계의 시프트 레지스터 회로부의 H레벨( $VDD+V_{\beta}$ )의 시프트 신호(SR4)가 입력된다. 이것에 의해 1단계의 게이트 선에 연결되는 논리 합성 회로부(832)에 있어서, 트랜지스터(NT91)의 드레인에 입력되는 인에이블 신호(ENB)의 전위가 H레벨(VDD)의 전위로 상승한 경우에, 노드(ND4)에 발생하는 전위가 VDD로부터 트랜지스터(NT91 및 NT92)의 임계값 전압( $V_t$ )만큼 저하하는 것이 억제된다. 이와 같이 하여, 2단계 이후의 게이트 선에 연결되는 논리 합성 회로부에서도 마찬가지로, 인에이블 신호(ENB)의 전위가 H레벨(VDD)로 상승하는데 수반하여 노드(ND4)의 전위가 상승하는 경우에, 노드(ND4)에 발생하는 H레벨의 전위가 저하하는 것이 억제된다. 이것에 의해 각 단의 게이트 선에 출력되는 시프트 출력 신호(Gate1 및 Gate2)의 H레벨의 전위가 저하하는 것이 억제된다.

<220> 제5 실시 형태에 따른 V드라이버의 상기 이외의 동작은 상기 제1 실시 형태에 따른 V드라이버의 동작과 같다.

<221> 제5 실시 형태에서는 상기한 바와 같이 시프트 레지스터 회로부(533 내지 535)에 있어서, 트랜지스터(NT24, NT34 및 NT44)의 드레인에 인에이블 신호선을 접속함과 함께, 게이트에 클록 신호(CKV1)(CKV2)를 공급하고, 인에이블 신호(ENB)는 클록 신호(CKV1)(CKV2)가 L레벨로부터 H레벨로 상승한 후에, L레벨로부터 H레벨로 전환되도록 구성함으로써, 예를 들면 3단계의 시프트 레지스터 회로부(533)에 있어서, 클록 신호(CKV1)에 의해 트랜지스터(NT24)의 게이트 전위를 L레벨(VBB)로부터 H레벨(VDD)로 상승시키는 데 수반하여, 트랜지스터(NT24)를 온 상태로 되게 한 후, 인에이블 신호(ENB)에 의해 트랜지스터(NT24)의 소스 전위를 L레벨(VBB)로부터 H레벨(VDD)로 상승시킬 수 있다. 이것에 의해 그 때의 트랜지스터(NT24)의 소스 전위의 상승분( $V_{\beta}$ )만큼 트랜지스터(NT24)의 게이트 전위를 상승시킬 수 있다. 또한, 4단계의 시프트 레지스터 회로부(534)에 있어서, 클록 신호(CKV2)에 의해 트랜지스터(NT34)의 게이트 전위를 L레벨(VBB)로부터 H레벨(VDD)로 상승시키는 데 수반하여 트랜지스터(NT34)를 온 상태로 되게 한 후, 인에이블 신호(ENB)에 의해 트랜지스터(NT34)의 소스 전위를 L레벨(VBB)로부터 H레벨(VDD)로 상승시킬 수 있다. 이것에 의해 그 때의 트랜지스터(NT34)의 소스 전위의 상승분( $V_{\beta}$ )만큼 트랜지스터(NT34)의 게이트 전위를 상승시킬 수 있다. 이것에 의해 트랜지스터(NT24 및 NT34)의 드레인이 고정적인 플러스측 전위(VDD)에 접속되어 있는 경우에 비해서, 시프트 신호(SR3 및 SR4)의 전위( $VDD+V_{\beta} > VDD+V_t$ )를 보다 높게 할 수 있으므로, 보다 용이하게 시프트 신호(SR3 및 SR4)의 전위를, VDD보다도 임계값 전압( $V_t$ ) 이상 높은 전위로 할 수 있다. 따라서, 보다 용이하게 1단계의 게이트 선에 연결되는 논리 합성 회로부(832)의 트랜지스터(NT91)의 게이트 및 트랜지스터(NT92)의 게이트에, 각각  $VDD+V_t$  이상의 전위를 갖는 시프트 신호(SR3 및 SR



4)를 공급할 수 있다. 이것에 의해 논리 합성 회로부(832)의 트랜지스터(NT91 및 NT92)를 통하여 1단째의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위가 임계값 전압(Vt) 분만큼 저하하는 것을 더욱 억제할 수 있다.

- <222> 제5 실시 형태에서는 상기의 효과 이외에도 리셋 트랜지스터(NT39 및 NT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(NT39 및 NT49)를 온 시킴으로써 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제1 실시 형태와 같은 효과를 얻을 수 있다.
- <223> (제6 실시 형태)
- <224> 도 13을 참조하여 이 제6 실시 형태에서는 상기 제5 실시 형태의 V드라이버를 p채널 트랜지스터로 구성하는 경우에 대해 설명한다.
- <225> 즉, 이 제6 실시 형태에 따른 V드라이버에서는 도 13에 도시한 바와 같이 복수단의 시프트 레지스터 회로부(541 내지 545)와, 주사 방향 전환 회로부(640)와, 입력 신호 전환 회로부(740)와, 복수단의 논리 합성 회로부(841 내지 843)와, 회로부(921)가 설치되어 있다. 또한, 도 13에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(541 내지 545) 및 3단분의 논리 합성 회로부(841 내지 843)만을 도시하고 있지만, 실제로는 화소 수에 따른 수의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다.
- <226> 그리고, 1단째의 시프트 레지스터 회로부(541)는 도 5에 도시한 제2 실시 형태의 1단째의 시프트 레지스터 회로부(501)의 제1 회로부(501a) 및 제2 회로부(501b)와 같은 회로 구성을 갖는 제1 회로부(541a) 및 제2 회로부(541b)에 의해서 구성되어 있다. 또한, 2단째의 시프트 레지스터 회로부(542)는 도 5에 도시한 제2 실시 형태의 2단째의 시프트 레지스터 회로부(502)의 제1 회로부(502a) 및 제2 회로부(502b)와 같은 회로 구성을 갖는 제1 회로부(542a) 및 제2 회로부(542b)에 의해서 구성되어 있다.
- <227> 여기서, 제6 실시 형태에서는 3단째의 시프트 레지스터 회로부(543), 4단째의 시프트 레지스터 회로부(544) 및 5단째의 시프트 레지스터 회로부(545)의 각각에 인에이블 신호선(ENB)이 접속되어 있다. 구체적으로는 3단째의 시프트 레지스터 회로부(543)는 제1 회로부(543a)와 제2 회로부(543b)에 의해 구성되어 있다. 제1 회로부(543a) 및 제2 회로부(543b)는 각각 도 5에 도시한 제2 실시 형태의 3단째의 시프트 레지스터 회로부(503)의 제1 회로부(503a) 및 제2 회로부(503b)와 같은 회로 구성을 갖는다. 그리고, 이 제6 실시 형태에서는 트랜지스터(PT24)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다.
- <228> 또한, 4단째의 시프트 레지스터 회로부(544)는 제1 회로부(544a)와 제2 회로부(544b)에 의해 구성되어 있다. 제1 회로부(544a) 및 제2 회로부(544b)는 각각 도 5에 도시한 제2 실시 형태의 4단째의 시프트 레지스터 회로부(504)의 제1 회로부(504a) 및 제2 회로부(504b)와 같은 회로 구성을 갖는다. 그리고, 이 제6 실시 형태에서는 트랜지스터(PT34)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다. 또한, 5단째의 시프트 레지스터 회로부(545)는 제1 회로부(545a)와 제2 회로부(545b)에 의해 구성되어 있다. 제1 회로부(545a) 및 제2 회로부(545b)는 각각 도 5에 도시한 제2 실시 형태의 5단째의 시프트 레지스터 회로부(505)의 제1 회로부(505a) 및 제2 회로부(505b)와 같은 회로 구성을 갖는다. 그리고, 이 제6 실시 형태에서는 트랜지스터(PT44)의 드레인에 인에이블 신호선(ENB)이 접속되어 있다.
- <229> 또한, 주사 방향 전환 회로부(640)는 도 5에 도시한 제2 실시 형태의 주사 방향 전환 회로부(600)와 같은 회로 구성을 갖는다. 또한, 입력 신호 전환 회로부(720)는 도 5에 도시한 제2 실시 형태의 입력 신호 전환 회로부(700)와 같은 회로 구성을 갖는다. 또한, 논리 합성 회로부(841 내지 843)는 각각 도 5에 도시한 제2 실시 형태의 논리 합성 회로부(801 내지 803)와 같은 회로 구성을 갖는다. 또한, 논리 합성 회로부(801 내지 803)는 각각 도 5에 도시한 제2 실시 형태의 전위 고정 회로부(81a 내지 83a)와 같은 회로 구성을 갖는 전위 고정 회로부(801a 내지 803a)를 구비하고 있다. 또한, 회로부(920)는 도 5에 도시한 제2 실시 형태의 회로부(901)와 같은 회로 구성을 갖는다.
- <230> 도 14는 본 발명의 제6 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도이다. 다음에 도 13 및 도 14를 참조하여 제6 실시 형태에 따른 V드라이버의 동작을 설명한다. 이 제6 실시 형태에 따른 V드라이버에서는 도 12에 도시한 제5 실시 형태의 스타트 신호(STV), 클록 신호(CKV1, CKV2), 인에이블 신호(ENB) 및 반전 인에이블 신호(XENB)의 H레벨과 L레벨을 반전시킨 파형의 신호를, 각각 스타트 신호(STV), 클록 신호(CKV1, CKV2), 인에이블 신호(ENB) 및 반전 인에이블 신호(XENB)로서 입력한다. 이것에 의해 제6 실시 형태에 따른 시프트 레지스터 회로부(541 내지 545)로부터는 도 11에 도시한 제5 실시 형태에 따른 시프트 레지스터 회로부(531 내지 535)로부터 출력되는 시프트 신호(SR1 내지 SR5)의 H레벨과 L레벨을 반전시킨

파형을 갖는 신호가 각각 출력된다. 또한, 제6 실시 형태에 따른 논리 합성 회로부(841 내지 843)로부터는 도 11에 도시한 제5 실시 형태에 따른 논리 합성 회로부(831 내지 833)로부터 출력되는 시프트 출력 신호 Dummy, Gate1 및 Gate2의 H레벨과 L레벨을 반전시킨 파형을 갖는 신호가 출력된다. 이 제6 실시 형태에 따른 V드라이버의 상기 이외의 동작은 도 11에 도시한 상기 제5 실시 형태에 따른 V드라이버의 동작과 같다.

<231> 제6 실시 형태에서는 상기한 바와 같이 리셋 트랜지스터(PT39 및 PT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(PT39 및 PT49)를 온 시킴으로써 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제5 실시 형태와 같은 효과를 얻을 수 있다.

<232> 또한, 제6 실시 형태에서는 시프트 레지스터 회로부(543 내지 545)의 트랜지스터(PT24, PT34 및 PT44)의 게이트에 클록 신호(CKV1)(CKV2)를 공급함과 함께, 드레인에 H레벨(VDD)과 L레벨(VBB)로 전환되는 인에이블 신호(ENB)를 공급함으로써 이하와 같은 동작이 행해진다. 예를 들면 3단째의 시프트 레지스터 회로부(543)에 있어서, 클록 신호(CKV1)에 의해 트랜지스터(PT24)가 온 상태로 된 후, 인에이블 신호(ENB)에 의해 트랜지스터(PT24)의 소스 전위가 VDD로부터 VBB로 저하하기 때문에, 그 전위의 저하분( $V_{\beta}$ )만큼 트랜지스터(PT24)의 게이트 전위가 저하한다. 또한, 4단째의 시프트 레지스터 회로부(544)에 있어서, 클록 신호(CKV2)에 의해 트랜지스터(PT34)가 온 상태로 된 후, 인에이블 신호(ENB)에 의해 트랜지스터(PT34)의 소스 전위가 VDD로부터 VBB로 저하하기 때문에, 그 전위의 저하분( $V_{\beta}$ )만큼 트랜지스터(PT34)의 게이트 전위가 저하한다. 이것에 의해 트랜지스터(PT24 및 PT34)의 드레인이 고정적인 마이너스측 전위(VBB)에 접속되어 있는 경우에 비해서 시프트 신호(SR3 및 SR4)의 전위( $V_{BB}-V_{\beta} < V_{BB}-V_t$ )를 보다 낮게 할 수 있으므로, 보다 용이하게 시프트 신호(SR3 및 SR4)의 전위를 VBB보다도 임계값 전압( $V_t$ ) 이상 낮은 전위로 할 수 있다. 따라서, 보다 용이하게 1단째의 게이트 선에 연결되는 논리 합성 회로부(842)의 트랜지스터(PT91 및 PT92)의 게이트에, 각각  $V_{BB}-V_t$  이하의 전위( $V_{BB}-V_{\beta}$ )를 갖는 시프트 신호(SR3 및 SR4)를 공급할 수 있다. 이것에 의해 논리 합성 회로부(842)의 트랜지스터(PT91 및 PT92)를 통하여 1단째의 게이트 선에 출력되는 시프트 출력 신호(Gate1)의 전위가 임계값 전압( $V_t$ ) 분만큼 상승하는 것을 더욱 억제할 수 있다.

<233> (제7 실시 형태)

<234> 도 15를 참조하여 이 제7 실시 형태에서는 도 1에 도시한 제1 실시 형태의 액정 표시 장치에 있어서 드레인 선을 구동(주사)하기 위한 H드라이버에 본 발명을 적용하는 경우에 대해 설명한다.

<235> 이 제7 실시 형태에 따른 액정 표시 장치의 H드라이버(4)의 내부에는 도 15에 도시한 바와 같이 도 2에 도시한 제1 실시 형태의 V드라이버(5)와 마찬가지로 복수단의 시프트 레지스터 회로부(51 내지 55)와, 주사 방향 전환 회로부(60)와, 입력 신호 전환 회로부(70)와, 복수단의 논리 합성 회로부(81 내지 83)가 설치되어 있다. 또한, 도 15에서는 도면의 간략화를 위해 5단분의 시프트 레지스터 회로부(51 내지 55) 및 3단분의 논리 합성 회로부(81 내지 83)만을 도시하고 있지만, 실제로는 화소 수에 따른 단 수분의 시프트 레지스터 회로부 및 논리 합성 회로부가 설치되어 있다. 그리고, 이 제7 실시 형태에서는 논리 합성 회로부(81 내지 83)와 수평 스위치(3)가 접속되어 있다. 구체적으로는 수평 스위치(3)는 논리 합성 회로부(81 내지 83)의 단 수에 따른 수의 n채널 트랜지스터(NT121 내지 123)를 포함한다. 이하, n채널 트랜지스터(NT121 내지 NT123)는 각각 트랜지스터(NT121 내지 NT123)라고 칭한다.

<236> 그리고, 트랜지스터(NT121)의 소스는 더미 드레인 선에 접속되어 있음과 함께, 드레인은 비디오 신호선(Video)에 접속되어 있다. 이 트랜지스터(NT121)의 게이트는 논리 합성 회로부(81)의 노드(ND4)에 접속되어 있다. 또한, 트랜지스터(NT122)의 소스는 1단째의 드레인 선에 접속되어 있음과 함께, 드레인은 비디오 신호선(Video)에 접속되어 있다. 이 트랜지스터(NT122)의 게이트는 논리 합성 회로부(82)의 노드(ND4)에 접속되어 있다. 또한, 트랜지스터(NT123)의 소스는 2단째의 드레인 선에 접속되어 있음과 함께, 드레인은 비디오 신호선(Video)에 접속되어 있다. 이 트랜지스터(NT123)의 게이트는 논리 합성 회로부(83)의 노드(ND4)에 접속되어 있다. 또한, 제7 실시 형태에 따른 H드라이버(4)에서는 도 2에 도시한 제1 실시 형태에 따른 V드라이버(5)에 있어서 공급되는 스타트 신호(STV), 주사 방향 전환 신호(CSV), 반전 주사 방향 전환 신호(XCSV), 클록 신호(CKV1 및 CKV2) 대신에, 스타트 신호(STH), 주사 방향 전환 신호(CSH), 반전 주사 방향 전환 신호(XCSH), 클록 신호(CKH1 및 CKH2)가 공급된다. 또한, 이들 스타트 신호(STH), 주사 방향 전환 신호(CSH), 반전 주사 방향 전환 신호(XCSH), 클록 신호(CKH1 및 CKH2)의 파형은 각각 상기 제1 실시 형태에 따른 스타트 신호(STV), 주사 방향 전환 신호(CSV), 반전 주사 방향 전환 신호(XCSV), 클록 신호(CKV1 및 CKV2)의 파형과 같다.

<237> 다음에 도 15를 참조하여 제7 실시 형태에 따른 H드라이버의 시프트 레지스터 회로의 동작을 설명한다. 이 제7 실시 형태에 따른 H드라이버(4)에서는 각 단의 논리 합성 회로부(81 내지 83)로부터, 상기 제1 실시 형태의 시

프트 출력 신호 Dummy, Gate1 및 Gate2에 대응하는 H레벨의 시프트 출력 신호 Dummy, Drain1 및 Drain2가 순차적으로 출력된다. 그리고, 이 시프트 출력 신호 Dummy, Drain1 및 Drain2는 대응하는 수평 스위치(3)의 트랜지스터(NT121 내지 NT123)의 게이트에 각각 입력된다. 이것에 의해 수평 스위치(3)의 각 단의 트랜지스터(NT121 내지 NT123)가 순차적으로 온 상태로 된다. 이 때문에, 비디오 신호선(Video)으로부터 영상 신호가 수평 스위치(3)의 각 단의 트랜지스터(NT121 내지 NT123)를 통하여 순차적으로 각 단의 드레인 선에 출력된다. 이 제7 실시 형태에 따른 H드라이버(4)의 상기 이외의 동작은 도 2에 도시한 상기 제1 실시 형태에 따른 V드라이버(5)의 동작과 같다.

<238> 제7 실시 형태에서는 상기한 바와 같이 리셋 트랜지스터(NT39 및 NT49)를 설치함과 함께, 스타트 신호(STV)에 응답하여 트랜지스터(NT39 및 NT49)를 온 시킴으로써 드레인 선에 의도하지 않은 타이밍에서 영상 신호가 출력되는 것을 억제할 수 있는 등의 상기 제1 실시 형태와 같은 효과를 얻을 수 있다.

<239> (제8 실시 형태)

<240> 도 16을 참조하여 이 제8 실시 형태에서는 본 발명을, n채널 트랜지스터를 갖는 화소를 포함하는 유기 EL 표시 장치에 적용하는 경우에 대해 설명한다.

<241> 즉, 이 제8 실시 형태에서는 도 16에 도시한 바와 같이 기판(1b) 위에 표시부(102)가 형성되어 있다. 이 표시부(102)에는, n채널 트랜지스터(121 및 122)(이하, 트랜지스터(121 및 122)라고 한다)와, 보조 용량(123)과, 양극(124)과, 음극(125)과, 양극(124)과 음극(125) 사이에 협지된 유기 EL 소자(126)를 포함하는 화소(120)가 매트릭스 형상으로 배치되어 있다. 또한, 도 16의 표시부(102)에는 1화소분의 구성을 나타내고 있다. 그리고, 트랜지스터(121)의 소스는 트랜지스터(122)의 게이트와 보조 용량(123)의 한쪽 전극과 접속되어 있음과 함께, 드레인 선에 접속되어 있다. 이 트랜지스터(121)의 게이트는 게이트 선에 접속되어 있다. 또한, 트랜지스터(122)의 소스는 양극(124)에 접속되어 있음과 함께, 드레인 선은 전류 공급선(도시 생략)에 접속되어 있다.

<242> 또한, H드라이버(4) 내부의 회로 구성은 도 15에 도시한 제7 실시 형태의 H드라이버(4)의 회로 구성과 같다. 또한, V드라이버(5) 내부의 회로 구성은 도 2에 도시한 제1 실시 형태의 V드라이버(5)의 회로 구성과 같다. 제8 실시 형태에 따른 유기 EL 표시 장치의 이들 이외의 부분의 구성은 도 1에 도시한 제1 실시 형태에 따른 액정 표시 장치와 같다.

<243> 제8 실시 형태에서는 상기한 바와 같이 구성함으로써, 유기 EL 표시 장치에서, 게이트 선에 의도하지 않은 타이밍에서 영상 신호가 출력되는 것을 억제할 수 있음과 함께, 드레인 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제1 및 제7 실시 형태와 같은 효과를 얻을 수 있다.

<244> (제9 실시 형태)

<245> 도 17을 참조하여 이 제9 실시 형태에서는 본 발명을, p채널 트랜지스터를 갖는 화소를 포함하는 유기 EL 표시 장치에 적용하는 경우에 대해 설명한다.

<246> 즉, 이 제9 실시 형태에서는 도 17에 도시한 바와 같이 기판(1c) 위에 표시부(102a)가 형성되어 있다. 이 표시부(102a)에는, p채널 트랜지스터(121a 및 122a)(이하, 트랜지스터(121a 및 122a)라고 한다)와, 보조 용량(123a)과, 양극(124a)과, 음극(125a)과, 양극(124a)과 음극(125a) 사이에 협지된 유기 EL 소자(126a)를 포함하는 화소(120a)가 매트릭스 형상으로 배치되어 있다. 또한, 도 17의 표시부(102a)에는 1화소분의 구성을 나타내고 있다. 그리고, 트랜지스터(121a)의 소스는 드레인 선에 접속되어 있음과 함께, 드레인 선은 트랜지스터(122a)의 게이트와 보조 용량(123a)의 한쪽 전극과 접속되어 있다. 이 트랜지스터(121a)의 게이트는 게이트 선에 접속되어 있다. 또한, 트랜지스터(122a)의 소스는 전류 공급선(도시 생략)에 접속되어 있음과 함께, 드레인 선은 양극(124a)에 접속되어 있다.

<247> 또한, V드라이버(5a) 내부의 회로 구성은 도 5에 도시한 제2 실시 형태의 V드라이버(5a)의 회로 구성과 같다. 제9 실시 형태에 따른 유기 EL 표시 장치의 이들 이외의 부분의 구성은 도 4에 도시한 제2 실시 형태에 따른 액정 표시 장치와 같다.

<248> 제9 실시 형태에서는 상기한 바와 같이 구성함으로써, 유기 EL 표시 장치에서, 게이트 선에 의도하지 않은 타이밍에서 시프트 출력 신호가 출력되는 것을 억제할 수 있는 등의 상기 제2 실시 형태와 같은 효과를 얻을 수 있다.

<249> 또한, 금회 개시된 실시 형태는 모든 점에서 예시로서 제한적인 것이 아니라고 생각되어야 할 것이다. 본 발명



의 범위는 상기한 실시 형태의 설명이 아니라 특허 청구의 범위에 의해서 나타내어지고, 또한 특허 청구의 범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함된다.

- <250> 예를 들면 상기 제1 내지 제9 실시 형태에서는 본 발명을 액정 표시 장치 또는 유기 EL 표시 장치에 적용한 예를 나타내었지만, 본 발명은 이것에 한하지 않고, 액정 표시 장치 및 유기 EL 표시 장치 이외의 표시 장치에도 적용가능하다.
- <251> 또한, 상기 제1 내지 제7 실시 형태에서는 V드라이버 또는 H드라이버 중 어느 한쪽에만 본 발명을 적용하는 예를 설명했지만, 본 발명은 이것에 한하지 않고, V드라이버 및 H드라이버 양쪽에 본 발명을 적용하도록 할 수 있다.
- <252> 또한, 상기 제7 실시 형태에서는 본 발명에 따른 H드라이버에 이용하는 트랜지스터를 모두 n채널 트랜지스터로 구성한 예에 대해서 나타내었지만, 본 발명은 이것에 한하지 않고, 본 발명에 따른 H드라이버에 이용하는 트랜지스터를 모두 p채널 트랜지스터로 구성할 수 있다.
- <253> 또한, n채널 트랜지스터를 이용한 제1, 제3, 제5, 제7 및 제8 실시 형태에서, 모든 용량을 n채널 트랜지스터에 의해 구성할 수 있다. 또한, p채널 트랜지스터를 이용한 제2, 제4, 제6 및 제9 실시 형태에 있어서 모든 용량을 p채널 트랜지스터에 의해 구성할 수 있다.

### 발명의 효과

- <254> 본 발명에 따르면, 게이트 선이나 드레인 선에 의도하지 않은 타이밍에서 신호가 출력되는 것을 억제하는 것이 가능한 표시 장치를 얻을 수 있다.

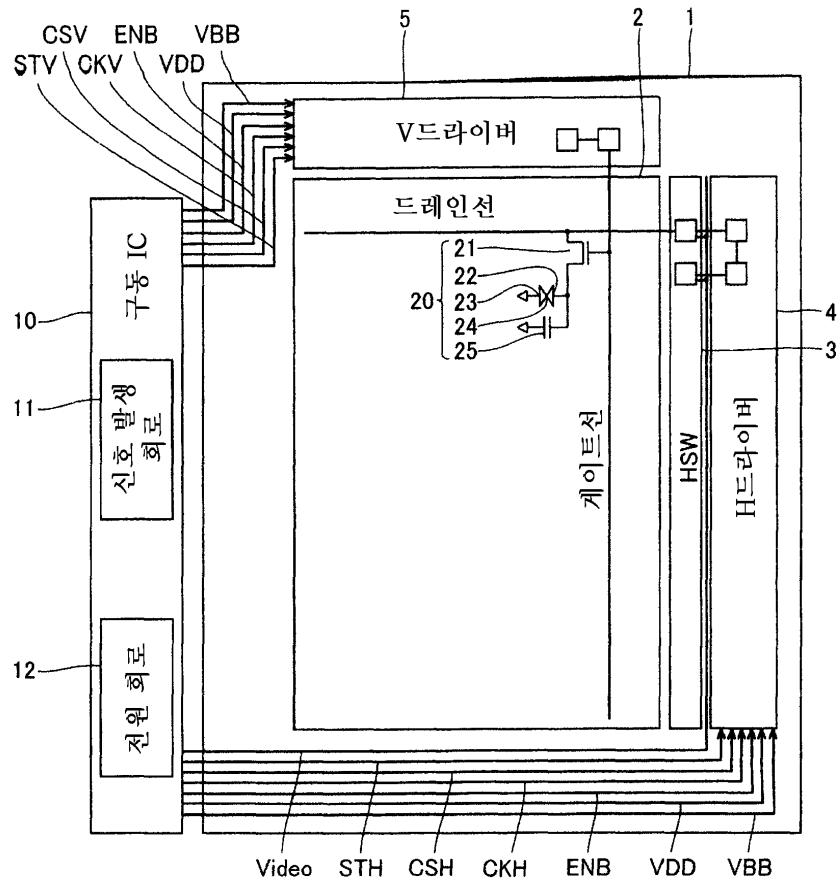
### 도면의 간단한 설명

- <1> 도 1은 본 발명의 제1 실시 형태에 따른 액정 표시 장치를 나타낸 평면도.
- <2> 도 2는 도 1에 도시한 제1 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <3> 도 3은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <4> 도 4는 본 발명의 제2 실시 형태에 따른 액정 표시 장치를 나타낸 평면도.
- <5> 도 5는 도 4에 도시한 제2 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <6> 도 6은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <7> 도 7은 본 발명의 제3 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <8> 도 8은 본 발명의 제3 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <9> 도 9는 본 발명의 제4 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <10> 도 10은 본 발명의 제4 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <11> 도 11은 본 발명의 제5 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <12> 도 12는 본 발명의 제5 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <13> 도 13은 본 발명의 제6 실시 형태에 따른 액정 표시 장치의 V드라이버 내부의 회로도.
- <14> 도 14는 본 발명의 제6 실시 형태에 따른 액정 표시 장치의 V드라이버의 동작을 설명하기 위한 전압 파형도.
- <15> 도 15는 본 발명의 제7 실시 형태에 따른 액정 표시 장치의 H드라이버 내부의 회로도.
- <16> 도 16은 본 발명의 제8 실시 형태에 따른 유기 EL 표시 장치를 나타낸 평면도.
- <17> 도 17은 본 발명의 제9 실시 형태에 따른 유기 EL 표시 장치를 나타낸 평면도.
- <18> 도 18은 종래의 일례에 의한 표시 장치의 드레인 선을 구동시키는 시프트 레지스터 회로의 회로 구성을 설명하기 위한 회로도.
- <19> <도면의 주요부분에 대한 부호의 설명>

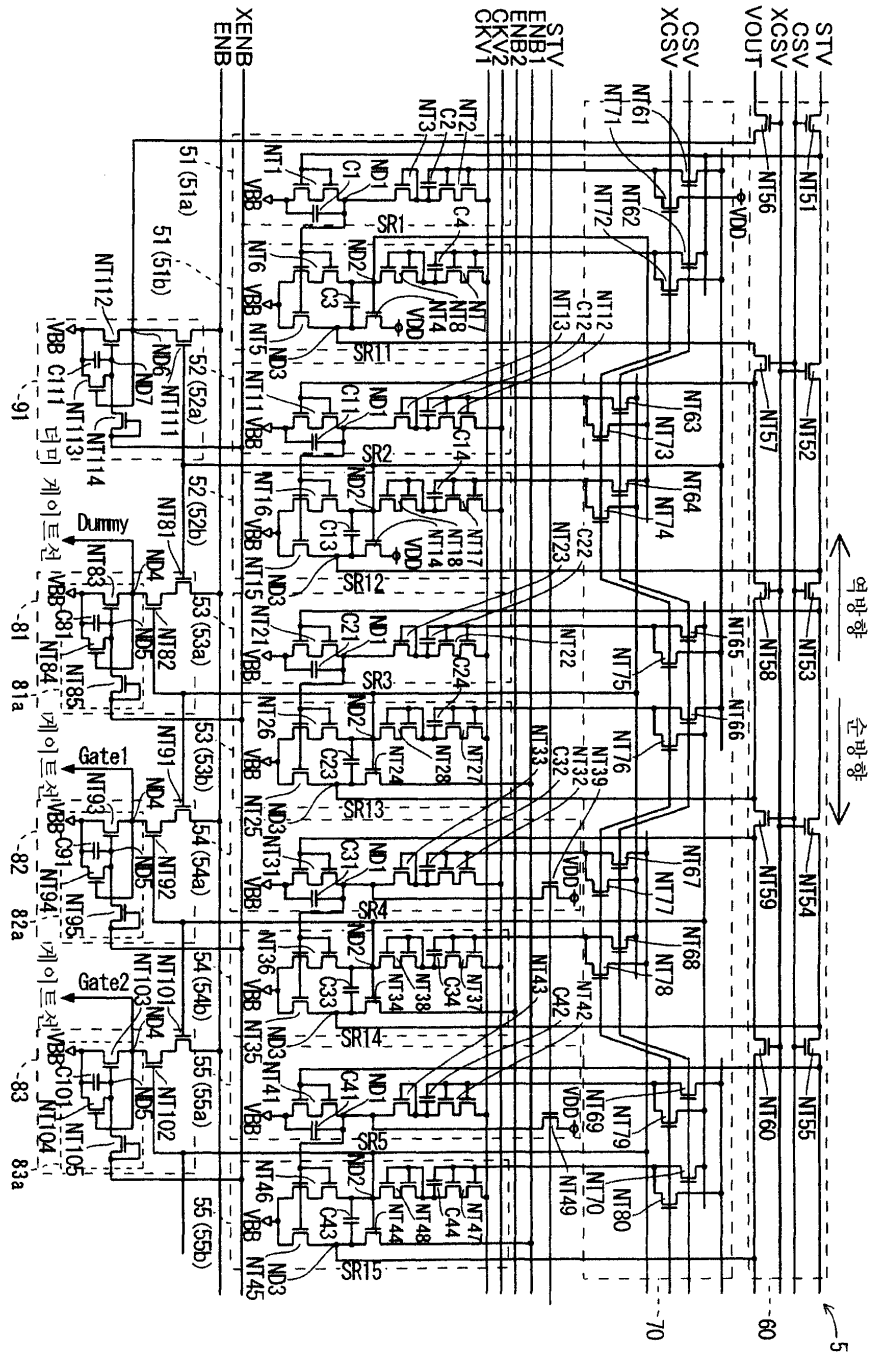
- <20> 1 : 기판
- <21> 2 : 표시부
- <22> 3 : 수평 스위치
- <23> 4 : H드라이버
- <24> 5 : V드라이버
- <25> 10 : 구동 IC
- <26> 11 : 신호 발생 회로
- <27> 12 : 전원 회로
- <28> 20 : 화소
- <29> 21 : 트랜지스터

도면

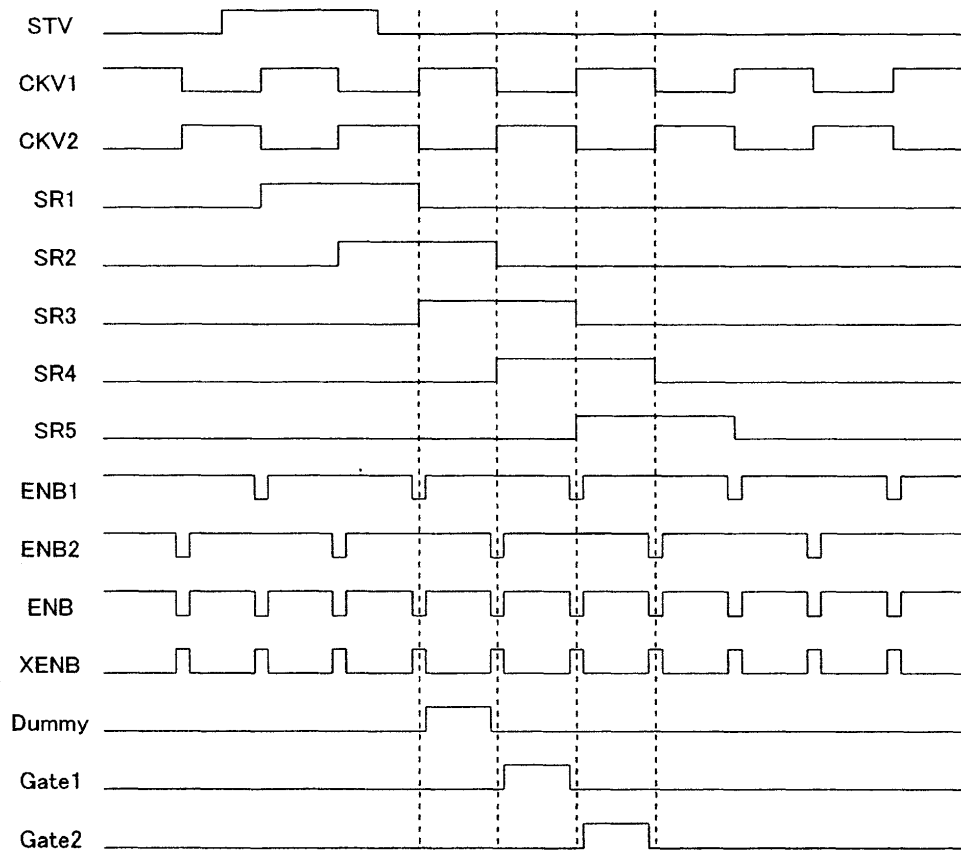
도면1



도면2

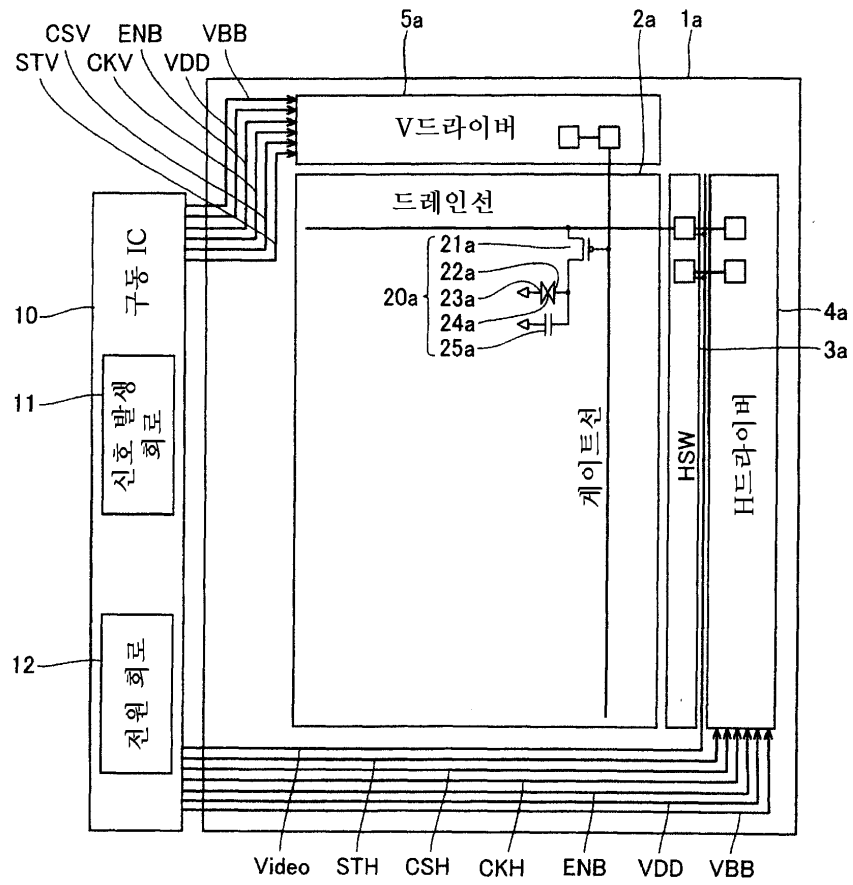


도면3

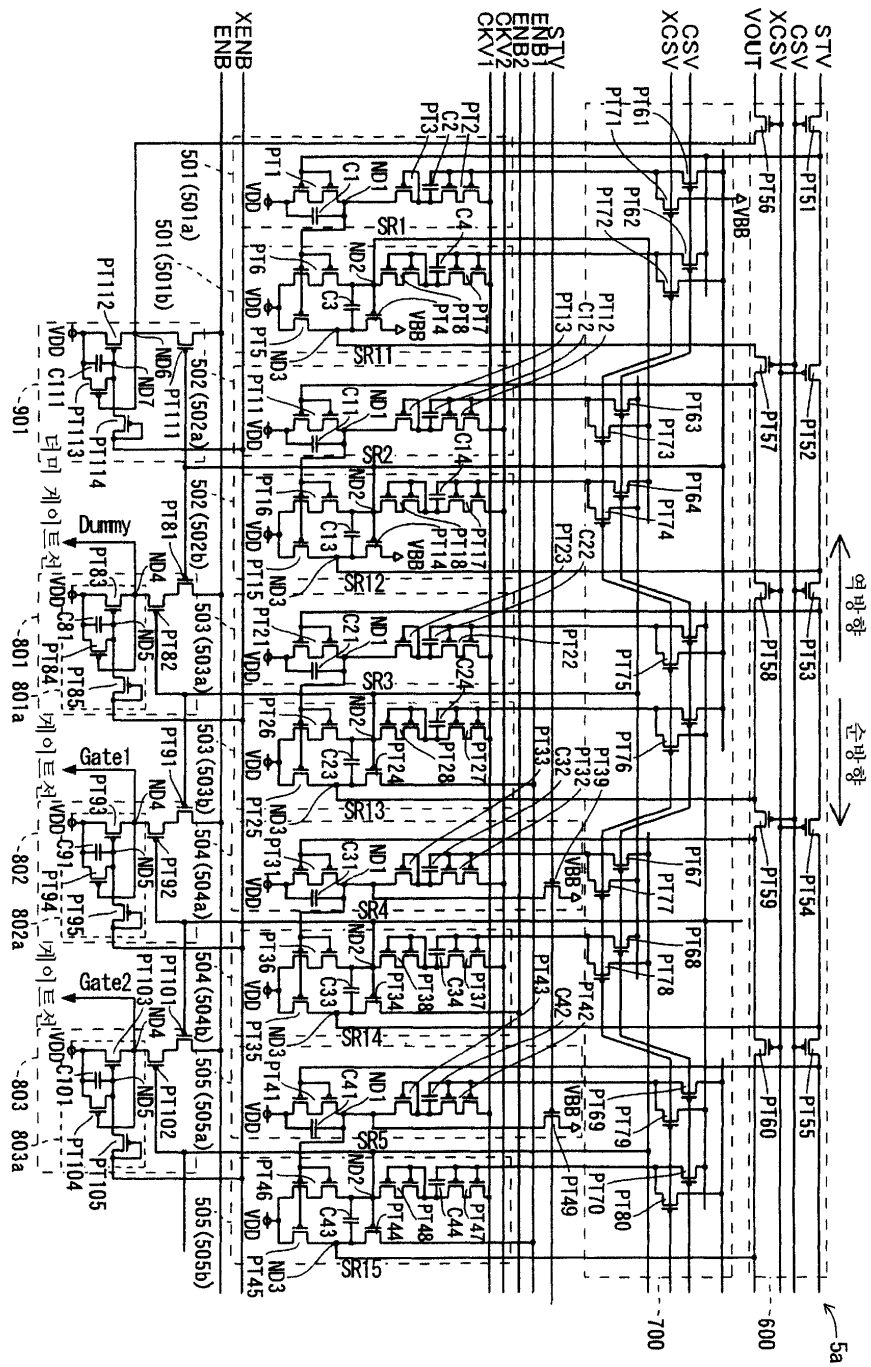




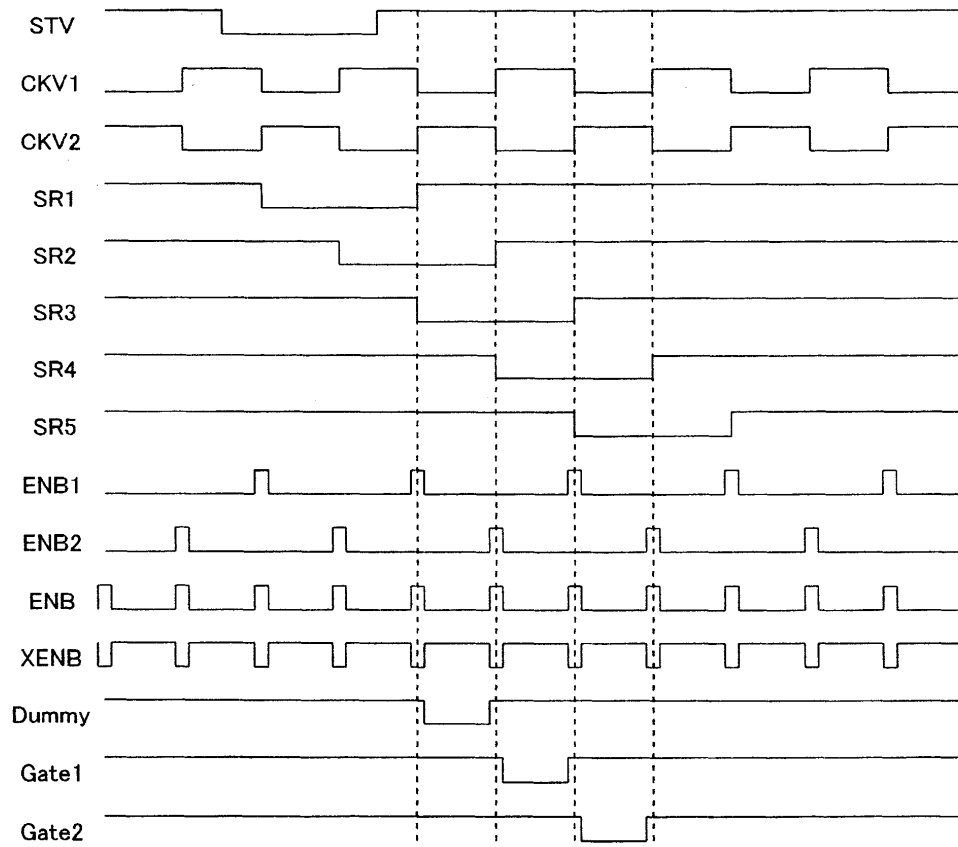
도면4



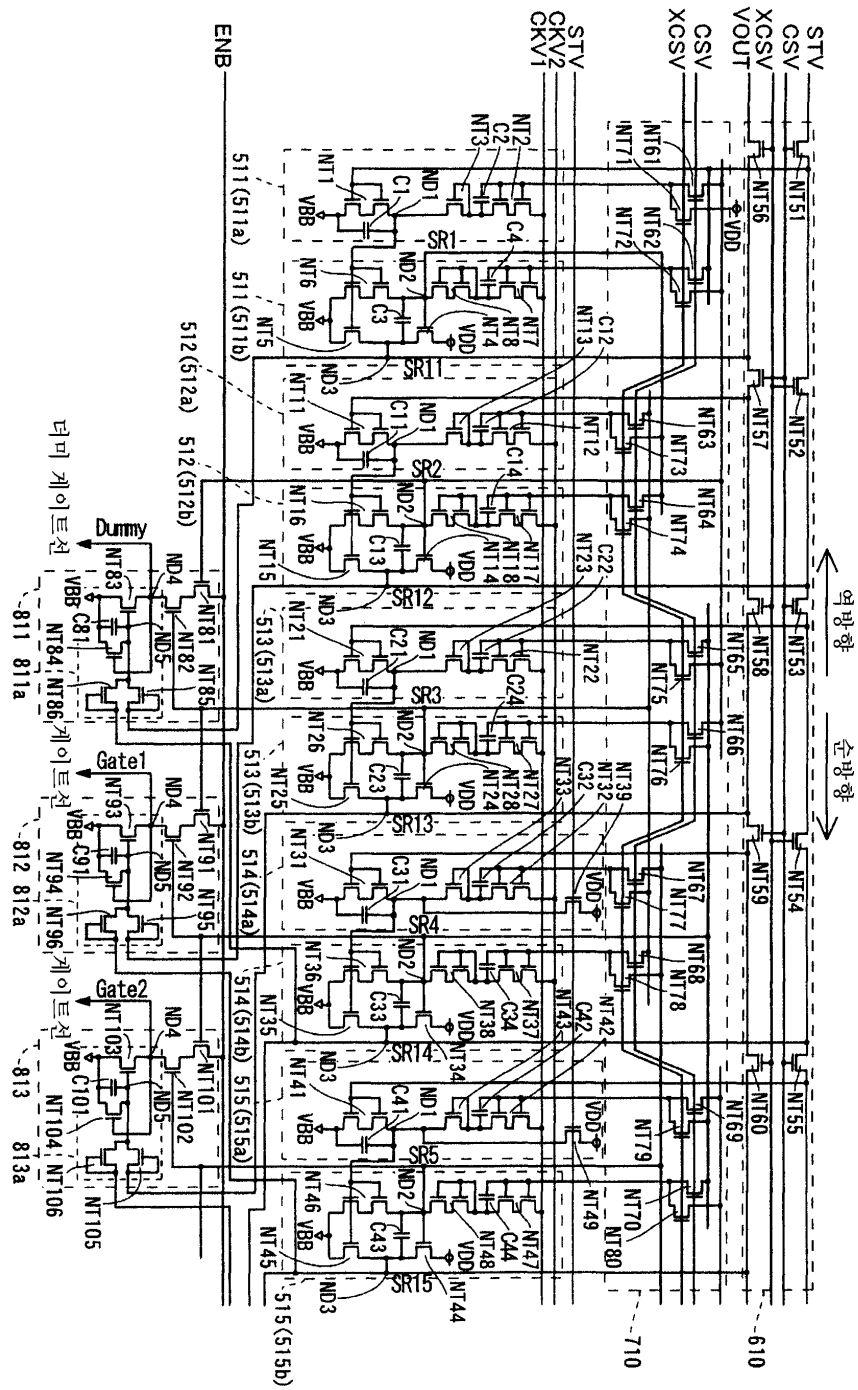
도면5



도면6

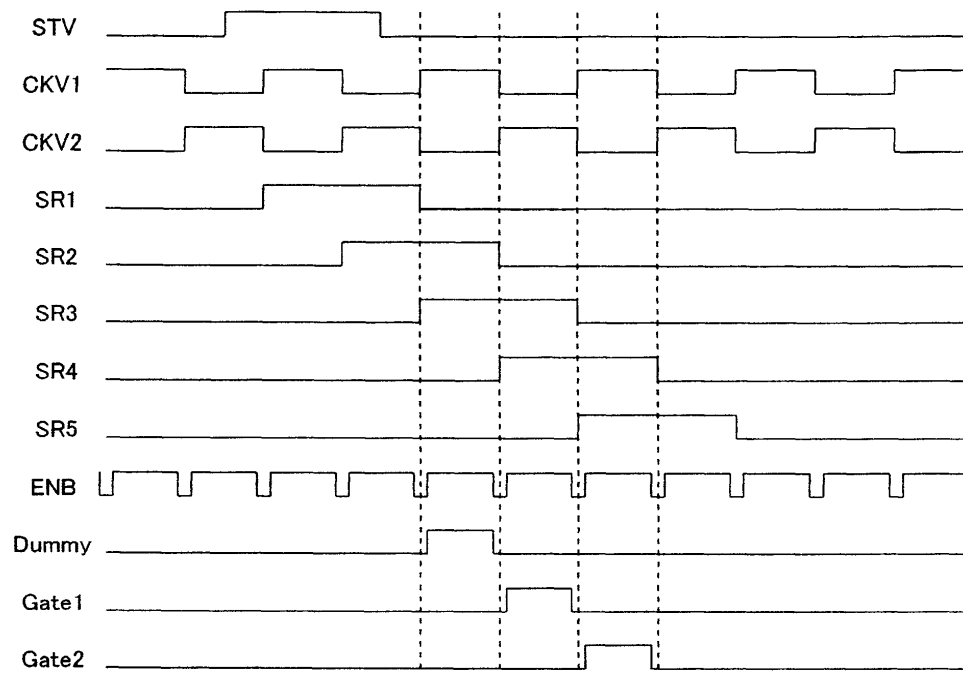


도면7

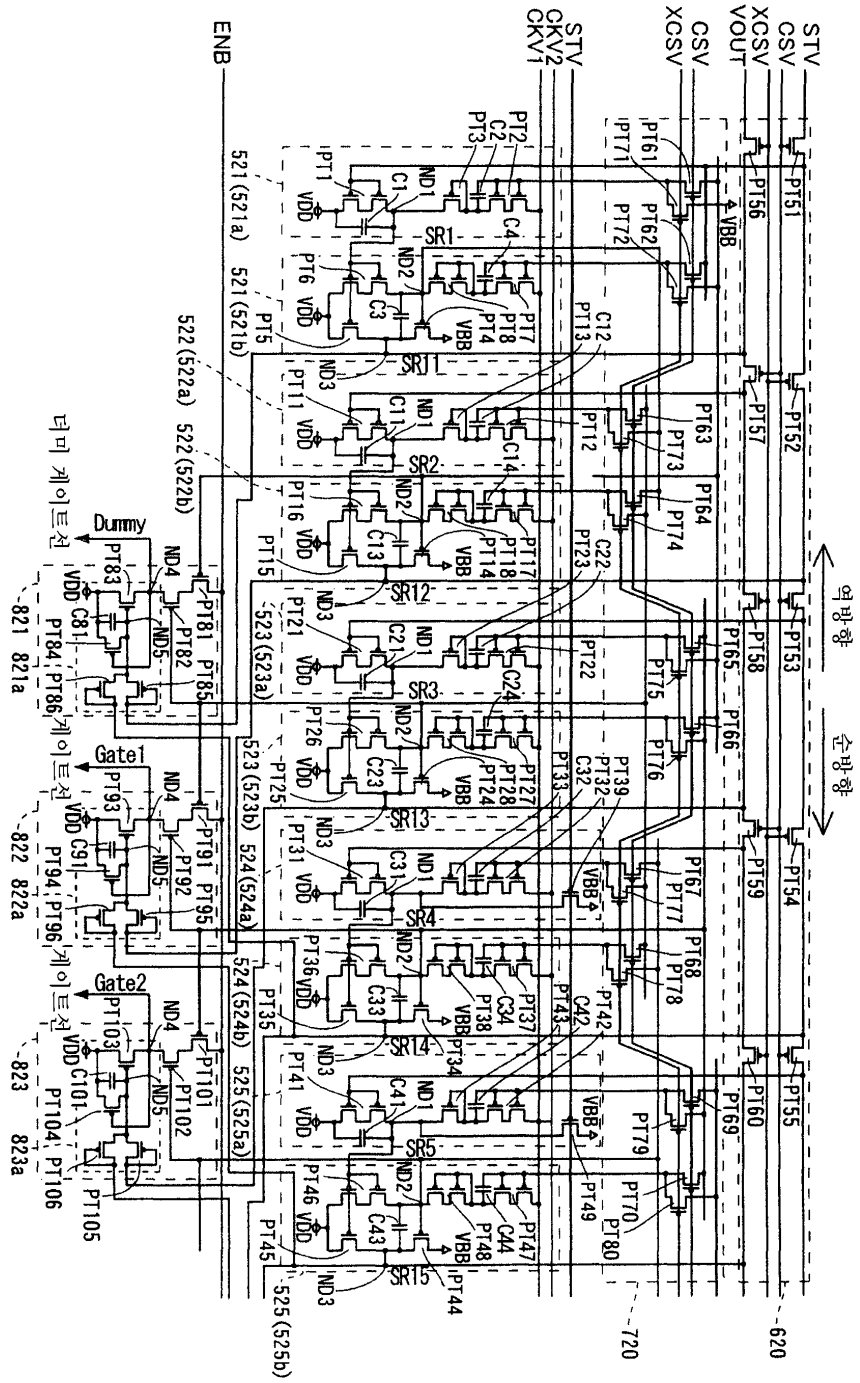




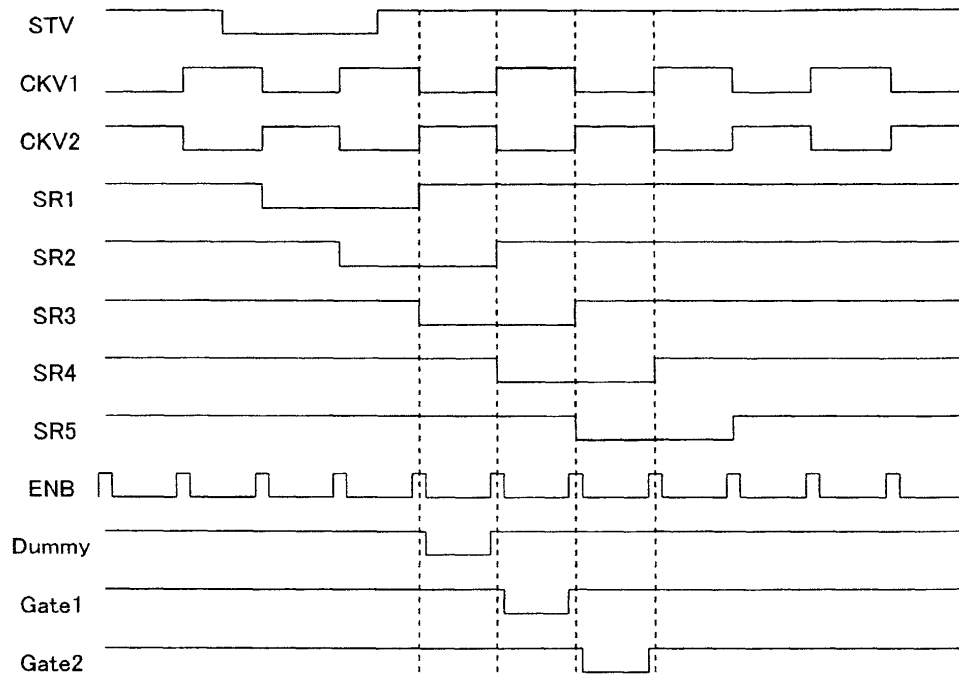
도면8

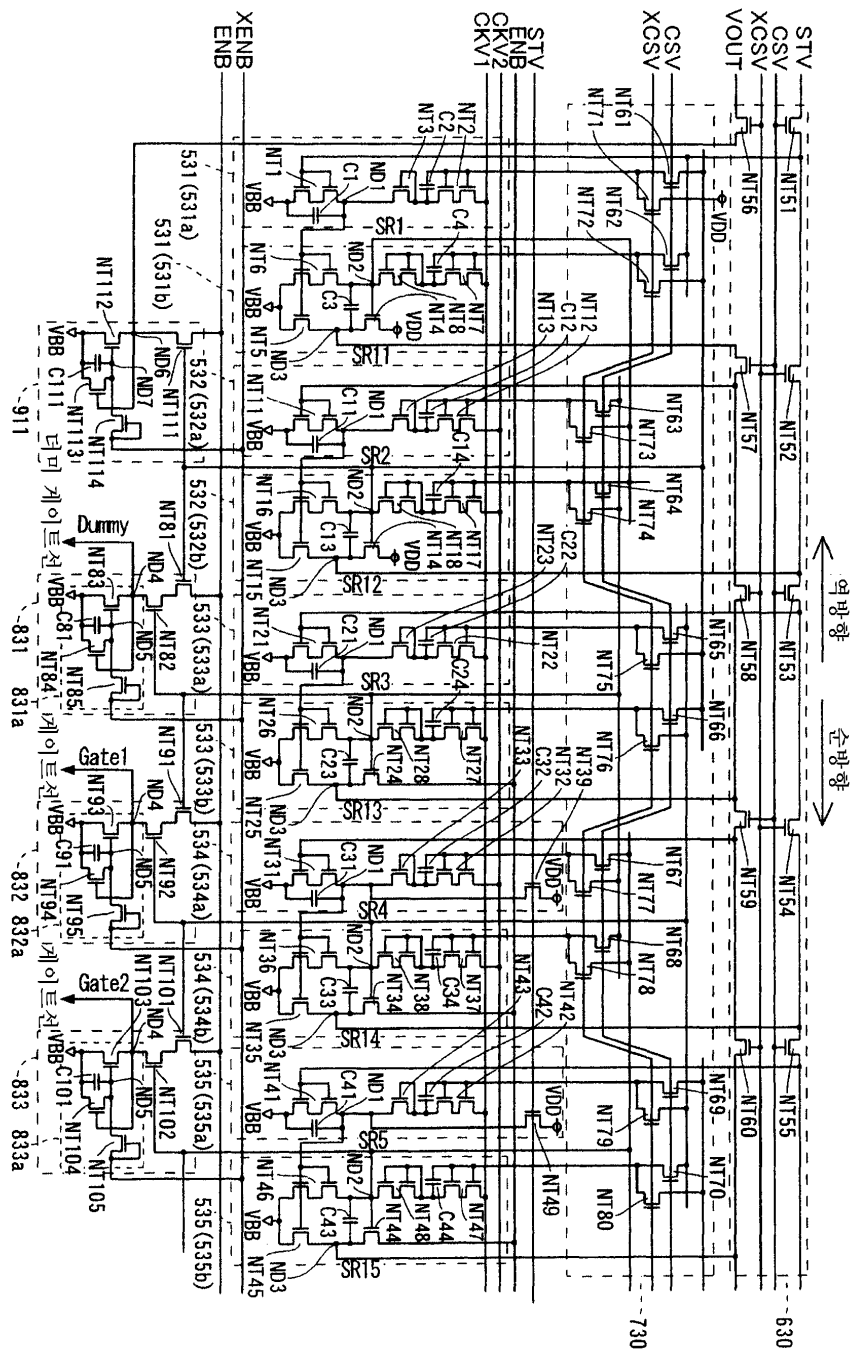


도면9



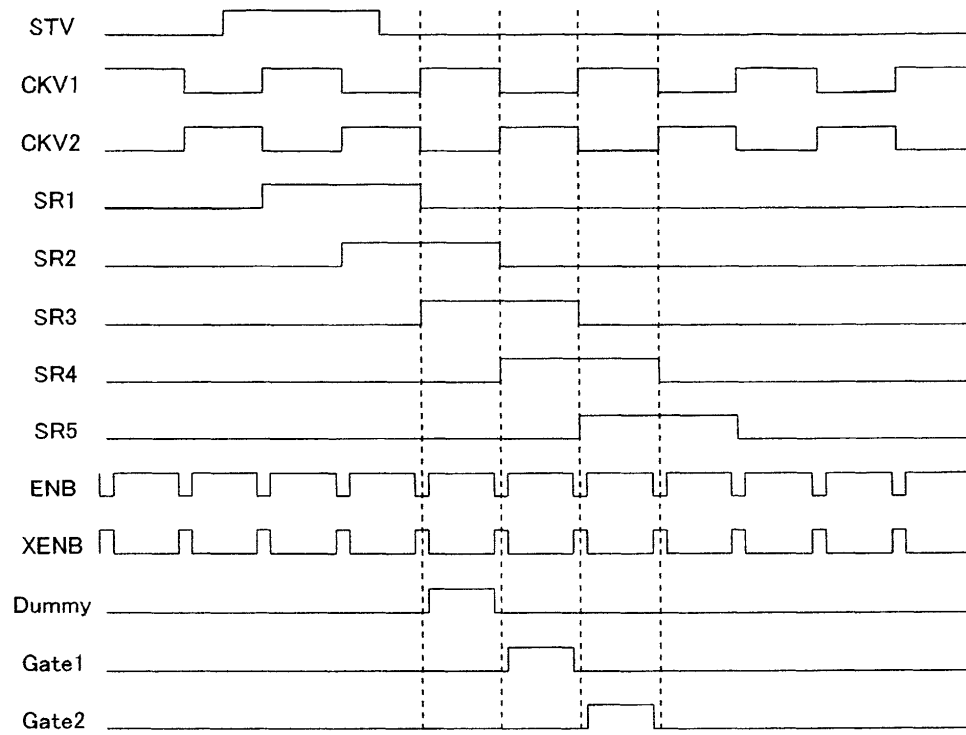
도면10



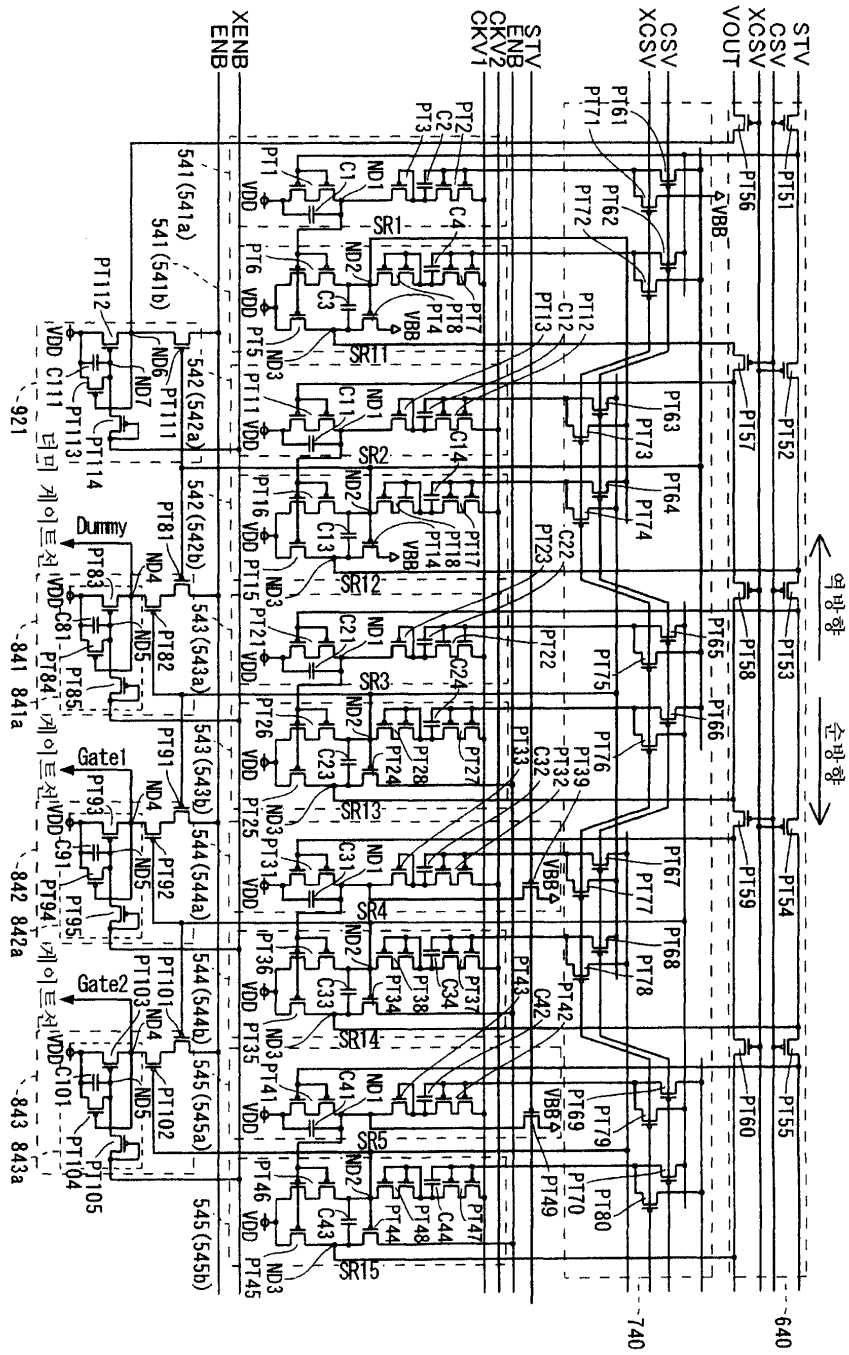




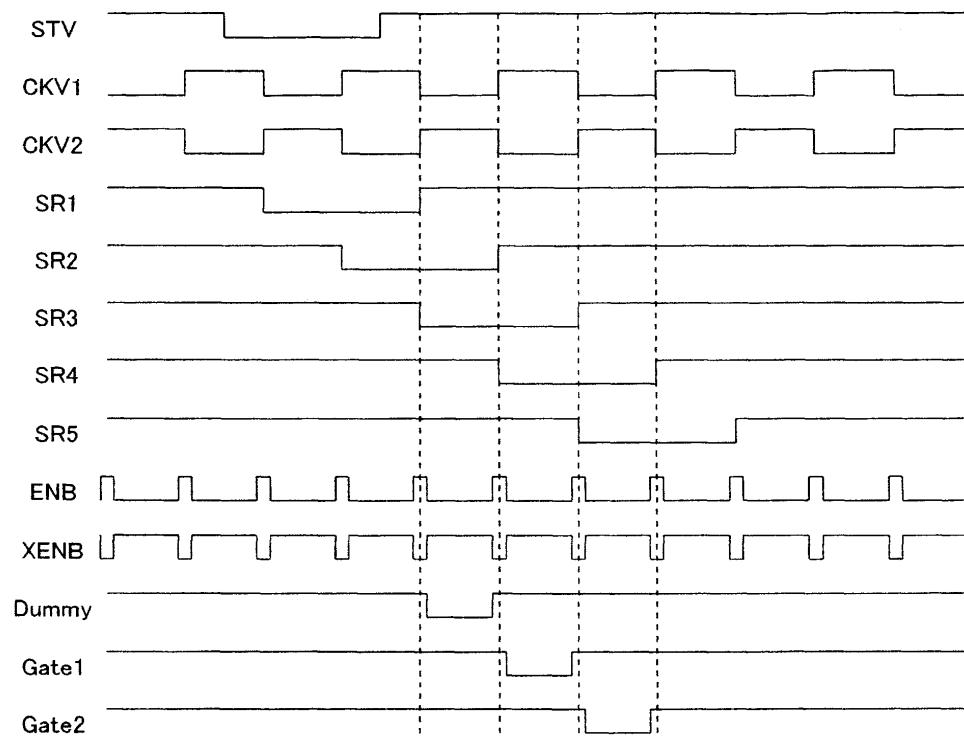
도면12



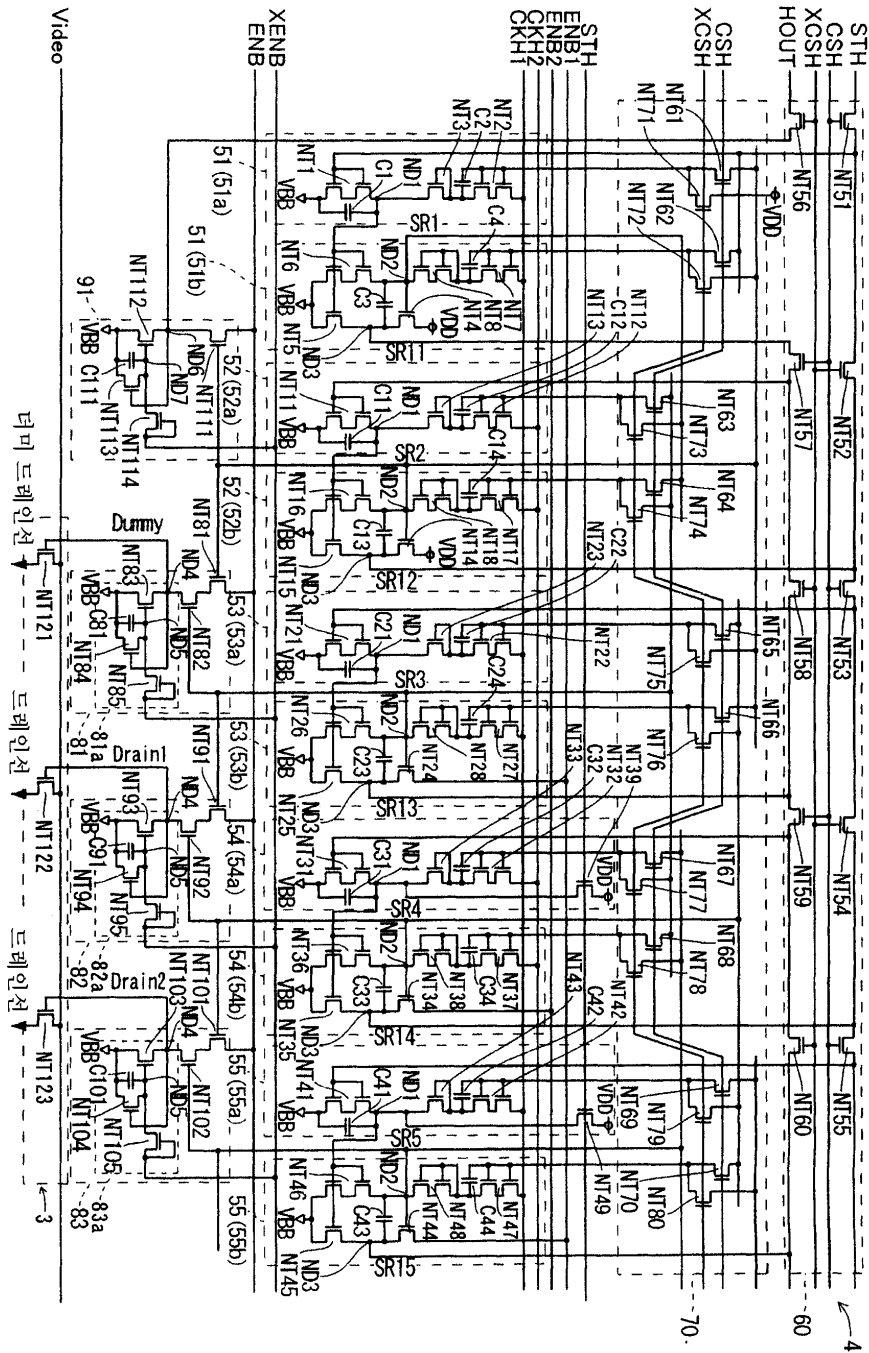
도면13



도면14

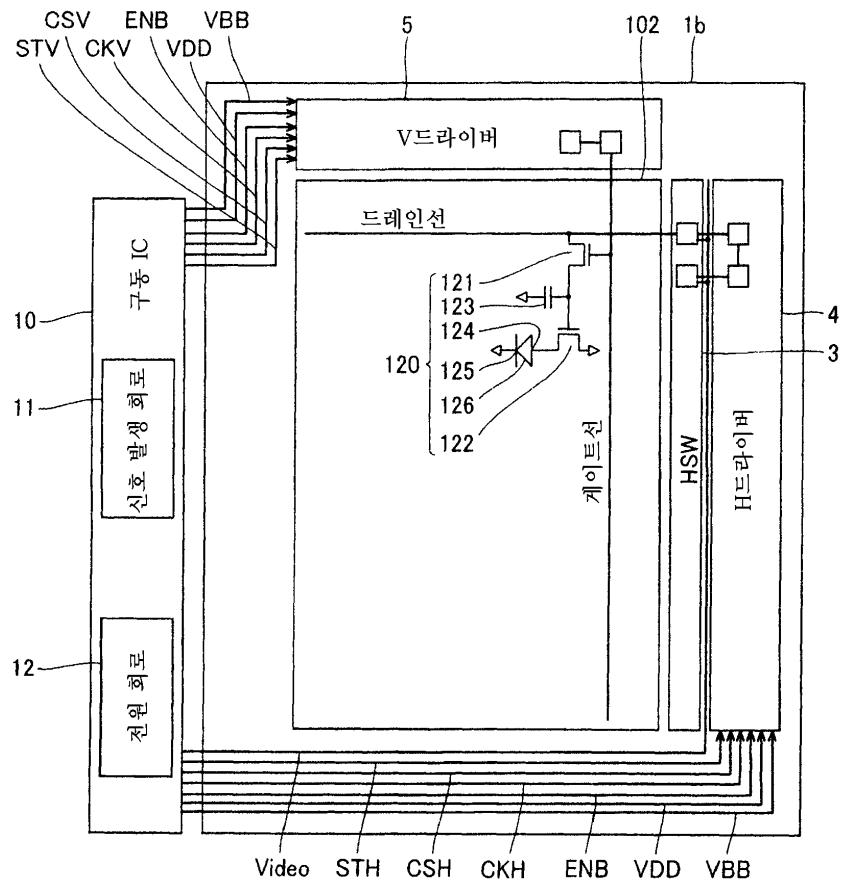


도면15

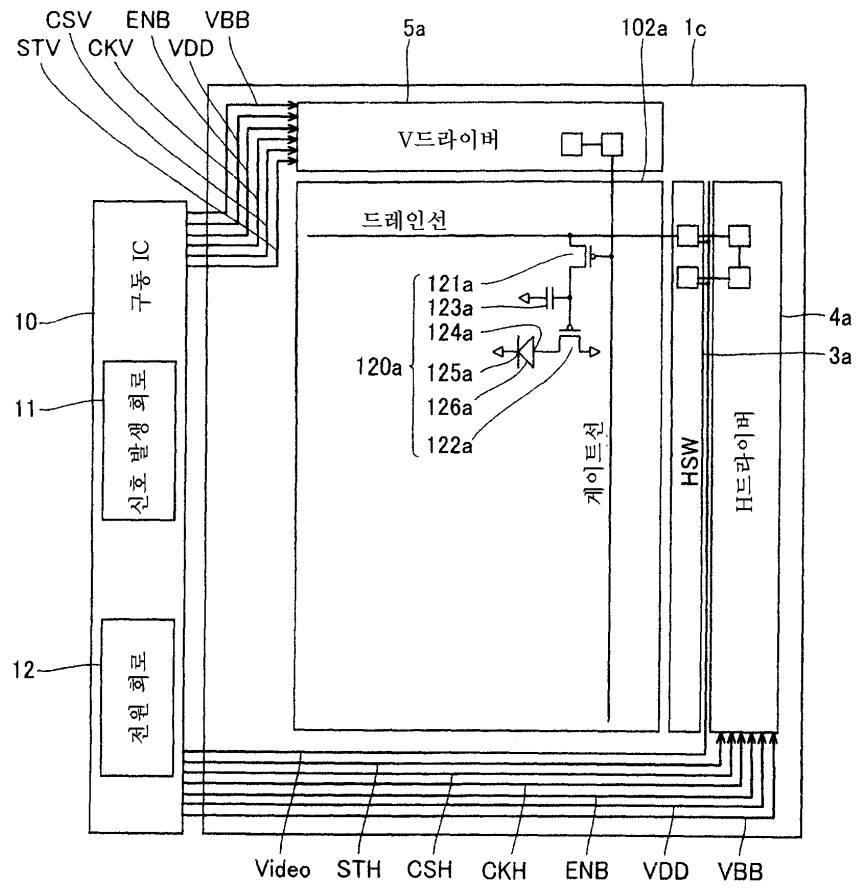




도면16



도면17



도면18

