(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4829029号
(P4829029)
(45)発行日　平成23年11月30日(2011.11.30)　(24)登録日　平成23年9月22日(2011.9.22)

(51)Int.Cl.　F I
*G06F 12/00 (2006.01)*　G06F 12/00　550E

請求項の数 5　(全 19 頁)

(21)出願番号　特願2006-211198(P2006-211198)
(22)出願日　平成18年8月2日(2006.8.2)
(65)公開番号　特開2008-40609(P2008-40609A)
(43)公開日　平成20年2月21日(2008.2.21)
審査請求日　平成21年2月9日(2009.2.9)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100084618
弁理士　村松　貞男

最終頁に続く

(54)【発明の名称】メモリシステム及びメモリチップ

(57)【特許請求の範囲】
【請求項１】
書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なり、前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートするメモリと、
ホストと前記メモリとの間のインターフェイス機能を有し、前記消費電力大ステート出力を受けるコントローラと、を備え、
前記コントローラは、前記消費電力大ステート出力がアサートされたとき、その動作モードを低消費電力モードに切り換えることを特徴とするメモリシステム。
【請求項２】
前記コントローラは、前記低消費電力モードのとき、前記メモリとの間のデータ転送を停止することを特徴とする請求項１に記載のメモリシステム。
【請求項３】
前記コントローラは、前記低消費電力モードのとき、このコントローラ自体の内部動作のタイミング決定に利用される内部クロックの供給を停止することを特徴とする請求項１に記載のメモリシステム。
【請求項４】
書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なるメモリチップであって、

前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートすることを特徴とするメモリチップ。
【請求項５】
前記消費電力大ステート出力のアサート、及びネゲートを切り分ける消費電力値のレベルは外部から設定されることを特徴とする請求項４に記載のメモリチップ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、オート（Auto）コマンドで内部動作を実行するフラッシュメモリ等のメモリ、及びそのメモリを搭載したメモリシステムに関するものである。
【背景技術】
【０００２】
オートコマンドで内部動作を実行するフラッシュメモリ等のメモリの場合、オート動作の中で複数のシーケンスがシリアル、又はパラレルに実行されており、その各実行シーケンスによって消費電力の大きさが異なる。
【０００３】
メモリシステムとしてはメモリチップの外部にコントローラを有しており、このコントローラも各動作ステートにより消費電力が異なる。コントローラの側としては、コントローラ自身の各ステートにおける消費電力は把握できるものの、オート動作を行っているメモリの消費電力は把握することはできない。このため、メモリシステムの消費電力大のピークが上がりやすい、という傾向があった。
【発明の開示】
【発明が解決しようとする課題】
【０００４】
この発明は、消費電力大のピークを抑え込むことが可能なメモリシステム、及びそのメモリシステムに使用されるメモリチップを提供する。
【課題を解決するための手段】
【０００５】
この発明の第１態様に係るメモリシステムは、書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なり、前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートするメモリと、ホストと前記メモリとの間のインターフェイス機能を有し、前記消費電力大ステート出力を受けるコントローラと、を備え、前記コントローラは、前記消費電力大ステート出力がアサートされたとき、その動作モードを低消費電力モードに切り換える。
【０００６】
この発明の第２態様に係るメモリチップは、書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なるメモリチップであって、前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートする。
【発明の効果】
【０００７】
この発明によれば、消費電力大のピークを抑え込むことが可能なメモリシステム、及びそのメモリシステムに使用されるメモリチップを提供できる。
【発明を実施するための最良の形態】
【０００８】
以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。
【０００９】
（第１実施形態）

図１は、この発明の第１実施形態に係るメモリシステムの基本構成を示すブロック図である。

【００１０】

図１に示すように、第１実施形態に係るメモリシステム１は、コントローラ２と、このコントローラ２によってコントロールされるメモリ３とを含む。メモリ３の一例は不揮発性半導体メモリである。不揮発性半導体メモリの一例はフラッシュメモリである。フラッシュメモリの一例はＮＡＮＤ型フラッシュメモリである。メモリシステム１の具体例はメモリカードである。メモリカードは、例えば、デジタルカメラ、携帯電話、及び携帯音楽プレーヤ等の記録媒体として利用される。

【００１１】

本例のメモリ３は、コントローラ２から制御信号、書き込みデータ、及びコマンドを受ける。また、メモリ３は、コントローラ２へ読み出しデータ、及びレディ／ビジー出力（ＲＹ／/ＢＹ）を出力する。制御信号の例は、チップイネーブル/ＣＥ（“/”は負論理を示す）、ライトイネーブル/ＷＥ、リードイネーブル/ＲＥ、コマンドラッチイネーブルＣＬＥ、アドレスラッチイネーブルＡＬＥ、パワーオンセレクトＰＳＬ、及びライトプロテクト/ＷＰである。これら制御信号は、制御信号ピンを介してコントローラ２からメモリ３へ入力される。コマンドの入力、書き込みデータの入力、及び読み出しデータの出力は、例えば、８ビット、もしくは１６ビットのＩ／Ｏピンを介して行われる。レディ／ビジー出力は、レディ／ビジーピンを介してメモリ３からコントローラ２へ出力される。

【００１２】

本例のコントローラ２は、ホストとメモリ３とのインターフェイス機能を有する。この結果、本例のメモリシステム１は、ホスト側に対する受動装置機能を実現する。コントローラ２は、ホストから制御信号、書き込みデータ、コマンドを受ける。コントローラ２は、制御信号に従ってホストからのコマンドを受領する。コントローラ２は、受領したコマンドに従ってメモリ３を制御し、ホストから送信された書き込みデータをメモリ３へ書き込んだり、メモリ３から読み出した読み出しデータをホストへ送信したり、メモリ３に記録されたデータを消去したりする。

【００１３】

このようにメモリ３は、コントローラ２の制御によって書き込み、読み出し、並びに消去の各ステートを実行する。

【００１４】

さらに、本例のメモリ３は、上記機能に加えて消費電力大ステート出力発生回路１０を有する。消費電力大ステート出力発生回路１０は、内部動作中におけるメモリ３の消費電力の大きさに従ってメモリ３の外部に消費電力大ステート出力をアサート、及びネゲートする。メモリ３は、書き込み、読み出し、及び消去の各ステート中においてはいくつかの内部動作をシーケンシャルに実行したり、あるいは繰り返したりする。例えば、書き込みステートにおいては、アドレスの入力、書き込みデータの入力、書き込みデータのデータレジスタへのラッチ（ここまでをファーストサイクルという）、ビット線のプリチャージ、ビット線への書き込みデータ転送、ワード線への書き込みパルス印加、ベリファイ読み出し、所定データに達していないセルへのデータ再書込み（ここまでをオートページプログラムという）等の内部動作がある。これら内部動作は、それぞれ消費電力の大きさが異なる。特に、ビット線のプリチャージ、及びワード線への書き込みパルス印加は大量の電流を消費するので、他の内部動作に比べて消費電力が大きくなりやすい。消費電力大ステート出力発生回路１０は、メモリ３の消費電力が所定値以上、あるいは所定値を超えたときに、消費電力大ステート出力をアサートし、反対に所定値未満、あるいは所定値以下のときに、消費電力大ステート出力をネゲートする。これにより、メモリ３は、メモリ３の外部に対して自身の消費電力の大きさを通知する。

【００１５】

本例のコントローラ２は、上記消費電力大ステート出力を受信する機能を備え、消費電力大ステート信号に従ってコントローラ２の動作モードを切り換える。図１に示す動作モ

ード切り換え信号発生回路１１が切り換え信号を発生する。本例のコントローラ２は、消費電力大ステート出力がネゲートされている間、通常消費電力モードで動作する。消費電力大ステート出力がアサートされたとき、本例のコントローラ２は、動作モードを通常消費電力モードから低消費電力モードに切り換える。そして、アサートされている間、低消費電力モードで動作する。

【００１６】

第１実施形態に係るメモリシステム１の具体的な効果について説明する。

【００１７】

図２は典型例に係るメモリシステムの動作と消費電力との関係例を示すタイミング図である。

【００１８】

図２に示すように、コントローラの処理とメモリのビジー状態とが重なると、メモリ消費電力のピークとコントローラ消費電力のピークとが重なることがある。ピークとピークとが重なると、矢印Ａに示すようにシステム消費電力のピークがはね上がってしまう。これはバッテリ消費量の増加や、バッテリ容量超過による誤動作の原因になり得る。しかしながら、メモリがビジー状態であっても、コントローラの処理が進むため、メモリシステムとしての処理は早い。

【００１９】

図３は、典型例に係るメモリシステムの動作と消費電力との他の関係例を示すタイミング図である。

【００２０】

メモリシステムには、レディ／ビジー出力ＲＹ／/ＢＹがある。これを利用して、図２に示すように、メモリがビジー状態の間、コントローラの処理を停止することが考えられる。ビジー状態ではコントローラの処理が停止しているので、メモリ消費電力のピークとコントローラ消費電力のピークとが重なることはない。この例では、システム消費電力のピークがはね上がることはないが、メモリがビジー状態の間、コントローラの処理が止まるため、メモリシステムとしての処理は遅い。

【００２１】

図４はこの発明の第１実施形態に係るメモリシステムの動作と消費電力との関係例を示すタイミング図である。

【００２２】

本例のメモリシステム１は、レディ／ビジー出力ＲＹ／/ＢＹに加え、消費電力大ステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔを持つ。本例の出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔは、“Ｈ”レベルのときメモリ３の消費電力は小さく（消費電力大ステート出力はネゲート）、反対に“Ｌ”レベルのときメモリ３の消費電力が大きい（消費電力大ステート出力はアサート）ことを示す。本例のメモリシステム１は、メモリ３がビジー状態の間でもコントローラ２は処理を進めるが、出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔが“Ｌ”、即ち、消費電力大ステート出力がアサートされている間は処理を部分的に止める、もしくは処理を止める。図４に示す例では、実施形態を分かり易くするために処理を止める例が示される。このようにして、コントローラ２は、メモリ３の消費電力が大きい間は、処理を部分的に止める、もしくは処理を止めることで低消費電力モードとし、メモリ３の消費電力が小さい間は処理を進めることで、処理の高速性を維持しつつ、メモリシステム１全体としての消費電力大のピークを抑え込むことを可能とする。

【００２３】

次に、第１実施形態に係るメモリシステムの具体例を説明する。

【００２４】

図５は、この発明の第１実施形態に係るメモリシステムの第１例を示すブロック図である。

【００２５】

図５に示すように、第１例に係るメモリシステム１が備えるメモリ３は、高電圧発生回

路２０からの出力に基いて、消費電力大ステート出力発生回路１０が消費電力大ステート出力をアサート、もしくはネゲートする。さらに、第１例に係るメモリシステム１が備えるコントローラ２は、消費電力大ステート出力がアサートされたとき、動作モード切り換え信号発生回路１１が、内部発振器（ＯＳＣ）２１の内部クロックの発振を止める、もしくは内部クロックの供給を止める。内部クロックは、コントローラ２自体の内部動作のタイミング決定に利用される。例えば、内部クロックは、ホストインターフェイス（ホストＩ／Ｆ）、バッファ、ＣＰＵ、メモリインターフェイス（メモリＩ／Ｆ）に供給され、これら回路ブロックは、内部クロックに基いて動作する。コントローラ２自体の処理を止めるには、内部発振器２１自体の発振を止める、もしくは内部発振器２１自体の発振は止めずに内部クロックの供給を停止すればよい。また、コントローラ２自体の処理を部分的に止めるには、ホストインターフェイスへの内部クロック、バッファへの内部クロック、ＣＰＵへの内部クロック、メモリインターフェイスへの内部クロックの一つ、もしくはいくつかの供給を止めれば良い。そして、消費電力大ステート出力がアサートからネゲートに遷移したことを検知して、内部クロックの発振、または供給を再開することで、コントローラ２は低消費電力モードから通常消費電力モードに復帰する。

【００２６】

また、コントローラ２は、消費電力大ステート出力がアサートされたとき、メモリとの間のデータ転送を停止するようにしても良い。これによっても、コントローラ２を、低消費電力モードとすることができる。消費電力大ステート出力がアサートからネゲートに遷移したことを検知して、メモリとの間のデータ転送を再開することで、コントローラ２は、低消費電力モードから通常消費電力モードに復帰する。

【００２７】

次に、第１例に係るメモリシステム１が備えるメモリ３の具体的動作の一例を説明する。

【００２８】

図６は、図５に示すメモリシステムの書き込み動作の一例を示す波形図である。

【００２９】

具体的動作の一例として、書き込み動作のうち、オートページプログラムを例にとり説明するが、書き込み動作以外の消去動作、読み出し動作においても同様の動作ができることは言うまでもない。

【００３０】

図６には、書き込み動作のうち、オートページプログラムが示されている。オートページプログラムはライトイネーブル/ＷＥが“Ｌ”の間に、入出力ピンＩ／Ｏにコマンド１０ｈ（“ｈ”は１６進数を示す）が入力されることで開始される。この後、ライトイネーブル/ＷＥが“Ｌ”の間に、入出力ピンＩ／Ｏにコマンド７０ｈを入力することで、書き込みが成功したか失敗したかのステータスを読み出すステータスリードが実行される。

【００３１】

オートページプログラムの間、レディ／/ビジー出力は“Ｌ”となる。この間、消費電力大ステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔは“Ｈ”と“Ｌ”を繰り返すが、これは以下の制御に基く。

【００３２】

図７は、図５に示すメモリシステムの昇圧電圧ＶＰＰとステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔとの関係を示す波形図である。

【００３３】

オートページプログラムが開始されると、図５に示した高電圧発生回路２０が活性化し、昇圧電圧ＶＰＰを発生する。消費電力が大きくなりやすい状態の一例は、図７に示すように、高電圧発生回路２０が昇圧動作をしている間である（消費電力が大きい期間を“Ｈ”、小さい期間を“Ｌ”で示す）。本明細書では、特に、図示しないが、メモリ３内では、高電圧発生回路２０に昇圧動作をするように指示する内部信号が発生される。この内部信号を、図５に示した消費電力大ステート出力発生回路１０が受信することで、消費電力

大ステート出力発生回路１０は、昇圧動作中の間、ステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔを“Ｌ”レベルとすることができる（アサート）。さらに、オートページプログラムでは、セルの閾値が入力された書き込みデータに応じた所定のレベルに達するまで、書き込みとベリファイとを繰り返す。つまり、ビット線のプリチャージ、及びワード線への書き込みパルス印加が繰り返される。これらの内部動作は上述したように電流を大量に消費するので、ビット線がプリチャージされる度、及びワード線への書き込みパルスが印加される度に昇圧電圧ＶＰＰの下降と、昇圧動作の開始とを繰り返す。この際の昇圧動作のときにも、メモリ３の消費電力は大きくなるので、ステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔは“Ｌ”レベルとされる。

【００３４】

このようなステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔをメモリ３の外部に通知することで、コントローラ２は図４に示したような動作を行うことが可能となる。

【００３５】

第１例に従ったメモリ３の一構成例を以下に説明する。

【００３６】

図５に示すメモリ３はメモリチップである。メモリチップは、メモリセルアレイ１０１と、メモリ制御回路１０２と、コマンドデコーダ１０３と、ステートマシン１０４と、入出力回路（Ｉ／Ｏ）１０５と、データレジスタ１０６と、高電圧発生回路２０と、消費電力大ステート出力発生回路１０とを含む。

【００３７】

メモリセルアレイ１０１には複数のメモリセルが集積される。メモリセルの一例は不揮発性半導体メモリセルである。不揮発性半導体メモリセルの例は閾値可変型トランジスタ、もしくは閾値可変型トランジスタを複数含むメモリセルユニットである。閾値可変型トランジスタの一例は電荷蓄積層を有し、電荷蓄積層に蓄積された電荷、例えば、電子の量に応じて閾値を可変とするトランジスタである。メモリセルユニットの一例は閾値可変型トランジスタをソース線とビット線との間に直列に接続したＮＡＮＤ型メモリセルユニットである。メモリセルアレイ１０１はメモリセル制御回路１０２により制御される。

【００３８】

コマンドデコーダ１０３は、メモリチップ外部からのコマンドをデコードする。コマンドは入出力回路１０５を介してコマンドデコーダ１０３に入力される。

【００３９】

ステートマシン１０４は、コマンドデコーダ１０３からの出力に従って１つ以上のステートを判断し、判断したステートに従ってメモリ制御回路１０２を制御する制御信号を出力する。

【００４０】

データレジスタ１０６は、メモリチップ外部からのデータ（書き込みデータ）を一時的に保持する。書き込みデータは入出力回路１０５を介してデータレジスタ１０６に入力される。また、データレジスタ１０６はメモリセルアレイ１０１からのデータ（読み出しデータ）を一時的に保持する。読み出しデータは入出力回路１０５を介してメモリチップ外部へ出力される。

【００４１】

高電圧発生回路２０は昇圧回路を含む。昇圧回路の一例はチャージポンプ回路である。昇圧回路を含む高電圧発生回路２０は、メモリ制御回路１０２からの制御信号に従って昇圧電圧を発生する。昇圧電圧の一例はＶＰＰである。

【００４２】

消費電力大ステート出力発生回路１０は、高電圧発生回路２０からの内部信号に基き、高電圧発生回路２０が昇圧動作をしているか否かを判断し、この判断に従って消費電力大ステート出力をアサートするかネゲートするかを決定する。消費電力大ステート出力発生回路１０は、例えば、高電圧発生回路２０が昇圧動作をしている間、消費電力大ステート出力をアサートし、高電圧発生回路２０が昇圧動作をしていないとき、消費電力大ステー

ト出力をネゲートする。

【００４３】

第１例に従ったコントローラ２の一構成例を以下に説明する。

【００４４】

図５に示すコントローラ２はコントローラチップである。コントローラチップは上述の通り、ホストとメモリ３との間のインターフェイス機能を有する。インターフェイス機能の一例とし、コントローラチップは、メモリ３内部の物理状態（例えば、何処の物理ブロックアドレスに、何番目の論理セクタアドレスデータが含まれているか、あるいは、何処のブロックが消去状態であるか）を管理する。コントローラチップは、ホストインターフェイス（ホストＩ／Ｆ）２０１と、ＣＰＵ（Central Processing Unit）２０２と、メモリインターフェイス（メモリＩ／Ｆ）２０３と、ＲＯＭ（Read Only Memory）２０４と、ＲＡＭ（Random Access Memory）２０５と、動作モード切り換え信号発生回路１１と、内部発振器２１とを含む。

【００４５】

ホストインターフェイス２０１は、ホストとコントローラチップとの間のインターフェイス処理を行う。

【００４６】

ＣＰＵ２０２はメモリシステム１全体の動作を制御する。ＣＰＵ２０２は、例えば、メモリシステム１が電源供給を受けたときに、ＲＯＭ２０４に格納されているファームウェア（制御プログラム）をＲＡＭ２０５上に読み出して所定の処理を実行することにより、各種のテーブルをＲＡＭ２０５上に作成する。

【００４７】

また、ＣＰＵ２０２は、書き込みコマンド、読み出しコマンド、消去コマンドをホストから受け取り、メモリ３に対して所定の処理を実行したり、バッファ２０６を通じたデータ転送処理を制御したりする。

【００４８】

ＲＯＭ２０４は、ＣＰＵ２０２により制御される制御プログラムなどを格納する。

【００４９】

ＲＡＭ２０５は、ＣＰＵ２０２の作業エリアとして使用され、制御プログラムや各種のテーブルを記憶する。

【００５０】

メモリインターフェイス２０３は、コントローラチップとメモリ３との間のインターフェイス処理を行う。

【００５１】

バッファ２０６は、ホストから送られてくるデータをメモリ３へ書き込む際に一定量のデータ（例えば、１ページ分）を一時的に記憶したり、メモリ３から読み出されるデータをホストへ送り出す際に一定量のデータを一時的に記憶したりする。

【００５２】

内部発信器２１は内部クロックを発振する。内部クロックはホストインターフェイス２０１、ＣＰＵ２０２、メモリインターフェイス２０３、バッファ２０６等に供給される。

【００５３】

動作モード切り換え信号発生回路１１は、上述した通り、消費電力大ステート出力がアサートされたとき、内部発振器２１の内部クロックの発振を止める、もしくは内部クロックの供給を止める切り換え信号を発生する。

【００５４】

図８は、この発明の第１実施形態に係るメモリシステムの第２例を示すブロック図である。

【００５５】

第１例では、消費電力大ステート出力発生回路１０は、ステート出力ＬＰｃｓｐｔ／／ＨＰｃｓｐｔの発生に、高電圧発生回路２０の昇圧動作を指示する内部信号を利用した。

しかし、ステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔの発生は、これに限るものではない。

【００５６】

例えば、図８に示すように、メモリ制御回路１０２の内部信号を利用して発生させることも可能である。例えば、ビット線のプリチャージ、及びワード線への書き込みパルス印加の際に、電流を大量に消費することは上述した。メモリ制御回路１０２は、ビット線をプリチャージするための内部信号、及びワード線に書き込みパルスを印加するための内部信号を発生させる。例えば、これらの内部信号を利用してステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔの発生させることでも、図７に示したような波形を持つステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔを発生させることができる。

【００５７】

また、特に図示しないが、消費電力大ステート出力発生回路１０は、ステートマシン１０４からの制御信号から、１つ以上有るステートのうちのどのステートであるかを判断し、判断したステートに従って消費電力大ステート出力をアサートするかネゲートするかを決定するようにしても良い。

【００５８】

同じく図示しないが、消費電力大ステート出力発生回路１０は、コマンドデコーダ１０３からの出力から、１つ以上有るステートのうちのどのステートであるかを判断し、判断したステートに従って消費電力大ステート出力をアサートするかネゲートするかを決定するようにしても良い。

【００５９】

（第２実施形態）

第２実施形態は、消費電力大ステート出力の方式に関する例である。

【００６０】

図９は、この発明の第２実施形態に係るメモリシステムの第１例を示す回路図である。

【００６１】

図９に示すように、メモリシステム１は、メモリ３からの消費電力大ステート出力を、コントローラ２へ伝える消費電力大ステート出力線を備える。

【００６２】

図９に示すメモリ３は、消費電力大ステート出力をアサートしたときに消費電力大ステート出力線を駆動し、消費電力大ステート出力をネゲートしたときに消費電力大ステート出力線をハイインピーダンスとする、もしくはその逆とする。図９には、一例として前者を示す。

【００６３】

具体的には、消費電力大ステート出力発生回路１０の出力は、Ｎチャネル型絶縁ゲート型ＦＥＴ３０のゲートに供給される。ＦＥＴ３０は、消費電力大ステート出力発生回路１０の出力が“Ｈ”のときに消費電力大ステート出力線を駆動し、消費電力大ステート出力線の電位を接地電位Ｖｓｓの方向に遷移させる。反対に、ＦＥＴ３０は、消費電力大ステート出力発生回路１０の出力が“Ｌ”のときに遮断し、消費電力大ステート出力線をハイインピーダンスとする。

【００６４】

消費電力大ステート出力線は、コントローラ２に入力される。コントローラ２には、消費電力大ステート出力線と電源電位Ｖｄｄとの間に接続されるプルアップ抵抗３１と、ゲートに、消費電力大ステート出力線が接続されるＰチャネル型絶縁ゲート型ＦＥＴ３２とを有する。

【００６５】

消費電力大ステート出力線の電位が接地電位Ｖｓｓの方向に低下したときには、ＦＥＴ３２は導通し、ノード３３の電位を上昇させる。反対に、消費電力大ステート出力線の電位がプルアップ抵抗により接地電位Ｖｓｓから電源電位Ｖｄｄの方向に上昇したときには、ＦＥＴ３２は遮断し、ノード３３の電位を低下させる。動作モード切り換え信号発生回

路１１は、ノード３３の電位に従って、切り換え信号をイネーブルしたり、ディセーブルしたりする。

【００６６】

このような方式は、例えば、メモリ３を複数持つメモリシステムに有用である。

【００６７】

図１０はこの発明の第２実施形態に係るメモリシステムの一使用例を示す図である。

【００６８】

図１０に示すメモリシステム１はｎ個のメモリ３（３-１～３-ｎ）を有する。メモリ３-１～３-ｎはそれぞれＦＥＴ３０を備える。これらＦＥＴ３０は、消費電力大ステート出力線に共通に接続され、ＦＥＴ３０のいずれか一つが導通したときには、消費電力大ステート出力線の電位は接地電位Ｖｓｓの方向に低下するようになっている。いわば、ワイヤードオア接続である。

【００６９】

このようにメモリ３が、消費電力大ステート出力をアサートしたときに消費電力大ステート出力線を駆動し、消費電力大ステート出力をネゲートしたときに消費電力大ステート出力線をハイインピーダンスとする、もしくはその逆とすることで、複数のメモリ３の消費電力大ステート出力を、ワイヤードオア接続のようにしてコントローラ２に供給することができる。従って、第２実施形態に係るメモリシステム１は、メモリ３を複数持つメモリシステムに有用である。

【００７０】

図１１はこの発明の第２実施形態に係るメモリシステムの第２例を示す回路図である。

【００７１】

図１１に示すように、プルアップ抵抗３１はコントローラ２の内部ではなく、コントローラ２の外部に設けても良い。例えは、プルアップ抵抗３１は、メモリ３の消費電力ステートピン３４と、コントローラ２の消費電力ステートピン３５との間の消費電力大ステート出力線と、電源電位Ｖｄｄとの間に接続されるようにしても良い。

【００７２】

図１２は、メモリシステムの第１の接続例を示すブロック図である。

【００７３】

図１２に示すように、第１の接続例は、メモリシステム１内において、コントローラ２とメモリ３とを回路基板１０上に配置し、回路基板１０上に形成された配線４１を介して接続した例である。この場合には、図９に示した第１例、及び図１１に示した第２例の双方を使用することができる。図１１に示した第２例を使用できる理由は、回路基板１０上にプルアップ抵抗３１を形成すれば良いからである。

【００７４】

図１３は、メモリシステムの第２の接続例を示すブロック図である。

【００７５】

図１３に示すように、第２の接続例は、メモリシステム１内において、コントローラ２をメモリ３上に配置し、ボンディングワイヤ４２を介して接続した例である。この場合においても、図９に示した第１例、及び図１１に示した第２例の双方を使用することができるが、やや第２例は使用することは難しい。この理由は、ボンディングワイヤ４２にプルアップ抵抗３１を接続するのが難しいためである。しかし、第１例のように、コントローラ２にプルアップ抵抗３１を設けておけば、コントローラ２とメモリ３とを接続するだけで良いので簡単に使用することができる。この観点から、図９に示した第１例には、小型化促進のために、コントローラ２をメモリ３上に配置したメモリシステム１に利用しやすい、という利点があることがわかる。

【００７６】

（第３実施形態）

図１４は、この発明の第３実施形態に係るメモリシステムの一例を示すブロック図である。

【００７７】
図１４に示すように、第３実施形態は、消費電力大ステートのレベルを、コントローラ２からの指示で選択的にメモリ３に設定できるようにした例である。具体的には、消費電力大ステート出力のアサート、及びネゲートを切り分ける消費電力値のレベルは外部から設定する。設定した消費電力値のレベルは、メモリ３の消費電力境界設定レジスタ５０にストアする。シーケンス状態判別回路５１は、シーケンス状態を判別してメモリ３の消費電力がどの位の値にあるかを検出、もしくは推測する。消費電力境界設定レジスタ５０にストアされたレベルは、シーケンス状態判別回路５１に供給される。シーケンス状態判別回路５１は、供給されたレベルと、検出、もしくは推測したメモリ３の消費電力のレベルとを、例えば、比較する。この比較結果を消費電力大ステート出力発生回路１０に出力する。消費電力大ステート出力発生回路１０は、シーケンス状態判別回路５１からの出力に基いて、消費電力大ステート出力を“Ｈ”にしたり、“Ｌ”にしたりする。また、書き込み、読み出し、および消去の各ステートにおいては消費電力が違う。消費電力境界設定レジスタ５０にはステート毎に異なるレベルをストアし、シーケンス状態判別回路５１は、各ステートに応じて消費電力大ステート出力を“Ｈ”にするか、“Ｌ”にするかを決定する出力を出力させても良い。さらには、消費電力境界設定レジスタ５０にはメモリシステムのモード毎に異なるレベルをストアし、シーケンス状態判別回路５１は、各モードに応じて消費電力大ステート出力を“Ｈ”にするか、“Ｌ”にするかを決定する出力を出力させても良い。

【００７８】
第３実施形態によれば、消費電力大ステート出力のアサート、及びネゲートを切り分ける消費電力値のレベルを、メモリシステム１のニーズに応じて設定される固定的な所定値の消費電流値以下を維持することが可能となる。あるいはホスト側から設定されるメモリシステムのモードに応じて、維持すべき、超えてはならない所定消費電流値を選択することも可能となる。

【００７９】
（第４実施形態）
図１５は、この発明の第４実施形態に係るメモリチップが持つステート出力発生回路の第１例を示す回路図である。

【００８０】
図１５に示すように、消費電力ステートピンは、レディ／ビジーピン６１と共用することが可能である。

【００８１】
レディ／ビジー発生回路６０の出力はＮチャネル型絶縁ゲート型ＦＥＴ６３のゲートに接続される。ＦＥＴ６３はピン６１と接地電位Ｖｓｓとの間に、スイッチ回路６２を介して直列に接続される。スイッチ回路６２の具体例は、ＣＭＯＳ型トランスファゲート６４であり、トランスファゲート６４はピン６１とＦＥＴ６３との間に接続される。

【００８２】
また、消費電力大ステート出力発生回路１０の出力はＦＥＴ３０のゲートに接続される。ＦＥＴ３０はピン６１と接地電位Ｖｓｓとの間に、スイッチ回路６２を介して直列に接続される。スイッチ回路６２の具体例は、ＣＭＯＳ型トランスファゲート６５であり、トランスファゲート６５はピン６１とＦＥＴ６３との間に接続される。

【００８３】
本例のレディ／ビジー発生回路６０はイネーブル信号ＥＮが“Ｈ”のときに活性化され“Ｌ”のときに非活性化される。本例の消費電力大ステート出力発生回路１０はイネーブル信号ＥＮの反転信号である信号/ＥＮが“Ｈ”のときに活性化され“Ｌ”のときに非活性化される。

【００８４】
従って、信号ＥＮが“Ｈ”のとき、図１６に示すように、レディ／ビジー発生回路６０が活性化され、消費電力大ステート出力発生回路１０が非活性化される。図１５に示すト

ランスファゲート６４は導通し、トランスファゲート６５は遮断するので、ＦＥＴ３０がピン６１から切り離され、ＦＥＴ６３がピン６１に接続される。

【００８５】

この場合、第４実施形態の第１例に係るメモリ３は、コントローラ２がレディ／ビジーピン６６のみをサポートしている場合に使うことができる。

【００８６】

反対に、信号ＥＮが“Ｌ”のとき、図１７に示すように、消費電力大ステート出力発生回路１０が活性化され、レディ／ビジー発生回路６０が非活性化される。図１５に示すトランスファゲート６５は導通し、トランスファゲート６４は遮断する。ＦＥＴ３０がピン６１に接続される。

【００８７】

この場合、第４実施形態の第１例に係るメモリ３は、コントローラ２が消費電力ステートピン６７のみをサポートしている場合に使うことができる。

【００８８】

図１８は、この発明の第４実施形態に係るメモリチップが持つステート出力発生回路の第２例を示す回路図である。

【００８９】

第２例は、レディ／ビジーピン６８、消費電力ステートピン６９の双方を有しつつ、その一方のみ、もしくは双方を使えるようにしたものである。

【００９０】

図１８に示すように、第２例が第１例と異なるところは、スイッチ回路６２´である。スイッチ回路６２´は、スイッチ６４、６５、及び７０を含む。スイッチ６４は、ピン６８とＦＥＴ６３との間に接続される。スイッチ６５は、ピン６９とＦＥＴ３０との間に接続される。スイッチ７０は、ピン６８とピン６９との間に接続される。

【００９１】

レディ／ビジー発生回路６０は、イネーブル信号ＥＮ１が“Ｈ”のときに活性化する。

【００９２】

消費電力大ステート出力発生回路１０は、イネーブル信号ＥＮ２が“Ｈ”のときに活性化する。

【００９３】

信号ＥＮ１が“Ｈ”、ＥＮ２が“Ｌ”のとき、図１９に示すように、レディ／ビジー発生回路６０が活性化され、消費電力大ステート出力発生回路１０が非活性化される。図１８に示すトランスファゲート６４は導通し、トランスファゲート６５は遮断するので、ＦＥＴ６３がピン６８に接続される。

【００９４】

この場合、第４実施形態の第２例に係るメモリ３は、コントローラ２がレディ／ビジーピン６６のみをサポートしている場合に使うことができる。

【００９５】

信号ＥＮ１が“Ｌ”、ＥＮ２が“Ｈ”のとき、図２０に示すように、消費電力大ステート出力発生回路１０が活性化され、レディ／ビジー発生回路６０が非活性化される。図１８に示すトランスファゲート６５は導通し、トランスファゲート６４は遮断するので、ＦＥＴ３０がピン６９に接続される。

【００９６】

この場合、第４実施形態の第２例に係るメモリ３は、コントローラ２が消費電力ステートピン６７のみをサポートしている場合に使うことができる。

【００９７】

信号ＥＮ１、ＥＮ２が双方“Ｈ”のとき、図２１に示すように、消費電力大ステート出力発生回路１０、及びレディ／ビジー発生回路６０の双方が活性化される。図１８に示すトランスファゲート６４、及び６５の双方が導通するので、ＦＥＴ６３はピン６８に接続され、ＦＥＴ３０はピン６９に接続される。

【００９８】
この場合、第４実施形態の第２例に係るメモリ３は、コントローラ２が、レディ／ビジーピン６６、消費電力ステートピン６７の双方をサポートしている場合に使うことができる。
【００９９】
また、上記実施形態は、以下の態様を含む。
【０１００】
（１） 書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なり、前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートするメモリと、ホストと前記メモリとの間のインターフェイス機能を有し、前記消費電力大ステート出力を受けるコントローラと、を備え、前記コントローラは、前記消費電力大ステート出力がアサートされたとき、その動作モードを低消費電力モードに切り換えるメモリシステム。
【０１０１】
（２） （１）のメモリシステムにおいて、前記コントローラは、前記低消費電力モードのとき、前記メモリとの間のデータ転送を停止する。
【０１０２】
（３） （１）のメモリシステムにおいて、前記コントローラは、前記低消費電力モードのとき、このコントローラ自体の内部動作のタイミング決定に利用される内部クロックの供給を停止する。
【０１０３】
（４） （２）のメモリシステムにおいて、前記コントローラは、前記消費電力大ステート出力に応じて前記コントローラの動作モードを切り換える切り換え信号を発生する動作モード切り換え信号発生回路と、前記メモリインターフェイス回路と、を、さらに備え、前記切り換え信号は前記メモリインターフェイス回路に供給され、前記切り変え信号が低消費電力モードをアサートしたとき、前記メモリインターフェイス回路は前記メモリとの間のデータ転送を停止する。
【０１０４】
（５） （３）のメモリシステムにおいて、前記コントローラは、前記消費電力大ステート出力に応じて前記コントローラの動作モードを切り換える切り換え信号を発生する動作モード切り換え信号発生回路と、前記内部クロックを発振する内部クロック発振回路と、を、さらに備え、前記切り換え信号は前記内部クロック発振回路に供給され、前記切り変え信号が低消費電力モードをアサートしたとき、前記内部クロック発振回路は前記内部クロックの発振を停止する。
【０１０５】
（６） （１）のメモリシステムにおいて、前記メモリからの前記消費電力大ステート出力を、前記コントローラへ伝える消費電力大ステート出力線を、さらに備え、前記メモリは、前記消費電力大ステート出力をアサートしたときに前記消費電力大ステート出力線を駆動し、前記消費電力大ステート出力をネゲートしたときに前記消費電力大ステート出力線をハイインピーダンスとする、もしくはその逆とする。
【０１０６】
（７） （６）のメモリシステムにおいて、前記コントローラは、前記消費電力大ステート出力に応じて前記コントローラの動作モードを切り換える切り換え信号を発生する切り換え信号発生回路を、さらに備え、前記切り換え信号発生回路は、前記消費電力大ステート出力が供給される供給点と電源との間に接続された抵抗を有し、前記抵抗と前記供給点との相互接続ノードの電位に応じて前記切り換え信号を発生する。
【０１０７】
（８） （６）のメモリシステムにおいて、前記消費電力大ステート出力線と電源との間に抵抗が接続されている。

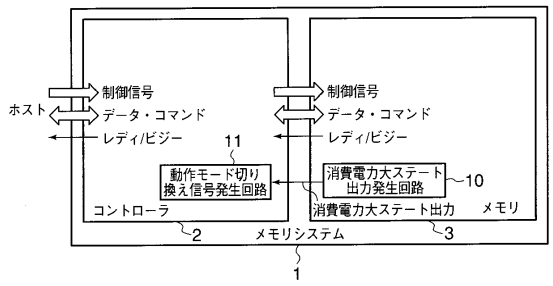
【０１０８】
（９）　（１）～（８）いずれかのメモリシステムにおいて、前記メモリは、不揮発性半導体メモリである。
【０１０９】
（１０）　（９）のメモリシステムにおいて、前記不揮発性半導体メモリはＮＡＮＤ型フラッシュメモリである。
【０１１０】
（１１）　書き込み、読み出し、並びに消去の各ステートを実行し、これら各ステート中における内部動作に応じて消費電力の大きさが異なるメモリチップであって、前記各ステート中における内部動作のうち、前記消費電力の大きさが大であるとき、消費電力大ステート出力をアサートする。
【０１１１】
（１２）　（１１）のメモリチップにおいて、前記消費電力大ステート出力を発生する消費電力大ステート出力発生回路と、前記消費電力大ステート出力を外部へ出力する外部出力端子と、を、さらに具備し、前記消費電力大ステート出力発生回路は、アサート時に前記外部出力端子を駆動し、ネゲート時に前記外部出力端子をハイインピーダンスとする、もしくはその逆とする。
【０１１２】
（１３）　（１１）のメモリチップにおいて、前記消費電力大ステート出力のアサート、及びネゲートを切り分ける消費電力値のレベルは外部から設定される。
【０１１３】
（１４）　（１３）のメモリチップにおいて、前記消費電力値のレベルをストアする消費電力境界設定レジスタを、さらに具備する。
【０１１４】
（１５）　（１１）のメモリチップにおいて、複数のメモリセルが集積されるメモリセルアレイと、前記メモリセルアレイを制御するメモリ制御回路と、外部からのコマンドをデコードするコマンドデコーダと、前記コマンドデコーダからの出力に従って前記複数、あるいは単数のステートを決定し、決定したステートに従って前記メモリ制御回路を制御する制御信号を出力するステートマシンと、をさらに備え、前記消費電力大ステート出力発生回路は、前記ステートマシンからの前記制御信号から、前記複数、あるいは単数のステートのうちのどのステートであるかを判断し、判断したステート中の内部動作に従って消費電力大ステート出力をアサートするかネゲートするかを決定する。
【０１１５】
（１６）　（１１）のメモリチップにおいて、複数のメモリセルが集積されるメモリセルアレイと、前記メモリセルアレイを制御するメモリ制御回路と、外部からのコマンドをデコードするコマンドデコーダと、前記コマンドデコーダからの出力に従って前記複数、あるいは単数のステートを決定し、決定したステートに従って前記メモリ制御回路を制御する制御信号を出力するステートマシンと、をさらに備え、前記消費電力大ステート出力発生回路は、前記コマンドデコーダからの出力から、前記複数、あるいは単数のステートのうちのどのステートであるかを判断し、判断したステート中の内部動作に従って消費電力大ステート出力をアサートするかネゲートするかを決定する。
【０１１６】
（１７）　（１１）のメモリチップにおいて、複数のメモリセルが集積されるメモリセルアレイと、前記メモリセルアレイを制御するメモリ制御回路と、外部からのコマンドをデコードするコマンドデコーダと、前記コマンドデコーダからの出力に従って前記複数、あるいは単数のステートを決定し、決定したステートに従って前記メモリ制御回路を制御する制御信号を出力するステートマシンと、高電圧を発生する高電圧発生回路と、をさらに備え、前記消費電力大ステート出力発生回路は、前記高電圧発生回路からの内部信号から、前記高電圧発生回路が高電圧を発生しているか否かを判断し、判断したステートに従って消費電力大ステート出力をアサートするかネゲートするかを決定する。

【０１１７】
（１８）　（１１）のメモリチップにおいて、複数のメモリセルが集積されるメモリセルアレイと、前記メモリセルアレイを制御するメモリ制御回路と、外部からのコマンドをデコードするコマンドデコーダと、前記コマンドデコーダからの出力に従って前記複数、あるいは単数のステートを決定し、決定したステートに従って前記メモリ制御回路を制御する制御信号を出力するステートマシンと、をさらに備え、前記消費電力大ステート出力発生回路は、前記メモリ制御回路の内部信号から、前記複数、あるいは単数のステートのうちのどのステートであるかを判断し、判断したステート中の内部動作に従って消費電力大ステート出力をアサートするかネゲートするかを決定する。
【０１１８】
（１９）　（１１）～（１８）いずれかのメモリチップにおいて、前記メモリチップは、不揮発性半導体メモリチップである。
【０１１９】
（２０）　（１９）のメモリチップにおいて、前記不揮発性半導体メモリチップは、ＮＡＮＤ型フラッシュメモリチップである。
【０１２０】
（２１）　（１１）のメモリチップにおいて、前記不揮発性半導体メモリチップは、前記消費電力大ステート出力のピンを、レディ／ビジーのピンと共用し、前記消費電力大ステート出力、及びレディ／ビジーのいずれか一つを選択して共用ピンから出力する。
【０１２１】
（２２）　（１１）のメモリチップにおいて、前記不揮発性半導体メモリチップは、前記消費電力大ステート出力が供給されるピンと、レディ／ビジー出力が供給されるピンとを備え、前記消費電力大ステート出力、及びレディ／ビジーのいずれか一方、及び双方を出力する。
【０１２２】
以上、この発明をいくつかの実施形態により説明したが、この発明は各実施形態に限定されるものではなく、その実施にあたっては発明の要旨を逸脱しない範囲で種々に変形することが可能である。
【０１２３】
また、各実施形態は単独で実施することが可能であるが、適宜組み合わせて実施することも可能である。
【０１２４】
また、各実施形態は種々の段階の発明を含んでおり、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することが可能である。
【０１２５】
また、上記実施形態は、この発明をメモリシステムに適用した例に基づき説明したが、この発明はメモリシステムに限られるものではなく、このメモリシステムを内蔵した半導体集積回路装置、例えば、プロセッサ、システムＬＳＩ等もまた、この発明の範疇である。
【０１２６】
また、不揮発性半導体メモリの一例としてＮＡＮＤ型フラッシュメモリを例示したが、不揮発性半導体メモリは、ＮＡＮＤ型フラッシュメモリに限られるものではなく、ＡＮＤ型、ＮＯＲ型等、ＮＡＮＤ型以外のフラッシュメモリでも良い。
【図面の簡単な説明】
【０１２７】
【図１】図１はこの発明の第１実施形態に係るメモリシステムの基本構成を示すブロック図
【図２】図２は典型例に係るメモリシステムの動作と消費電力との関係例を示すタイミング図
【図３】図３は典型例に係るメモリシステムの動作と消費電力との他の関係例を示すタイ

ミング図
【図４】図４はこの発明の第１実施形態に係るメモリシステムの動作と消費電力との関係例を示すタイミング図
【図５】図５はこの発明の第１実施形態に係るメモリシステムの第１例を示すブロック図
【図６】図６は図５に示すメモリシステムの書き込み動作の一例を示す波形図
【図７】図７は図５に示すメモリシステムの昇圧電圧ＶＰＰとステート出力ＬＰｃｓｐｔ／/ＨＰｃｓｐｔとの関係を示す波形図
【図８】図８はこの発明の第１実施形態に係るメモリシステムの第２例を示すブロック図
【図９】図９はこの発明の第２実施形態に係るメモリシステムの第１例を示す回路図
【図１０】図１０はこの発明の第２実施形態に係るメモリシステムの一使用例を示す図
【図１１】図１１はこの発明の第２実施形態に係るメモリシステムの第２例を示す回路図
【図１２】図１２はメモリシステムの第１の接続例を示すブロック図
【図１３】図１３はメモリシステムの第２の接続例を示すブロック図
【図１４】図１４はこの発明の第３実施形態に係るメモリシステムの一例を示すブロック図
【図１５】図１５はこの発明の第４実施形態に係るメモリチップが持つステート出力発生回路の第１例を示す回路図
【図１６】図１６は図１５に示すメモリチップを利用したメモリシステムの第１の構成例を示す図
【図１７】図１７は図１５に示すメモリチップを利用したメモリシステムの第２の構成例を示す図
【図１８】図１８はこの発明の第４実施形態に係るメモリチップが持つステート出力発生回路の第２例を示す回路図
【図１９】図１９は図１８に示すメモリチップを利用したメモリシステムの第１の構成例を示す図
【図２０】図２０は図１８に示すメモリチップを利用したメモリシステムの第２の構成例を示す図
【図２１】図２１は図１８に示すメモリチップを利用したメモリシステムの第３の構成例を示す図
【符号の説明】
【０１２８】
１…メモリシステム、２…コントローラ、３…メモリ、１０…消費電力大ステート出力発生回路、１１…動作モード切り換え信号発生回路

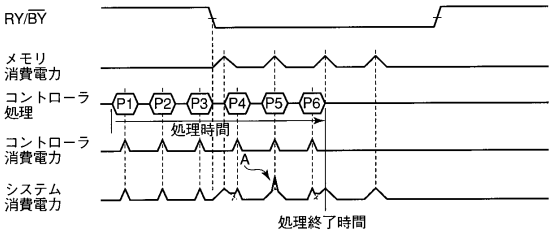
【図１】

図１



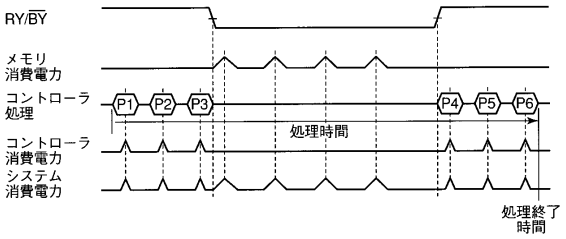

【図２】

図２



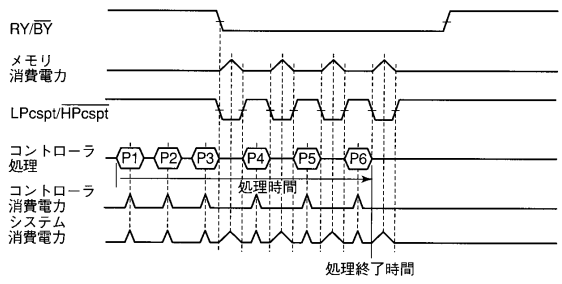

【図３】

図３



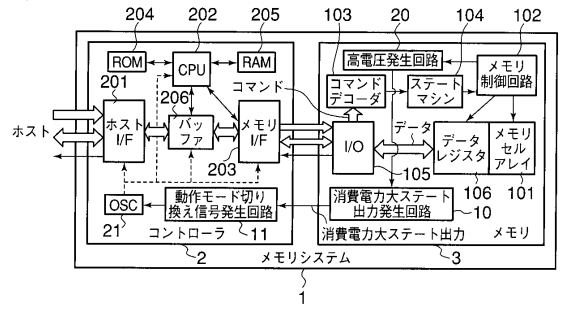

【図４】

図４



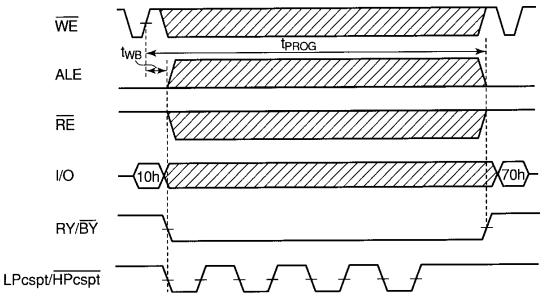

【図５】

図５



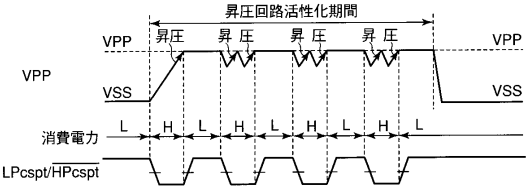

【図６】

図６



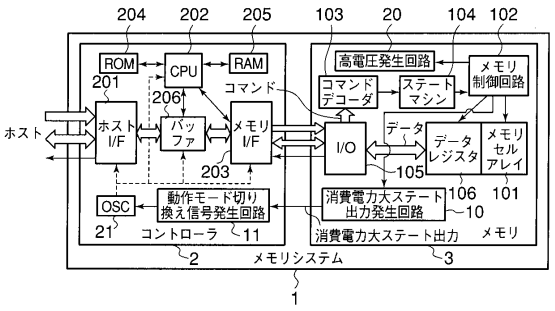

【図７】

図７



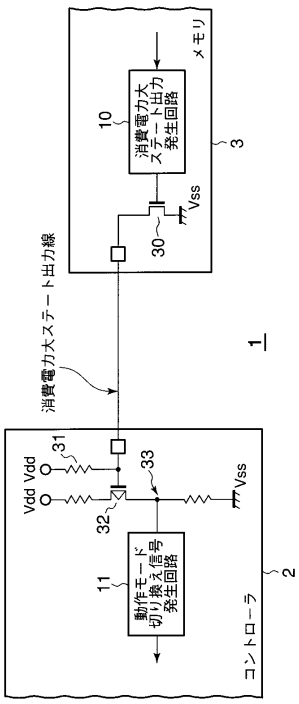
【図８】

図８



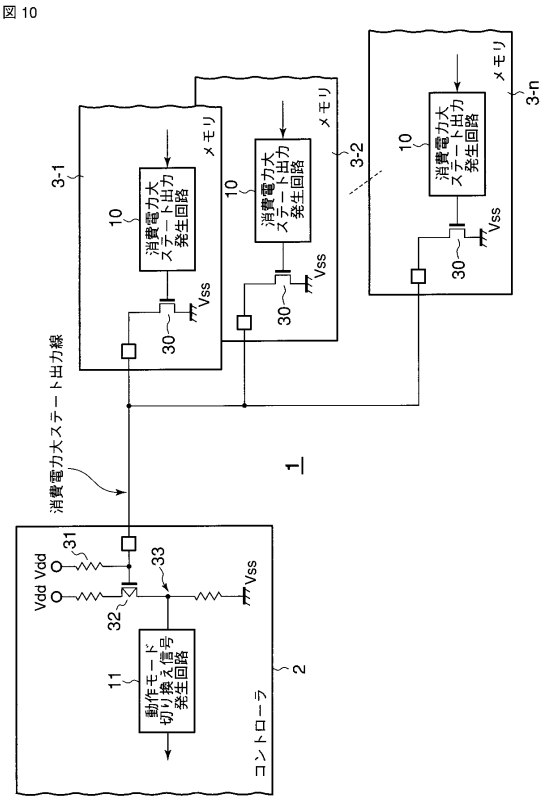

【図９】

図９



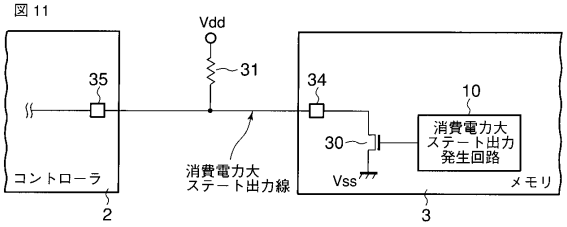

【図１０】

図１０



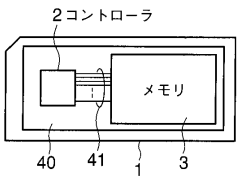

【図１１】

図１１



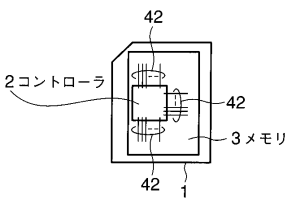

【図１２】

図１２



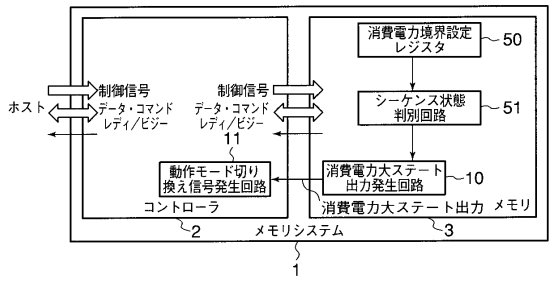

【図１３】

図１３



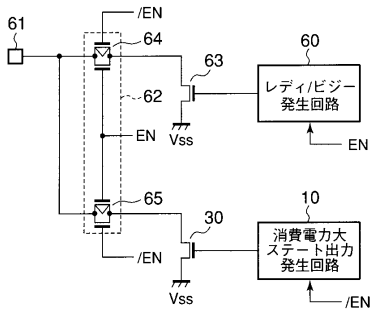
【図１４】

図 14



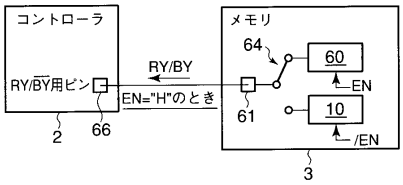

【図１５】

図 15



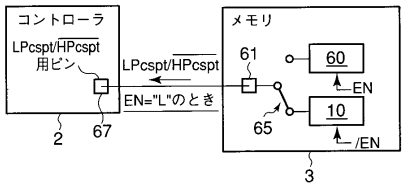

【図１６】

図 16



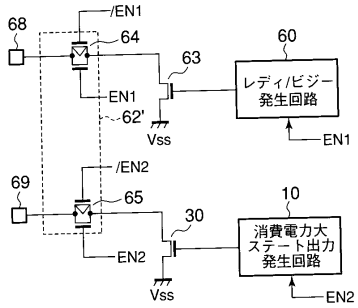

【図１７】

図 17



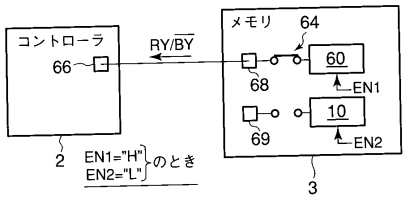

【図１８】

図 18



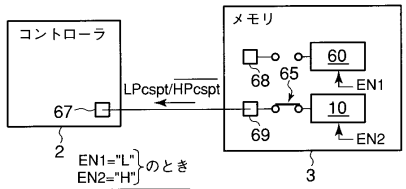

【図１９】

図 19



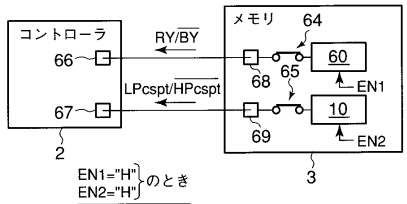

【図２０】

図 20




【図２１】

図 21



フロントページの続き

(74)代理人 100092196
弁理士 橋本 良郎
(72)発明者 助川 博
東京都港区芝浦一丁目１番１号 株式会社東芝内

審査官 原 秀人

(56)参考文献 特開２００２－１４９４７９（ＪＰ，Ａ）
特開２００４－２８７７６０（ＪＰ，Ａ）
特開２００５－２５８５３３（ＪＰ，Ａ）
特開２００２－１８９５９１（ＪＰ，Ａ）
特開平５－１６６３７０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０６Ｆ １２／００