

(43) 国際公開日
2006年5月4日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046510 A1

- (51) 国際特許分類:
H05K 3/34 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2005/019499
- (22) 国際出願日: 2005年10月24日 (24.10.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-312791
2004年10月27日 (27.10.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5030917 岐阜県大垣市神田町2丁目1番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 渡辺 泰裕

(WATANABE, Yasuhiro) [JP/JP]; 〒5038503 岐阜県大垣市青柳町300番地 イビデン株式会社内 Gifu (JP). 高橋 通昌 (TAKAHASHI, Michimasa) [JP/JP]; 〒5038503 岐阜県大垣市青柳町300番地 イビデン株式会社内 Gifu (JP). 青山 雅一 (AOYAMA, Masakazu) [JP/JP]; 〒5038503 岐阜県大垣市青柳町300番地 イビデン株式会社内 Gifu (JP). 中村 武信 (NAKAMURA, Takenobu) [JP/JP]; 〒5038503 岐阜県大垣市青柳町300番地 イビデン株式会社内 Gifu (JP). 柳沢 裕行 (YANAGISAWA, Hiroyuki) [JP/JP]; 〒5038503 岐阜県大垣市青柳町300番地 イビデン株式会社内 Gifu (JP).

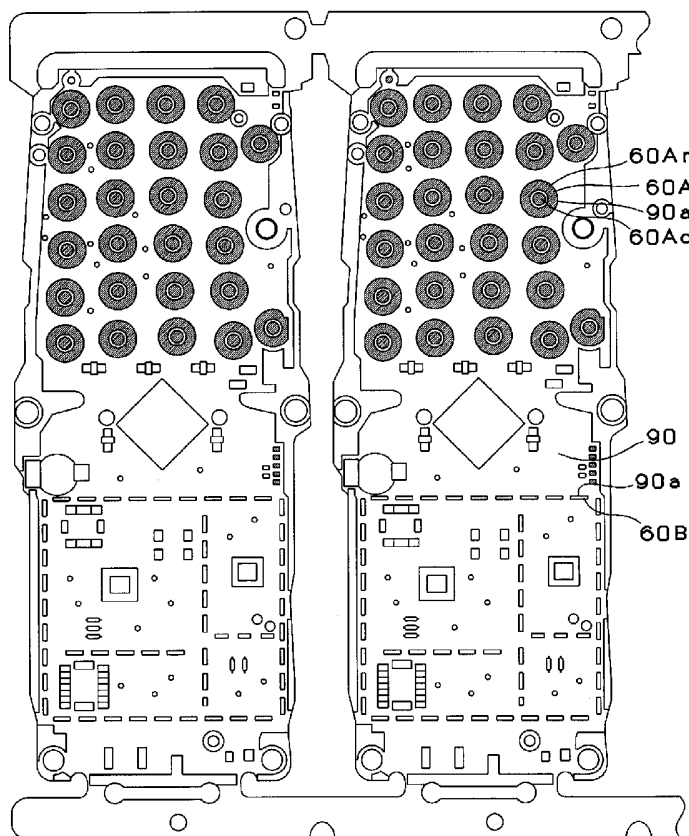
(74) 代理人: 田下 明人 (TASHITA, Akihito); 〒4600008 愛知県名古屋市中区栄1丁目2番26号 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

/ 続葉有 /

(54) Title: MULTILAYER PRINTED WIRING BOARD AND METHOD FOR MANUFACTURING MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板及び多層プリント配線板の製造方法



(57) Abstract: [PROBLEMS] To provide a multilayer printed wiring board wherein reliabilities are improved and electrical connection and electrical functions are ensured, especially a reliability in a drop test is improved. [MEANS FOR SOLVING PROBLEMS] A solder pad (60B) whereupon a component is mounted is not provided with an anticorrosion layer and has flexibility. Therefore, even the solder pad is dropped and receives a shock, the shock can be buffered and the mounted component is not easily dropped. On the other hand, a land (60A) whereupon an anticorrosion layer is formed does not easily cause a contact failure, even when carbon columns configuring operation keys are repeatedly brought into contact.

(57) 要約: 【課題】 信頼性を向上させて、電気的接続性や機能性を確保させ、特に、落下試験に対する信頼性をより向上させることができる多層プリント配線板を提供する。【解決手段】 部品が実装される半田パッド60Bには、耐食層が形成されておらず柔軟性がある。このため、落下の際に衝撃を受けた際でも、衝撃を緩衝することができ、実装部品の脱落が起こり難くなる。他方、耐食層が形成されたランド60Aは、操作キーを構成する炭素柱が繰り返し接触しても接触不良を引き起こし難い。



ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

多層プリント配線板及び多層プリント配線板の製造方法

技術分野

- [0001] 本発明は、基板の表層に、電子部品、半導体素子などが実装された多層プリント配線板及びその製造方法に関する。特に、携帯電話や携帯用電子機器あるいは、パッケージなどに好適に用いられる多層プリント配線板及びその製造方法に関する。

背景技術

- [0002] 少なくとも片面に導体回路を有する絶縁性硬質基材に、レーザによりバイアホールを開口し、その開口に金属ペーストもしくはめっきにより、導体層を施すことにより、1単位の回路基板が形成される。この回路基板を2層以上用意し、これらの基板を逐次積層あるいは一括積層で、熱圧着させることにより、多層回路基板(多層プリント配線板)を得ることができる。その際、一方の回路基板のバイアホールもしくはバイアホールのランドと他方の回路基板の導体回路もしくはランドとが接続されているので、2層の回路基板の電気的な接続が成される。また、電気的な接続が行われない他の領域では、熱硬化性樹脂からなる接着剤層やプリプレグ等により回路基板同士を密着させている。これらの従来技術としては、特開平10-13028号公報等が挙げられる。
- [0003] これらの基板もしくは一般的なプリント配線板の表層には、導体回路を保護するソルダーレジスト層が形成されて、そのソルダーレジスト層の一部を開口した半田パッドが形成された。その開口から導体回路が露出され、その表層には金、ニッケル-金等の耐食層が形成される。全ての半田パッドに耐食層が施されており、その耐食層が施された導体回路上には、半田が形成され、電子部品などが実装される。
- [0004] また、近年の携帯電話、デジタルカメラ等の携帯用電子機器は、高機能化、高密度化の要求の高まりや、実装する部品の小型化などに伴って、実装される基板においても配線密度(ライン/スペース)を小さくしたり、半田パッドを小さくしたりなどにより、部品の高密度化の要求に対応させていた。その形成された基板上には、電子部品(半導体、コンデンサ、抵抗、インダクタ等の受動部品を指す)、あるいは液晶、デジタル表示器などの表示類、キーパッド、スイッチなどの操作系、USB、イヤホンな

どの外部端子類のパッド等の半田パッドが混在し、これらの半田パッド上に半田を介して、各部品が実装されている。また、別の半田パッド上では、スイッチなどの操作系部品などがパッドに接触することにより、電子機器としての操作させることができる。

[0005] また、プリント配線板にICチップをベアチップ実装するパッケージ基板においても、高機能化、高密度化の要求の高まりや、実装する部品の小型化などに伴って、実装される基板においても配線密度(ライン／スペース)を小さくしたり、半田パッドを小さくしたりすることにより、部品の高密度化の要求に対応させていた。その基板のサイズも、ICチップに近い大きさであるCSP(Chip Size Package)とすることも要望されている。それにより、マザーボードに実装した際、パッケージの実装領域を小さくし、他の部品の実装領域を確保し、より高密度化した実装基板を得ることを可能としている。さらに、パッケージ基板にコンデンサや抵抗などの電子部品を搭載することにより、ICチップの高周波に対応することができ、パッケージ基板としての機能、性能を確保させている。

さらに、ICチップと電子部品とを混載したパッケージ基板にすることにより、高周波化、高機能化し、その機能、性能を効率良く発揮させている。

特許文献1:特開平10-13028号

発明の開示

発明が解決しようとする課題

[0006] 実装密度を高められるのに伴い、信頼性を確保することも要望されている。その中でも、特に落下試験に対する信頼性の向上が望まれている。つまり、製品(すべての部品、液晶などを実装し、筐体に収めた状態を示す)やプリント配線板を一定の高さから落下させても、基板の機能や起動性が低下しないことや、部品などを脱落し難くすることが求められている。

[0007] しかしながら、従来方法で製造された基板においては、信頼性試験における落下試験に対して、基板の機能や起動性を維持させることが難しかった。特に、前述のように部品等の実装密度を高められた基板においては、落下試験に対して、基板の機能や起動性を維持させることは困難であった。また、従来方法で製造された基板では、部品の脱落する頻度を低下させることができなかった。

- [0008] 本願発明は、上述した課題を解決するためになされたものであり、その目的とするところは、信頼性を確保させて、電氣的接続性や機能性を確保させることにある。特に、落下試験に対する信頼性をより確保させることができる多層プリント配線板及びその製造方法を提供することにある。

課題を解決するための手段

- [0009] 本発明の具体的な実施態様では、表層に導体回路が形成され、該導体回路を覆うソルダーレジスト層が施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板において、
前記半田パッドには、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在することを技術的特徴とする。
- [0010] また、バイアホールにより層間接続が成され、該バイアホール内に導体層が充填され、少なくとも2層以上積層され、表層にソルダーレジスト層が施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板において、
前記半田パッドには、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在することを技術的特徴とする。
- [0011] プリント配線板の表層の露出した導体層部分において、耐食層が形成されている部分と耐食層が形成されていない部分が混在させた多層プリント配線板は、従来の表層に、露出した導体部分の全てに耐食層を形成された多層プリント配線板に比べると、信頼性が確保しやすくなる。ICチップなどの実装時やヒートサイクル条件下や高温高湿した際に、温度の影響により基板の伸縮がされる。従来の表層に露出した導体部分の全てに耐食層を形成された多層プリント配線板では、基板の表面が同一の状態となるため、伸縮により、発生した応力が伝達されやすい。そのため応力が緩衝され難い。しかしながら、部分的に耐食層が形成されていない半田パッドをする多層プリント配線板においては、発生した応力が伝達され難くなる。これにより、応力が緩衝されやすい。そのために、従来のプリント配線板と比べると、長期間に渡り、信頼性を得やすくなる。

- [0012] 特に落下試験を行った際、その電気接続性や信頼性などの評価を行うと、従来のプリント配線板に比べると、応力が緩衝されるため、劣化の度合いが小さくなる。その結果として、信頼性が得やすくなる。
- [0013] また、本願発明により、熱などを起因とする応力を緩衝されることにより、多層プリント配線板としての反りの発生をしにくくなり、基板表面の平坦性が確保される。そのために、ICチップをベアチップで実装するパッケージ基板におけるICチップとの接続性および外部基板との接続性を得やすい。さらに、表層にICチップ以外にもコンデンサなどの電子部品を実装された混載のパッケージ基板においては、ICチップと電子部品との接続性が得やすい。
- [0014] 耐食層を形成されている部分は、耐食層が形成されていない部分と比べると、基板の剛性が確保される。剛性が確保されるので基板の反りなどをプリント配線板の不具合抑えることができ、部品などを実装させても、半田パッドの導体部分と部品等の外部端子とでの接触不良や未接続などを引き起こし難い。実装部品を剛性がある耐食層上に配置しているので、安定する。また、キーパッドなどの操作系部品は、耐食層が形成されたランド部分に接触するので、繰り返し接触しても接触不良を引き起こし難い。
- [0015] 逆に耐食層が形成されていない部分は、耐食層が形成されている部分と比べると、柔軟性がある。柔軟性を有するので、伸縮により発生した応力が緩衝されるし、導体回路、半田もしくは絶縁層のクラック等の不具合は、従来のプリント配線板に比べると、信頼性が得やすい。また、外部からの衝撃を受けた際でも、耐食層が形成されていない部分においては、その衝撃に対して緩衝することができる。そのために、実装された部品なども、その衝撃の影響を受けにくくなり、部品の脱落等の不具合が起こり難くなる。
- [0016] また、硬化やリフローなどのプリント配線板の製造時の加熱工程の際には、プリント板には、熱による伸縮(その一例として、温度が上昇すると、伸びて、高温から常温に戻ると、縮む)に伴い、耐食層の非形成部分では、耐食層の形成部と比較すると、導体回路や絶縁層でのクラック等の不具合を引き起こし難くなる。特に、半田層へのクラック等の不具合を引き起こし難くなる。伸縮に伴って、発生した応力が緩衝されるか、

発生した応力が局所的な集中をされにくくなり、そのために、クラック等の不具合が引き起こし難くなると推定される。それは、プリント板の大きさ(縦、横のサイズを意味する)、厚み、層数、材質などで同様の傾向にあった。

- [0017] 耐食層が形成されている部分の面積は、耐食層が形成されていない部分の面積に比べると、大きくした方がより望ましい。耐食層が形成されている部分の面積を大きくした方が基板自体の剛性を高めやすいからである。
- [0018] 耐食層とは、金、銀、白金などの貴金属から選ばれる1種類以上の金属を1層以上で形成されたものや、貴金属とその他の金属との組み合わせで積層されたものを1層以上とするものを指す。具体的には、ニッケル－金、ニッケル－銀、ニッケル－白金、金(単層)、銀(単層)、ニッケル－パラジウム－金、ニッケル－パラジウム－銀等が挙げられる。
- [0019] また、半田パッド部から露出されている導体回路は、平坦な回路、凹部を有する回路、突起部を有する回路、表層の粗化層を有する回路等様々な形状の回路であってもよい。
- [0020] 例えば、これらのプリント配線板は、携帯用電子機器の筐体に収まった場合に、MPU、コンデンサ、抵抗などの半導体系部品、いわゆる起動系、駆動系の部品を数多く実装させて、これ以外にも液晶、デジタル表示器などの表示類、キーパッド、スイッチなどの操作系、USB、イヤ－ホンなどの外部からなる外部端子類であるものが実装されていて、これらが筐体に収まっていることにより、電子機器としての果たしている。これらの電子機器は携帯が主目的であり、その際、落下させることも想定する必要がある。
- [0021] これらの基板においては、バイアホールで層間接続を行うプリント配線板、サブトラクティブ法で製造された基板、アディティブ法で製造された基板等の様々タイプのプリント配線板において、適用することが可能である。これ以外もコンフォーマル工法を経て製造された基板にも適用できる。
- [0022] また、この場合における半田パッドとは、溶剤レジスト層の開口から、露出されている導体回路だけでなく、電気接続がされていないダミーの導体層、アライメントマーク、製品を認識させるために形成された導体層、スイッチ用の端子導体層も含まれる

。

[0023] 耐食層が施された半田パッドは、主として外部用端子であることが望ましい。

これにより耐食層を形成されている部分は、耐食層が形成されていない部分と比べると、基板の剛性が高められる。剛性が高められるので基板の反りなどのプリント配線板の不具合抑えることができ、外部端子を実装させても、半田パッドの導体部分と部品等の外部端子との接触不良や未接続などを引き起こし難い。それに、該耐食層が形成されているパッド上に、外部端子が配置されているので、設置自体が安定する。また、外部端子であってキーパッドなどの可動接点部分を有する操作系部品では、耐食層が形成されている半田パッドに接触を繰り返して、該パッド部分の剛性により、その強度が高められている。また、繰り返し接触しても接触不良を引き起こし難い。

[0024] 耐食層が施されていない半田パッドは、主として電子部品実装用端子であることが望ましい。

耐食層が形成されていない半田パッド部分は、耐食層が形成されている部分と比べると、柔軟性がある。外部からの衝撃を受けた際、耐食層が形成されていない部分においては、柔軟性を有するので、その衝撃を緩衝することができる。耐食層が形成されていない半田パッドを、電子部品実装用端子に用いることにより、外部から衝撃を受けた際、半田パッドから露出された導体回路と電子部品との間での脱落を引き起こし難い。特に、それらを接合させるため半田層においても、衝撃が緩衝されるので、半田層におけるクラック等を引き起こし難いので、脱落を引き起こし難い。

その結果として、部品の接続性が確保されるので、電気接続性や製品としての機能が低下せず、信頼性においても従来のプリント配線板よりも低下しない。

この場合における電子部品実装用端子に用いられる電子部品には、半導体等の能動部品、コンデンサ、抵抗、インダクタ等の受動部品全般等が該当する。

[0025] 耐食層が施された半田パッドには、主としてベアチップでICチップを接続する接続用パッドであることが望ましい。特に、ワイヤーボンディング用パッド、ICチップをフリップチップ実装する接続用半田パッドであることが望ましい。

[0026] これにより、ICチップの接続領域に耐食層が施されたICチップとの接続パッドが形成

されていることから、基板の剛性が高められる。剛性が高められるので基板の反りなどをプリント配線板の不具合抑えることができ、部品などを実装させても、半田パッドの導体部分と部品等の外部端子とでの接触不良や未接続などを引き起こし難い。

- [0027] また、ワイヤーボンディングでは、パッド部分の耐ボンディング性や金属接合を加味するためにも耐食層の形成が必要である。また、耐食層により、ボンディングパッドの平坦性を保てるので、ボンディング時の不具合を引き起こしにくくなる。さらに、ボンディングパッドの平坦性を保てるので、接続性や信頼性も得られる。
- [0028] また、ICチップのベアチップ実装をフリップチップで行うに辺り、耐食層を形成させることにより、パッド上に形成されるICチップ接続用の半田バンプもしくは金属バンプなどの形状、量が安定させられ、リフロー時の接続が安定する。接続性や信頼性も得られる。
- [0029] 耐食層が施されていない半田パッドは、主として電子部品実装用端子であることが望ましい。
- [0030] 逆に耐食層が形成されていない部分は、耐食層が形成されている部分と比べると、柔軟性がある。柔軟性を有するので、伸縮により発生した応力が緩衝されるし、導体回路もしくは絶縁層のクラック等の不具合は、従来のプリント配線板に比べると、長期間に渡り信頼性が確保される。また、外部からの衝撃を受けた際でも、耐食層が形成されていない部分においては、その衝撃に対して緩衝することができる。そのために、実装された部品なども、その衝撃の影響を受けにくくなり、部品の脱落等の不具合が起こり難くなる。
- [0031] また、パッケージ基板においては、同一表層上に、ICチップ接続用の半田パッドと電子部品接続用の半田パッドが形成されている場合には、ICチップ接続用の半田パッドには耐食層を形成されて、電子部品接続用の半田パッドには耐食層が形成されていないことが望ましい。これにより、従来のパッケージ基板と比較し、基板の反りを抑えられると、外部からの衝撃に対する影響を緩衝させられる。そのために、パッケージ基板の表層に実装されているICチップや電子部品などとの接続が確保され、接続性や信頼性を低下しにくくさせる。
- [0032] また、パッケージ基板では、外部基板との接続用の外部端子（例えば、PGAであるピ

ン端子、BGAであるボール端子など)が配設されるが、該当の外部接続端子の半田パッド上には、耐食層を形成させない方が望ましい。それにより、外部端子の配設時における熱応力などの応力が緩衝されて、接続用の半田などの導電性材料でのクラック等の不具合の発生を抑えられ、接続端子と基板との接続を得ることができる。また、外部基板との接続性や信頼性も得られやすい。

[0033] 本願における外部端子は、実装されるICチップと同一面上で配置してもよいし、ICチップの反対面上に配置してもよい。この場合には、同一面上に耐食層の形成される領域と耐食層が形成されない領域が配置されるのでもよく、耐食層の形成される領域の面とその反対面に、耐食層が形成されない領域が配置されるのでもよい。さらに、場合によっては、これらの混在での配置でもよい。

[0034] 耐食層が施されていない半田パッド上にOSP (Organic Solderability Preservative: プリフラックス) 層が設けられていることが望ましい。それにより、半田が実装されるまでの導体回路および導体層の酸化等を防止される。そして、半田を実装した際に、OSP層は除去され、電気接続性を阻害しない。OSP層以外の被覆層を施してもよい。OSP層の一例としては、イミダゾール化合物(例えば、アルキルベンズイミダゾール、ベンゾイミダゾールなど)を主成分とするものを用いることができる。これ以外には、金属イオン(例えば、銅イオン、銀イオン、ニッケルなど)、有機酸が含まれていてもよい。常温～加熱温度(例えば、80℃)の間にしたこの溶液中に、半田パッドが露出したプリント配線板を浸漬させることにより、半田パッドから露出した銅回路上に有機被膜を施す。この有機被膜により、半田付け性を確保できる。これ以外にも導体上に有機被膜を形成し、加熱時において、除去されるものであれば、適用することが可能である。

[0035] 更に本願発明では、表層の導体回路が覆われるソルダーレジスト層を施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板の製造方法において:

- (a) 導体回路を有するプリント配線の表層にソルダーレジストを形成する工程;
- (b) ソルダーレジストを露光・現像あるいはレーザ開口により半田パッドを形成する工

程；

(c) 半田パッドが形成されたソルダレジスト層上に、該半田パッドを覆うマスク層を形成する工程；

(d) 前記マスク層の非形成部に半田パッドに、耐食層を形成する工程；

(e) マスク層を剥離し、耐食層が施された半田パッドと耐食層が施されていない半田パッドとが混在した複数の半田パッドを得る工程；

(a)～(e)の工程を経る多層プリント配線板の製造方法を技術的特徴とする。

[0036] 上記製造方法により、プリント配線板の表層の露出した導体層部分において、耐食層が形成されている部分と耐食層が形成されていない部分とを混在させた多層プリント配線板を製造できる。本願の製造方法で得られたプリント配線板によれば、従来の表層に露出した導体部分の全てに耐食層を形成された多層プリント配線板に比べると、信頼性を得られやすい。

[0037] 特に落下試験を行った際、その電気接続性や信頼性などの評価を行うと、応力が緩衝されるため、劣化の度合いを小さくできる。その結果として、信頼性が低下し難くなる。

[0038] (c) 工程では、マスク層で覆う半田パッドは、主として電子部品搭載用もしくは外部端子接続用パッドであることが望ましい。

マスク層で覆うことで、耐食層が形成されていない耐食層非形成半田パッド部分を形成できる。その耐食層非形成半田パッド部分は耐食層が形成されている部分と比べると柔軟性がある。外部からの衝撃を受けた際、耐食層が形成されていない部分においては、柔軟性を有するので、その衝撃を緩衝することができる。耐食層が形成されていない半田パッドを電子部品実装用端子に用いることにより、外部から衝撃を受けた際、半田パッドから露出された導体回路と電子部品との間での脱落を引き起こし難い。

特に、それらを接合させるため半田層においても、衝撃が緩衝されるので、半田層におけるクラック等を引き起こし難いので、電子部品もしくは外部端子などの脱落を引き起こし難い。

その結果として、部品や外部端子との接続性が確保されるので、電気接続性や製品

としての機能性が得られ、信頼性も得やすい。

- [0039] マスク層は、露光・現像あるいはレーザ開口を経て、耐食層を設けない半田パッドを覆うことができる。即ち、ソルダーレジスト層を施された基板の表層において、マスク層の形成部とマスク層に非形成部とが形成され、マスク層の非形成部にめっき膜が施される。

マスク層は、予め粘度を調整した樹脂を塗布するもしくはドライフィルム状にした貼り付けることにより形成される。この後、耐食層を形成されない領域には、マスク層が形成され、マスク層の下部にあたる半田パッド部には耐食層が形成されない。それ以外の半田パッド領域には、露光・現像によりマスク層に開口を設ける、あるいはレーザによりマスク層に開口を設ける。これによりソルダーレジスト層上にマスク層の非形成部が形成され、その非形成領域では半田パッドに耐食層が形成される。

これにより、半田パッドに耐食層を形成する領域と耐食層を形成されない領域を形成できる。

- [0040] 前記(e)工程後、前記耐食層が施されていない半田パッド上にOSP層を形成してもよい。

- [0041] 耐食層が施されていない半田パッド上にOSP (Organic Solderability Preservative: プリフラックス) 層を設けることが望ましい。それにより、半田が実装されるまでの導体回路および導体層の酸化等を防止される。そして、半田を実装した際にOSP層は除去され、電気接続性を阻害しない。

- [0042] また、上記製造方法により、パッケージ基板用の多層プリント配線板を製造できる。この場合には、その一例として、ICチップのベアチップ実装用の半田パッドには耐食層を形成され、コンデンサなどの電子部品用の半田パッドでは、耐食層が形成されていない。それらを同一表層上で施してもよい。

それ故に、主として、電子部品用の半田パッドにマスク層を施す。それにより、該当の半田パッドには、耐食層が形成されない。

- [0043] 以下それぞれの(a)～(e)工程を工程ごとに、詳細に説明をする。

(a) 導体回路を有するプリント配線の表層にソルダーレジストを形成する工程と(b) ソルダーレジストを露光・現像あるいはレーザ開口により半田パッドを形成する工程とに

について説明する。

片面あるいは両面に導体回路(含むランド)と電気接続がされていないダミーの導体層、アライメントマーク、製品を認識させるために形成された導体層が形成されたプリント配線板に溶剤レジスト層を形成する。必要に応じて、導体回路および導体層上に、黒化処理や粗化層を形成してもよい。ここで、プリント配線板とは、バイアホールで層間接続を行うプリント配線板、サブトラクティブ法で製造された基板、アディティブ法で製造された基板等の様々タイプのプリント配線板を指す。

- [0044] ソルダレジストは、予め粘度を調整した樹脂を塗布するもしくはドライフィルム状にしたフィルム貼り付け、もしくは熱圧着することにより形成される。溶剤レジスト層が形成されたときの厚みは10～50 μm であり、溶剤レジスト層が完全硬化された後の厚みは、5～50 μm となる。溶剤レジストとして、熱硬化性樹脂、熱可塑性樹脂、光硬化性樹脂、熱硬化性樹脂の一部を(メタ)アクリル化した樹脂、これらの樹脂の複合体などを用いられ、その中でも、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂、ポリオレフィン樹脂、フェノキシ樹脂などを用いることが望ましい。形成された溶剤レジスト層は、必要に応じて、80～100℃程度で乾燥させてもよい。これにより、溶剤レジスト層を半硬化(Bステージ)状態にさせる。
- [0045] この後、半田パッドが描画されたマスクを溶剤レジスト層に載置して紫外線等により露光を行い、その後、アルカリ等の薬液により現像により、溶剤レジスト層に半田パッドからなる開口を設ける。あるいはレーザーにより溶剤レジスト層に半田パッドからなる開口を設ける。
- [0046] このとき、開口を設けるためのレーザーとしては、炭酸ガスレーザー、エキシマレーザー、YAGレーザー等を用いることができる。半田パッドの開口を炭酸ガスで行った場合には、パルスエネルギーが0.5～100mJ、パルス幅が1～100 μs 、パルス間隔が0.5ms以上、周波数1000～6000Hzの範囲内であることが望ましい。また、バイアホールの形成をアブレーションによって行ってもよい。また、レーザーで開口形成した後に、酸あるいは酸化剤等の薬液処理、酸素、窒素などのプラズマ、コロナ処理等の物理処理などにより、デスマア処理を行ってもよい。
- [0047] この後、100～200℃、少なくとも30分以上硬化を行い、溶剤レジスト層を完全

に硬化させる。この場合における半田パッドとは、導体回路(含む)だけでなく、電気接続がされていないダミーの導体層、アライメントマーク、製品を認識させるために形成された導体層も含まれる。

これにより、導体回路および導体層上に半田パッドが開口したソルダーレジストを有するプリント配線板を得ることができる。

- [0048] (c) 半田パッドが形成されたソルダーレジスト層上に、該半田パッドを覆うマスク層を形成する工程について説明する。

ソルダーレジスト層に半田パッドが形成されたプリント配線板にマスク層を形成する。マスク層は、予め粘度を調整した樹脂を塗布するもしくはドライフィルム状にしたフィルム貼り付け、もしくは熱圧着することにより形成される。マスク層の厚みは、5～30 μm 程度である。マスクとして、熱硬化性樹脂、熱可塑性樹脂、光硬化性樹脂、熱硬化性樹脂の一部を(メタ)アクリル化した樹脂、これらの樹脂の複合体などを用いられ、その中でも、エポキシ樹脂、ポリイミド樹脂、フェノール樹脂、ポリオレフィン樹脂、フェノキシ樹脂などを用いることが望ましい。形成されたマスク層は、必要に応じて、予め80～100℃程度で乾燥させてもよい。これにより、マスク層を半硬化(Bステージ)状態にさせてもよい。このBステージ状にしたものをフィルムとして張り付けてもよい。場合によっては、直描露光により実施してもよい。

- [0049] この後、半田パッドの非形成領域が描画されたマスクをマスク層に載置して紫外線等により露光を行い、その後、アルカリ等の薬液により現像により、マスク層に半田パッドに耐食層の非形成領域からなる開口を設ける、あるいはレーザーにより半田パッドに耐食層の非形成領域からなる開口を設ける。これにより、ソルダーレジスト上には、マスク層の非形成部とマスクの形成部とが形成される。

- [0050] このとき、マスク層に開口を設けるためのレーザーとしては、炭酸ガスレーザー、エキシマレーザー、YAGレーザー等を用いることができる。マスク層の開口に炭酸ガスで行った場合には、パルスエネルギーが0.5～100mJ、パルス幅が1～100 μs 、パルス間隔が0.5ms以上、周波数1000～6000Hzの範囲内であることが望ましい。また、バイアホール形成をアブレーションによって行ってもよい。また、レーザーで開口形成した後、酸あるいは酸化剤等の薬液処理、酸素、窒素などのプラズマ、コロナ処理等の物

理処理などにより、デスマア処理を行ってもよい。マスク層の非形成領域で、半田パッドに耐食層が形成される。

- [0051] (d)前記マスク層の非形成部に半田パッドに、耐食層を形成する工程と(e) マスクレジスト層を剥離し、耐食層が施された半田パッドと耐食層が施されていない半田パッドとが混在した複数の半田パッドを得る工程とについて説明する。

ソルダーレジスト層のマスク層の非形成部に耐食層を形成する。この場合、耐食層とは、金、銀、白金や貴金属から選ばれる1種類以上の金属を1層以上で形成したものを指す。具体的には、ニッケル－金、ニッケル－銀、ニッケル－白金、金(単層)、銀(単層)ニッケル－パラジウム－金、ニッケル－パラジウム－銀等が挙げられる。

これらの耐食層を、めっき(電解めっき、無電解めっき、置換めっき)により形成させる。これ以外にもスパッタ等の蒸着によって形成してもよい。また、これらの単層、2層以上の複数層としてもよい。

- [0052] これにより、マスク層の非形成部に該当する半田パッドには、耐食層が施される。

この後、マスク層をアルカリ等の薬液により、剥離し、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在したプリント配線板を得ることができる。

- [0053] 場合によっては、印刷などにより、耐食層非形成半田パッドに、OSP (Organic Solder ability Preservative: プリフラックス)層を施してもよい。それにより、半田が実装されるまで導体回路および導体層の酸化等を防止できる。半田を実装した際には、OSP層は除去され、電気接続性を阻害しない。

- [0054] この後、Sn－Pb、Sn－Ag－Cu等の半田を印刷により、それぞれのパッドに配置することにより、導体回路(含むランド)からなる半田パッド状に半田層が形成されたプリント配線板が得られる。この基板に、MPU、コンデンサ、抵抗などの電子部品、これ以外にも液晶、デジタル表示器などの表示系、キーパッド、スイッチなどの操作系、USB、イヤ－ホンなどの外部用端子からなる外部端子類が実装される。

- [0055] より望ましいのは、耐食層が形成されていない半田パッドを電子部品実装用端子として用い、耐食層が形成されている半田パッドを外部端子用に用いる。

- [0056] この構成にすることにより、従来の表層に露出した導体部分の全てに耐食層を形成さ

れた多層プリント配線板に比べて、信頼性が低下し難くなる。

特に落下試験を行った際、その電気接続性や信頼性などの評価を行うと、従来のプリント配線板に比べて、劣化の度合いを小さくすることができ、結果として長期間に渡る信頼性を確保されやすくなるために、信頼性が低下しにくくなる。

[0057] 以下、本発明にかかる多層化回路基板を製造する方法の一例について、添付図面を参照にして具体的に説明する。

(1)本発明にかかる多層化回路基板を製造するに当たって、それを構成する基本単位としての回路基板は、絶縁性基材30の片面もしくは両面に銅箔32が貼付けられたものを出発材料として用いる(図1(A))。

[0058] この絶縁性基材は、たとえば、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布－エポキシ樹脂基材、アラミド不織布－ポリイミド樹脂基材から選ばれる硬質な積層基材が使用され得るが、ガラス布エポキシ樹脂基材が最も好ましい。

[0059] 上記絶縁性基材の厚さは、20～600 μm が望ましい。その理由は、20 μm 未満の厚さでは、強度が低下して取扱が難しくなるとともに、電氣的絶縁性に対する信頼性が低くなり、バイアホール形成も困難にしてしまうことがある。逆に600 μm を超える厚さでは微細なバイアホールの形成、場合によっては導電性ペーストの充填が難しくなるとともに、基板そのものが厚くなるためである。

[0060] また銅箔の厚さは、5～18 μm が望ましい。回路基板にレーザでバイアホールを形成させるには、銅箔と絶縁基材とを同時に行うダイレクトレーザ法と、銅箔のバイアホールに該当する銅箔部分をエッチングにより除去するコンフォーマル法とがあり、そのどちらを用いてもよい。

[0061] 銅箔が5 μm 未満では、後述するようなレーザ加工を用いて、絶縁性基材にバイアホール形成用の開口を形成すると、バイアホールの銅箔の端面部分での変形してしまうことがあり、導体回路を形成し難い。逆に銅箔が18 μm 超では、エッチングにより、微細な線幅の導体回路パターンを形成し難い。

[0062] 銅箔32は、ハーフエッチングを経て、厚みを調整してもよい(図1(B))。この場合には、銅箔32は、上記の数値(5～18 μm)よりも厚いものを用いる。ハーフエッチング

後に銅箔の厚みを5～18 μm に調整する。さらに、両面銅張積層版の場合では、銅箔厚みが上記の範囲内であるなら、両面で厚みが異なってもよい。それにより、強度を確保したりして後工程を阻害しないようにできる。

エッチングで導体回路を形成するのが片面である場合には、形成し易くできる。

[0063] 上記絶縁性基材および銅箔としては、特に、エポキシ樹脂をガラスクロスに含漬させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面もしくは両面銅張積層板を用いることが好ましい。その理由は、銅箔がエッチングされた後の取扱中に、配線パターンやバイアホールが位置がずれることなく、位置精度に優れるからである。

[0064] (2)次に、絶縁性基材30の銅箔32が貼付けられた表面に炭酸ガスレーザ照射を行って、絶縁性基材30の表面から裏面の銅箔(あるいは導体回路パターン)32に達する開口34を形成する(図1(C))。

このレーザ加工は、パルス発振型炭酸ガスレーザ加工装置によって行われ、その加工条件は、パルスエネルギーが0.5～100mJ、パルス幅が1～100 μs 、パルス間隔が0.5ms以上、ショット数が1～50の範囲内であることが望ましい。

[0065] このような加工条件のもとで形成され得るビア形成用開口34の口径は、50～250 μm であることが望ましい。

[0066] (3)前記(2)の工程で形成された開口の側面および底面に残留する樹脂残滓を除去するために、デスマア処理を行う。

このデスマア処理は、酸あるいは酸化剤(例えば、クロム酸、過マンガン酸)の薬液処理等の湿式処理や酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等の乾式処理によって行われる。これらのデスマア処理方法は、絶縁基材の種類、厚み、バイアホールの開口径、レーザ条件などにより、残留が予想されるスマア量により選ばれる。

[0067] (4)次に、デスマア処理した基板の銅箔面に対して、銅箔32をめっきリードとする電解銅めっき処理を施して、開口内に電解銅めっき36を充填して、フィールド状となったバイアホール46を形成する(図1(D))。

[0068] なお、場合によっては電解銅めっき処理の後、基板のバイアホール開口の上部に盛

り上がった電解銅めっきを、ベルトサンダー研磨、バフ研磨、エッチング等によって除去して平坦化してもよい。

また、無電解めっきを経て、電解めっきを形成してもよい。この場合には、無電解めっき膜は、銅、ニッケル、銀等の金属を用いてもよい。

[0069] (5) 電解銅めっき膜36上に、レジスト層38を形成する(図2(A))。レジスト層は、塗布でも予めフィルム状にしたものを貼り付けるいずれの方法でもよい。このレジスト上に予め回路が描画されたマスクを載置して、露光、現像処理してエッチングレジスト層を形成し、エッチングレジスト非形成部分の金属層をエッチングして、導体回路およびランドを含んだ導体回路パターン44、42を形成する(図2(B))。

[0070] このエッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄などの水溶液から選ばれる少なくとも1種の水溶液が望ましい。上記銅箔をエッチングして導体回路を形成する前処理として、ファインパターンを形成し易くするため、予め銅箔の表面全面をエッチングして厚さを調整してもよい。導体回路の一部としてのランドは、その内径がバイアホール口径とほぼ同様であるが、その外径は、50～250 μm の範囲に形成されることが好ましい。

[0071] 上記(1)～(5)の工程に従って作製された片面回路基板30は、絶縁性基材の一方の表面に導体層としての銅箔を有し、他方の表面から銅箔に達する開口に充填バイアホールを有するとともに、1単位の回路基板である。これらを複数層積層させることにより、多層回路基板を形成する回路基板として用いられる。この積層の際、全ての回路基板を積層し、一括で加熱圧着して多層回路基板を形成してもよい。また、少なくとも1つの回路基板を逐一積層して、多層化にする逐次積層により多層回路基板を形成してもよい。これらの回路基板をすべて両面回路基板で積層してもよいし、全てを片面回路基板で積層してもよいし、これらの混合基板を積層してもよい。

[0072] (6) 回路基板を複数枚、積層し(図3(A))、加熱温度150～250℃、圧力1～10MPaの条件のもとで、加熱プレスすることによって、一体化して多層化する(図3(B))。この加熱プレスは、より好ましくは、減圧下において行なう。これにより、基板の密着性をより確保される。

[0073] さらに、上記(6)において一体化された回路基板の最上層の片面回路基板の銅箔と

、最も外側の片面回路基板の銅箔を、エッチング処理することによって、導体回路および導体回路(共にバイアホールランドを含む)を形成することもできる。このエッチング処理工程においては、積層し圧着された銅箔の表面に、それぞれ感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、バイアホールランドを含んだ導体回路および導体回路を形成する。

[0074] (7) 次に、最も外側の回路基板の表面に溶剤レジスト層90をそれぞれ形成する(図4(A))。この場合、回路基板の外表面全体に溶剤レジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、半田パッドの開口部を描画したフォトマスクフィルムを載置して露光、現像処理することにより、導体回路のバイアホール直上に位置する導電性パッド部分を露出させた半田パッド開口90aをそれぞれ形成する。この場合、溶剤レジスト層をドライフィルム化したものを貼り付けて、露光・現像もしくはレーザーにより開口を形成させてもよい。

[0075] (8)溶剤レジスト層90上に半田パッドが開口された基板上に、塗布もしくはフィルムの貼り付けによりマスク層50 α を形成する。マスク層の形成部52aが描画された露光用マスク50をマスク層50 α 上に載置し(図4(B))、露光・現像を経て、マスク層50の非形成部を形成させる(図4(C))。これにより、溶剤レジスト層60上に形成された半田パッド60Bがマスク層50で覆われた基板となる。

[0076] マスク層20の非形成部から露出した半田パッド60A上に、ニッケル54ー金56などの耐食層を形成する(図5(A)、図5(B))。このとき、ニッケル層54の厚みは、1~7 μ mが望ましく、金層56の厚みは0.01~0.1 μ mが望ましい。これ以外にも、ニッケルーパラジウムー金、金(単層)、銀(単層)等の耐食層を形成してもよい。

[0077] 耐食層を形成した後に、マスク層50を剥離する。これにより、耐食層を形成された耐食層形成半田パッド60Aと耐食層が形成されていない耐食層非形成半田パッド60Bとが混在するプリント配線板となる(図5(C))。

[0078] 携帯用電子機器用の基板であれば、その一例として、溶剤レジスト層から露出した半田パッドにおいて、耐食層の形成された部分には、主として外部用端子に用いられ、耐食層が非形成部分には、主として電子部品実装用端子に用いられる。

- [0079] パッケージ基板であれば、その一例として、ソルダーレジスト層から露出した半田パッドにおいて、耐食層の形成された部分には、主としてベアチップ実装されたICチップ用の端子に用いられであると耐食層が非形成部分には、主として電子部品実装用端子あるいは外部端子用のパッドに用いられる。
- [0080] (9) 上記(8)の工程で得られたソルダーレジストの開口からバイアホール直上に露出した半田パッド部分に、半田体を供給し、この半田体の溶融・固化によって半田バンプ96U、96Dを形成する(図6)。あるいは導電性ボールまたは導電性ピンを導電性接着剤もしくは半田層を用いてパッド部に接合して、多層回路基板が形成される。それ以外にも形成された半田層に、コンデンサ、抵抗などの部品を実装させてもよい。他にも、液晶、キーパッド等の外部端子などを実装させる。
- [0081] 上記半田体および半田層の供給方法としては、半田転写法や印刷法を用いることができる。
- ここで、半田転写法は、プリプレグに半田箔を貼合し、この半田箔を開口部分に相当する箇所のみを残してエッチングすることにより、半田パターンを形成して半田キャリアフィルムとし、この半田キャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、半田パターンがパッドに接触するように積層し、これを加熱して転写する方法である。
- [0082] 一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク(メタルマスク)を基板に載置し、半田ペーストを印刷して加熱処理する方法である。このような半田バンプを形成する半田としては、Sn/Ag半田、Sn/In半田、Sn/Zn半田、Sn/Bi半田などが使用できる。
- これにより、携帯用電子機器用のプリント配線板を得られる。
- [0083] また、パッケージ基板としては、ベアチップ実装をフリップチップで行われるのであれば、ICチップ実装されていて、ICチップと同一面上もしくは、ICチップの反対面上に、外部端子を配置されたものが得られる。
- [0084] その一例として、パッケージ基板に用いられ、半田によりICチップと電子部品および外部端子を設ける場合には、ICチップと接続される半田の融点は、外部端子と接続される半田層の融点よりも同様に低いことが望ましい。これにより、接続端子と基板と

の接続性が確保され易くなる。

[0085] また、パッケージ基板としては、ベアチップ実装をワイヤーボンディングで行われるのであれば、ICチップ実装されていて、ICチップと同一面上もしくは、ICチップの反対面上に、外部端子を配置されたものが得られる。

[0086] ここで、上記説明をした製造方法以外にも、サブトラ法、セミアディティブ法、フルアディティブ法もしくはこれらの2つ以上の製法により製造された基板にも適用できる。また、図面においてはビアホール(非貫通孔)の基板であったが、基板の全層を貫通するスルーホール(貫通孔)での層間接続を全部もしくは一部で行った基板でもよい。

発明を実施するための最良の形態

[0087] <第一実施形態>

(実施例1-1)

(1) まず、多層化回路基板を構成する両面回路基板を製作する。この回路基板は、エポキシ樹脂をガラスクロスに含漬させてBステージとしたプリプレグ30と、銅箔32とを積層して加熱プレスすることにより得られる両面銅張積層板を出発材料として用いる(図1(A))。

[0088] この絶縁性基材の厚さは75 μ m、銅箔の厚さは12 μ mであった。この積層板の銅箔として12 μ mよりも厚いものを用い、エッチング処理により銅箔の厚み12 μ mに調整してもよい(図1(B))。

[0089] (2) 銅箔32を有する両面回路基板に、炭酸ガスレーザ照射を行って、銅箔32および絶縁性基材30を貫通して、反対面の銅箔32に至るビアホール形成用開口34を形成した(図1(C))。さらにその開口内を過マンガン酸の薬液処理によってデスミア処理した。

[0090] この実施例においては、ビアホール形成用の開口の形成には、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用し、基材厚75 μ mのガラス布エポキシ樹脂基材に、銅箔にダイレクトにレーザビーム照射して100穴/秒のスピードで、80 μ m ϕ のビアホール形成用の開口34を形成した。

[0091] (3) デスミア処理を終えた絶縁性基材のビアホールを開口した銅箔面に、以下のよ

うな条件で、銅箔をめっきリードとする電解銅めっき処理を施した。

〔電解めっき液〕

硫酸 2.24 mol/l

硫酸銅 0.26 mol/l

添加剤A(反応促進剤) 10.0 ml/l

添加剤B(反応抑制剤) 10.0 ml/l

〔電解めっき条件〕

電流密度 1 A/dm²

時間 65 分

温度 22±2 °C

- [0092] 添加剤Aによりバイアホール内の電解銅めっき膜の形成が促進され、逆に添加剤Bにより主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、バイアホール内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤Bが付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口34内に電解銅めっき36を充填して、ビアホール部分と銅箔が平坦化されたビアホール46を形成した(図1(D))。

なお、銅箔、電解めっき膜からなる導体層をエッチングによって、厚みを調整してもよい。場合によってはサンダーベルト研磨およびバフ研磨の物理的方法によって導体層の厚みを調整してもよい。

- [0093] (4) 上記(3)工程を経た絶縁基材の銅箔32および銅めっき36上に、感光性ドライフィルムエッチングレジスト38を形成した(図2(A))。レジスト38の厚みは15~20 μmで形成され、導体回路、バイアホールのランド、露光・現像を経て、銅箔上にレジストの非形成部を形成した。レジストの非形成部に、過酸化水素水／硫酸からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜および銅箔が除去される。

- [0094] (5) その後、レジスト38をアルカリ液により剥離して、導体回路42、44およびバイアホール46が形成される。(図2(B))。これにより、表裏を接続するバイアホール46があり、そのバイアホールと導体回路を成す銅箔部分が平坦化された回路基板が得ら

れる。この後、黒化処理を施し、導体回路42、44上に黒化層44Bを設けてもよい(図2(C))。

[0095] (1)～(5)工程を経て得られた回路基板30を1単位として(図3(A))、この基板30間にプリプレグなどの接着材層48を挟み、プレス条件 温度80～250℃、圧力1.0～5.0kgf/cm²により加熱プレスを行い積層して多層化線板10を形成した(図3(B))。

[0096] (10) 多層化基板10の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層を形成した。フィルム化されたソルダーレジスト層を貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することにより基板上に、ソルダーレジスト層を20～30μmの厚さで形成した。

[0097] 次いで、70℃で20分間、100℃で30分間の乾燥処理を行った後、クロム層によってソルダーレジスト開口部の円パターン(マスクパターン)が描画された厚さ5mmのソーダライムガラス基板を、クロム層が形成された側をソルダーレジスト層に密着させて1000mJ/cm²の紫外線で露光し、DMTG現像処理した。さらに、120℃で1時間、150℃で3時間の条件で加熱処理し、パッド部分に対応した開口90aを有する(開口径200μm)ソルダーレジスト層(厚み20μm)90を形成した(図4(A))。この多層プリント配線板10の平面図を図8(A)に示す。図8(A)中のa-a断面が図4(A)に対応する。

[0098] 多層化基板の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層を形成する前に、必要に応じて、粗化層を設ける。

[0099] (11)ソルダーレジスト層上に感光性樹脂からなるドライフィルム状となったマスク層を形成する。フィルム化されたマスク層を貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することによりソルダーレジスト層上に、マスク層を10～20μmの厚さで形成した。

[0100] 次いで、80℃で30分間の乾燥処理を行った後、マスク層の非形成パターン(マスクパターン)52aが描画された厚さ5mmのソーダライムガラス基板52を、マスク層50αに密着させて800mJ/cm²の紫外線で露光し(図4(B))、DMTG現像処理した。さらに、120℃で1時間の条件で加熱処理し、耐食層が形成されない領域の半田パッド6

0Bが覆われたマスク層形成部と、耐食層が形成される領域の半田パッド60Aが露出されたマスク層の非形成部からなるマスク層(厚み $15\mu\text{m}$)50を形成した(図4(C))。この多層プリント配線板10の平面図を図8(B)に示す。図8(B)中のb-b断面が図4(C)に対応する。

[0101] (12) 次に、ソルダーレジスト層を形成した基板を、硫酸ニッケル6.0g/l、次亜リン酸ナトリウム25g/lからなる $\text{pH}=5$ の無電解ニッケルめっき液に40分間浸漬して、開口部90a(半田パッド60A)に厚さ $4\mu\text{m}$ のニッケルめっき層54を形成した(図5(A))。

[0102] さらに、その基板を、シアン化金カリウム1.5g/l、クエン酸80g/lからなる無電解金めっき液に 80°C の条件で600秒間浸漬して、ニッケルめっき54層上に厚さ $0.05\mu\text{m}$ の金めっき層56を形成し、ニッケルめっき層54と金めっき層56とからなる耐食金属層を形成した(図5(B))。この多層プリント配線板10の平面図を図8(C)に示す。図8(C)中のc-c断面が図5(B)に対応する。

これにより、マスク層50の非形成部に該当する半田パッド60Aには、ニッケル54一金56からなる耐食層が形成された。その後、マスク層50をアルカリ溶液などにより剥離し、耐食層が形成された耐食層形成半田パッド60Aと耐食層が形成されていない耐食層非形成半田パッド60Bとが混在している多層プリント配線板10を得た。耐食層非形成半田パッド60Bには、OPS層58を形成した(図5(C))。この多層プリント配線板10の平面図を図8(D)に示す。図8(D)中のd-d断面が図5(C)に対応する。

[0103] (13) そして、最上層の多層回路基板を覆うソルダーレジスト層の開口から露出する半田パッド60A、60Bに対して、融点 T_2 が約 183°C のSn/Pb半田からなる半田ペーストを印刷して 183°C でリフローすることにより、半田層96U、96Dを形成した(図6)。

耐食層が形成されていない耐食層非形成半田パッド60B上の半田層96U、96Dには、主として、コンデンサ、抵抗等の電子部品82Bからなる実装され、耐食層形成半田パッド60A上の半田層96U、96Dが形成されている領域には、主として、キーパッド等の外部端子92Aが実装された(図7)。

[0104] 図9は、実施例1の製造方法により製造した携帯電話用の多層プリント配線板の平面

図である。

該多層プリント配線板においては、ソルダーレジスト層90の開口90aに、半田を介して部品が取り付けられる半田パッド60Bと、ニッケル層－金層からなる耐食層が形成されキーパッドの端子を構成するランド60Aとが設けられている。ランド60Aは、中心部60Acと外周のリング部60Arとから成る。該ランド60Aの上部には、可撓性を有する保持部材により保持された炭素柱(導電部材)が配置され、キー操作がなされた際に、炭素柱が中心部60Acとリング部60Arとを電気接続するように構成されている。

[0105] (実施例1－2)

実施例1－1の耐食層が形成されていない半田パッドにOPS層を形成しなかった以外は、実施例1－1と同じにする。

[0106] (実施例1－3)

実施例1－1の耐食層が形成される半田パッドに、ニッケル－パラジウム－金からなる耐食層を形成した以外は、実施例1－1と同じにする。

[0107] (実施例1－4)

実施例1－1の耐食層が形成される半田パッドに、単層の金からなる耐食層を形成した以外は、実施例1－1と同じにする。

[0108] (比較例1－1)

比較例1－1では、全ての半田パッドに耐食層(ニッケル－金)で形成した。それ以外は、実施例1－1と同じにした。

[0109] 実施例1群と比較例1において、製造されたプリント配線板でA項目を評価し、該製造されたプリント配線板を筐体に収めて以下にB、C項目で評価を行った。この評価結果を図10中に示す。

[0110] 1－A. 信頼性試験

ヒートサイクル条件下(130℃／3min. ⇄－55℃／3min. 1サイクルとした。)このサイクル試験を5000サイクルまで行い、500サイクル毎に、試験終了後、2時間放置させた後に、導通試験を行い、抵抗変化率が±10%を越えた回路が、測定した回路の50%を越えるまでのサイクル数を比較した。

[0111] 1－B. 起動試験

電源を取り付けた筐体において、電源を入れてから起動するか否かを判定した。

電源を入れてから2秒以内に起動ができた : ○

電源を入れてから10秒以内に起動ができた : △

起動できなかった : ×

[0112] 1-C. 落下試験

1mの高さに固定した台から、液晶部分を下向きにして、自然落下させた。これを1回、3回、5回と行い、それぞれのBの起動試験を行った。

[0113] 上記試験結果から、耐食層を設けるパッドと耐食層を設けないパッドとを用いることで信頼性が得られる。また、落下させた際の起動性が低下し難くなることも分かった。

[0114] <第2実施形態>

図1～図10を参照して上述した第1実施形態では、本発明の多層プリント配線板を携帯電話用の多層プリント配線板に適用した例を挙げた。これに対して、第2実施形態では、本発明のプリント配線板をICチップを搭載するパッケージ基板に適用している。

[0115] (実施例2-1-1)

製造工程は、実施例1-1と同じであるが、実施例2-1-1はパッケージ基板として用いられる。図11(A)にICチップ搭載前のパッケージ基板70の斜視図を示し、図11(B)に図11(A)のB-B断面を示し、図11(C)にICチップ搭載後のパッケージ基板70の斜視図を示し、図11(D)に図11(C)のD-D断面を示している。また、図12(A1)はICチップ搭載前のパッケージ基板70の平面図を示し、図12(B1)は裏面図を示し、図12(A2)はICチップ搭載後のパッケージ基板70の平面図を示し、図12(B2)は裏面図を示している。

[0116] 図11(A)及び図12(A1)に示すようにパッケージ基板70の表面には、キャビティー74が設けられ、キャビティー74にはボンディングパッド72が延在している。図11(B)に示すように、パッケージ基板70は、バイアホール46の形成された基板30を積層して成り、表面側のボンディングパッド72には、ニッケル層54、金層56から成る耐食層が形成されている。裏面側のパッド80には、OPS層58が設けられている。図11(C)及び図12(A2)に示すように、ICチップ76がキャビティー74に收容され、ICチップ7

6とボンディングパッド72とがワイヤ(金線)78で接続される。図11(D)及び図12(B2)で示すように、裏面側の外部端子であるバンプ(耐食層非形成)80には、半田83を介して接続ピン82が取り付けられる。

[0117] (実施例2-1-2)

実施例2-1-1と同じで表面にワイヤーボンディング用パッド(耐食層形成)72、裏面に外部端子である接続ピン用のパッド(耐食層非形成)80を配置するが、パッド80上にOSP層は施さない。

[0118] (実施例2-1-3)

実施例2-1-1と同じで表面にワイヤーボンディング用パッド(耐食層形成)72、裏面に外部端子である接続ピン用のパッド(耐食層非形成)80を配置し、パッド80上にOSP層を施すが、ボンディングパッド(耐食層)72には、ニッケル-金もしくはニッケル-パラジウム-金を施す。

[0119] (実施例2-2-1)

実施例2-1-1と同じであるが、図13(A1)に示すように表面にワイヤーボンディング用パッド(耐食層形成)72と電子部品実装用パッド(耐食層非形成)86とを設け、裏面に外部端子である接続ピン用のパッド(耐食層非形成)80を配置し、電子部品実装用パッド86及び接続ピン用パッド80上にOSP層を施す。そして、図13(A2)に示すように表面の電子部品実装用パッド86に電子部品(チップコンデンサ)90を実装し、裏面のパッド80に接続ピン82を取り付ける。

[0120] (実施例2-3-1)

実施例2-1-1と同じであるが、図14(A1)に示すように表面にワイヤーボンディング用パッド(耐食層形成)72と共に接続ピン用のパッド(耐食層非形成)80を配置し、接続ピン用パッド80にOSP層を施す。そして、図14(A1)に示すように表面にICチップ76を搭載すると共に、パッド80に接続ピン82を取り付ける。

[0121] (実施例2-4-1)

実施例2-1-1と同じであるが、図15(A1)に示すように表面にフリップチップ用パッド(耐食層形成)88を形成し、図15(B1)に示すように裏面に外部端子であるBGA用のパッド(耐食層非形成)80で配置して、BGA用パッド80上にOSP層を施す。そ

して、図15(A2)に示すように表面のフリップチップ用パッド88を介してICチップ76を搭載し、図15(B2)に示すように裏面のBGA用パッド80上にBGA84を形成する。

[0122] (実施例2-4-2)

実施例2-4-1と同じで表面にフリップチップ用パッド(耐食層形成)88を形成し、裏面に外部端子であるBGA用のパッド(耐食層非形成)80で配置するが、パッド80上にOSP層は施さない。

[0123] (実施例2-4-3)

実施例2-1-1と同じで表面にフリップチップ用パッド(耐食層形成)88を形成し、裏面に外部端子であるBGA用のパッド(耐食層非形成)80を配置し、パッド80上にOSP層を施すが、フリップチップ用パッド(耐食層形成)88には、ニッケル-金もしくはニッケル-パラジウム-金を施す。

[0124] (実施例2-5-1)

実施例2-1-1と同じであるが、図15(A1)に示すように表面にフリップチップ用パッド(耐食層形成)88と電子部品実装用パッド(耐食層非形成)86とを設け、裏面にBGA用のパッド(耐食層非形成)80を配置し、電子部品実装用パッド86及びBGA用のパッド(耐食層非形成)80上にOSP層を施す。そして、図15(A2)に示すように表面の電子部品実装用パッド86に電子部品(チップコンデンサ)90を実装し、裏面のBGA用パッド80上にBGA84を形成する。

[0125] (実施例2-6-1)

実施例2-1-1と同じであるが、図17(A1)に示すように表面にフリップチップ用パッド(耐食層形成)88と共にBGA用のパッド(耐食層非形成)80を配置し、BGA用のパッド(耐食層非形成)80にOSP層を施す。そして、図17(A1)に示すように表面にICチップ76を搭載すると共に、表面のBGA用パッド80上にBGA84を形成する。

[0126] (比較例2-1)

比較例2-1では、全てのパッド80に耐食層(ニッケル-金)を形成した。それ以外は、実施例2-1-1と同じにした。

[0127] (比較例2-2)

比較例2-2では、全てのパッド80に耐食層(ニッケル-金)を形成した。それ以外は

、実施例2-4-1と同じにした。

[0128] 実施例2群と比較例2において、製造されたプリント配線板で2-A項目を評価し、ICチップが実装されたプリント配線板を以下に2-B、2-C項目で評価を行った。

[0129] 2-A. プリント配線板の信頼性試験

ヒートサイクル条件下(130℃/3min. ⇄ -55℃/3min. 1サイクルとした。)このサイクル試験を5000サイクルまで行い、500サイクル毎に、試験終了後、2時間放置させた後に、導通試験で導通の有無を確認し、導通なしが確認されたサイクル数を比較した。

[0130] 2-B. 実装後の導通試験

ベアチップ実装と外部端子配置後に、導通試験をランダムに20箇所行い、抵抗変化率が±10%を越えた端子の発生の有無を確認した。

また、抵抗変化率が±10%を越えた外部接続端子付近での断面をクロスカットを施し、顕微鏡(×200)で該パッドを観察し、導体回路もしくは半田層のクラックの有無を確認した。

[0131] 2-C. ベアチップ実装後の信頼性試験

ヒートサイクル条件下(130℃/3min. ⇄ -55℃/3min. 1サイクルとした。)このサイクル試験を5000サイクルまで行い、500サイクル毎に、試験終了後、2時間放置させた後に、導通試験を10箇所行い、抵抗変化率が±10%を越えた回路が、5箇所以上の有無を確認し、有りとなったサイクル数を比較した。

[0132] 上記試験結果から、耐食層を設けるパッドと耐食層を設けないパッドとを用いることで信頼性が得られる。なお、落下させた際の起動性が低下し難くなることも分かった。

図面の簡単な説明

[0133] [図1]本発明の実施例1の多層プリント配線板の製造方法を示す工程図である。

[図2]実施例1の多層プリント配線板の製造方法を示す工程図である。

[図3]実施例1の多層プリント配線板の製造方法を示す工程図である。

[図4]実施例1の多層プリント配線板の製造方法を示す工程図である。

[図5]実施例1の多層プリント配線板の製造方法を示す工程図である。

[図6]実施例1に係る多層プリント配線板の断面図である。

[図7]部品が実装された状態を示す図6の多層プリント配線板の断面図である。

[図8]第一実施形態の多層プリント配線板の製造方法を示す平面図である。

[図9]第一実施形態の携帯電話用に適用したプリント配線板の平面図である。

[図10]実施例1及び比較例1の評価結果を示す図表である。

[図11]図11(A)はICチップ搭載前の実施例2-1-1に係るパッケージ基板の斜視図であり、図11(B)は図11(A)のB-B断面図であり、図11(C)はICチップ搭載後のパッケージ基板の斜視図である、図11(D)は図11(C)のD-D断面図である。

[図12]図12(A1)はICチップ搭載前の実施例2-1-1に係るパッケージ基板の平面図であり、図12(B1)は裏面図であり、図12(A2)はICチップ搭載後のパッケージ基板の平面図であり、図12(B2)は裏面図である。

[図13]図13(A1)はICチップ搭載前の実施例2-2-1に係るパッケージ基板の平面図であり、図13(B1)は裏面図であり、図13(A2)はICチップ搭載後のパッケージ基板の平面図であり、図13(B2)は裏面図である。

[図14]図14(A1)はICチップ搭載前の実施例2-3-1に係るパッケージ基板の平面図であり、図14(B1)は裏面図であり、図14(A2)はICチップ搭載後のパッケージ基板の平面図であり、図14(B2)は裏面図である。

[図15]図15(A1)はICチップ搭載前の実施例2-4-1に係るパッケージ基板の平面図であり、図15(B1)は裏面図であり、図15(A2)はICチップ搭載後のパッケージ基板の平面図であり、図15(B2)は裏面図である。

[図16]図16(A1)はICチップ搭載前の実施例2-5-1に係るパッケージ基板の平面図であり、図16(B1)は裏面図であり、図16(A2)はICチップ搭載後のパッケージ基板の平面図であり、図16(B2)は裏面図である。

[図17]図17(A1)はICチップ搭載前の実施例2-6-1に係るパッケージ基板の平面図であり、図17(B1)は裏面図であり、図17(A2)はICチップ搭載後のパッケージ基板の平面図であり、図17(B2)は裏面図である。

[図18]実施例2及び比較例2の評価結果を示す図表である。

請求の範囲

- [1] 表層に導体回路が形成され、該導体回路を覆うソルダーレジスト層が施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板において、前記半田パッドには、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在する多層プリント配線板。
- [2] バイアホールにより層間接続が成され、該バイアホール内に導体層が充填され少なくとも2層以上積層され、表層にソルダーレジスト層が施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板において、前記半田パッドには、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在する多層プリント配線板。
- [3] 前記耐食層形成半田パッドは、主として外部用端子である請求項1または2に記載の多層プリント配線板。
- [4] 前記耐食層形成半田パッドは、主としてベアチップ実装を行うパッドである請求項1または2に記載の多層プリント配線板。
- [5] 前記耐食層非形成半田パッドは、主として電子部品実装用端子である請求項1または2に記載の多層プリント配線板。
- [6] 前記耐食層非形成半田パッドは、主として外部接続用端子である請求項1または2に記載の多層プリント配線板。
- [7] 前記耐食層非形成半田パッド上は、OSP層が設けられている請求項1または2に記載の多層プリント配線板。
- [8] 表層の導体回路が覆われるソルダーレジスト層を施され、導体回路の一部を露出せる該ソルダーレジストの複数の開口によって複数の半田パッドが形成され、該導体回路の表層に耐食層が形成された多層プリント配線板の製造方法において、少なくとも
(a)～(e)の工程を経ることを特徴とする多層プリント配線板の製造方法：
(a)導体回路を有するプリント配線の表層にソルダーレジストを形成する工程；
(b)ソルダーレジストを露光・現像あるいはレーザ開口により半田パッドを形成する工

程;

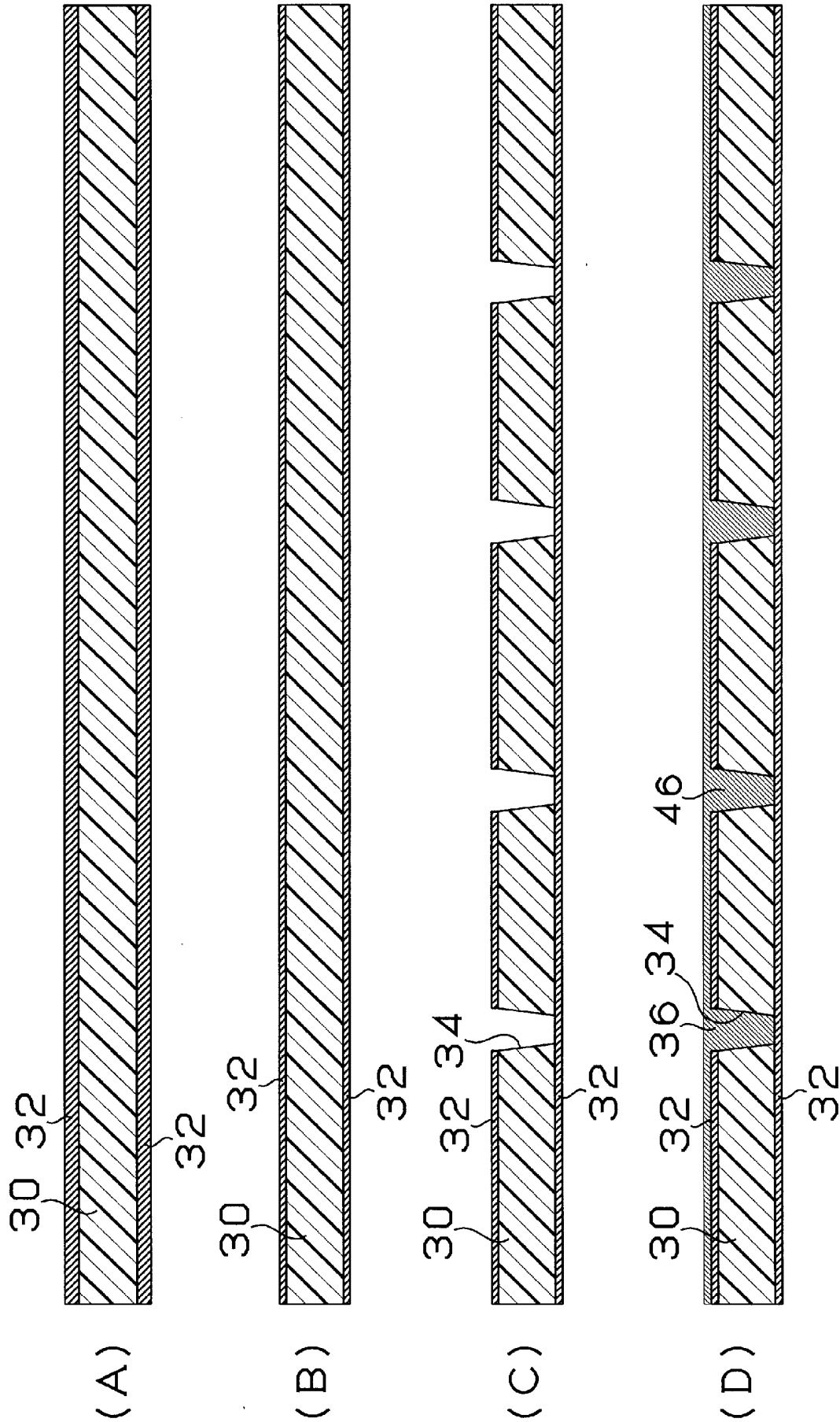
(c) 半田パッドが形成されたソルダーレジスト層上に、該半田パッドを覆うマスク層を形成する工程;

(d) 前記マスク層の非形成部に半田パッドに、耐食層を形成する工程;

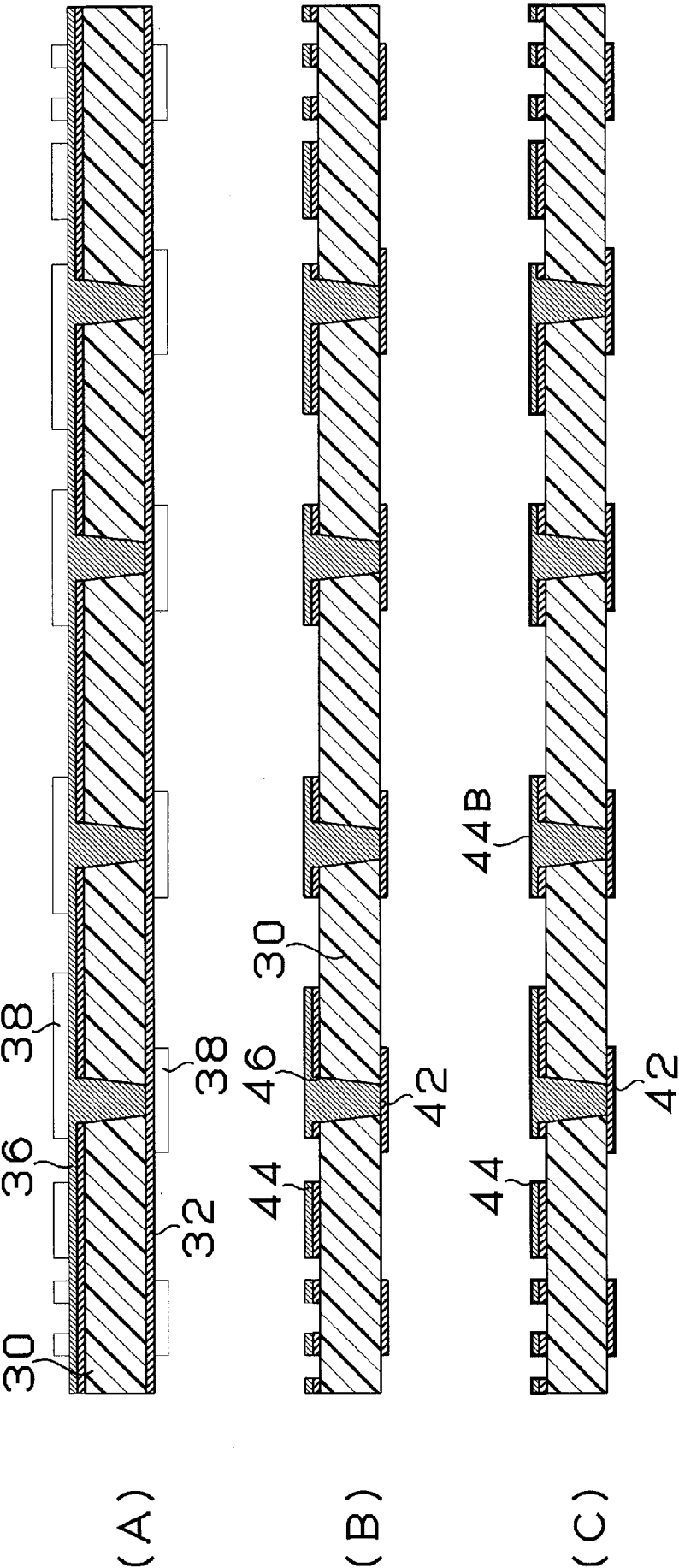
(e) マスクレジスト層を剥離し、耐食層が施された耐食層形成半田パッドと耐食層が施されていない耐食層非形成半田パッドとが混在した複数の半田パッドを得る工程。

- [9] 前記(c)工程では、マスク層で覆う半田パッドは、主として外部用端子である請求項8に記載の多層プリント配線板の製造方法。
- [10] 前記(c)工程では、マスク層で覆う半田パッドは、主としてC4用の半田パッドである請求項8に記載の多層プリント配線板の製造方法。
- [11] 前記マスク層は、露光・現像あるいはレーザ開口を経て、耐食層非形成半田パッドを覆う請求項8に記載の多層プリント配線板の製造方法。
- [12] 前記(e)工程後、前記耐食層非形成半田パッド上にOSP層を形成する工程を備える請求項8に記載の多層プリント配線板の製造方法。
- [13] 表層に導体回路が形成され、該導体回路を覆うソルダーレジスト層が施され、該ソルダーレジストの複数の開口によって導体回路の一部が露出された多層プリント配線板において、
前記導体回路の露出部に、耐食層が施された耐食層形成露出部と耐食層が施されていない耐食層非形成露出部とが混在する多層プリント配線板。

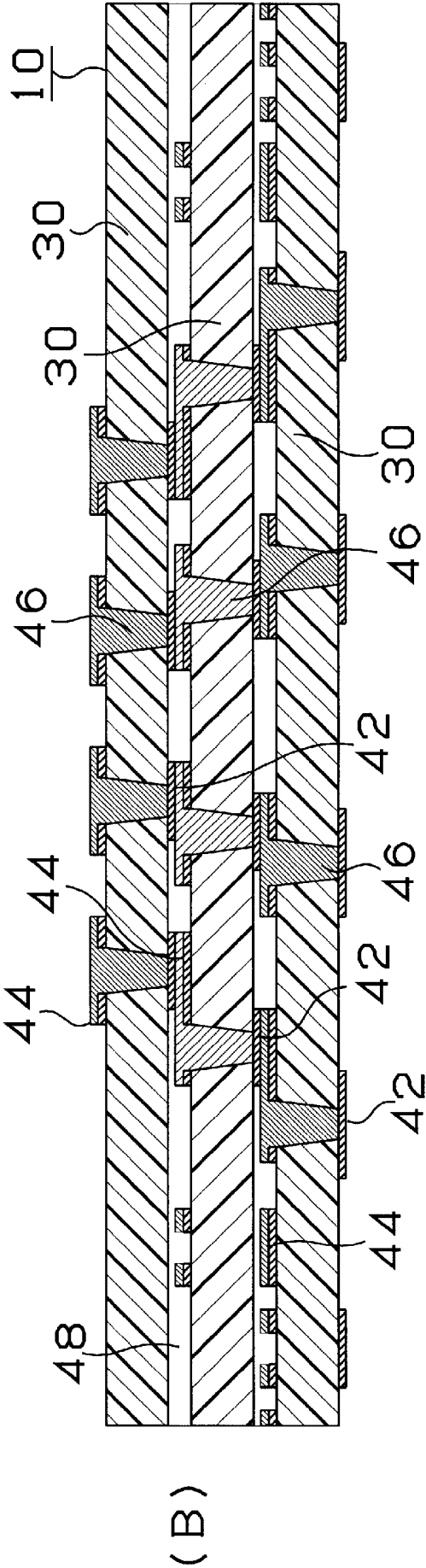
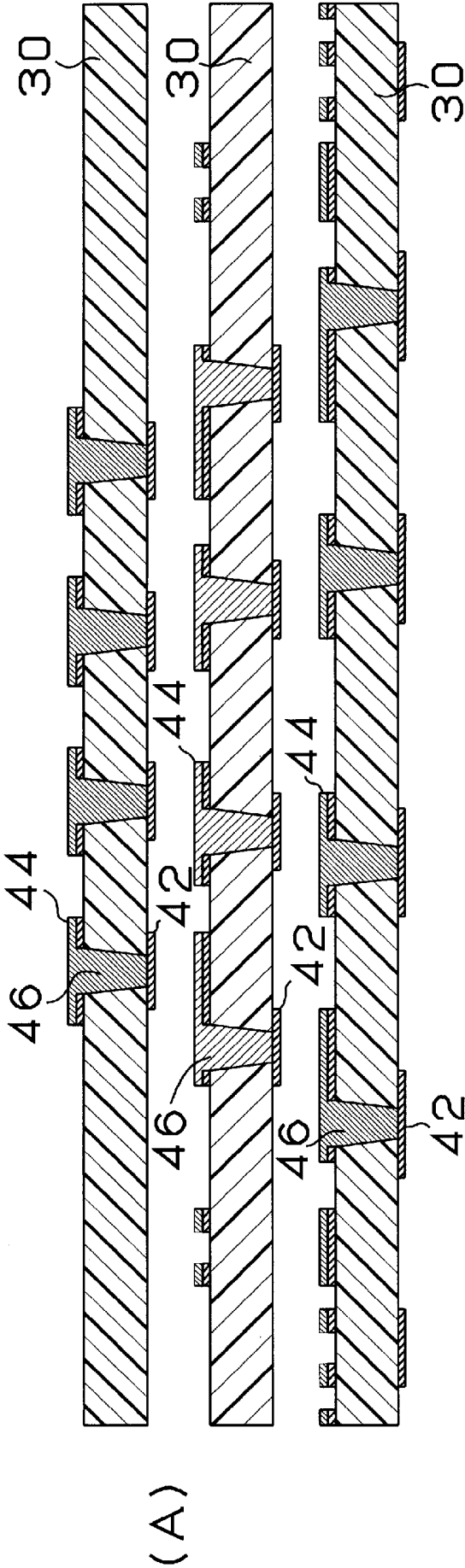
[図1]



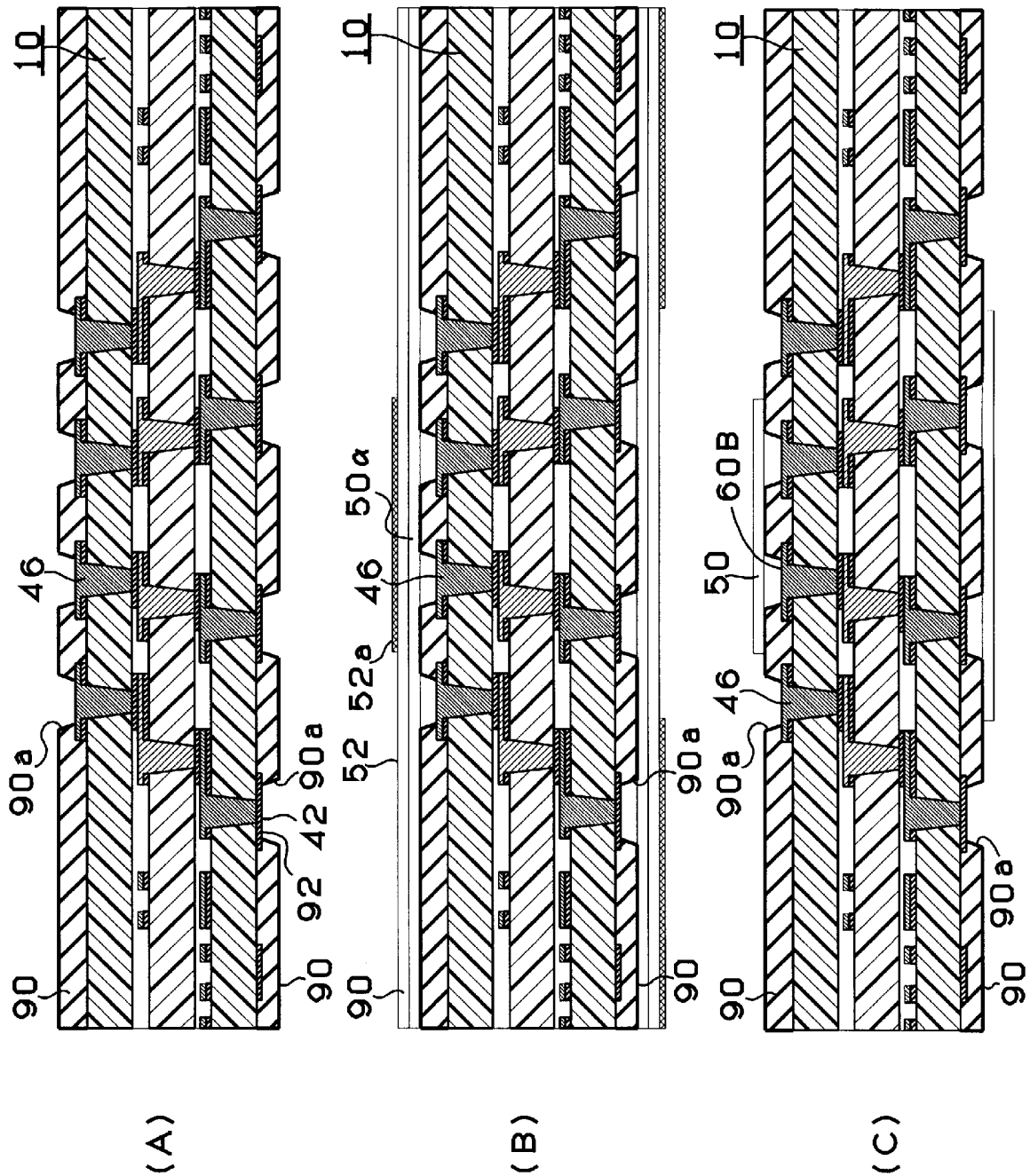
[図2]



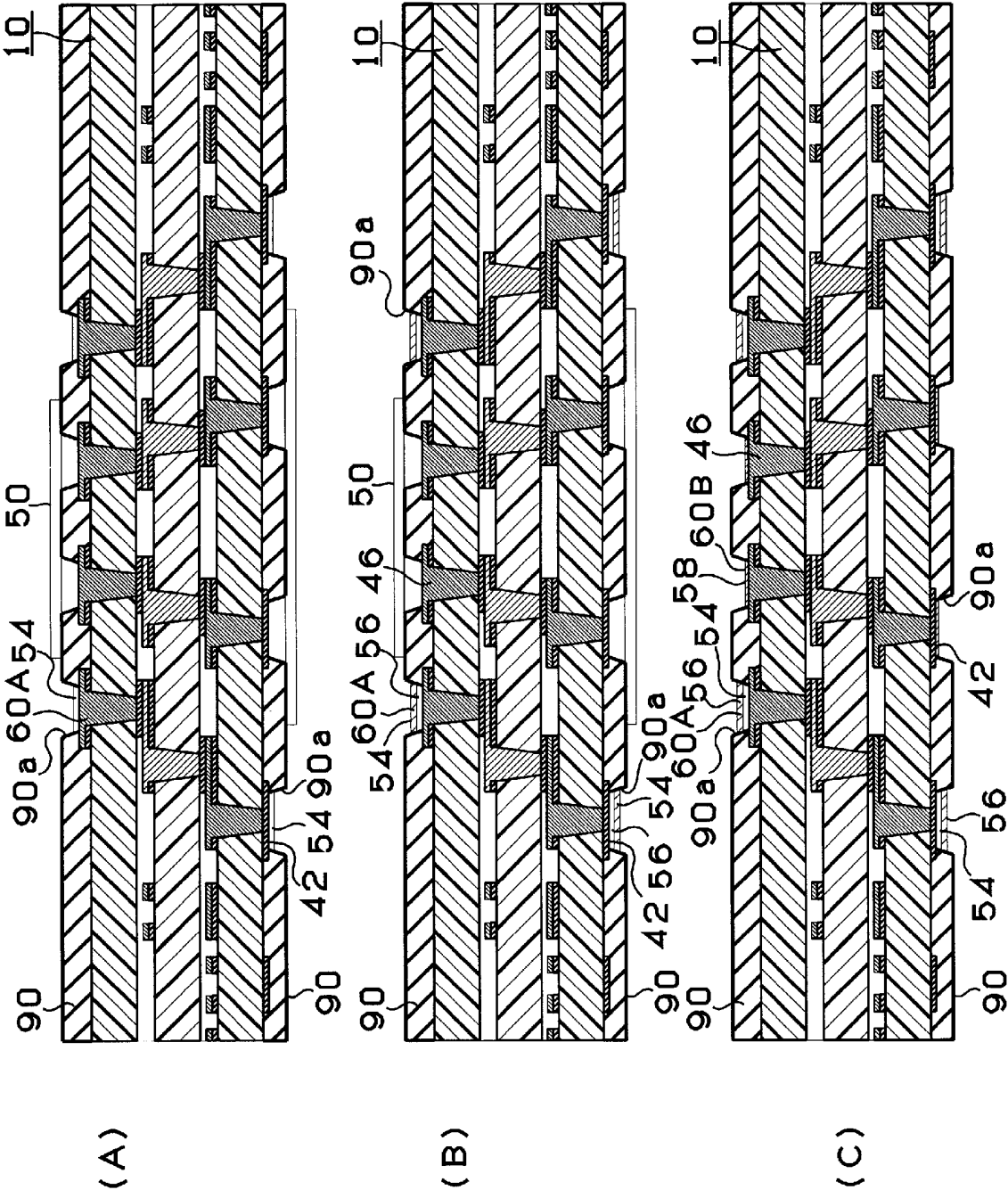
[図3]



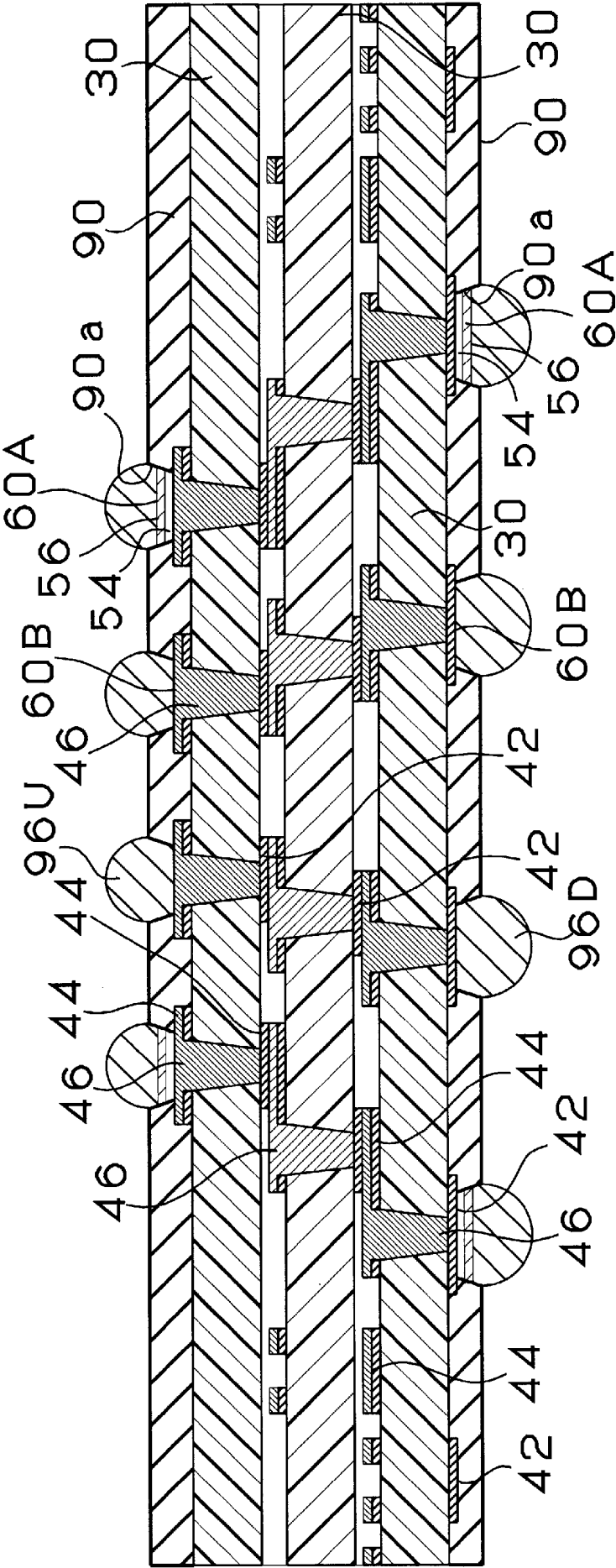
[図4]



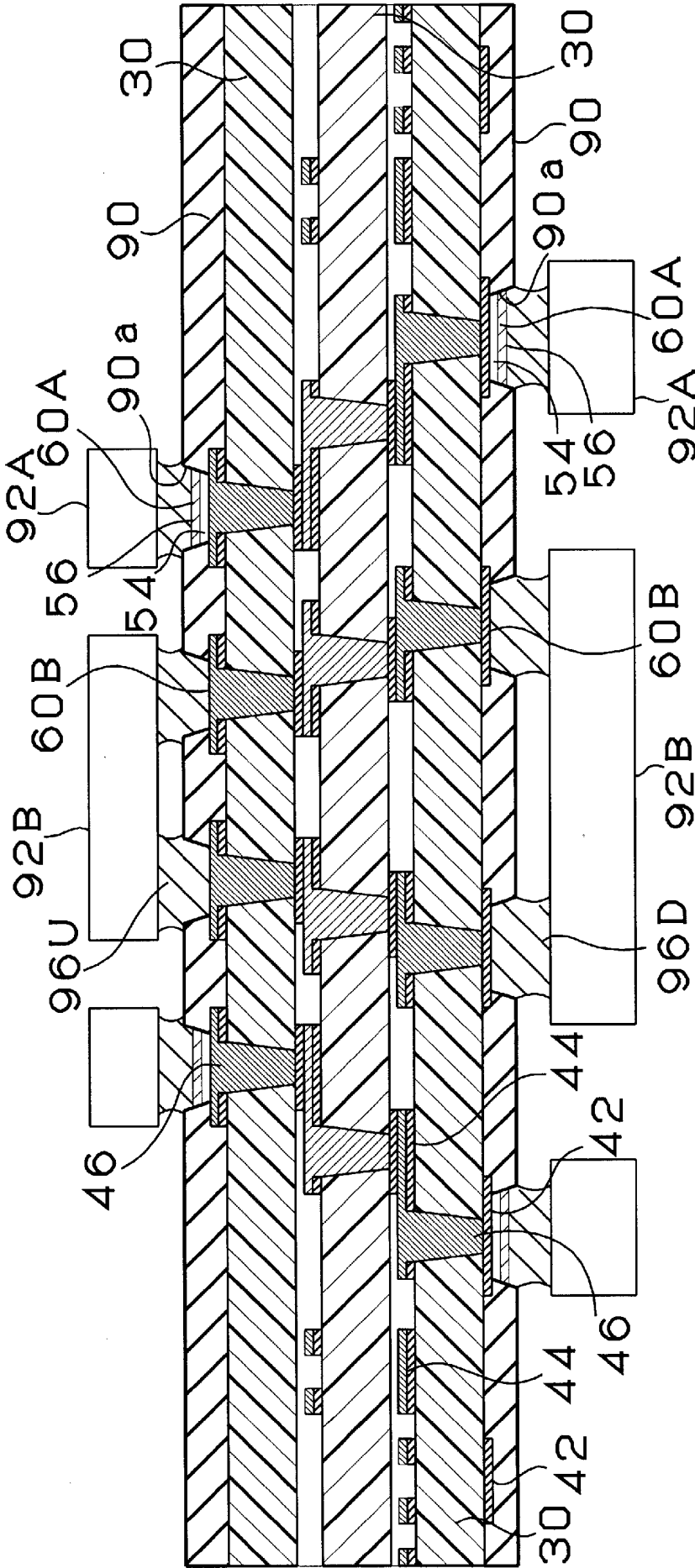
[図5]



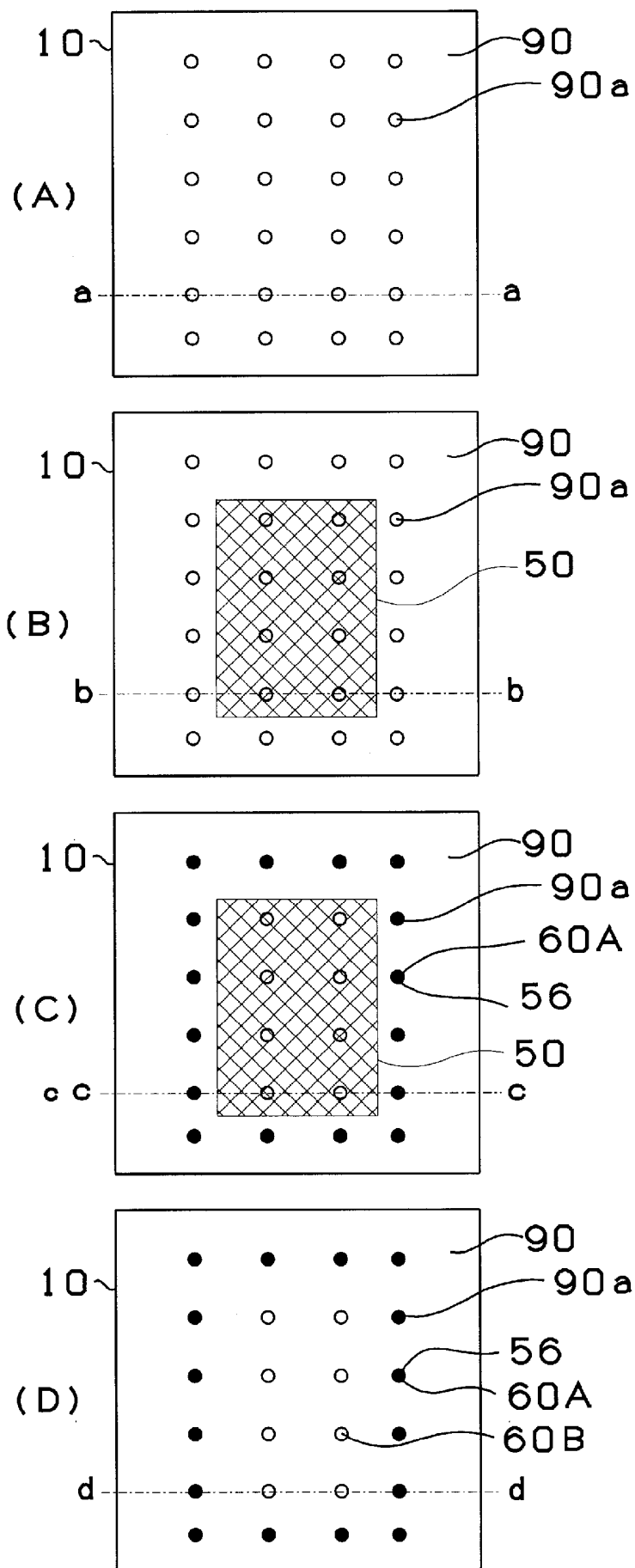
[図6]



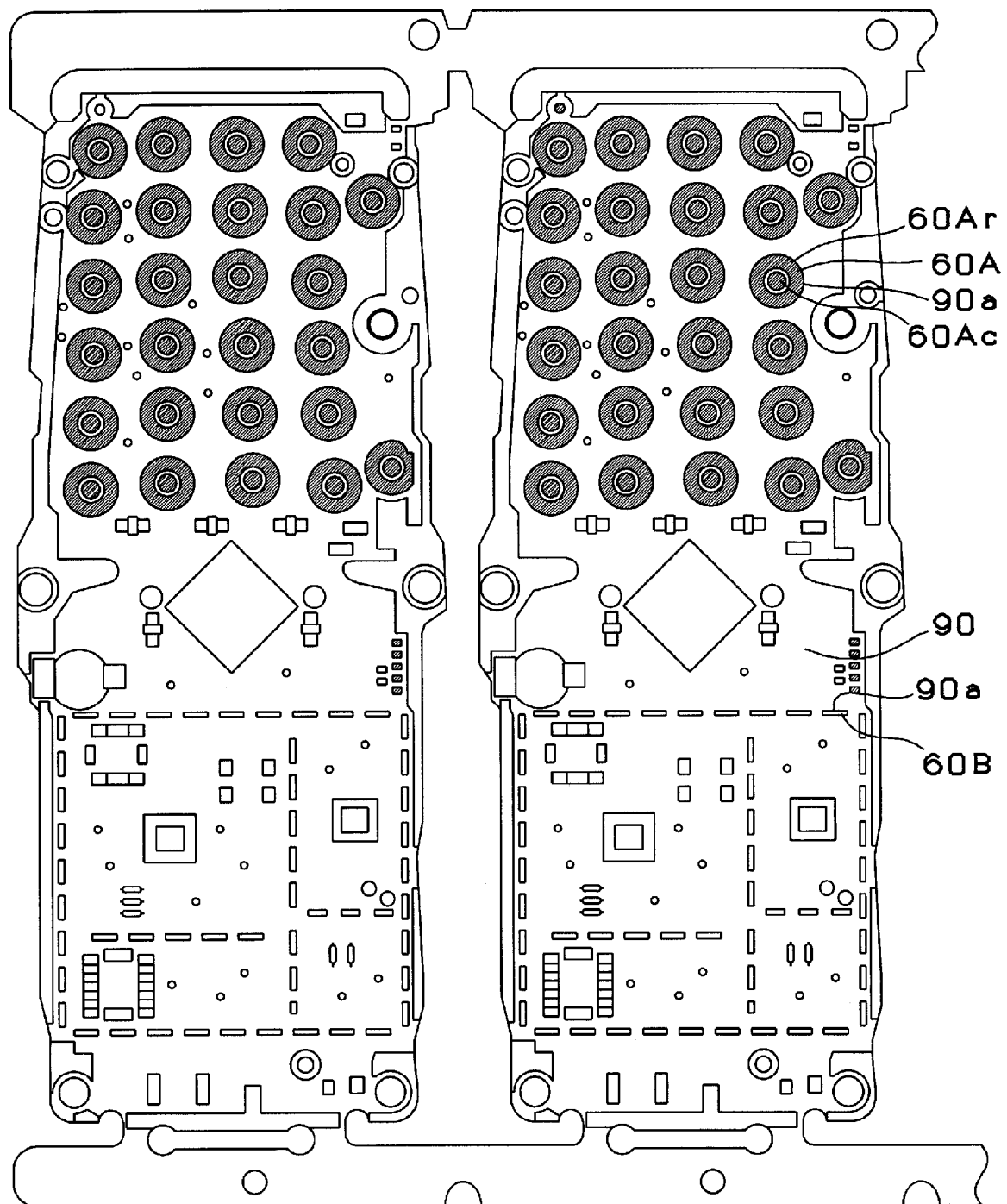
[図7]



[図8]



[図9]

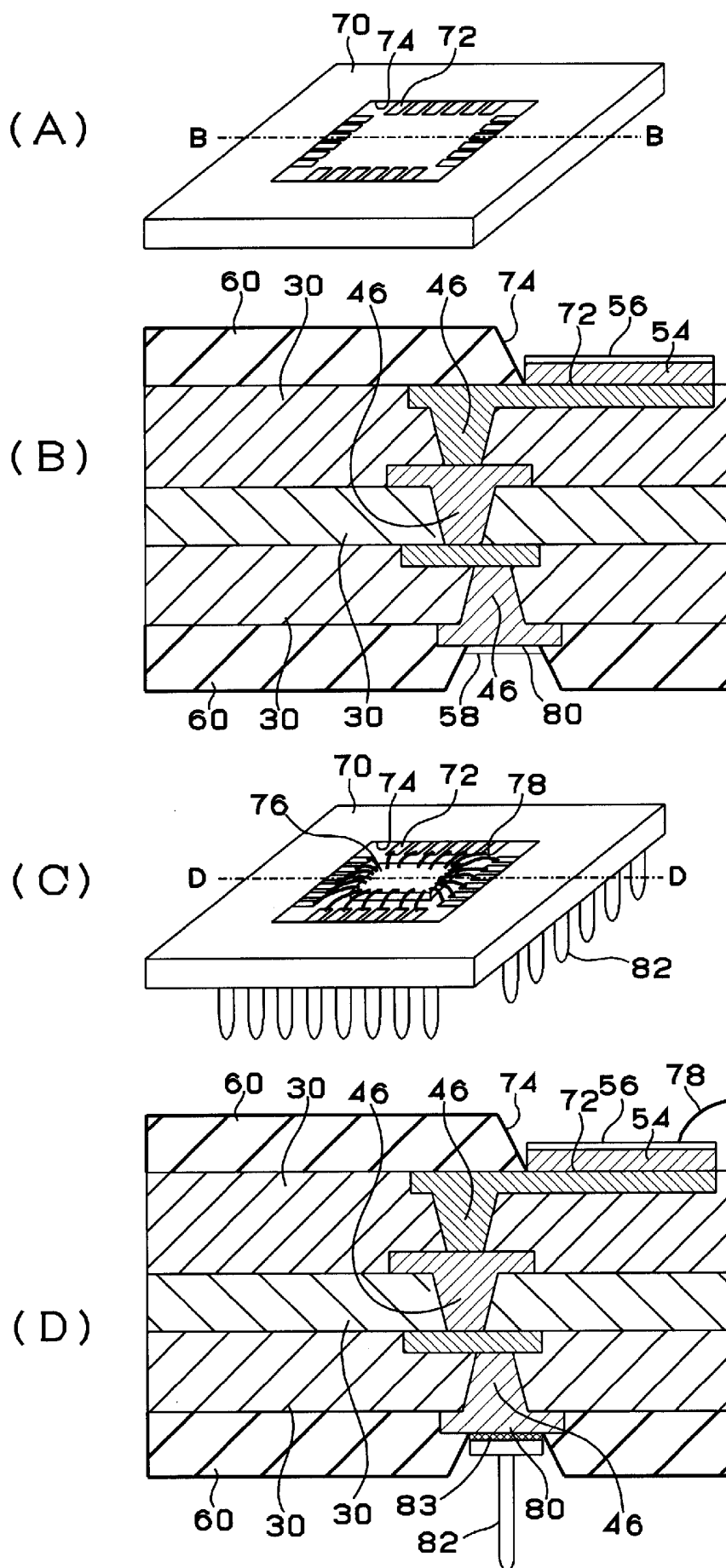


[図10]

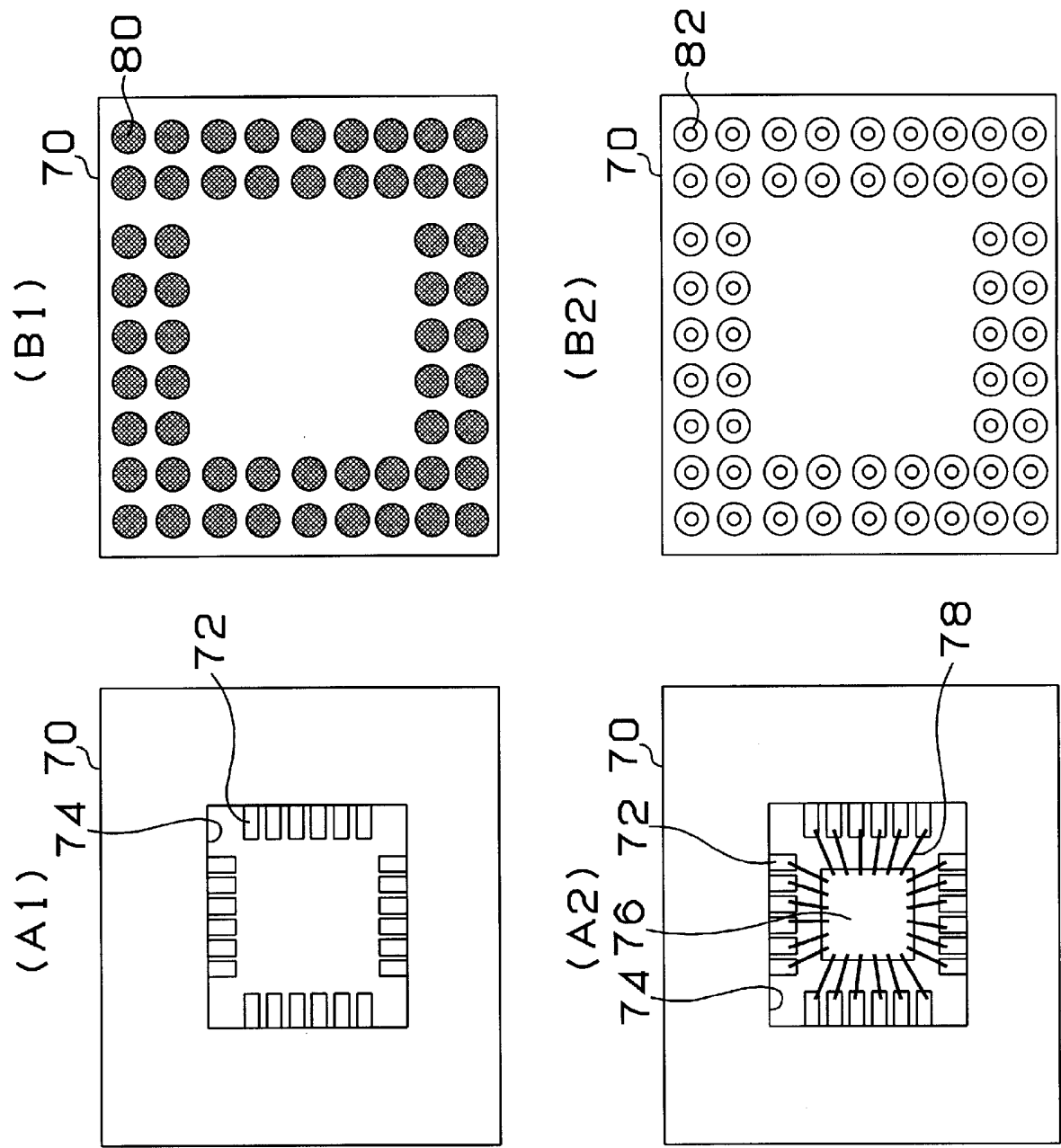
実施例 1 と比較例 1 の評価結果

項目	信頼性試験	起動試験	落下試験		
			1 回	3 回	5 回
実施例 1 - 1	5000 CYCLE	○	○	○	○
実施例 1 - 2	4500 CYCLE	○	○	○	△
実施例 1 - 3	5000 CYCLE	○	○	○	○
実施例 1 - 4	5000 CYCLE	○	○	○	○
比較例 1 - 1	4000 CYCLE	○	○	△	×

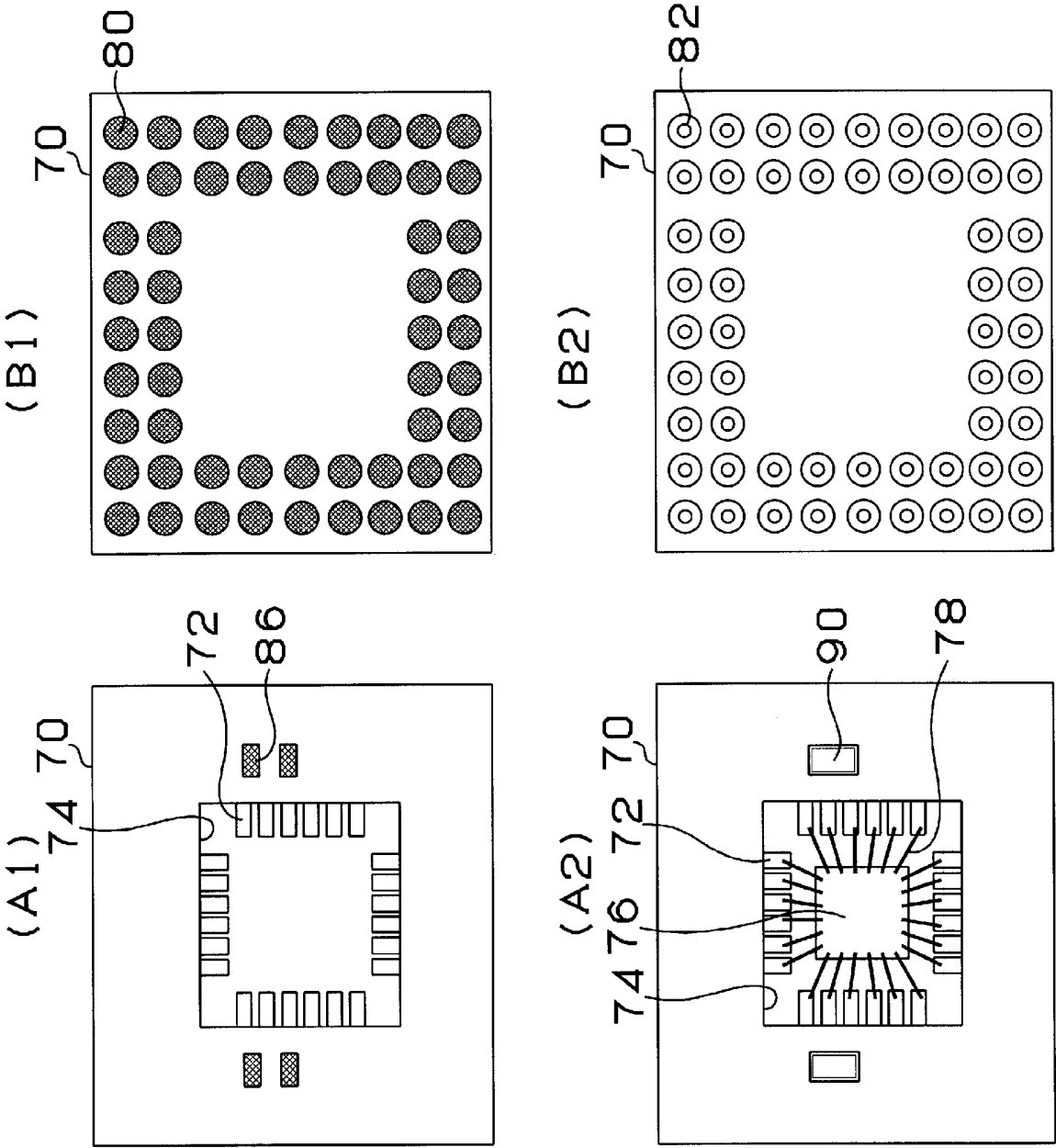
[図11]



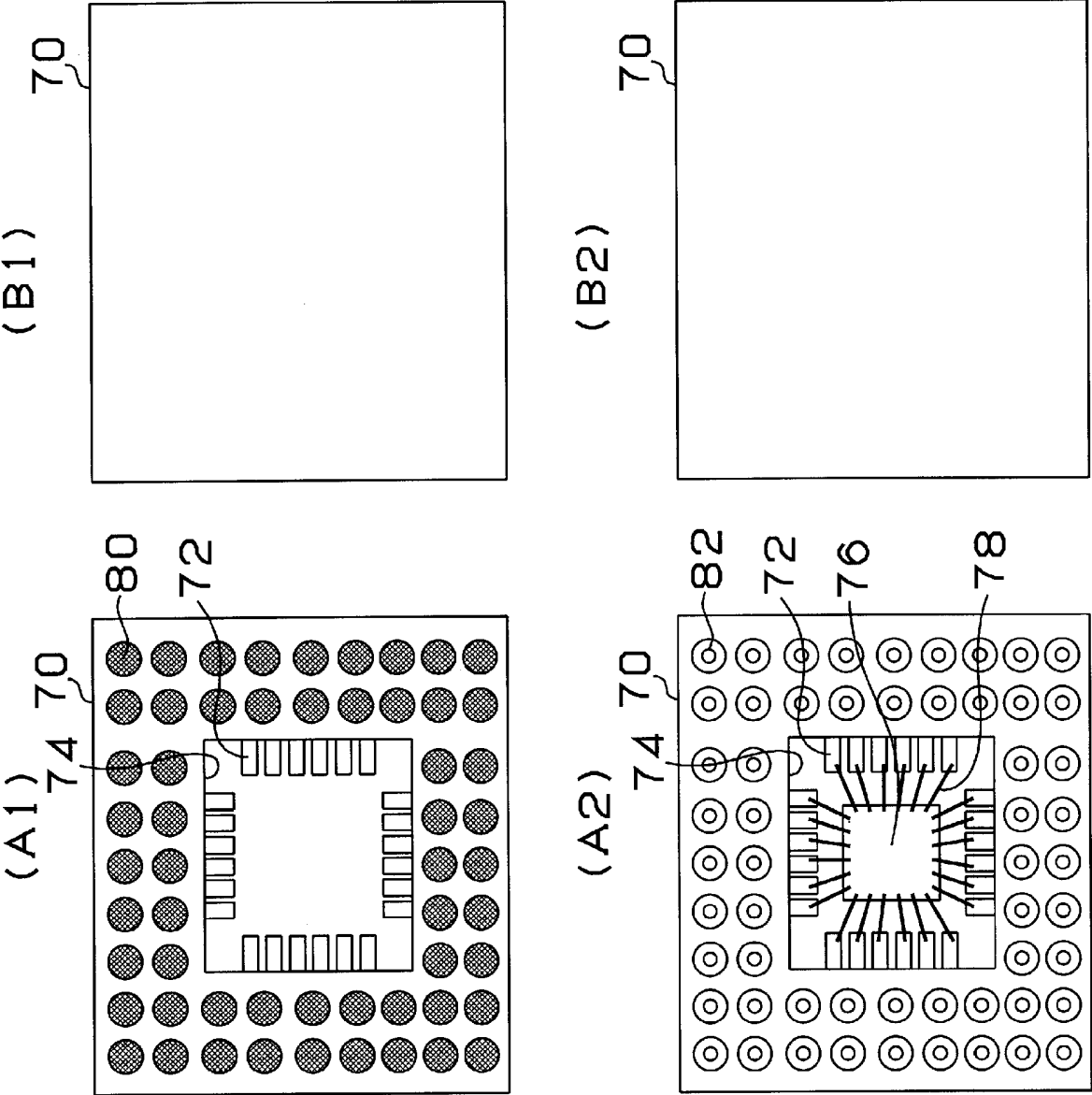
[図12]



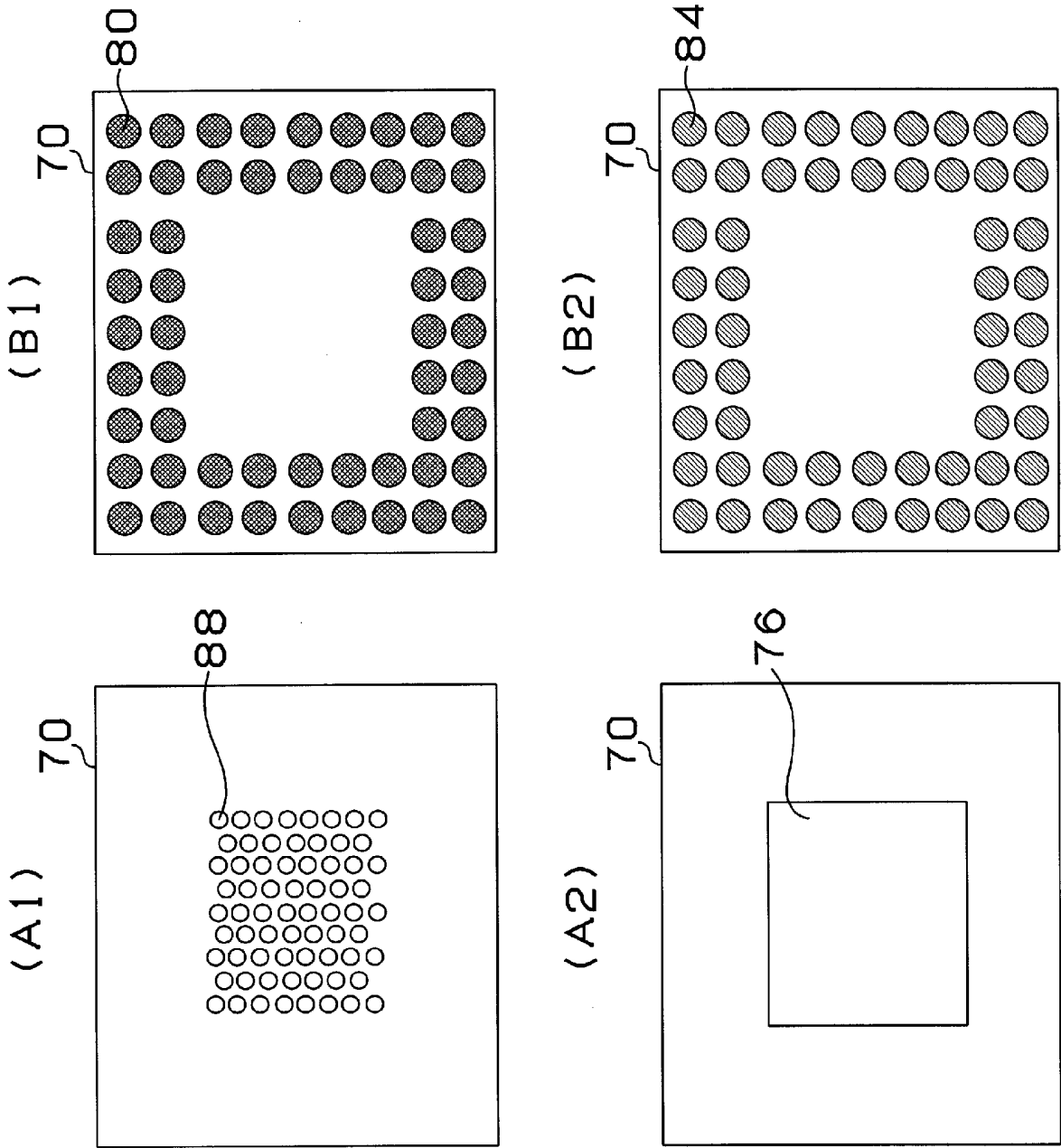
[図13]



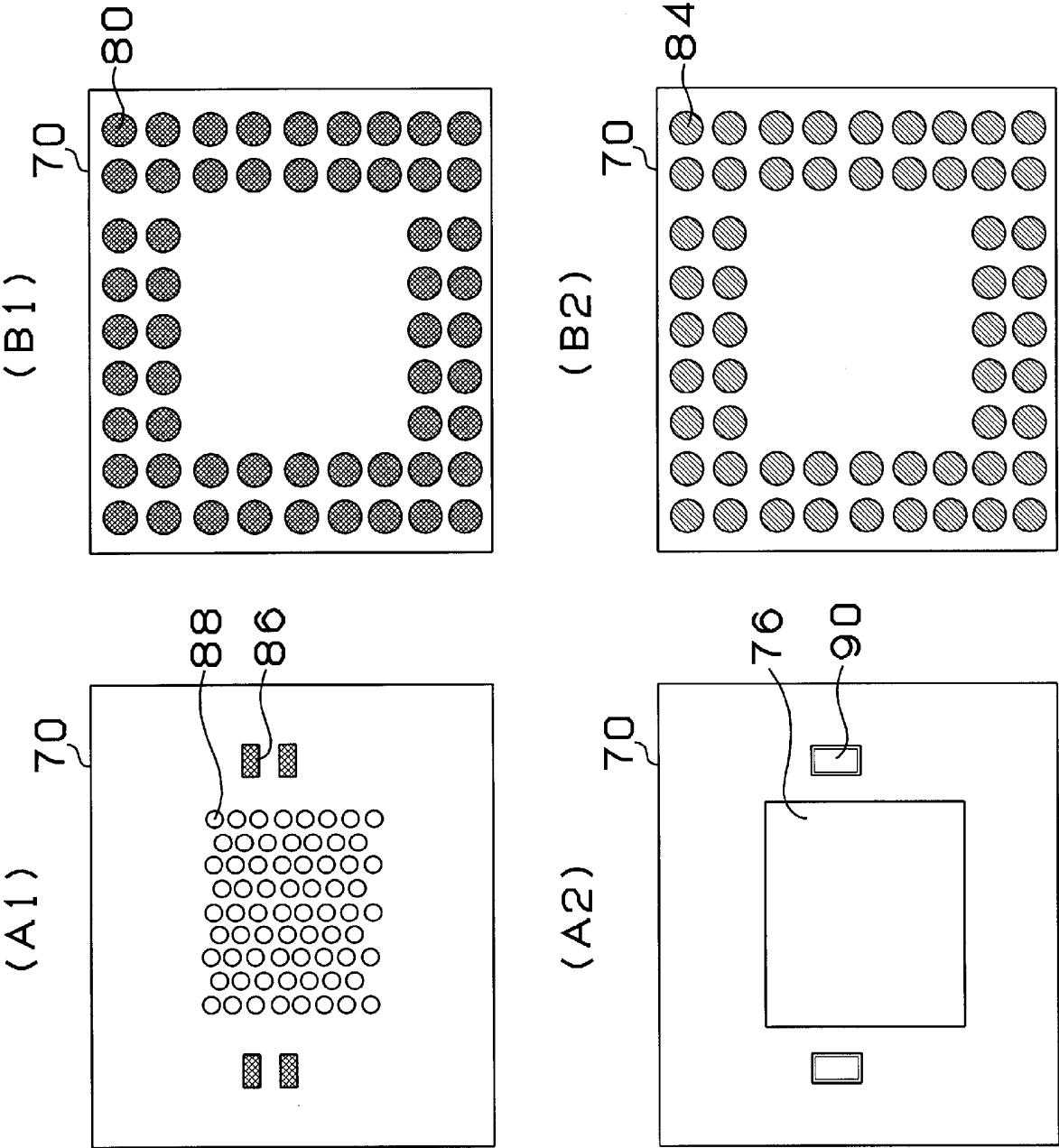
[図14]



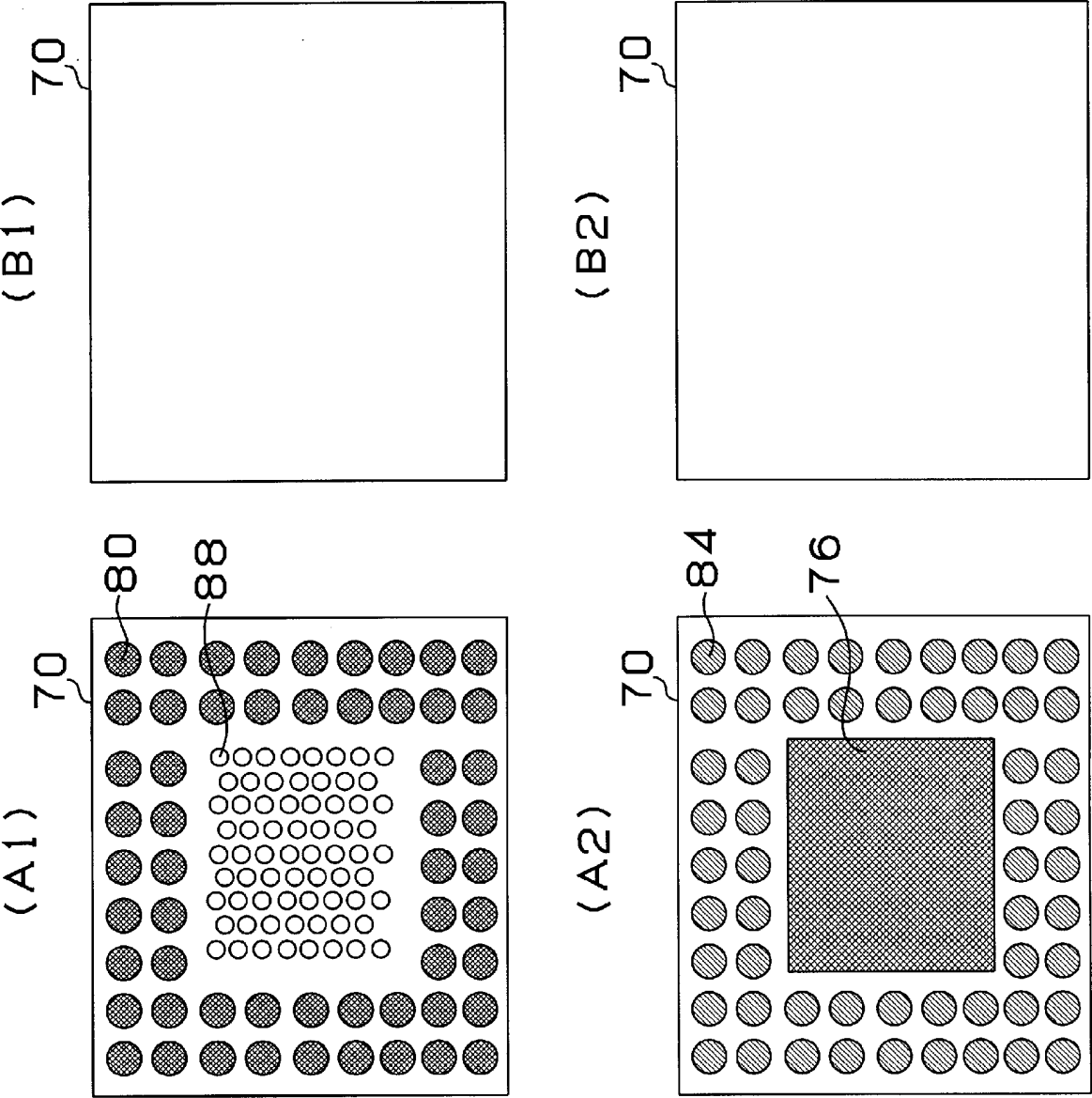
[図15]



[図16]



[図17]



[図18]

実施例 2 と比較例 2 の評価結果

項目	信頼性試験	導通試験		実装後の信頼性試験
		抵抗変化	断面観察	
実施例 2-1-1	5 0 0 0	なし	なし	5 0 0 0
実施例 2-1-2	4 5 0 0	なし	なし	4 0 0 0
実施例 2-1-3	5 0 0 0	なし	なし	5 0 0 0
実施例 2-2-1	5 0 0 0	なし	なし	5 0 0 0
実施例 2-3-1	5 0 0 0	なし	なし	5 0 0 0
実施例 2-4-1	4 5 0 0	あり	なし	4 0 0 0
実施例 2-4-2	4 0 0 0	なし	なし	4 0 0 0
実施例 2-4-3	4 5 0 0	なし	なし	4 0 0 0
実施例 2-5-1	4 5 0 0	なし	なし	4 0 0 0
実施例 2-6-1	4 5 0 0	なし	なし	4 0 0 0
比較例 2-1	3 5 0 0	あり	あり	3 0 0 0
比較例 2-2	3 5 0 0	あり	あり	3 0 0 0

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019499

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/34 (2006.01), **H05K3/46** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/34 (2006.01), **H05K3/46** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-283805 A (Rohm Co., Ltd.), 12 October, 2001 (12.10.01), Par. Nos. [0022], [0034], [0035], [0037] & US 2001/26888 A1 (04 October, 2001 (04.10.01)) & US 2004/60169 A1 (01 April, 2004 (01.04.04))	1-13
Y	JP 2002-134885 A (Hitachi, Ltd.), 10 May, 2002 (10.05.02), Par. Nos. [0039], [0055] (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 November, 2005 (04.11.05)Date of mailing of the international search report
15 November, 2005 (15.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019499

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-207381 A (Shinko Electric Industries Co., Ltd.), 22 July, 2004 (22.07.04), Par. Nos. [0051] to [0055], [0057]; Figs. 6(a) to 6(d) (Family: none)	1-13
Y	JP 2004-172415 A (Kyocera Corp.), 17 June, 2004 (17.06.04), Par. Nos. [0019], [0020] (Family: none)	11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H05K3/34 (2006.01), H05K3/46 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H05K3/34 (2006.01), H05K3/46 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-283805 A (ローム株式会社) 2001. 10. 12, 段落【0022】、【0034】、【0035】、【0037】 & US 2001/26888 A1 (2001. 10. 04) & US 2004/60169 A1 (2004. 04. 01)	1-13
Y	J P 2002-134885 A (株式会社日立製作所) 2002. 05. 10, 段落【0039】、【0055】 (ファミリーなし)	1-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

04. 11. 2005

国際調査報告の発送日

15. 11. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長屋 陽二郎

電話番号 03-3581-1101 内線 3391

3S

3514

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2004-207381 A (新光電気工業株式会社) 2004. 07. 22, 段落【0051】-【0055】、【0057】、【図 6】(a) - (d), (ファミリーなし)	1-13
Y	J P 2004-172415 A (京セラ株式会社) 2004. 06. 17, 段落【0019】、【0020】(ファミリーなし)	11