(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60

(45) 공고일자 1999년08월02일
(11) 등록번호 10-0211611
(24) 등록일자 1999년05월04일

(21) 출원번호 10-1995-0019899
(22) 출원일자 1995년07월07일
(65) 공개번호 특1996-0006723
(43) 공개일자 1996년02월23일
(30) 우선권주장 8/271,768 1994년07월07일 미국(US)

(73) 특허권자 테세라 인코포레이티드 토마스 디스테파노
미국 캘리포니아주 95134 샌 호제 오처드 드라이브 3099
(72) 발명자 토마스 에이치. 디스테파노
미합중국 캘리포니아 몬테 세레노 로빈 앤 레인 15363
존 더블유. 스미스
미합중국 캘리포니아 팔로 알토 #140 산 안토니오 로드 777
(74) 대리인 나영환, 이상섭

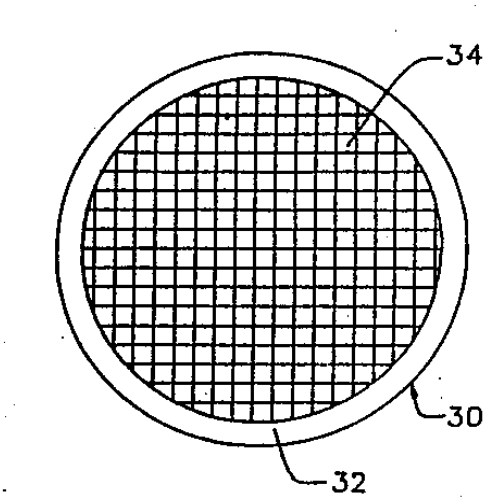
심사관 : 송원선

(54) 마이크로 전자부품에 다중리드를 장착 및 접속하기 위한 방법 및 장치

요약

마이크로 전자접속장치는 신장된 스트립형 리드의 영역 어레이를 갖는 유전체 시트를 포함한다. 각각의 리드는 시트에 죄여진 단자 및 시트에서 분리가능한 팁 단부를 갖는다. 각각의 리드는 단자 단부에서 팁 단부까지 시트에 팽행하게 수평으로 연장한다. 팁 단부는 다른 유전체 시트 혹은 반도체 웨이퍼와 같은 제2 구성요소에 부착된다. 제1 및 제2 구성요소는 각 리드의 팁 단부를 유전체 시트에서 수직 이격시켜 리드를 굴곡된 수직 연장구조로 변형시키기 위해 서로에 대해 이동된다. 바람직한 구조는 칩상의 접촉체의 평면 영역 어레이, 각 단자가 대응 접촉체상에서 연장하도록 위치된 시트상의 단자 어레이, 및 단자와 접촉체 사이에 접속된 S자형 금속 리본의 어레이를 갖는 반도체칩 어셈블리를 제공한다. 유연성 유전체 재료가 시트와 칩사이에 제공되어 S자형 리본을 둘러쌀 것이다.

대표도



명세서

[발명의 명칭]

마이크로 전자부품에 다중 리드를 장착 및 접속하기 위한 방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명의 일실시예에 따른 부품의 제조에 사용된 구성요소에 대한 평면도.

제2도는 제1도에 도시된 구성요소의 부분 확대 단면도.

제3도는 다음 제조단계에서의 제2도의 구성요소의 일부분을 도시하는 부분 평면도.

제4도 내지 제7도는 다음 제조단계에서의 제2도와 유사한 부분 단면도.

제8도는 제1도 내지 제7도에 도시된 구성요소의 일부분을 도시하는 부분 저면도.

제9도 및 제10도는 그 다음 제조단계에서의 구성요소를 나타내는 제2도와 유사한 부분 단면도.

제11도는 본 발명의 다른 실시예에 따른 조립 공정에 사용된 추가 부품 및 장치와 함께 제1도 내지 제10도의 부품을 나타내는 분해도.

제12도는 제11도의 공정 후 부분적으로 완성된 어셈블리를 도시하는 평면도.

제13도 내지 제17도는 제10도와 유사하지만 조립 공정에서의 반도체 칩과 함께 부품을 도시하는 부분 단면도.

제18도는 완성된 어셈블리를 도시하는 도면.

제19도는 제10도와 유사하지만 본 발명의 다른 실시예에 따른 부품을 도시하는 부분 단면도.

제20도 내지 제22도는 본 발명의 다른 실시예에 따른 공정과 부품을 도시하는 부분 단면도.

제23도는 본 발명의 다른 실시예에 따른 부품의 동작을 예시하는 도면.

제24도 내지 제27도는 본 발명의 다른 실시예에 다른 부품을 도시하는 부분 단면도.

제28도는 제27도의 부품과 함께 사용된 조립 공정의 부분을 도시하는 부분 단면도.

제29도는 본 발명의 다른 실시예에 따른 부품을 도시하는 부분 단면도.

제30도는 본 발명의 다른 실시예에 따른 어셈블리에 대한 부분 확대도.

* 도면의 주요부분에 대한 부호의 설명

48 : 금속 호일 60,260,370 : 가요성 리드

66 : 단자 단부 68 : 팁 단부

80,686 : 웨이퍼 88 : 반도체 칩

90,204 : 접촉체 94,105 : 플래튼(platen)

[발명의 상세한 설명]

본 발명은 반도체 칩과 같은 마이크로 전자부품에 이용할 수 있는 장착 및 접속 소자와 그 기술에 관한 것이다.

현재의 반도체 칩과 같은 복잡한 마이크로 전자소자는 다른 전자부품과의 다수의 접속을 필요로 한다. 예를 들어, 복잡한 마이크로프로세서 칩은 외부 장치와의 다수의 접속을 필요로 할 것이다.

반도체 칩은 와이어 결합, 자동화 결합(automated bonding) 및 플립-칩 결합(flip-chip bonding)의 세가지 방법중 한 방법에 의해 장착 기판상의 전기적 트레이스에 접속되는 것이 일반적이었다. 와이어 결합에서는 반도체 칩이 기판상에 위치되어 반도체 칩의 밑면, 즉 뒷면이 기판과 맞대어지고(abutting) 접촉체를 포함하고 있는 윗면, 즉 전면이 기판을 등지게 된다. 반도체 칩상의 접촉체와 기판상의 패드 사이에 금 또는 알루미늄 와이어가 접속된다. 테이프 자동화 결합(tape automated bonding)에서는 미리 형성된 리드 어레이를 갖는 가요성 유전체 테이프가 반도체 칩과 기판위에 위치되며, 개개의 리드가 반도체 칩상의 접촉체와 기판상의 패드에 결합된다. 와이어 결합과 종래의 테이프 자동화 결합 모두에 있어서, 기판상의 패드가 반도체 칩에 의해 덮힌 영역의 외부에 배치되어 와이어 또는 리드는 반도체 칩에서 주변 패드로 부채꼴 형상으로 펼쳐진다. 대체적으로 서브어셈블리에 의해 덮힌 영역은 반도체 칩에 의해 덮힌 영역보다 현저히 크다. 이로써 전체 어셈블리가 커지게 된다. 이것은 마이크로 전자장치 어셈블리가 동작할 수 있는 속도가 어셈블리의 크기에 반비례하기 때문에 심각한 단점이 된다. 또한, 일반적으로 이러한 와이어 결합 및 테이프 자동화 결합 방법은 반도체 칩의 둘레를 따라 연장하는 열로 배치된 접촉체를 갖는 반도체 칩에 가장 적합하다. 따라서 이러한 결합방법들은 반도체 칩 전면의 전체 혹은 상당부분을 덮는 그리드형 패턴(grid-like pattern)의 영역 어레이(area array)로 접촉체가 배치된 반도체 칩에 대해서는 이용할 수 없다.

플립-칩 장착 기술에서는 반도체 칩의 접촉체 수용면이 기판을 향한다. 기판 또는 반도체 칩상에 솔더 볼(solder ball)을 위치시키고 기판과 반도체 칩을 전면 하향(front-pace-down) 방향으로 배치하여 순간적으로 솔더를 용융시키는 것과 같이 기판상의 대응 패드에 대한 솔더 결합에 의해 반도체 칩상의 각 접촉체가 결합된다. 이러한 플립-칩 기술은 반도체 칩 자체의 영역보다 작은 기판 영역을 차지하는 소형 어셈블리의 형태로 나타난다. 그러나, 플립-칩 어셈블리는 열적 응력(thermal stress)이라는 커다란 문제점을 나타낸다. 반도체 칩 접촉체와 기판간의 솔더 결합은 매우 견고하다. 동작시의 열팽창과 열수축에 의한 기판과 반도체 칩의 크기 변화는 이러한 견고한 결합부내에 상당한 응력을 형성하여 그 결과 결합부의 약화를 초래할 수도 있다. 더욱이, 반도체 칩을 기판에 부착하기 전에 반도체 칩을 검사하는 것이 용이하지 않으며, 특히 이 어셈블리가 다수의 반도체 칩을 포함하고 있는 경우 완성된 어셈블리에서의 요구 출력 품질 레벨을 유지하기가 곤란하다.

이러한 문제점들을 해결하기 위한 많은 노력이 시도되어 왔으며, 이중 유용한 해결 방안이 미합중국 특허 제5,148,265호 및 제5,148,266호에 개시되어 있다.

이들 특허에 개시된 구조의 바람직한 실시예는 인터포저(interposer) 또는 칩 캐리어(chip carrier)로 지칭되는 가요성의 시트형 구조를 이용한다. 바람직한 칩 캐리어는 가요성 시트형 상층에 배치된 복수의 단자를 포함한다. 사용시에 인터포저는 반도체 칩의 전면, 즉 접촉체 보유면상에 배치되어 단자가 칩과 반대방향인 위쪽으로 향하게 된다. 그리고나서 단자는 반도체 칩의 접촉체에 접속된다. 이러한 접속으로는

리드와 결합되는 툴(tool)을 사용하여 반도체 칩 접촉체에 인터포저상의 사전 제조된 리드를 본딩결합(bonding)시키는 것이 가장 바람직하다. 그리고나서 칩 캐리어의 단자를 기판에 본딩시키는 것과 같은 방법으로, 완성된 어셈블리를 기판에 접속시킨다. 칩 캐리어의 유전체층과 리드가 가요성이므로, 칩 캐리어상의 단자는 리드와 반도체 칩간의 결합부, 또는 단자와 기판간의 결합부에 대해 큰 응력을 가하지 않고서 칩 캐리어상의 단자가 접촉체에 대해 이동할 수 있다. 따라서, 어셈블리는 열적 효과를 보상할 수 있다. 더욱이 어셈블리는, 예를 들어 칩 캐리어에 통합되어 칩 캐리어의 유전체층과 반도체 칩 사이에 배치된 탄성 중합체층 같은 칩 캐리어상의 단자와 반도체 칩면 사이에 배치된 유연층(compliant layer)을 포함하는 것이 가장 바람직하다. 이러한 유연층은 개개의 단자가 독자적으로 반도체 칩을 향하게 되는 배치를 가능케 한다. 이로써 서브어셈블리와 테스트 장착물간의 효과적인 결합이 가능하다. 따라서, 다수의 전기 접촉체를 통합한 테스트 장착물은 단자의 높이와 약간의 편차를 나타내기는 하지만, 서브어셈블리의 모든 단자와 결합될 수 있다. 기판 조립 작업시에 검사된 우수 부품을 제공하기 위해서 서브어셈블리를 기판에 본딩하기 전에 서브어셈블리를 검사할 수 있다. 이 결과로 매우 경제적이고 우수한 품질의 어셈블리 형성이 가능하다는 장점을 나타낸다.

계류중인 미합중국 출원 번호 제08/190,779호에는 추가 개량장치가 개시되어 있다. 08/190,779호의 바람직한 실시예에 따른 부품은 상부면과 하부면을 갖는 가요성의 유전체 상부 시트를 사용한다. 복수의 단자가 상부 시트상에 장착된다. 상부 시트에서 이격된 하부면을 갖는 지지층이 상부 시트 아래에 배치된다. 복수의 신장된 전기 전도성 리드가 상부 시트상의 단자에 접속되며 지지층을 통과하여 단자로부터 하향으로 나란하게(side by side) 연장한다. 각각의 리드는 지지층의 하위면에 하위 단부를 갖는다. 리드의 하위 단부는, 예를 들어 공융 본딩금속(eutectic bonding metal)과 같은 전도성 본딩 재료를 갖는다. 지지층은 리드를 에워싸서 지지한다.

리드의 하위 단부와 반도체 칩의 접촉체가 결합하도록 지지층의 하위면과 반도체 칩의 접촉체 수용면을 나란히 위치시키고 나서 어셈블리가 상승된 온도와 압력조건에 놓이도록 하므로써 이러한 유형의 부품은 반도체 칩 또는 웨이퍼와 같은 마이크로 전자장치에 접속될 수 있다. 리드의 하위 단부 모두가 거의 동시에 반도체 칩의 접촉체에 본딩된다. 본딩된 리드는 상부 시트의 단자를 반도체 칩의 접촉체에 접속시킨다. 지지층은 비교적 낮은 계수의 유연성 재료로 형성되거나, 그렇지 않으면 지지층을 제거하여 리드 본딩 단계 후에 유연성 재료로 대체하는 것이 바람직하다. 완성된 어셈블리에 있어서, 단자는 반도체 칩에 대해 이동 가능하여 테스트를 가능케하고 열적 효과를 보상할 수 있는 것이 바람직하다. 그러나, 미합중국 특허 출원 번호 제08/190,779호의 부품 및 방법은 단일 적층형 처리 단계(single lamination-like process step)시에 반도체 칩 또는 다른 부품에 대한 모든 본딩이 가능하다는 추가 장점을 갖는다. 08/190,779호의 부품 및 방법은 영역 어레이로 배치된 접촉체를 갖는 반도체 칩이나 다른 마이크로 전자장치와 함께 사용할 시에 특히 유용하다.

이러한 종래기술의 기술 진전에도 불구하고 여전히 개선되어야 할 기술적 문제가 남아있다.

본 발명의 특징은 마이크로 전자공학적인 리드 어레이를 형성하는 방법의 제공에 있다. 이러한 본 발명의 특징에 따른 방법은 제1 표면을 갖는 제1 구성요소에 각각이 부착된 단자 단부(terminal end)와 상기 제1 표면에 평행한 소정의 제1 수평방향으로 상기 단자 단부에서 파생된 팁 단부(tip end)를 갖는 복수의 신장된 가요성 리드를 제공하는 단계를 포함한다. 또한, 본 방법은 상기 단자 단부와 상기 제1 구성요소에 대해 리드의 팁 단부 모두를 이동시킴으로써 상기 제1 구성요소에서 먼쪽으로 상기 팁 단부가 굴곡되도록 모든 리드를 동시에 형성하는 단계를 포함한다. 상기 팁 단부는 소정 변위로 이동되어 모든 리드가 소정 방법으로 동시에 변형된다.

상기 리드의 팁 단부는 상기 제1 구성요소에 착탈식으로 고정되어, 이동 단계 동안 상기 리드의 팁 단부가 상기 제1 구성요소에서 분리되는 것이 바람직하다. 상기 리드 모두의 팁 단부가 제2 구성요소에 부착되며, 상기 리드의 단자 단부에 대해 리드의 팁 단부를 이동시키는 단계는 상기 제1 구성요소에 대한 상기 제2 구성요소의 이동 단계를 포함하는 것이 요구된다. 일례의 바람직한 배치에 있어서, 상기 제2 구성요소는 상기 제1 구성요소에 대해 상기 제1 수평방향에 반대, 즉 상기 리드의 팁 단부방향에 대한 단자 단부에 반대인 제2 수평방향으로 이동될 것이다. 상기 제2 구성요소는 수평 이동과 동시에 상기 제1 구성요소에서 멀어지는 하향 수직방향으로도 이동할 수 있는 것이 바람직하다. 각각의 리드의 팁 단부를 자신의 단자 단부쪽으로는 수평 이동시키고 나머지 단자 단부에 대해서는 멀리 수직 이동시키는 전체 효과(net effect)에 의해서, 상기 리드가 상기 제1 구성요소에서 멀리 수직 하향 방향으로 연장하는 위치를 향해 리드가 변형된다. 다른 바람직한 배치에 있어서, 리드는 제1 구성요소 및 제2 구성요소의 표면에 평행한 수평방향으로 먼저 굴곡되어 상기 제1 및 제2 구성요소가 서로 멀리 수직방향으로 이동한다. 이러한 이동으로 인해 수평 곡률이 부분적으로 직선화되며, 한편 리드는 수직 연장하는 유선형 구조로 굴곡된다.

또한, 본 발명의 이러한 특징에 따른 방법은 리드 둘레에 유전체 지지층을 형성하기 위해 리드 형성 단계 후에 상기 리드 둘레에 유연성 유전체 재료를 삽입하고 나서 이 재료를 경화시키는 단계를 포함한다. 상기 제1 구성요소는 상기 리드의 단자 단부에서 관통 연장하는 단자 구조를 갖는 가요성 유연성 상부 시트인 것이 가장 바람직하다. 특히 바람직한 배치에서는 제2 구성요소는 반도체 칩 또는 웨이퍼와 같은 마이크로 전자장치이다. 이러한 배치에서, 리드의 팁 단부를 제2 구성요소에 부착시키는 단계는 리드의 팁 단부를 반도체 칩이나 다른 마이크로 전자장치상의 접촉체에 본딩시키는 단계를 포함한다. 이 단계는 리드가 초기의 불변형된 위치에 있는 동안 실행되는 것이 바람직하다. 따라서, 팁 단부 모두는 마이크로 전자장치상의 모든 접촉체에 동시에 본딩된다. 리드가 접촉체에 본딩될 시에 초기의 불변형 위치에 있기 때문에 리드 팁의 위치는 이 단계에서 용이하게 정합(registration)된다. 이로써 리드 팁과 접촉체의 정합이 용이하다. 또한, 이러한 공정에 의해 리드 팁과 접촉체간에 상당한 힘이 가해진다.

제1 구성요소가 단자를 갖는 가요성의 유전체 시트이고 제2 구성요소가 반도체 칩이나 웨이퍼와 같은 마이크로 전자부품인 경우, 유연성 유전체 지지층은 이동 단계후에 마이크로 전자부품과 유전체 시트 사이의 공간에 형성될 것이다. 이 결과의 어셈블리는 가요성 리드에 의해 마이크로 전자장치에 전기적으로 접속된 단자를 포함하며, 이 단자는 마이크로 전자장치를 향한 방향뿐만 아니라 마이크로 전자장치의 면에 평행한 방향으로 마이크로 전자장치에 대해 용이하게 이동 가능하다. 이 결과의 어셈블리는 검사 탐침과의 결합에 의해 용이하게 검사될 수 있으며, 또한 더 큰 기판에 용이하게 조립될 수도 있다. 단자의 이동

능력에 의해, 반도체 칩과 이 반도체 칩이 장착되는 기판의 열팽창 및 열수축의 차이가 보상될 수 있다. 이러한 공정의 다른 예에 있어서, 제1 구성요소는 반도체 칩이나 웨이퍼와 같은 마이크로 전자장치이다. 따라서, 반도체 칩이나 웨이퍼가 자신의 표면을 따라 연장하는 리드를 가질 것이며, 리드의 단자 단부는 반도체 칩상의 접촉체에 고정되고 팁 단부가 웨이퍼 표면에 분리가능하게 부착된다. 본 예에서, 제2 구성요소는 접촉체 구조물을 갖는 가요성 유전체 시트를 포함한다. 리드의 팁 단부는 유전체 시트와 마이크로 전자장치를 서로에 대해 이동시키기 전에 접촉체 구조물에 부착된다.

특히 바람직한 배치에 있어서, 한 구성요소는 접촉체를 갖는 복수의 반도체 칩이 통합된 웨이퍼와 같은 다중 칩 유닛이며, 다른 구성요소 즉 시트가 이러한 복수의 칩 위에 연장한다. 따라서, 제1 구성요소, 즉 시트는 각각이 개개의 반도체 칩에 대응하는 복수의 지역을 포함한다. 제2 구성요소가 웨이퍼인 경우, 리드의 팁 단부를 제2 구성요소에 부착시키는 단계는 다수의 이러한 지역 바람직하게는 이러한 지역 전부의 리드의 팁 단부를 동시에 대응 반도체 칩상의 접촉체에 본딩시켜 이러한 칩의 각각이 하나의 반도체에 접속되도록 하는 단계를 포함한다. 본 방법은 각각이 하나의 반도체 칩 및 관련 시트 지역을 포함하는 개개의 유닛을 형성하도록 다중칩 구성요소나 웨이퍼에서 반도체 칩을 절단(sever)하고 시트를 지역으로 구분하여 절단하는 단계를 포함한다. 또한, 본 방법은 리드 본딩 단계 후와 절단단계 전에 유연성 유전체 지지층을 형성하기 위해 유동성 유전체 재료를 웨이퍼와 시트 사이에 주입하여 이 유전체 재료를 경화시키는 단계를 포함하는 것이 바람직하다. 따라서, 절단단계는 절단단계로 형성된 각각의 유닛이 유전체 지지층의 일부를 포함하도록 유전체 지지층을 절단하는 단계를 포함한다. 이와 달리, 다중칩 유닛은 공통 열싱크(sink)나 서포트(support)에 장착된 반도체 칩 어셈블리와 같은 요구된 용도의 구조를 갖는 반도체 칩 어셈블리를 포함할 수 있으며, 제1 구성요소 즉 시트는 복수의 반도체 칩을 상호접속시키기 위한 회로를 포함할 수도 있다. 이 경우에, 반도체 칩은 절단되지 않는다.

리드의 팁 단부를 마이크로 전자부품의 접촉체에 본딩시키는 단계는 팁이 접촉체와 정합되도록 상부 시트, 즉 제1 구성요소를 마이크로 전자부품과 정렬시켜 정합을 유지하는 동안 마이크로 전자부품 방향으로 시트를 바이어스(biasing)하는 단계를 포함하는 것이 바람직하다. 따라서, 시트는 정합을 용이하게 하기 위해 본딩 단계동안 강화 구조물(reinforcing structure)과 결합될 것이다. 상기 강화 구조물은 시트에 본딩된 금속 호일(meeallic foil)과 같은 가요성을 갖지만 실질적으로는 연장 불가능한 호일을 포함할 수 있다. 이와 달리 또는 추가로, 상기 강화 구조물은 시트가 중앙 개구를 가로질러 연장하여 팽팽하게 고정되도록 중앙 개구를 갖는 매우 단단한 링을 포함할 수도 있다. 접촉체 수용면을 향해 시트를 바이어스하는 단계는 전체 시트표면에 걸쳐 균일한 압력을 유지하기 위해 직접 또는 다이어프램(diaphram)이나 빽(bag)을 통해 시트의 상부표면에 공기압과 같은 유압을 가하는 단계를 포함한다.

본 발명에 따른 다른 방법에 있어서, 마이크로 전자부품에 대한 후속 부착용의 부품을 제조하기 위해 형성 공정이 이용될 수 있다. 이러한 부품 제조공정에 있어서, 제2 구성요소는 가요성 중합체 시트와 같은 임시적인 제거가능한 구성요소가 될 것이다. 이 임시적인 구성요소는 지지층이 형성된 다음 지지층의 하부면에 노출된 리드의 팁 단부를 남겨둔 채로 가요성 시트를 용해시키는 것과 같은 방법으로 제거된다. 본딩 재료는 유전체 지지층의 형성 단계 이전이나 이후에 리드의 팁 단부에 가해질 것이다. 이 결과의 부품은 지지층의 노출 표면을 구성요소의 접촉체 수용면과 나란히 위치시켜 리드의 팁 단부를 반도체 칩이나 다른 구성요소의 접촉체에 본딩시킴으로써 반도체 칩 또는 다른 마이크로 전자부품에 조립될 것이다. 이러한 부품이 반도체 칩이나 다른 구성요소에 접속된 후, 가요성 시트상의 단자는 반도체 칩의 접촉체에 대해 전기적으로 접속되지만 접촉체에 대해 반도체 칩의 표면에 평행한 방향과 반도체 칩의 표면을 향하는 방향으로 이동 가능하다.

이러한 방법의 다른 예에 있어서, 제2 구성요소는 최초에는 제1 시트에 인접 위치된 영구적인 가요성 유전체 시트이다. 각 리드의 팁 단부는 전도성 포스트(post)와 같은 전도성 팁 구조물로 제공되거나, 그렇지 않으면 제2 유전체 시트를 관통 연장하므로써 제공된다. 리드 형성 단계에 있어서, 제2 시트는 제1 시트에서 먼쪽으로 이동하며, 유동성 유전체 재료가 시트 사이에 주입된다. 팁 구조물은 전도성 본딩 재료로 제공될 것이며, 결과적인 부품은 제2 시트의 표면을 마이크로 전자부품의 접촉체 수용면과 나란히 위치시킴으로써 마이크로 전자부품에 접속될 것이다.

본 발명의 다른 특징은 제1표면, 즉 하부면을 갖는 제1 유전체 구성요소 및 상기 제1 유전체 구성요소의 하부면상에서 연장하는 복수의 신장된 가요성 리드를 포함하여 마이크로전자공학적인 접속을 이루기 위한 구성요소를 제공하는 것이다. 이러한 리드 각각은 상기 제1 구성요소에 고정된 단자 단부와, 상기 제1 구성요소에서 먼 방향으로 이동 가능하도록 상기 제1 구성요소에 분리 가능하게 고정된 팁 단부를 갖는다. 이러한 리드의 팁 단부는 제1표면에 평행한 제1 수평방향으로 리드의 단자 단부에서 파생되는 것이 바람직하다. 유전성의 제1 구성요소는 제1표면과 대향하는 제1표면, 즉 상부 표면을 갖는 시트이며, 부품은 리드의 단자 단부에서 시트를 관통 연장하는 전기전도성 단자 구조물을 포함한다. 각각의 리드는 팁 단부에 전기 전도성 본딩 재료를 갖는 것이 바람직하다. 따라서, 상기 리드는 금을 포함할 것이며, 본딩 재료는 금과 함께 저온 용융 공융화합물(low-melting eutectic)을 형성하기 위해 주석, 게르마늄 및 실리콘으로 이루어진 군에서 선택된 금속을 포함한다. 리드는 인접한 대응 리드 사이에 약 1.25㎜이하의 간격을 갖고 규칙적인 그리드형 패턴으로 배치되는 것이 바람직하다. 각각의 리드는 약 200～1000㎛의 길이와 약 10～25㎛의 두께와 약 10～50㎛의 폭을 갖는 것이 바람직하다. 본 발명의 이러한 특징에 따른 부품은 전술된 바와 같은 방법으로 사용될 수 있다.

본 발명의 다른 특징은 하부면을 갖는 가요성 유전체 시트와 같은 본체를 포함하며, 이 본체위에 장착되어 하부면상에 노출된 단자 구조물의 영역 어레이가 존재하는 마이크로전자공학적인 컨넥터를 제공하는 것이다. 본 발명의 이러한 특징에 따른 컨넥터는 복수의 리드를 포함하는데, 복수의 리드 각각은 하나의 상기 단자 구조물에 접속된 단자 단부 및 상기 단자 구조물에서 이격된 팁 단부를 가지며 상기 기저면에서 멀리 연장하고 있다. 본 발명의 이러한 특징에 따른 컨넥터는 상기 본체의 기저면상에 유연성 유전체 재료의 층을 포함하며, 상기 유연성 유전체 재료층은 상기 본체에서 이격된 하부면을 갖는다. 상기 유연성 유전체층은 리드를 둘러싸서 지지한다. 상기 리드의 팁 단부는 상기 유연성 유전체층의 하부면에서 돌출한다. 따라서, 상기 리드의 팁 단부는 마이크로 전자부품의 접촉체 수용면을 유연성 유전체층의 기저면과 나란히 위치시키므로써 마이크로 전자부품의 접촉체와 결합될 수 있다. 각각의 리드는 팁 단부와 접촉체를 결합시키기 위해 팁 단부에 전기 전도성 본딩 재료를 포함하는 것이 바람직하다. 상기 리드는 일반

적으로 S자형이 될 것이다. 각각의 리드는 대향으로 지향된 주표면을 갖는 전도성 재료의 리본으로 형성될 것이며, 리본은 S자형 또는 다른 유선형 구조의 리드를 형성하기 위해 주표면에 수직방향으로 휘게 된다.

본 발명의 다른 특징은 전면이 접촉체의 영역 어레이를 갖는 마이크로 전자장치를 통합한 마이크로전자공학적인 어셈블리를 제공하는데 있다. 이 어셈블리는 하부면이 상기 마이크로 전자장치의 전면을 바라보며 이격되어 있는 컨넥터 본체를 포함한다. 컨넥터 본체는 상기 기저면상에 배치되어 마이크로 전자장치상의 접촉체의 어레이에 중첩되어 있는 단자 구조물의 영역 어레이를 갖는다. 이 어셈블리는 단자 구조물과 접촉체 사이에 연장하는 유선형의 가요성 리드를 포함한다. 이 경우에서도, 각각의 가요성 리드는 대향 지향하는 주표면을 갖는 금속 리본으로 구조되며, 이 리본은 S자 형상을 이루기 위해 주표면에 수직방향으로 휘게될 것이다.

본 발명의 최종 언급된 특징에 따른 어셈블리와 컨넥터는 전술된 바람직한 공정에 의해 신뢰성 있게 제조될 것이다. 본 발명의 이러한 특징에 따른 바람직한 어셈블리와 컨넥터는 반도체 칩과 유사 장치에 대해 컴팩트하고 신뢰성 있는 접속을 제공한다.

본 발명의 다른 특징은 복수의 반도체 칩을 포함하는 칩 또는 웨이퍼 어셈블리를 구비하며, 상기 칩 또는 웨이퍼의 전기 접촉체를 포함하고, 각각의 리드는 하나의 상기 접촉체에 영구적으로 접속된 고정 단부 및 상기 칩 또는 웨이퍼의 제1표면에 착탈식으로 고정된 팁 단부를 갖는다.

본 발명의 이러한 목적, 특징 및 장점은 첨부 도면을 참고로 한 다음의 바람직한 실시예에 대한 상세한 설명에서 더욱 명백해질 것이다.

본 발명의 일실시예에 따른 구성 성분을 제조하기 위한 공정은 다중층 시트(30)로 개시된다. 다중층 시트(30)는 폴리이미드 또는 반도체 산업에서 사용된 2차원적으로 안정한 공지된 중합체 필름으로 형성되는 것이 바람직한 유전체 시트(34 : 제2도)를 포함한다. 유전체 시트(34)는 40㎛이하의 두께가 바람직하며, 더 바람직하게는 약 20~30㎛이고, 약 25㎛가 가장 바람직하다. 전기 분해로 증착된 구리의 상부층(36)은 유전체 시트(34)의 상부 표면(35)을 덮는 반면, 이와 유사한 기저층(38)은 반대방향의 유전체 시트 하부면(37)을 덮는다. 상기 구리층은 약 5~25㎛ 두께가 될 것이다. 제1도와 제2도에 도시된 개시 조건에 있어서, 이러한 층은 다중층 시트(30)의 전 범위에 걸쳐 연속적이고 균일하다. 상기 다중층 시트는 팽팽하게 신장되어 있다. 상기 다중층 시트가 팽팽한 상태를 유지하고 있는 동안, 다중층 시트(30)는 프레임의 중심 개구를 가로질러 신장하도록 링과 같은 구형 프레임(32)에 결합된다. 상기 다중층 시트는 에폭시 수지 필름과 같은 안정한 고온 접착제를 사용하여 약 10㎛ 정도의 두께로 상기 프레임에 결합된다. 프레임(32)은 차후의 단계에서 조립될 반도체 부분의 열팽창율과 거의 동일한 팽창율을 갖는 매우 단단한 재료로 형성된다. 통상적으로, 반도체가 실리콘으로 형성되므로 프레임은 실리콘의 열팽창율과 거의 동일한 열팽창율을 갖는다. 이러한 프레임 재료로 몰리브덴이 바람직하다.

다음 처리단계에서, 하부층(38)은 하부 레지스트(50)에 의해 완전히 매스킹되고(masked), 반면에 상부층(36)은 제3도에 도시된 바와 같은 패턴으로 선택적으로 매스킹된다. 선택적 매스킹은 전기이동 레지스트(electrophoretic resist)를 가하고 레지스트에 의해 덮여질 영역을 선택적으로 노출시키며, 이 레지스트를 열경화시킨 후 현상하여 경화되지 않은 레지스트 재료를 제거하는 종래 기술에 의해 실행될 수 있다. 이러한 레지스트중 하나로 Massachusetts, Wellesley에 위치한 Shippley company사에서 제조한 Eagle Electrophoretic Resist가 있다. 이러한 레지스트에 대한 현상제는 동일 회사에서 제조된다. 패턴은 시트의 표면을 따라 한 방향으로는 일정 피치 Px를 갖고 다른 방향으로는 일정 피치 Py를 갖는 복수의 규칙적인 직선 그리드를 포함하는 매우 규칙적인 패턴으로 배열된 수만 또는 수천의 단자 형성 지역(40)을 포함한다. 통상적으로 Py는 Px와 동일하다. 아래에 설명된 바와 같이, 시트의 여러 지역은 궁극적으로 웨이퍼내의 개개의 칩과 관련될 것이다. 각각의 이러한 지역내의 그리드는 서로 연속되거나 혹은 그리드 패턴의 공간에 의해 서로 분리될 수도 있다. 지역(41)은 가시 경계(43)에 의해 서로 분리된 채로 제12도에 도시되어 있다. 그러나, 이러한 가시 경계가 항상 나타나는 것은 아니다. 각각의 단자 형성 지역(40)은 링(44)의 원주를 형성하는 환형 매스크 지역(42) 및 링내의 중심 홀을 형성하는 중심 매스크 영역(46)을 포함한다. 링(44)은 매스킹되지 않는다. 또한, 나머지 부분의 시트도 매스킹되지 않으므로 단자 형성 지역(40)의 각각을 둘러싸고 환형 매스크 지역(42)에 의해 각각의 이러한 지역의 링(44)으로부터 분리되는 연속적인 비매스킹 지역(48)이 형성된다.

연속 지역(48)이 시트의 대부분 혹은 전부에 걸쳐 연장하는 것이 바람직하다. 어레이내의 소정 위치에서, 단자 형성 지역(40)은 연속 지역(48)에 연결된 링(44)을 남겨두기 위해 환형 매스크 지역(42)이 차단되거나 제거되는 변형된 구조(도시되지 않음)를 갖는다. 아래에 설명된 바와 같이, 이러한 변형된 단자 형성 지역은 전위 평면 단자를 형성할 것이다.

선택 매스킹이 가해진 후, 조립체는 니켈, 금 및 팔라듐으로 이루어진 군에서 선택된 금속과 같은 에치 저항 금속(니켈이 가장 바람직함)으로 전기 도금된다. 이러한 도금은 약 1~3㎛ 두께로 이루어지며 약 2㎛ 두께가 가장 바람직하다. 도금된 금속은 각 단자 형성 지역(40)의 링(44)과 연속 영역(48)을 덮는다. 그리고나서 레지스트는 종래의 레지스트 제거 기술로 제거되어 환형 영역(42)과 중앙 홀(46)에 노출된 구리층(36)이 남겨진다. 그후, 조립체는 CuCl 부식액과 같은 종래의 구리 에칭 용액을 사용하여 에칭된다. 이러한 에칭공정 동안, 앞서 증착된 니켈과 같은 부식 저항 금속은 레지스트 혹은 에치 스톱으로서의 기능을 하여 구리층(36)을 보호한다. 그러나, 홀 영역(46)과 환형 영역(42)에서는 부식 저항 금속이 없으므로 구리층이 제거되며, 연속 영역(48)과 링 영역(44)이 구리와 니켈을 갖고, 중앙 홀 영역(46)과 환형 영역(42)이 유전체막(34)의 상부 표면(35)을 노출시키도록 에칭되는 제4도에 도시된 바와 같은 패턴이 남겨진다. 이러한 과정 동안에 하부 구리층(38)은 하부 레지스트(50)에 의해 보호된다.

다음 처리단계에서, 홀(52)은 각 단자 영역의 중앙 홀 영역(46)내의 유전체막(34)에 형성된다. 홀은 엑시머 레이저 광과 같은 방사 에너지를 이용한 제거에 의해 형성된다. 단자 영역의 중앙 홀(46)에 대응하는 홀을 갖는 매스크(54)가 어셈블리상에 배치되어 매스크내의 홀이 중앙 홀(46)과 정합하고 나서 방사 에너지가 매스크의 홀을 통하여 조사된다. 상기 매스크는 몰리브덴과 같은 열저항(내열성) 금속으로 형성된다. 상기 매스크는 복사선의 대부분을 흡수한다. 그러나, 중앙 홀(46)을 에워싸는 구리 및 니켈 링

(44)도 매스크와 같은 기능을 하여 유전제 시트의 제거를 중앙 홀(46)내의 지역으로 제한한다.

다음 처리단계에서, 홀 즉 비아스(vias : 52)는 무전해 도금 처리를 이용하여 구리의 비아 라이너(via liner : 56)층으로 입혀(lined)진다. 무전해 도금 처리는 무전해 도금 용액에 노출되기 전에 팔라듐염(palladium salt) 또는 다른 증착 촉진제에 의한 시딩(seeding) 단계 또는 사전처리 단계를 포함한다. 구리층(56)은 하부층(38)과 접촉하며 각 홀(52)의 하부에 걸쳐 연장하고, 또한 각 링(44)의 상향 표면, 즉 상부 표면에 걸쳐 연장한다. 따라서, 구리는 각각의 링(44)과 하부 구리층(38)을 접속시키는 블라인드 비아 라이너(blind via liner)를 형성한다. 구리층의 두께로는 약 10㎛가 바람직하다. 하부 레지스트(50)가 이 처리동안 제위치에 유지되므로 구리는 시트(34)를 마주보는 하부 그리층(38)의 표면상에 증착되지 않는다. 이 처리단계에서, 상부표면은 복수의 링형 단자 구조물(44)과 이러한 링형 단자 구조물 각각의 중앙에서 유전체 시트(34)를 통과하여 연장하는 블라인드 비아 라이너(56)를 갖는다. 연속적인 전기 전도 구리 전위 평면(48)은 시트의 상부 표면에 걸쳐 연장한다. 각각의 링형 단자 구조물(44)은 연속층(48)에 의해 둘러싸이지만 전도성 재료가 없는 환형 지역(42 : 제3도)에 의해 전기적으로 절연된다. 그러나, 전술된 변형 구조물로 형성된 전위 평면 단자(도시되지 않음)는 연속층(48)에 전기 접속된 링형 단자 구조물(44)를 갖는다. 상부 표면상의 구리부는 약 2㎛ 두께로 니켈도금된다. 도금 전류가 하부 구리층(38)을 통하여 인가되어 비아 라이너(56)에 의해 단자(44)로 전송된다. 도금 전류가 전위 평면 단자를 통하여 전위 평면에 인가된다. 약 0.5㎛ 두께가 바람직한 금박층이 니켈층위에 도금된다. 니켈 및 도금의 박층은 구리 표면과 에지상에 부식 저항 보호 커버를 형성한다.

다음 처리단계에서, 하부 레지스트(50)가 제거되고, 상부 레지스트(58)가 유전체 시트(34)의 전체 상부 표면과 링 구조물(44)과 연속 전도성 지역(48)에 걸쳐 도포된다. 하부 구리층(38)의 노출 하부 표면은 레지스트 광노출을 이용하여 패터닝되고, 덮혀지지 않은 아령 모양의 리드 지역의 어레이를 남겨두기 위해 전술된 공정과 유사한 경화 및 현상 처리되어 레지스트에 의해 덮혀진 하부층(38)의 잔여부를 남겨둔다. 개개의 리드(60)는 하부 구리층(38)상에 약 2㎛ 두께로 니켈층(62)을 전기도금하고 이 니켈층상에 약 5~25㎛ 두께(약 20㎛가 바람직함)로 금박층(64)을 전기도금 하므로써 각 지역내에 형성된다. 그후 리드(60)를 형성하기 위해 사용된 레지스트를 제거한다.

각각의 리드(60)는 일반적으로 원형인 단자 단부 벌지(bulge : 불룩하게 돌출된 부분)(66 : 제8도), 일반적으로 원형인 다소 작은 팁 단부 벌지(68) 및 이들 벌지 사이에서 연장하는 신장된 협폭 스트립(70)을 포함한다. 리드(60)는 상부표면상의 링형 단자(44)의 그리드의 동일한 피치와 배열 구조를 갖는 규칙적인 그리드에 배치된다. 따라서, 각각의 원형 벌지(66)는 상부 표면상의 하나의 단자(44) 및 관련 비아(50)와 동심을 이룬다. 다음 처리단계에서, 리드의 팁 단부 지역(68)상의 노출 표면의 스폿(72)에 전기 전도성 본딩 재료가 가해진다. 한 적합한 본딩 재료는 약 10㎛ 두께가 바람직한 주석층(74)과 이 주석층 위에 약 2㎛ 두께의 산화방지 금박층(76)을 포함한다. 레지스트가 다시 한번 리드의 노출 표면위에 코팅되며 본딩 재료에 대한 요구 스폿에서의 레지스트에 홀을 제공하기 위해 사진 기술로 패터닝되어 현상된다. 각각의 스폿(72)내의 전기 전도 본딩 재료는 전기도금에 의해 도포된다. 아래에 설명된 바와 같이, 다른 본딩 재료와 증착 공정이 이용될 수도 있다.

다음 처리단계에서, 상부 레지스트(58)는 제위치에 남겨지며 하부 구리층(38)은 CuCl 부식액을 사용한 서브에칭 처리로 노출된다. 금박층(64)과 니켈층(62)은 부식액에 의해 영향받지 않아 에칭 매스크로서 기능한다. 하부 구리층(38)은 노출 지역 및 리드(60)의 에지, 즉 금과 니켈의 층들의 에지에서 에칭된다. 이 처리단계가 진행되면서 구리층이 노출 영역에서 제거되어 점차적으로 리드(60) 아래로 제거된다. 리드(60)의 각 에지로부터의 내향 제거, 즉 하향 커팅의 정도는 시간이 지날수록 점차적으로 증가한다. 이러한 공정은 각 스트립(70)의 대향 에지에서 출발하는 하향 커팅 지역이 서로 만나 각각의 스트립(70)이 갭(78)에 의해 유전체 시트(34)에서 분리될 때까지의 시간동안 지속된다. 그러나, 각각의 팁 단부 벌지(68)의 직경 Dtip이 스트립(70)의 폭 Ws보다 크므로, 구리층의 에칭, 즉 하향 커팅은 각 칩 단부 벌지(68)의 중앙에서 모든 방향으로 진행하지는 않는다.

오히려 에칭 과정은 팁 단부 벌지(68)에서 유전체 시트(34)의 하부 표면(37)까지 연장하는 소형의 구리 버튼(80)을 남겨둔 채로 중앙에 못미쳐 정지한다. 버튼(80)은 팁 단부 벌지(68)의 직경보다 상당히 작은 직경을 갖는 것이 바람직하다. 버튼 직경은 약 50㎛이하인 것이 바람직하며, 따라서 유전체 시트(34)의 하위 표면(37)과 접촉하는 버튼의 표면 영역은 매우 작다. 부착력이 접촉체이 표면 영역에 직접적으로 관련되는 경우, 부착력은 일반적인 처리시에 중력 및 중력 가속도에 대해 리드의 팁 단부를 유지하기에 충분하면 된다. 버튼(80)과 유전체 시트간의 결합은 아래에 설명된 과정으로 용이하게 깨어질 수 있다.

또한, 에칭 처리에 의해 (66)내의 각 단자의 원주에서 내부로 커팅되어 각 리드의 단자 종단 벌지(66)와 동심인 원형 단자 단부 버튼(82)이 형성된다. 각각의 단자 단부 버튼(82)은 관련 비아(56)와 동심이며 비아 라이닝(via lining)에 야금 기술로 본딩한다. 또한, 단자 단부 버튼(82)도 리드의 단자 단부 벌지(66)에 야금 기술로 본딩한다. 따라서, 각각의 리드는 리드의 단자 단부(66)에서 유전체 시트의 상부 표면까지 유전체 시트를 관통하여 연장하는 단자 단부 벌지(66), 버튼(82), 비아 라이너(56) 및 링형 단자(44)를 포함하는 전기 전도성을 가지며, 단위체로 구성되고 야금 기술로 본딩된 단자 단부 구조물이 제공된다. 각각의 이러한 단자 단부 구조물은 리드의 단자 단부(66)를 제위치에 확고하게 고정시킨다. 이러한 단계 다음에 상부 레지스트(58)가 제거되며, 단자 즉 링(44), 비아 라이너(56) 및 리드(60)를 포함한 모든 금속 구성성분은 금박층으로 약 1㎛ 두께로 무전해 도금된다. 이 무전해 금박층은 하부 구리층(38)을 에칭하므로써 노출된 표면과 에지를 포함한 노출 금속 표면과 에지 모두를 코팅한다.

다른 특징부를 형성하기 위해 사용된 도금 및 에칭 단계는 제12도에 도시된 투명 금속 프리(free) 지역(83)을 포함한 기준 표시도 형성한다.

이 처리단계에서, 구성 성분이 완성된다. 유전체 시트는 여전히 프레임(32 : 제1도)내에 고정되며, 유전체 시트(34)는 팽팽한 상태를 유지한다. 유전체 시트(34)는 유전체 컨넥터 본체를 구성한다. 구성 성분은 이러한 상태로 처리, 운송 및 저장될 수도 있고, 혹은 마이크로 전자장치에 조립될 수도 있다. 구성 성분의 특징부의 정확한 치수는 구성 성분과 함께 사용될 마이크로 전자장치에 좌우될 것이다. 그러나, 현재 사용중인 접촉체 피치 구조의 경우의 표 1내의 다음 치수가 사용될 수 있다(모든 치수의 단위는 ㎛).

[표 1]

피치(Px, Py)	100	500	300	200
링크형 단자(44)의 내경(di)	100	100	75	50
단자의 외경(do)	250	250	150	100
상부 구리층(36)의 두께	10	10	5	5
단자 단부 벌지(66)의 직경	150	150	125	100
하부 구리층(38)의 두께	15	10	5	5
팁 단부 벌지(68)의 직경(Dtip)	100	100	75	50
(단자 단부 벌지(66)의 중심에서 팁 단부 벌지(68)까지)의 거리(L ℓ)	1000	750	500	300
스트립(70)의 폭(Ws)	35	25	20	15

본 발명의 다른 실시예에 따른 부착 공정에 있어서, 전술된 바와 같이 프레임(32)과, 리드 및 단자를 갖는 유전체 시트 즉 컨넥터 본체(34)를 포함하는 완성된 구성 성분(84)은 반도체 웨이퍼(86)와 조립된다(제11도). 웨이퍼는 각각의 완전한 반도체 칩을 포함한 다수의 칩 영역(88)을 갖는다. 개개의 칩 지역은 구성 성분(84)의 영역(41)에 대응한다(제12도). 웨이퍼(86)는 반도체 칩의 상부 표면상에 다수의 접촉체(90)를 포함한다(제13도). 구성 성분(84)은 웨이퍼의 상부 표면위에 배치되어 유전체 시트(34)의 하부 표면(37)이 반도체 칩의 상부 표면을 향해 아래 방향으로 바라보게 된다. 진공 플래튼(94)과 결합하는 반도체 칩은 웨이퍼(86)의 아래에 배치되며, 이 웨이퍼는 포트(96)를 통해 이루어진 진공에 의해 상기 플래튼에 고정된다.

그렇지 않으면 구성 성분(84)은 상부 플래튼(98)과의 결합으로 고정된다. 상부 플래튼(98)은 금속 링(103)에 의해 둘러싸여진 투명 플레이트(102)를 포함하며, 이 투명 플레이트는 석영으로 형성되는 것이 바람직하다. 접속 성분은 접속 성분(84)의 원형 프레임(32)과 링(103) 사이에 결합된 O-링(도시되지 않음) 상부 플래튼과 밀봉 결합된다. 포트(100)를 통하여 구성 성분과 투명 플레이트(102)사이의 공간에 진공이 이루어지므로 가요성 시트는 투명 플레이트와 확고하게 결합한다.

접속 구성 성분(84) 및 웨이퍼(86)가 상부 및 하부 플래튼과 결합되는 동안, 접속 성분(84)은 플래튼(98, 94)중 하나 혹은 전부를 수평 방향이나 X-Y 방향으로 이동시키므로써 그리고 제1도에 화살표로 표시된 방위각으로 서로에 대해 구성 성분(84)과 웨이퍼(96)를 회전시키도록 한 플래튼을 수직축을 중심으로 회전시키므로써 웨이퍼(86)와 정합된다. 이러한 동작은 마이크로미터 스크류 조정 장치(도시되지 않음)를 사용하여 제어될 수 있다. 이러한 처리 동안, 반도체 칩에 대한 구성 성분(84)의 위치는 구성 성분(84)상의 기준 표시를 관측하므로써 측정될 것이다. 구성 성분의 유전체 막(34)이 투명한 경우, 반도체 칩(88)이 상부 표면은 플레이트(102) 및 유전체 막(34)을 통하여 관측될 수 있다. 따라서, 구성 성분과 반도체 칩의 기준 표시 및 상대 위치는 수동관측 또는 기계적관측 시스템에 의해 검출될 수 있다.

구성 성분(84)은 반도체 칩과 정밀하게 정렬되어 각각의 리드(60)의 팁 단부(68)가 웨이퍼상의 접촉체(90)와 정렬된다. 이러한 정밀 배치는 반도체 칩 전체를 덮어 씌우는 상당히 큰 구성 성분의 경우에도 이루어질 수 있다. 예를 들어, 반도체 칩과 구성 성분은 약 10~30㎝ 직경이 될 것이다. 그러나, 이러한 큰 영역에 대해서도 리드의 팁 단부는 요구된 정밀도로 접촉체와 정렬될 것이다. 여러 계수에 의해 이러한 정밀 배치가 가능하다. 유전체막(34)이 리드 형성 공정 및 정렬 공정에 걸쳐 동일 프레임(32)에 의해 지속적으로 팽팽하게 유지되므로 리드는 제위치를 유지한다. 또한, 리드의 팁 단부(68)는 리드가 형성된 시점부터 배치 공정까지 항상 버튼(80 : 제10도)에 의해 유전체막에 고정된다. 따라서, 팁 단부는 유전체막에 대해 이동할 수 없다. 더욱이, 프레임(32)이 웨이퍼의 열 팽창율과 유사한 열 팽창율을 갖기 때문에, 배치 단계 및 후술된 후속 단계 동안의 온도 변화로 웨이퍼에 대해 유전체막이 이동되지는 않을 것이다. 또한, 구성 성분에 대한 다른 요소를 형성하기 위해 사용된 경우에 기준 표시(83)가 동일 에칭 및 도금 공정으로 형성되므로, 기준 표시는 리드와 정밀하게 정합된다.

구성 성분과 반도체 칩이 정밀한 배치로 유지되는 동안, 접속 구성 성분을 웨이퍼에 근접하여 나란히 위치시키기 위해 플래튼이 서로를 향하는 방향으로 이동된다. 압축 가스가 상부플래튼의 플레이트(102)와 접속 구성성분(84) 사이에 제공되어 제13도에 화살표로 표시된 바와 같이 시트(34)의 상부 표면을 압축가스가 내리 누른다. 이로써 시트가 웨이퍼쪽으로 하향으로 힘을 받아 각각의 리드의 팁 단부에서의 본딩 재료(72)가 정렬된 접촉체(90)와 결합된다. 압축가스는 임의의 지점에 바람직하지 않은 높은 국부적 응력

을 가함이 없이 웨이퍼 혹은 구성 성분의 비평면성에도 불구하고 웨이퍼의 전체 표면에 걸쳐 리드의 팁 단부에서의 본딩 재료(72)와 구성 성분(84)간의 접촉을 이루게 한다.

가스압력이 유지되는 동안, 스폿(72)내의 본딩 재료를 활성화시키고 리드의 팁 단부와 웨이퍼(86)의 접촉체(90) 사이에 야금 기술의 결합부(104 : 제14도)를 형성하기에 충분한 온도 조립체가 가열된다. 이러한 가열공정은 조립체를 240℃ 온도에서 약 150초 동안 가열하는 것이 바람직하다. 각각의 스폿(72)내의 주석은 접촉체(90) 및 리드내의 주변 금과 상호 확산하여 액체층을 형성한다. 이 액체층은 접촉체 패드(90)와 리드 팁 단부(68)에서의 금을 지속하여 용해시킨다. 금 성분이 증가할수록 조성물의 고상 온도가 증가한다. 이 지점에서 결합부는 고화(solidify)된다. 본딩 공정은 금과의 결합을 강하게 하여 결합 강도를 증가시키도록 금과 주석간의 상호 확산이 충분히 가능한 온도에서의 어닐링(annealing) 단계가 후속한다. 이 전체과정 동안, 리드의 팁 단부(68)는 버튼(80)에 의해 유전체 시트(34)의 하부 표면(37)에 접속된 채로 유지된다. 따라서, 팁 단부는 본딩 과정동안의 위치에서 벗어날 수 없다.

웨이퍼(86)와 구성 성분(84)이 본딩 과정 동안 가열되는 경우, 유전체 시트(34)와 전위 평면층(48)은 웨이퍼의 팽창율보다 매우 큰 팽창율로 확장할 수도 있다. 그러나, 유전체 시트와 전위 평면이 프레임(32)에 의한 장력하에서 고정되므로, 유전체 시트와 전위 평면층의 열팽창은 장력의 제거시에 큰 비중을 차지한다. 열팽창에 기인한 시트(34)와 평면층(48)의 부분의 실제 이동은 프레임(32)의 열 팽창율에 거의 비례한다. 그 결과, 프레임(32)은 웨이퍼(86)의 열팽창 계수와 거의 동일한 열팽창 계수를 갖는다. 따라서, 구성 성분(84)의 외형은 가열 공정 동안 웨이퍼의 외형과 일치되어 유지된다.

이 처리단계에서, 제14도에 예시된 상태에서의 각각의 리드(60)는 단자 구조물(66, 82, 56 및 44)에 의해 조립체의 제1 요소, 즉 유전체 시트(34)에 안정하게 결합된 단자 단부(66)를 갖는다. 또한, 각각의 리드는 조립체의 제2 요소, 즉 웨이퍼(86)에 안정하게 결합된 제2 단부(68)도 갖는다. 각각의 리드의 팁 단부(68)는 시트(34)의 하부 표면(37)에 평행한 제1 수평방향, 즉 제14도에 도시된 바와 같이 좌에서 우로의 방향 D으로 리드의 단자 단부(66)에서 파생된다. 동일방향인 D이 리드의 하부 평면도에도 표시되어 있다(제8도). 방향 D은 전체 부품에 대해서 일정하다. 즉, 팁 단부 모두는 동일방향으로 개개의 단자 단부에서 파생된다.

다음 처리단계에서, 플래튼(98)이 제거되어 관통 연장하는 홀(107)을 갖는 금속 진공 플래튼(105)으로 대체된다. 플래튼(105, 94)을 통해 다시 진공이 가해져 유전체 시트(34)와 웨이퍼(86)를 포함한 접속 구성 성분(84)이 플래튼에 대해 확고하게 고정된다. 플래튼중 하나 또는 모두가 서로를 향해 이동되어 플래튼(94) 및 반도체 칩, 즉 제2 요소(86)가 화살표 V으로 표시된 방향으로 플래튼(105) 및 유전체 시트, 즉 제1 요소(34)에 멀리 수직 이동한다. 동일 시각에 플래튼(94) 및 웨이퍼 즉 제2 요소(86)는 제15도에 도시된 바와 같이 수평방향 D, 즉 좌측으로 플래튼(105) 및 시트, 즉 제1 요소(34)에 대해 수평 이동된다. 즉, 제2 요소인 웨이퍼(86), 접촉체(94) 및 팁 단부(68)의 수평 이동 성분은 제1 방향측 최초 방향 D에 반대인 제2 방향 D이다. 따라서, 제2 요소(86) 및 리드의 팁 단부(68)는 제1 요소인 시트(34)와 리드의 단자 단부(66)에 대해 아치 모양의 경로 A를 나타낸다. 수직이동은 100~500㎛이고, 수평이동은 거의 수직이동과 동일하다.

이러한 이동은 제2 요소인 웨이퍼(86)와 팁 단부(68)에 관련한 제1 요소인 시트(34)와 단자 단부(66)의 이동에 대한 설명으로 다시 언급될 수 있다. 즉, 제1 요소는 제2 요소에 대해 최초의 파생 방향 D으로 수평 이동하는 동시에 제2 요소에서 먼쪽으로 수직 이동하여 제1 요소는 제2 요소에 대해 아치형 경로 A을 나타낸다. 그러나, 두 요소의 상대 이동에 대한 총효과는 각 리드의 팁 단부(68)를 동일 리드의 단부(66)를 향해 수평 이동시키는 동시에 리드의 단자 단부에서 멀어지는 방향으로 수직 이동시켜 각각의 리드는 제15도에 도시된 바와 같이 수직 연장하는 일반적으로 S자형 즉 유선형 구조물을 형성한다.

S자형 리드는 리드(60)를 구성하는 리본 즉 스트립(70)의 초기의 상부 및 하부 표면에 수직으로 굴곡된다. 즉, 스트립의 곡률은 리본의 주표면, 즉 리본의 초기의 상부 및 표면에 수직방향으로 굴곡된다. 또한, 제15도에 도시된 바와 같이, 각각의 S자형 구조물은 리드의 단자 단부(60)와 제1 요소인 컨넥터 본체(34)에 인접한 제1 굴곡부(111), 및 리드의 팁 단부와 접촉체(94)와 제2 요소인 웨이퍼(86)에 인접한 제2 굴곡부(113)를 포함한다. 제2 굴곡부(113)는 제1 굴곡부(111)와 대향방향으로 굴곡된다. 팁 단부(66)와 단자 단부(68)를 구성하는 리드부분은 일반적으로 초기의 방향을 유지하여 이 지역내의 리드의 주표면, 즉 상부 및 단자 하부표면은 여전히 위와 아래를 향하고 있다. 오직 하나의 리드만이 제15도에 도시되어 있지만, 모든 리드가 리드 형성단계 동안에 동일방식으로 동시 형성된다는 것을 알 수 있을 것이다. 따라서, 모든 리드는 동일한 S자형 곡률을 가지며, S자형 리드는 동일 방향성으로 서로 평행하게 연장한다.

리드 형성단계 동안, 팁 단부(68)는 유전체 시트의 하부 표면(37)으로부터 분리된다. 구리 버튼(80)도 용이하게 분리된다. 모든 리드를 변형시키기위해 요구된 힘이 유전체 시트(34)의 하부 표면(37)과 웨이퍼(86)의 상부 표면(92) 사이의 대기압에 의해 가해진다. 각각의 리드를 굴곡시키는데 필요한 힘이 리드의 정확한 치수에 따라 변화하지만 요구된 힘을 측정하기 위한 값은 리드당 약 2g이다.

대기압으로부터 이용가능한 힘은 표준 대기압과 웨이퍼, 즉 구성 성분의 면적과의 곱으로 구해진다. 대기압으로부터의 이용가능한 힘이 불충분한 경우, 웨이퍼(86) 및 시트(34)는 왁스(wax)와 같은 임시 결합재에 의해 임시적으로 플래튼에 결합될 것이다. 이와 달리, 적합한 개스케팅(gasketing)이 플래튼의 원주둘레에 배치되는 경우, 초대기압하에서의 가스 또는 다른 유체가 이러한 요소와 플래튼을 결합시키는 힘을 증가시키고 이로써 리드의 굴곡에 이용할 수 있는 힘을 증가시키기 위해 시트(34)와 웨이퍼(86) 사이에 제공될 수도 있다.

리드형성 단계 후, 유전체 시트(34)와 웨이퍼(86)가 이동된 위치에 존재하고 플래튼(105, 94)과 여전히 결합되어 있는 동안, 유동 가능한 경화성 유전체 재료(108)가 유전체 시트(34)와 웨이퍼 사이의 공간에 주입된다. 컨넥터 본체 즉 유전체 시트(34)의 하부 표면은 비아 라이너(56)와 같은 단자 구조물에 의해 채워진 홈부 이외의 홈부에 대해 자유롭다. 따라서, 유동성 재료는 유전체 시트(34)의 컨넥터 본체와 웨이퍼(86) 사이로 한정되며 유전체 시트의 상부 표면상의 단자 외형(44)을 덮어 씌우지는 못한다. 경화되지 않은 상태의 유동성 재료는 낮은 점성을 가지며 시트와 웨이퍼의 재료를 습하게 하여(wet) 시트와 웨

이퍼 사이의 모든 공간을 채우고 모든 리드(60) 사이에 침투한다. 유전체 재료(108)는 경화시에 탄성중합체와 같은 유연성 재료를 형성할 수 있는 재료로 선택된다. 이러한 재료로 적합한 것은 미시간주 미드랜드에 위치한 Dow Corning Corporation에서 DOW 577 SILICONE 상표명으로 판매되는 경화성 실리콘과 Shin-Etsu Silicones of anerica, Inc.에서 제조한 다른 경화성 실리콘 등이다. 유동성 재료는 외부 압력으로 주입되거나 그렇지 않으면 외부 압력없이 모세관 현상에 의해서만 공간을 채우도록 주입될 수도 있다. 유동성 재료를 주입한 후, 이 재료는 제위치에서 경화된다. 유동성 재료의 조직에 따라, 이러한 경화가 실온에서 임의적으로 발생하거나 또는 열이나 방사 에너지에 대한 노출을 필요로 할 수도 있다. 전술된 실리콘 재료에 대한 대표적인 경화 사이클은 160℃의 온도를 약 20분동안 필요로 한다.

리드(60)에 의해 접촉체(94)에 접속된 단자(44), 유전체 상부 시트(34), 유연성 유전체층(108) 및 웨이퍼(86)를 포함하는 어셈블리는 경화 후에 플래튼에서 제거된다. 그리고 나서, 시트(34)의 상부 표면상의 연속 전위 평면층(48)이 단자(44)에 개구를 남겨둔 채로 종래의 솔더 매스크층(110)으로 코팅된다. 그후 종래의 플립 칩 결합에서 사용된 것과 유사한 솔더 볼 응용기술을 이용하여 단자(44)상에 솔더 볼(116)이 부착된다. 각각의 솔더 볼(116)은 구리 또는 구리합금으로 형성되는 것이 바람직한 구형 코어(112) 및 납-주석 솔더와 같은 솔더의 코팅체(114)를 포함할 것이다. 예를 들어, 솔더 볼은 63%의 납과 37%의 주석으로 이루어진 두께가 50㎛인 200㎛ 직경의 구형 코어(112)를 포함할 것이다. 단자(44)의 패턴에 대응하는 패턴내에 홀을 갖는 몰리브덴 시트(도시되지 않음)는 단자와 정합되며, 솔더 볼이 시트의 홀내에 위치된다. 따라서, 각각의 솔더 볼은 한 단자(44)와 정렬되어 적합한 플럭스(flux)가 가해진다. 전체 조립체는 솔더를 용융시키기에 충분한 온도, 예를 들어 약 200℃의 온도에서 약 40초동안 가열된다. 그리고나서 제17도에 예시된 바와 같이 솔더가 녹아 흘러 단자(44)에 본딩된다. 솔더링에 사용된 플럭스가 어셈블리로부터 세척된다.

솔더링 동작 다음에, 유전체 시트의 여러지역 사이에 있는 라인 43(제12도)을 따라 웨이퍼(86), 유전체 시트(34) 및 유연성층(108)이 동시에 절단된다.

이러한 라인은 웨이퍼(86)를 이루고 있는 칩(88)사이의 경계선과 정합된다. 따라서, 이러한 절단동작으로 제18도에 도시된 바와 같은 각각이 유전체 시트(34)의 한 지역, 유전체층(108)의 일부분 및 웨이퍼(86)의 한 칩(88)을 포함하는 개개의 유닛이 형성된다. 각각의 지역상의 단자(44) 및 솔더 볼(116)은 칩상의 접촉체의 피치에 동일한 피치를 갖는 그리드로 배치된다. 전체 유닛은 칩의 표면영역보다 작은 표면영역을 갖는다. 그리고나서, 각각의 유닛은 검사 설비물과 유닛을 압력하에서 서로 결합시키는 것과 같은 방법으로 전체 유닛의 단자와 솔더 볼을 검사 설비물상의 임시 접촉체 즉 탐침과 결합시키므로써 개별적으로 검사될 수 있다. 유전체 재료의 유연성과 시트(34, 108)의 굴곡은 검사 설비물과의 신뢰성 있는 동시 결합에 도움을 준다. 동일한 공정이 흔히 번-인(burn-in)으로 지칭되는 연장된 검사동작을 위해 사용될 수 있다.

검사 및 번-인 처리 후, 필요하다면, 솔더 볼과 기판상의 접촉체 패드를 결합시키고 솔더를 용융시키기 위해 조립체를 가열하여 원형 패널 혹은 칩 패키지와 같은 기판에 이 유닛을 영구히 장착할 수 있다. 솔더링 기술은 플립-칩 혹은 표면 마운트 조립체의 솔더링시에 사용된 것과 동일할 수도 있다. 예를 들어, 유닛상의 솔더볼 각각은 흔히 표면 마운트 장착시에 사용된 바와 같은 플럭스에 분포된 솔더입자를 포함하는 솔더 페이스트(solder paste)의 패드상에 위치될 수 있다. 유닛은 초기의 칩과 같이 소형이므로, 매우 소형의 회로 어셈블리를 형성하기 위해 다른 칩에 인접 배치될 것이다. 조립 후, 유닛은 동작시에 상당히 장점을 나타낸다. 따라서, 가용성 리드(60), 가요성 시트(34) 및 가요성의 유연성 재료(108)는 각각의 단자(44)와 관련 솔더 볼(116)이 칩의 관련 단자(94)에 대해 이동 가능케한다.

이러한 가요성은 솔더 조인트에 커다란 응력을 제공하지 않고 칩과 관련 회로 패널 즉 기판의 상이한 열팽창 및 열수축을 가능케한다.

본 발명의 실시예에 따른 접속 구성성분은 전술된 구조와 유사한 구조를 갖지만 유전체 시트(34)에 올려져 유전체 시트의 상부 표면상의 단자(44') 및 전위 평면층(48')을 덮어 씌우는 강화 시트(57' : 제19도)를 포함한다. 강화층은 유전체 시트의 전체 표면에 걸쳐 연장한다. 유전체 시트 및 강화층은 제1도를 참조로 설명된 링형 프레임(32)과 유사한 링형 프레임에 조여지는 것이 바람직하다. 강화층(57)은 단자(44), 층(48) 및 비아스와 비아 라이너 같은 상부 표면상의 특징부가 형성된 후에 설치된다. 층(57')은 제거가능한 접착제에 의해 유전체 시트 및 다른 구조물에 본딩될 것이다. 강화층은 시트의 하부 표면(37')상의 리드(60') 및 다른 특징부가 형성되기 전에 설치될 것이다. 강화층은 웨이퍼의 열팽창 계수와 거의 동일한 열팽창 계수를 갖는 것이 바람직하다. 실리콘 웨이퍼와 함께 사용하기 위한 바람직한 강화 시트 재료로는 몰리브덴이 있다. 강화층은 약 25~250㎛ 두께의 매우 얇은 시트 즉 호일의 형태인 것이 바람직하다. 웨이퍼에 대한 접속 구성성분이 조립 동안, 강화층상에 유압이 가해지며 이 유압의 강화층을 통해 유전체 시트(34')에 가해진다. 강화층은 유전체 시트의 스트레칭과 디스토션(왜곡)을 방지하는 기능을 하여 리드의 탭 단부와 웨이퍼상의 접촉체간의 정미 정합의 유지에 도움을 준다. 또한, 강화층은 기준 표시를 확인할 수 있도록 시트의 기준 표시 지역에 개구(도시되지 않음)가 제공된다. 강화층은 접착제를 불활성화 시키기 위한 불활성화 가열(deactivating heating)과 같은 방법으로 웨이퍼에 대한 조립 후에 제거된다. 이러한 방법의 다른 변형으로 강화층은 유전체층내에 삽입된 영구층으로서 제공될 것이다. 이러한 영구층은 단자와 정렬된 개구를 가져 비아스가 개구를 통해 연장한다.

본 발명의 다른 변형에 있어서, 접속 구성성분은 더 적은 지역으로 제조될 수 있으며 웨이퍼의 일부분에만 가해질 수도 있다. 또한, 반도체 칩은 구성성분과의 결합전에 개개의 칩을 제공하기 위해 웨이퍼에서 절단될 수도 있다. 그러므로, 리드의 칩 단부를 본딩하는 단계는 하나의 칩과 동시에 실행될 것이다. 이러한 배치에 있어서, 접속 구성 성분은 각각이 한 칩 크기의 유전체 시트 지역을 갖고 하나의 칩상에서 접속을 이루기 위해 요구되는 리드를 포함하는 개개의 유닛으로서 제조될 수 있다. 이러한 개개의 구성성분은 서로에 대해 완전히 분리되거나 개개의 칩과의 순차 본딩을 위한 반연속 테이프 또는 시트로서 제공될 수도 있다. 이러한 배치에 있어서, 개개의 칩과 유전체막의 각 부분은 본딩후에 리드를 형성하기 위해 전술된 방법으로 서로에 대해 이동된다. 전체 웨이퍼 처리를 동시에 하므로써 공정 및 단순화에 있어 중요한 경제적 장점을 갖는다. 유닛을 형성하기 위해 유전체 시트와 웨이퍼를 절단하기 위해 오직 한번의 절단동작이 요구된다. 그러나, 단일 칩 크기 유닛 또는 소형의 다중 칩 유닛으로의 처리는 칩상의 접촉체

와 리드의 팁 단부의 정합을 용이케하며, 공정과정의 문제점을 상당히 경감시킨다.

본 발명에 따른 다른 변형에 있어서, 반도체 웨이퍼나 칩과는 다른 마이크로 전자장치가 접속 구성 성분에 부착되어 리드 형성단계에서 사용될 수도 있다. 예를 들어, 접촉체를 갖는 회로 판넬이나 모듈이 전술된 웨이퍼 및 칩과 동일한 방법으로 접속 구성 성분에 부착될 수도 있다.

다른 변형에 따른 접속 구성 성분이 제20도에 예시되어 있다. 이러한 변형에 따른 구조물은 상부 표면(135)상에 단자(144)를 갖고 있는 유전제 시트(134)를 포함한다. 신장된 스트립형 구조물(170)을 포함하는 리드(160)는 유전체 시트의 하부 표면(137) 아래로 연장한다. 각각의 리드는 단자 단부 구조물을 갖는 단자 단부(166)를 포함하는데, 이 단자 단부 구조물은 유전체 시트의 하부 표면에서 상부 표면까지 유전제 시트(134)를 관통 연장하여 관련 단자(144)와 합체된다. 예를 들어, 각각의 스트립형 리드부(170)는 유전제 시트(134)에서 떨어져 이격되고 리드의 팁 단부(168)에서의 첨단 부착제(point attachment) 및 단자 단부 구조물에 의해서만 유전체 시트에 부착될 것이다.

제20도의 부품은 스티렌 폴리머 혹은 공중합체와 같은 용해가능한 시트형 재료로 형성된 위치선정 시트(positioner sheet : 180)를 포함한다. 각각의 리드는 블라인드 비아와 같이 팁 단부 구조물(181)을 갖는데, 이러한 팁 단부 구조물(181)은 위치선정 시트(180)를 통해 연장하며 리드 및 유전체 혹은 상부 시트(134)로부터 이격된 위치선정 시트의 측면, 즉 위치선정 시트의 하부 측면(182)상에 외향 돌출 헤드로 형성된다. 제20도에 예시된 초기의 불변형 상태에서, 각 리드의 팁 단부(168)는 제1 수평방향 D으로 단자 단부(161)에서 파생된다.

형성단계에서, 유전제 시트(134)와 위치선정 시트(180)는 각기 플래튼(198 및 199)과 결합된다. 상기 플래튼이 서로에 대해 이동되어서, 플래튼(199), 위치선정 시트(180) 및 리드의 팁 단부(168)는 제21도에 예시된 위치로의 아치형 이동으로 유전체 시트(134)와 리드의 단자 단부(166)에 대해 이동한다. 위치선정 시트와 리드의 팁 단부는 리드의 단자 단부에 대해 제1 방향 D과 반대인 제2 수평방향으로 이동하며, 또한 유전제 시트(134)와 단자 단부(166)에서 먼쪽으로 수직 하향 이동한다. 다시, 각 팁 단부는 관련 단자 단부를 향해서는 수평 이동하지만 다른 단자 단부에서 멀어지는 방향으로 수직이동하여 리드가 수직 연장하는 S자형 굴곡 상태로 변형된다. 여기서도, 모든 S자형 리드는 리드를 구성하는 리본의 주표면에 수직으로 굴곡된다. 또한, S자형 리드는 서로에 대해 평행하게 연장한다.

이 동작 다음, 유동성의 경화가능한 유전체 재료(118)가 시트(134, 180) 사이에 제공되어 전술된 바와 동일한 방식으로 경화되며, 그리고나서 부품이 플래튼에서 제거된다. 제22도에 예시된 바와 같이, 위치선정 시트(180)는 솔벤트에 대한 노출과 같은 바람직한 방법으로 노출 유전체 지지층의 하부 표면(119)을 남겨두며 제거된다. 이러한 상태에서, 유전체 지지층(118)은 리드(160)을 에워싸 지지한다. 각각의 팁 단부 구조물(181)은 유전체 지지층의 하부 표면에서 노출된다. 전기 전도성 본딩 재료(170)가 팁 단부 구조물(181)상에 가해지며, 경화성 유전체 접착제(173)의 층이 유전체 지지층(119)의 하부 표면(118)위에 가해진다. 접착제는 실온보다는 높지만 어셈블리의 다른 성분에 손상을 입히는 온도보다는 낮은 활성 온도를 갖는 소위 순간 경화 접착제(snap-cure adhesive)가 가능하다. 이에 적합한 순간 경화 접착제로는 California, Rancho Dominguez에 위치한 Ablestick Electronics Materials and Adhesives Company에서 제조한 ABLEBOND 967-3이라는 상표명의 접착제가 있다. 전도성 본딩 재료(170)로는 전술된 공융 본딩 재료가 가능하며, 산화를 방지하기 위해 금박층과 함께 제공될 것이다. 이제 접속 부품이 사용될 수 있다.

사용시에, 유전체 지지층의 하부 표면(119)이 반도체 칩, 웨이퍼 또는 다른 마이크로 전자장치(202)의 접촉체 수용면과 나란히 배치되어 리드의 팁 단부(168), 팁 구조물(18) 및 본딩 재료(170)가 접촉체(204)와 정합되며, 그리고나서 이러한 어셈블리는 지지층(118)의 하부 표면과 접촉체 수용면(200)의 결합 및 리드 팁 단부와 접촉체의 결합을 위해 가열 및 가압된다. 이러한 상태하에서, 접착제(173)는 지지층(118)과 구성요소(202)사이에 보이드가 없는 계면을 형성하고 전도성 본딩 재료는 리드와 마이크로 전자장치의 접촉체간의 금속결합 및 전기 접속을 형성하여 단자(144)로 접촉체에 접속시킨다. 이 결과의 어셈블리는 전술된 어셈블리와 동일한 방법으로 회로 패널 혹은 다른 기판에 장착될 수 있어 비슷한 장점을 제공한다. 본 예에서도, 접속 부품은 하나의 웨이퍼내에 모든 칩을 동시에 부착될 수 있도록 대형의 부품으로 제조될 수 있으며, 이에 후속하여 개개의 유닛을 형성하기 위해 유전체 시트의 일부를 절단하고 웨이퍼에서 칩을 절단한다. 이와 달리, 접속 부품이 하나의 칩 크기로 제조되어 웨이퍼로부터 칩을 절단한 후 하나의 반도체 칩에 부착될 수도 있다.

다른 변형에 있어서, 위치선정 시트(180)는 최종 부품의 일부로서 제위치에 남겨질수도 있다. 이 경우에, 위치선정 시트(180)는 상부 시트(134)에 사용된 것과 유사한 가요성 유전재료로 형성되는 것이 바람직하다. 위치선정 시트는 위치선정 시트와 반도체 칩 혹은 다른 마이크로 전자장치간에 보이드 없는 계면을 형성하기 위해 하부 표면상에 접착제의 코팅막이 제공될 수도 있다. 다른 변형에 있어서, 리드의 단자 단부를 포함하는 제1 구성요소는 내부 컨넥터가 리드의 단자 단부에 접속되는 두껍고 단단한 기판 자체일 수도 있다. 이러한 배치에 있어서, 마이크로 전자장치 혹은 반도체 칩은 리드를 통하여 기판에 직접 접속되며, 마이크로 전자장치는 리드 프레임 형성단계에서 기판에 대해 이동된다. 전술된 구조 및 방법에서, 컨넥터 본체인 유전체 시트와 마이크로 전자장치인 팁 사이에 유연성 층을 형성하기 위해 사용된 유동성 유연재료는 제거될 수 있다. 이로써 유전체 시트 즉 컨넥터 본체는 리드 자체에 의해 칩 즉 마이크로 전자장치 위에서 탄력적으로 지지된다.

다른 변형 실시예에 따라, 리드의 팁 단부를 이동시키기 위해 사용된 제2 구성요소는 일시적으로 팁 단부에 결합되거나 본딩된 플래튼형 구조와 같은 수단이 될 것이다. 이러한 수단은 리드 이동단계 후에 팁 단부에서 분리될 것이다.

부품상의 단자는 솔더링에 의해 기판에 부착시킬 필요가 없다. 단자와 접촉패드, 소켓 장치등의 물리적 결합, 공융 본딩결합(eutectic bonding) 및 확산 결합과 같은 다른방법이 사용될 수 있다. 단자 구조는 이러한 방법에 알맞게 변화될 것이다. 금-주석 화합물과는 다른 공융 본딩 재료가 사용될 수 있다. 따라서, 금은 게르마늄, 실리콘, 주석 혹은 이들의 화합물과의 공융 화합물을 형성할 수 있다.

리드의 팁 단부는 공융 결합과는 다른 예를 들어 액체상태의 형성이 없는 확산 결합에 의해 또는 솔더나 금속 함유 중합체 조성물을 사용하므로써 웨이퍼나 다른 마이크로 전자장치상의 접촉체에 부착될 수

있다. 본딩 재료는 예를 들어, 리드 팁 단부를 담그거나 실크 스크린을 이용하거나 또는 반죽으로 가하는 것과 같은 도금과는 다른방법으로 가해질 수 있다. 전도성 본딩 재료는 리드 팁 단부보다는 마이크로 전자장치의 접촉체상에 제공될 수도 있다. 이와 달리, 별도의 본딩 재료를 필요로 하지 않는 본딩 방법이 이용될 수도 있다. 이러한 본딩 방법의 예로 접촉체에 대한 리드 팁 단부의 더모조닉(thermosonic) 및 열압축(thermo compression) 본딩과 같은 방법이 있다. 은, 구리, 및 황동과 같은 금이외의 재료가 리드용으로 사용될 수도 있다. 또한, 구리 및 니켈 이외의 다른 금속이 단자, 전도층 및 비아 라이너로 사용될 수도 있다.

제23도에 도시된 바와 같이, 각각의 리드(260)는 유전체 시트 또는 컨넥터 본체(도시되지 않음)를 통하여 상향 돌출하는 단자 구조물(256)에 부착된 단자 단부(266)를 포함할 수도 있으며, 팁 단부를 접촉체에 본딩시키기 위해 본딩 재료(272) 또는 다른 적합 물질을 갖는 팁 단부(268)를 포함할 수도 있다. 이러한 구성요소는 전술된 구조물의 대응 구성요소와 매우 유사할 것이다. 제23도의 구조는 리드의 단자 단부(266) 및 팁 단부(268)에 접속하는 유선형 스트립(270)을 포함한다. 제23도에 실선으로도시된 리드의 초기의 불변형 상태에서, 팁 단부, 단자 단부 및 스트립(270)은 공동 평면을 이루고 컨넥터 본체의 하부 표면에 혹은 인접하게 위치된다. 제13도 내지 제15도를 참고로 설명된 것과 유사한 접속 공정을 이용하면, 팁 단부(268)가 웨이퍼나 칩 등과 같은 마이크로 전자장치상의 접촉체에 본딩된다.

본딩 후, 마이크로 전자장치는 컨넥터 본체 혹은 유전체 시트에 대해 이동되며, 리드의 단자 단부(266)에 대해서도 하향으로 직선 수직 이동한다. 이로써 제1 구성요소 즉 유전체 시트에서 멀어지는 단방향 수직 이동방향으로 단자 단부(268)가 하향 이동된다. 상대 이동방향은 제23도에 화살표 V'으로 표시된다.

팁 단부의 하향 이동은 제23도에 점선(270')으로 도시된 바와 같이 유선형 스트립(270)을 직선으로 만들 것이다. 따라서, 이동후의 리드는 전술된 S자형 리드보다 더 직선화된다. 그러나, 리드가 이동단계 동안 완전히 일직선으로 되지 않아 리드가 마이크로 전자장치 혹은 시트에서 멀리있는 팁 단부와 단자 단부를 끌어당기지 않도록 하는 것이 바람직하다. 초기의 유선형 스트립을 사용하는 단계는 제115도를 참고로 설명된 바와 같은 복합 이동을 포함할 수 있다. 따라서, 유선형 스트립(270)에 있어서, 상대 이동이 제2 구성요소의 이동을 포함하고 수평방향 D'에서의 팁 단부(268)가 단자 단부(266)를 향한다면, 유선형 스트립(270)은 굴곡 형태(270)로 형성될 수 있다.

초기의 유선형 리드는 컨넥터 본체 혹은 유전체 시트상에 다른방법으로 배치될 수도 있다. 예를 들어, 초기의 불변형 상태에서의 각각의 유선형 리드는 각 리드의 단자 단부(366)와 팁 단부(368) 사이에서 컨넥터 본체용의 유전체 시트(제24도)의 하부 표면(337)과 함께 연장하는 S자형 스트립(370)을 포함할 수도 있다.

S자형 리드 구조물은 단자 단부(306)가 열로 배치되고 팁 단부(368)도 이와 유사한 파생된 열로 배치되는 제24도에 도시된 방법으로 형성될 것이다. 이와 달리, 유선형 리드는 각 리드의 단자 단부(382)와 팁 단부(384) 사이에 하나의 굴곡부를 갖는 U자형 구조물(380)을 포함할 것이다. 다수의 굴곡부를 갖는 구조물이 이용될 수도 있다.

제26도의 부품에 있어서, 각각의 리드의 팁 단부(468)는 팁 단부 밑에 있는 다른 본딩 구조물 혹은 버튼에 의해 제위치에 고정되지 않는다. 오히려 각 리드의 팁 단부는 연성(frangible) 구성요소(471)를 통하여 다음 인접 리드의 단자 단부(466)에 접속된다. 따라서, 상기 연성 구성요소는 각각의 팁 단부(468)를 컨넥터 본체 즉 유전체 시트의 하부 표면(437)에 인접한 위치에 유지시킨다. 연성 구성요소(471)는 리드를 구성하는 스트립(470)의 연속으로서 형성되며, V자형 노치(473)가 스트립의 양측에서 내부로 연장된다. 조립단계에서, 팁 단부(468)는 팁 단부상의 전기 전도 본딩 재료(472)를 활성화시키는 것과 같은 전술된 방법과 동일한 방법으로 칩 또는 다른 마이크로 전자장치의 접촉체에 본딩된다. 본딩 후, 마이크로 전자장치가 전술된 것과 동일한 방법으로 컨넥터 본체 혹은 유전체 시트에 대해 이동되어, 각 리드의 팁 단부(468)가 단자 단부(466) 및 본체에서 먼쪽으로 수직 이동하며, 또한 팁 단부가 관련 단자 단부를 향해 이동된다. 이러한 동작은 연성 구성요소(471)를 파괴하여 각각의 팁 단부와 다음의 단자 단부간의 접속을 깨뜨린다. 연성 리드에 대한 구조는 예를 들어 1994. 2. 3에 공개된 PCT 공개번호 W09403036(미합중국 출원번호 US/93/06930)에 개시되어 있다. 이러한 PCT 공개내용은 본 명세서에서 참고로 이용된다.

제27도의 부품에 있어서, 각 리드의 단자 단부(568)는 벌지로 제공되지 않고, 그 대신 리드를 형성하는 스트립(570)의 연속으로 구성된다. 리드의 단부(568)는 연성부(571)에 의해 다음 인접 리드의 단자 단부(566)에 접속된다. 이 부품에서, 유전체 시트 혹은 컨넥터 본체(534)는 리드의 단자 단부(568)와 정렬된 홀(569)을 포함한다. 제28도에 도시된 바와 같이, 이러한 부품에 이용된 본딩 과정은 수단(593)을 이용한다. 시트 즉 컨넥터 본체(534)와 리드를 마이크로 전자장치 즉 칩(586)상의 접촉체(594)와 정렬 위치시키고 나서, 본딩 수단(593)은 홀(569)을 통과하여 나아가고 팁 단부를 접촉체에 결합하기 위해 각 리드의 팁 단부(568)와 맞물린다. 이러한 본딩 후, 마이크로 전자장치 혹은 칩(586)은 전술된 바와 동일한 방법으로 유전체 시트 혹은 컨넥터 본체(534)에 대해 이동된다. 이러한 이동은 각 리드의 팁 단부와 인접 리드의 단자 단부(566)간의 연성부(571)를 파괴하여 팁 단부를 자유롭게 하며 리드로 하여금 전술된 방법과 동일한 방법으로 유전체 시트 혹은 컨넥터 본체(534)에서 먼쪽으로 굴곡되게 한다. 이동단계 전이나 후에, 홀(569)은 유전체층의 상부 표면상에 막 또는 필름을 입힘으로써 닫혀지게 될 것이다.

제29도에 도시된 바와 같이, 웨이퍼, 칩 또는 다른 마이크로 전자장치(686)는 웨이퍼의 접촉체 수용면(692)의 바로 위에 혹은 약간 떨어져 연장하는 리드(660)가 제공될 것이다. 따라서, 각 리드의 고정 단부 즉 단자 단부(666)는 칩이나 웨이퍼의 접촉체(694)에 영구히 접속되며 아울러 도면 인용부호 695로 표시된 칩이나 웨이퍼의 내부 회로에 영구히 접속될 것이다. 각 리드의 팁 단부(668)는 전술된 것과 유사한 소형의 느슨한 접착 버튼(680)에 착탈식으로 고정될 것이다.

팁 단부는 본딩 재료(672)가 선택적으로 제공될 수도 있다. 이러한 구조는 전술된 리드 구조와 동일한 방식으로 제조될 것이다. 칩의 접촉체 수용면(692)은 리드 형성단계 동안 칩을 보호하기 위해 폴리이미드 혹은 다른 유전체 재료의 코팅(693)이 제공될 수 있다. 이러한 코팅은 완성 어셈블리에서 제위치에 유지될 것이다.

제29도의 리드를 포함한 칩 또는 반도체는 하부 표면(637)상에 단자(644)를 갖는 컨넥터 본체(634)에 조립될 수 있다. 각각의 단자(644)는 내부 회로 구성요소 혹은 도체(645)에 접속된다. 각각의 단자(644)는 컨넥터 본체의 상부 표면상의 구조물(646)에 접속될 수 있다. 구조물(646)은 예를 들어 전술된 솔더 볼 처리에 의해서와 같이 외부 기판에 대한 접속을 위해 사용된다. 본딩 단계는 전술된 바와 동일하다. 본딩 후, 두 구성요소는 요구된 유선형 리드 구조물을 형성하기 위해 서로에 대해 수직 이동하며, 아울러 수평 이동하는 것이 바람직하다.

제30도에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 어셈블리는 복수의 칩(701, 702, 703)과 같은 다수의 마이크로 전자장치를 포함한다. 이러한 전자장치는 접촉체 수용면(705, 706, 707)이 서로 동평면으로 배치되도록 공통 지지층 혹은 열 싱크(heat sink ; 704)에 물리적으로 부착된다. 칩이 상이한 두께를 갖는 경우, 싱크(704)는 다른 높이로 칩 장착 표면을 가질 것이다. 마이크로 전자장치는 서로에 대해 소정의 수평 위치에 배치된다. 즉, 다수 칩의 접촉체 어레이는 서로에 대한 소정 위치로 배치된다. 이러한 전자장치와 함께 사용된 컨넥터 본체(734)는 다수의 단자(744)를 포함할 수도 있다. 단자(744)는 다수의 칩 혹은 마이크로 전자장치상의 접촉체의 어레이에 대응하는 어레이로 배치된다. 단자(644)는 외부 기판(도시되지 않음)에 대한 접속을 위해 사용된다. 다수의 S자형 리드(760)가 전술된 단계에 의해 단자(744)와 칩상의 접촉체 사이에 형성된다. 따라서, 컨넥터 본체(734)는 칩(701, 702, 703)상의 조립물과 나란히 배치되며, 컨넥터 본체상의 리드의 팁 단부가 다수의 칩상의 접촉체와 동시에 본딩되고, 그리고나서 칩의 조립물이 컨넥터 본체(734)에 대해 이동된다. 이와 달리, 칩(701, 702, 703)은 제29도를 참고로 설명된 바와 같은 리드를 포함하며, 이러한 리드의 팁 단부는 컨넥터 본체상의 단자(744)에 본딩될 것이다. 유선형 리드를 둘러싸기 위해 유연성 유전체 재료(도시되지 않음)가 컨넥터 본체와 칩 조립물 사이의 공간에 주입되는 것이 바람직하다. 이러한 배치에 있어서, 컨넥터 본체(734)는 다중칩 모듈을 형성하기 위해 여러 단자(744)와 반도체 칩이나 마이크로 전자장치에 상호 접속되는 도체(745)를 포함한다. 도체(745)는 제30도에만 도시되어 있다. 실제로 도체는 다중층으로 배열된 복수의 도체로 이루어지며 컨넥터 본체(734)의 상부 및 하부 표면상의 도체를 포함할 것이다. 다른 방법에서는 각각의 칩(701, 702, 703)이 컨넥터 본체(734)와 독자적으로 정렬되어 지지체 즉 열 싱크(704)가 칩에 본딩되기 전에 리드(760)의 팁 단부(768)에 본딩될 수도 있다.

본 발명에 따른 구조 및 방법으로 접속된 마이크로 전자장치는 칩 자체를 포함할 필요가 없다. 예를 들어, 마이크로 전자장치는 경성 인쇄 배선 기판, 세라믹 모듈 혹은 금속 코어 배선층과 같은 회로 판넬이나 상호접속 모듈일 수도 있다. 이러한 부류의 구성요소를 접속시키기 위해 사용된 리드는 반도체 칩이나 웨이퍼에 대한 접속에 사용된 리드보다 크다. 따라서, 회로판넬에 대한 직접 접속을 위한 사용된 리드는 약 10～35㎛의 두께와 약 500～2500㎛의 길이를 갖는 리본형 구조로 형성되는 것이 바람직하다. 이러한 용도의 리본은 금보다는 구리합금으로 형성되는 것이 바람직하다.

전술된 특징의 변형 및 조합으로 첨부된 특허청구의 범위에서 한정된 본 발명의 요지에서 벗어나지 않은 다른 실시예가 당업자에 의해 가능하다는 것은 명백하다.

(57) 청구의 범위

청구항 1

마이크로 전자장치의 리드 어레이를 형성하기 위한 방법에 있어서, (a) 제1 표면(37)상에서 이 제1 표면을 따라 신장되고 제1 구성요소에 부착된 단자 단부(66) 및 상기 단자 단부에서 파생된 팁 단부(68)를 각각 갖는 복수의 긴 가요성 리드(60)를 구비한 제1 구성요소(84)를 제공하는 단계와; (b) 상기 제1 구성요소에서 먼 방향으로 상기 팁 단부를 굴곡시키도록 상기 리드의 상기 팁 단부 모두를 소정 변위로 상기 제1 구성요소에 대해 동시에 변위시키므로써 리드를 형성하는 단계를 포함하고, 상기 신장된 가요성 리드는 상기 형성단계 후에 상기 제1 표면에서 먼 방향으로 연장되게 하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 리드의 상기 팁 단부(68)는 최초에는 상기 제1 구성요소에 고정되며, 상기 형성단계에서 상기 제1 구성요소로부터 분리되는 것을 특징으로 하는 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 리드의 상기 팁 단부를 제2 구성요소(86)에 부착시키는 단계를 추가로 포함하며, 상기 형성단계는 상기 제1 구성요소에 대해 상기 소정 변위로 상기 제2 구성요소를 이동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서, 각각의 상기 리드의 팁 단부는 상기 제1 구성요소의 제1 표면에 평행한 제1 수평방향(D_1)으로 상기 리드의 종단 단부로부터 파생되며, 상기 제2 구성요소를 이동시키는 단계는 상기 제1 수평방향에 반대인 제2 수평방향(D_2)으로 상기 제2 구성요소를 이동시키는 단계와 상기 제1 구성요소에서 멀어지는 하향 수직방향으로 상기 제2 구성요소를 이동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 5

제4항에 있어서, 상기 수평 및 수직 이동에 의해 상기 리드가 상기 제1 표면에서 먼 방향으로 수직 연장하는 위치에 있게 되는 것을 특징으로 하는 방법.

청구항 6

제3항에 있어서, 상기 형성단계 후에 상기 리드 둘레에 유동성 유전체 재료(108)를 주입하는 단계 및 상기 유동성 유전체 재료를 경화시켜 상기 리드 둘레에 유전체 지지층을 형성하는 단계를 더 포함하는 것을

특징으로 하는 방법.

청구항 7

제6항에 있어서, 상기 유동성 유전체 재료의 주입단계는 상기 제2 구성요소와 상기 제1 구성요소 사이에 유동성 유전체 재료를 주입하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8

제6항에 있어서, 상기 유전체 지지층의 형성단계 다음에 제2 구성요소(180)를 제거하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 9

제8항에 있어서, 상기 제1 층에서 이격된 상기 지지층이 제1 표면상에 접착제(173)를 가하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 10

제3항에 있어서, 상기 제1 구성요소에 대해 상기 제2 구성요소를 이동시키는 단계는 상기 제2 구성요소를 툴(94)과 결합시켜 상기 툴이 상기 제1 구성요소에서 이격된 상기 제2 구성요소의 제1 표면에 결합되게 하는 단계와, 상기 제1 구성요소를 설비물(105)과 결합시켜 상기 설비물이 상기 제2 구성요소에서 이격된 상기 제1 구성요소의 제2 표면에 결합되게 하는 단계와, 상기 툴과 설비물을 서로에 대해 이동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 11

제10항에 있어서, 상기 툴 및 상기 설비물을 상기 구성요소들과 결합시키는 단계는 대기압이 상기 툴과 설비물에 대해 상기 구성요소들을 밀어내도록 상기 툴과 설비물을 통하여 진공을 가하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 12

제3항에 있어서, 상기 제1 구성요소는 상부 및 하부 표면을 갖는 가요성 유전체 상부 시트(34)를 포함하고, 상기 리드는 상기 상부 시트의 상기 하부 표면(37)을 따라 연장하며, 상기 리드를 제공하는 상기 단계는 상기 상부 시트의 홀을 통하여 돌출하는 단자 구조물(44, 56)을 갖는 각각의 리드 단자를 제공하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 13

제12항에 있어서, 상기 제2 구성요소는 가요성 유전체의 제2 시트(180)를 포함하며, 상기 이동단계 후에 상기 상부 시트와 상기 제2 시트사이에 유동성 유전체 재료를 삽입하여 경화시키므로써 상기 상부 시트와 제2 시트 사이에 유전체 지지층(118)을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 14

제13항에 있어서, 상기 리드의 팁 단부를 상기 제2 구성요소에 부착하는 단계는 상기 제2 시트의 홀을 통해 돌출하는 팁 구조물(181)을 갖는 각각의 팁 단부를 제공하는 단계를 포함하고, 상기 단자 구조물을 제공하는 단계는 상기 단자 구조물이 리드에서 이격된 상기 상부 시트의 상부면상에서 벌지형으로 외향 돌출하도록 실행되며, 상기 팁 구조물을 제공하는 단계는 상기 팁 구조물이 리드에서 이격된 상기 제2 시트의 하부면상에서 벌지형으로 외향 돌출하도록 팁 구조물을 형성하는 단계를 포함하고, 상기 구조물의 상기 벌지형의 외향 돌출부가 상기 이동 단계 동안의 상기 시트에 대한 리드 단부의 고정을 보조하게 하는 것을 특징으로 하는 방법.

청구항 15

제3항에 있어서, 상기 제2 구성요소(86)는 복수의 접촉체(90)를 갖는 접촉체 수용면을 갖는 적어도 하나의 능동 마이크로 전자장치를 포함하고, 상기 리드의 상기 팁 단부를 상기 제2 구성요소에 부착시키는 단계는 상기 이동 단계전에 상기 리드의 팁 단부를 상기 접촉체에 본딩시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 16

제15항에 있어서, 상기 제1 구성요소는 상부 및 하부 표면을 갖는 가요성 유전체 상부 시트(34)를 포함하며, 상기 복수의 리드는 상기 하부 표면을 따라 연장하고, 상기 리드의 각각은 단자 단부에 단자 구조물(44, 56)을 포함하며, 상기 단자 구조물은 상기 상부 시트를 통하여 상기 상부 표면으로 연장하여서, 상기 리드의 팁 단부를 상기 접촉체에 본딩하는 단계에 의해 상기 단자 구조물이 상기 접촉체에 접속되게 하는 것을 특징으로 하는 방법.

청구항 17

제16항에 있어서, 상기 팁 단부를 상기 접촉체에 본딩하는 단계는 상기 팁 단부가 상기 접촉체와 정합하도록 상기 상부 시트를 상기 제2 구성요소와 정렬시키는 단계 및 상기 적어도 하나의 마이크로 전자부품의 상기 접촉체 수용면을 향해 상기 상부 시트를 바이어싱 하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 18

제17항에 있어서, 상기 바이어싱 단계는 상기 상부 시트의 상부 표면에 유압을 가하는 단계를 포함하는

것을 특징으로 하는 방법.

청구항 19

제17항에 있어서, 상기 본딩 단계는 다수의 리드와 접촉체의 계면에서 전도성 본딩 재료(74)가 동시에 활성화되도록 상기 리드와 상기 접촉체를 가열하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 20

제17항에 있어서. 상기 상부 시트는 상기 본딩 단계 동안 강화 구조물(48, 32)과 결합되는 것을 특징으로 하는 방법.

청구항 21

제20항에 있어서, 상기 강화 구조물은 상기 상부 시트에 본딩된 가요성이지만 실질적으로 연장 불가한 금속 호일(48)을 포함하는 것을 특징으로 하는 방법.

청구항 22

제20항에 있어서, 상기 강화 구조물은 중앙 개구를 갖는 단단한 링(32)을 포함하며, 상기 상부 시트는 상기 개구를 가로질러 연장하여 상기 링에 의해 팽팽하게 유지되는 것을 특징으로 하는 방법.

청구항 23

제16항에 있어서, 상기 제2 구성요소는 접촉체(90)를 포함하고 있는 다수의 반도체 칩(88)을 구비하는 웨이퍼이며, 상기 상부 시트는 복수의 상기 반도체 칩상에서 연장하고, 상기 본딩 단계는 상기 상부 시트의 복수의 지역내의 리드의 팁 단부를 상기 반도체 칩상의 접촉체에 동시에 본딩하여 상기 상부 시트의 각각의 상기 지역이 상기 반도체 칩의 하나에 접속하는 단계를 포함하며, 각각이 하나의 반도체 칩(88)과 시트의 관련 지역을 포함하는 개개의 유니트를 형성하기 위해 상기 상부 시트로부터 상기 지역을 절단하고 상기 웨이퍼로부터 상기 반도체 칩을 절단하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 24

제23항에 있어서, 상기 본딩 단계후와 상기 절단단계 전에 유연성 유전체 지지층을 형성하기 위해 상기 웨이퍼와 상기 상부 시트 사이에 유동성 유전체 재료(108)를 주입하여 경화시키는 단계를 추가로 포함하며, 상기 절단단계는 각각의 상기 유닛이 유전체 지지층의 일부를 포함하도록 유전체 지지층을 절단하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 25

제23항에 있어서, 상기 상부 시트는 웨이퍼상의 모든 반도체 칩 위에서 연장하고, 상기 본딩 단계는 한번의 동작으로 상기 리드를 상기 웨이퍼내의 모든 반도체 칩상의 접촉체에 본딩하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 26

제3항에 있어서, 상기 제2 구성요소는 복수의 마이크로 전자부품(701, 702, 703)을 포함하여 리드의 팁 단부가 상기 복수의 마이크로 전자부품에 접속되는 것을 특징으로 하는 방법.

청구항 27

제26항에 있어서, 상기 제1 구성요소는 적어도 일부의 상기 리드의 상기 단자 단부들 사이에 상호접속부(745)를 구비하여서 상기 마이크로 전자부품이 상기 제1 구성요소를 통해 서로 접속되는 것을 특징으로 하는 방법.

청구항 28

제3항에 있어서, 상기 이동단계는 상기 리드(60)가 유선형 구조로 형성되도록 실행되는 것을 특징으로 하는 방법.

청구항 29

제28항에 있어서, 상기 리드(60)는 초기에 두께가 약 25㎛이하인 평평한 리본 형태인 것을 특징으로 하는 방법.

청구항 30

제3항에 있어서, 상기 리드(260, 370)는 초기에 유선형이며, 상기 이동단계 동안 적어도 부분적으로 직선형이 되는 것을 특징으로 하는 방법.

청구항 31

마이크로전자접속부를 형성하기 위한 장치에 있어서, (a) 제1 표면(37)을 갖는 제1 유전체 구성요소(34)와; (b) 상기 제1 구성요소의 상기 제1 표면위에 놓여지고 각각이 상기 제1 구성요소에 완전히 고정된 단자 단부(66)와 상기 제1 구성요소에 분리가능하게 고정된 팁 단부(68)를 갖는 복수의 신장된 가요성 리드(60)를 포함하며, 각각의 상기 리드의 팁 단부는 상기 제1 표면에 평행한 수평방향으로 상기 리드의 단자 단부에서 파생되는 것을 특징으로 하는 장치.

청구항 32

제31항에 있어서, 상기 팁 단부 전부는 상기 단자 단부로부터 동일 수평방향으로 파생되는 것을 특징으로 하는 장치.

청구항 33

제31항에 있어서, 상기 제1 유전체 구성요소는 상기 제1 표면과 반대인 제2 표면(35)을 갖는 제1 유전체 시트(34)이며, 상기 리드의 상기 단자에서 상기 시트를 통하여 연장하는 전도성 단자 구조물(44, 56)을 포함하는 것을 특징으로 하는 장치.

청구항 34

제33항에 있어서, 상기 제1 유전체 시트는 가요성인 것을 특징으로 하는 장치.

청구항 35

제31항에 있어서, 각각의 상기 리드는 상기 팁 단부에 전기 전도성 본딩 재료(74)를 갖는 것을 특징으로 하는 장치.

청구항 36

제35항에 있어서, 상기 리드는 금을 함유하고, 상기 본딩 재료는 주석, 게르마늄 및 실리콘으로 이루어진 군에서 선택된 적어도 하나의 금속을 함유하는 것을 특징으로 하는 장치.

청구항 37

제31항에 있어서, 상기 리드와 단자 구조물은 약 1.25㎜이하의 간격으로 장방형의 그리드형 패턴으로 배치되는 것을 특징으로 하는 장치.

청구항 38

제37항에 있어서, 상기 리드는 약 200～1000㎛의 길이와 약 5～25㎛의 두께와 약 10～50㎛의 폭인 것을 특징으로 하는 장치.

청구항 39

(a) 전면에 접촉체(90)의 영역 어레이를 갖는 마이크로 전자부품(86, 88)과; (b) 하부 표면(37)이 상기 마이크로 전자부품의 상기 전면을 향하고, 상기 하부 표면상에 노출된 단자 구조물(44, 56)의 어레이를 가지며, 상기 마이크로 전자부품상의 접촉체 어레이 위에 올려지는 가요성 컨넥터 본체(34)와; (c) 상기 단자 구조물과 상기 접촉체 사이에 연장하며, 각각이 하나의 상기 단자 구조물에 접속된 단자 단부 및 하나의 상기 접촉체에 접속된 팁 단부를 갖는 유선형 가요성 리드(60)를 포함하는 것은 특징으로 하는 마이크로 전자 어셈블리.

청구항 40

제39항에 있어서, 상기 가요성 리드는 대략 S자형이며 대향 방향의 주표면들을 갖는 금속 리본으로 구성되고, 상기 리본은 S자형을 형성하기 위해 상기 주표면에 수직방향으로 굴곡되는 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 41

제40항에 있어서, 상기 리본은 상기 단자 구조물과 일체로 형성되는 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 42

제40항에 있어서, 상기 S자형 리드 모두는 서로 평행한 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 43

제39항에 있어서, 상기 접촉체는 약 1.25㎜이하의 접촉 피치로 상기 어레이내에서 서로 이격 분리되는 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 44

제43항에 있어서, 상기 가요성 리드는 두께가 약 30㎛이하인 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 45

제44항에 있어서, 상기 마이크로 전자부품의 상기 전면과 상기 컨넥터 본체의 상기 하부 표면사이의 공간을 채우는 유연성 유전체 재료(108)를 추가로 포함하는 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 46

제45항에 있어서, 상기 가요성 컨넥터 본체는 상기 마이크로 전자부품에 이격되어 바라보는 상부 표면(35)을 갖는 가요성의 시트형 구성요소(34)이며, 상기 단자 구조물(44, 56)은 상기 시트형 구성요소를 통하여 상기 상부 표면으로 연장하는 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 47

제46항에 있어서, 상기 컨넥터 본체의 상기 하부 표면(37)은 상기 단자 구조물에서 보다는 관통이 자유로

운 것을 특징으로 하는 마이크로 전자 어셈블리.

청구항 48

(a) 하부 표면(137)을 갖는 본체(134)와; (b) 상기 본체에 장착되어 상기 하부 표면상에서 노출된 단자 구조물(140)의 영역 어레이와; (c) 각각이 상기 하부 표면에서 멀리 연장하며, 상기 단자 구조물에 접속된 단자 단부 및 상기 단자 구조물에서 원격 위치된 팁 단부를 갖는 복수의 S자형 리드와; (d) 상기 본체의 상기 하부 표면상에 위치되며 그 하부 표면(119)이 상기 본체에서 이격되어 있고 상기 S자형 리드를 에워싸서 지지하는 유연성 유전체 재료층을 포함하며, 상기 S자형 리드의 상기 팁 단부는 상기 유연성층의 하부 표면으로부터 돌출하여서 상기 리드의 상기 팁 단부가 마이크로 전자부품의 접촉체 수용면과 상기 유연성층의 하부 표면을 나란히 위치시키므로써 상기 마이크로 전자부품상의 접촉체(204)와 결합되는 것을 특징으로 하는 마이크로 전자 컨넥터.

청구항 49

제48항에 있어서, 각각의 상기 리드는 팁 단부를 접촉체에 결합시키기 위해 상기 팁 단부에 전기 전도성 접착제(170)를 포함하는 것을 특징으로 하는 마이크로 전자 컨넥터.

청구항 50

제49항에 있어서, 각각의 상기 리드는 대향 방향의 주표면을 갖는 금속 리본으로 형성되고, 상기 리본은 S자형을 형성하기 위해 상기 주표면과 수직방향으로 굴곡지는 것을 특징으로 하는 마이크로 전자 컨넥터.

청구항 51

(a) 하부 표면(137)을 갖는 본체(134)와; (b) 상기 본체에 장착되어 상기 하부 표면에 노출된 단자 구조물(140)의 영역 어레이와; (c) 각각이 대향 방향의 상부 및 하부 표면을 갖고 상기 상부 및 하부 표면에 수직방향으로 굴곡되는 금속 리본으로 형성되어 상기 하부 표면에서 멀리 연장하며 상기 단자 구조물의 하나에 접속된 단자 단부와 상기 단자 구조물에서 이격된 팁 단부를 갖는 복수의 유선형의 가요성 리드(160)와; (d) 상기 본체의 상기 하부 표면상에 위치되며 하부 표면이 상기 본체에서 이격되어 있고 상기 리드를 에워싸서 지지하는 유연성 유전체 재료층을 포함하며, 상기 리드의 상기 팁 단부는 상기 유연성층의 하부 표면으로부터 돌출하여서 상기 리드의 상기 팁 단부가 마이크로 전자부품의 접촉체 수용면과 상기 유연성층의 하부 표면을 나란히 위치시키므로써 상기 마이크로 전자장치상의 접촉체와 결합되는 것을 특징으로 하는 마이크로 전자 컨넥터.

청구항 52

복수의 반도체 칩 어셈블리를 형성하는 방법에 있어서, (a) 제1 표면(692)상에 이 표면을 따라 연장하고 각각 웨이퍼에 접속된 단자 단부와 상기 단자 단부로부터 파생된 팁 단부를 갖는 복수의 긴 가요성 리드를 포함하며 복수의 반도체 칩이 통합되어 있는 웨이퍼(686)를 제공하는 단계와; (b) 상기 리드의 상기 팁 단부를 제2 구성요소(634)에 부착시키는 단계와; (c) 상기 웨이퍼에서 이격되어 있는 상기 리드의 팁 단부 모두를 동시에 변위시키기 위해 소정 동작을 통하여 상기 웨이퍼에 대해 상기 제2 구성요소를 이동시키므로써 상기 리드를 형성하는 단계를 포함하는 것을 특징으로 하는 복수의 반도체 칩 어셈블리 형성 방법.

청구항 53

제52항에 있어서, 상기 리드의 상기 팁 단부(668)는 초기에는 상기 웨이퍼에 고정되고, 상기 리드 형성단계에서 상기 웨이퍼로부터 분리되는 것을 특징으로 하는 방법.

청구항 54

제52항에 있어서, 각각의 상기 리드의 팁 단부는 상기 웨이퍼의 제1 표면에 평행한 제1 수평방향(D1)으로 상기 리드의 단자 단부에서 파생되며, 상기 제2 구성요소를 이동시키는 단계는 상기 제1 수평방향에 반대인 제2 수평방향으로 상기 제2 구성요소를 이동시키는 단계와 상기 웨이퍼에서 멀어지는 수직방향으로 상기 제2 구성요소를 이동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 55

제52항에 있어서, 상기 제2 구성요소는 상기 웨이퍼를 등지고 있는 상부 표면 및 상기 웨이퍼를 향하는 하부 표면(637)을 갖는 가요성 유전체 상부 시트(634)를 포함하며, 상기 제2 구성요소에 상기 리드의 팁 단부를 부착하는 단계는 이동 단계전에 상기 리드의 팁 단부를 접촉체 구조물에 전기 접속시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 56

제55항에 있어서, 상기 상부 시트는 상기 웨이퍼상의 모든 반도체 칩에 대해 연장하고, 상기 접속단계는 상기 웨이퍼의 모든 반도체 칩과 관련된 상기 리드를 한 동작으로 상기 상부 시트의 접촉체 구조물에 접속시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 57

제55항에 있어서, 상기 웨이퍼와 상기 유전체 상부 시트 사이의 상기 리드 둘레에 유동성 유전체 재료(108)를 주입하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 58

제52항 내지 제57항중 어느 한 항에 있어서, 각각이 복수의 반도체 칩과 유전체 상부 시트의 일부분을 포

함하는 복수의 유닛을 형성하기 위해 상기 이동단계 후에 상기 웨이퍼와 상기 유전체 상부 시트를 절단하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 59

제55항 내지 제57항중 어느 한 항에 있어서, 상기 웨이퍼에 대해 상기 제2 구성요소를 이동시키는 단계는 버튼 플래튼(94)이 상부 시트에서 원격 위치된 웨이퍼의 제2 표면과 결합하도록 상기 웨이퍼를 버튼 플래튼과 결합시키는 단계, 상부 플래튼이 웨이퍼에서 원격 위치된 상부 시트의 상부 표면과 결합하도록 상부 시트와 상부 플래튼(105)을 결합시키는 단계 및 상기 플래튼들을 서로에 대해 이동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 60

제52항 내지 제57항중 어느 한 항에 있어서, 상기 제1 표면상에서 상기 리드를 갖는 웨이퍼를 제공하는 단계는 상기 웨이퍼의 제1 표면에 유전체 재료의 코팅(693)을 가하는 단계와 이에 후속하여 상기 코팅 표면에 상기 리드를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 61

제3항에 있어서, 상기 구성요소중 하나가 가요성 유전체 시트(34)를 포함하고 상기 구성 요소중 다른 하나가 복수의 반도체 칩을 포함하며, 상기 이동 단계후에 상기 리드가 상기 복수의 반도체 칩과 상기 가요성 시트사이에 배치되는 것을 특징으로 하는 방법.

청구항 62

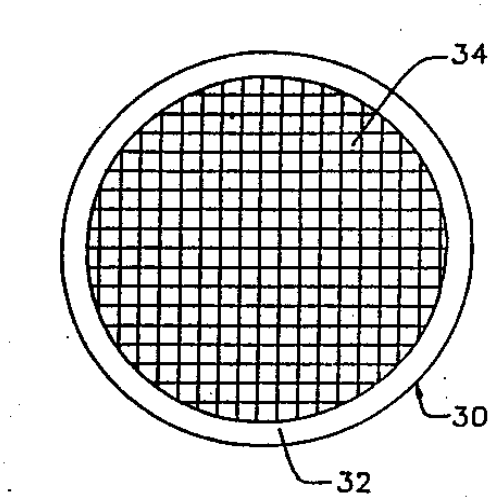
제61항에 있어서, 상기 구성요소중 상기 다른 한 구성요소는 단일 반도체 칩(88)인 것을 특징으로 하는 방법.

청구항 63

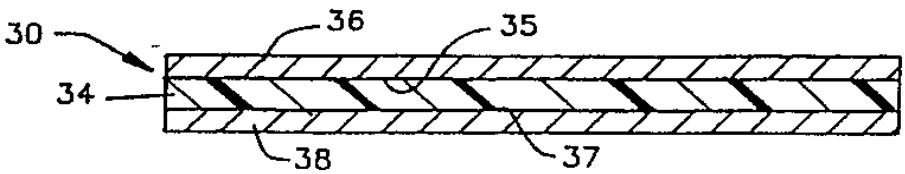
제61항에 있어서, 상기 구성요소중 상기 다른 한 구성요소(86)는 복수의 반도체 칩(88)을 포함하며, 하나의 반도체 칩을 각각 포함하는 개개의 유닛을 형성하기 위해 상기 이동 단계 후에 상기 구성요소를 절단하는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

도면

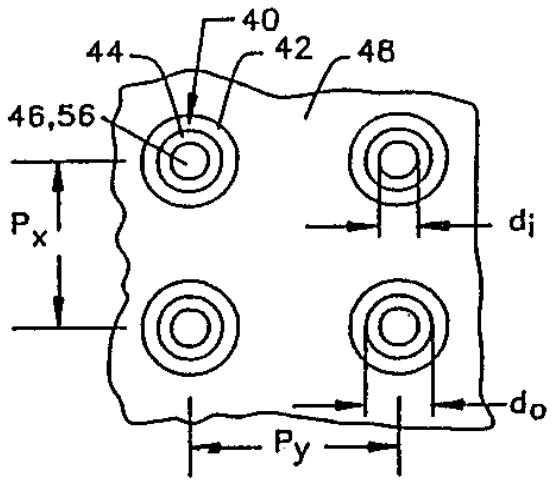
도면1



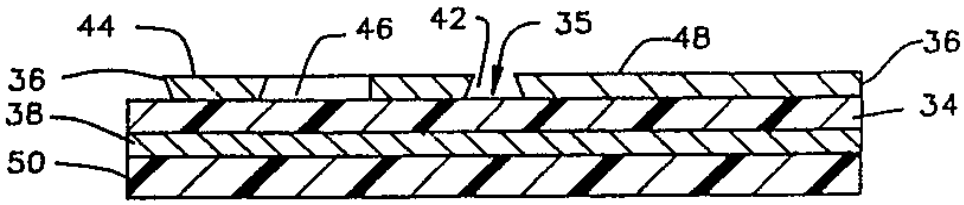
도면2



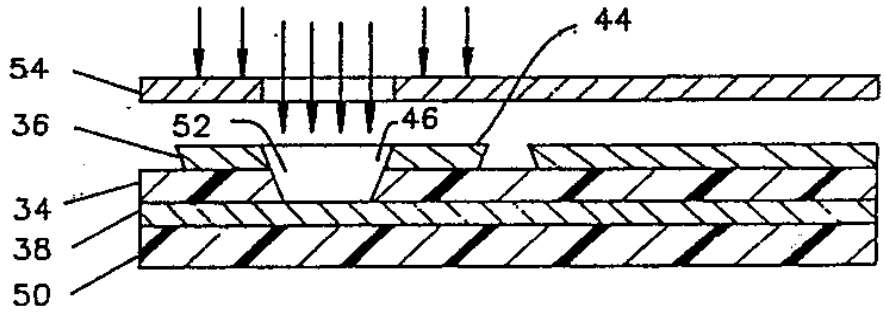
도면3



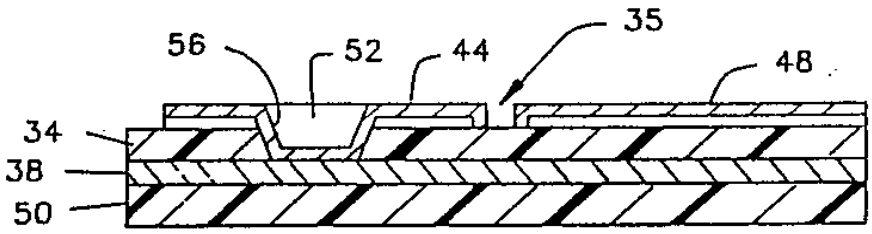
도면4



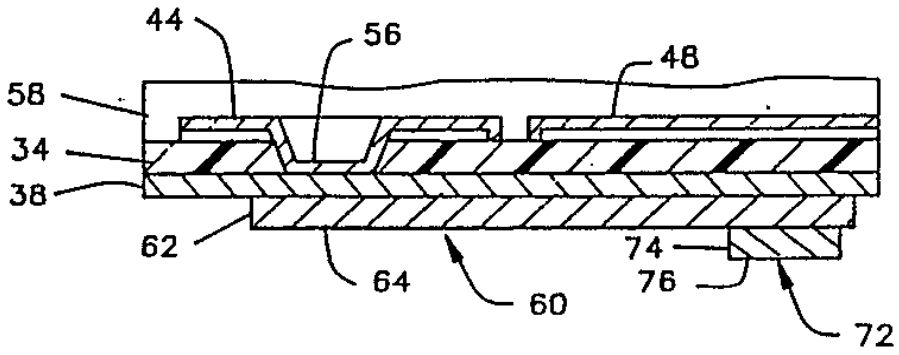
도면5



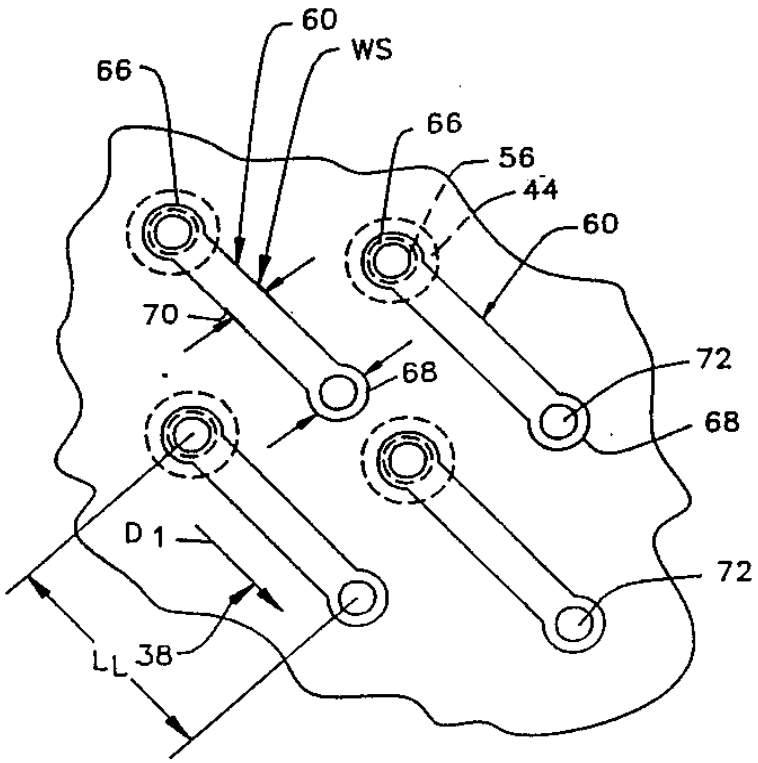
도면6



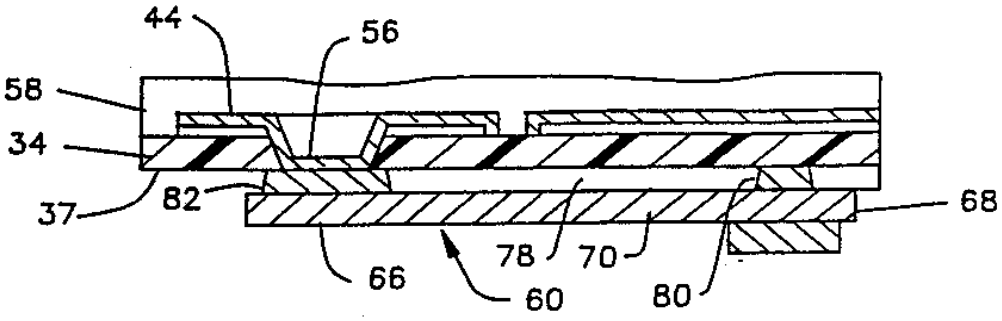
도면7


44
56
48
58
34
38
62
64
60
74
76
72

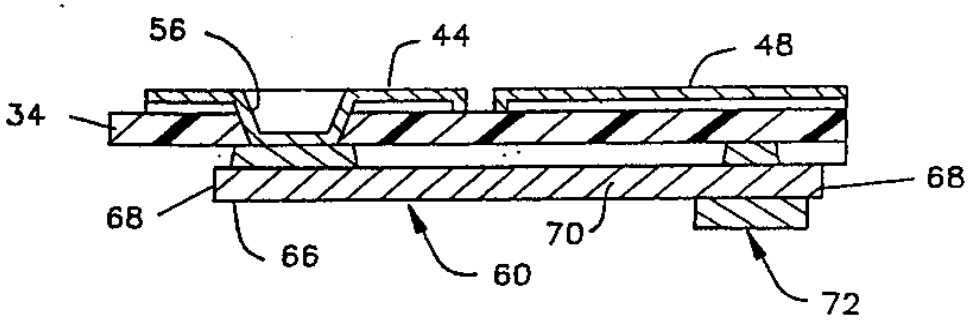
도면8


60
WS
66
66
56
44
60
70
68
72
68
D 1
72
LL
38

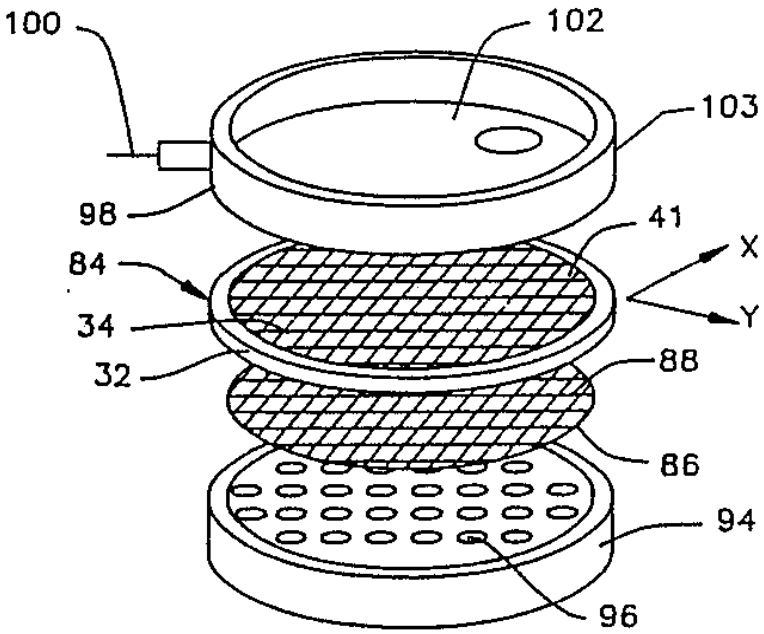
도면9


44
56
58
34
37
82
68
66
78
70
60
80

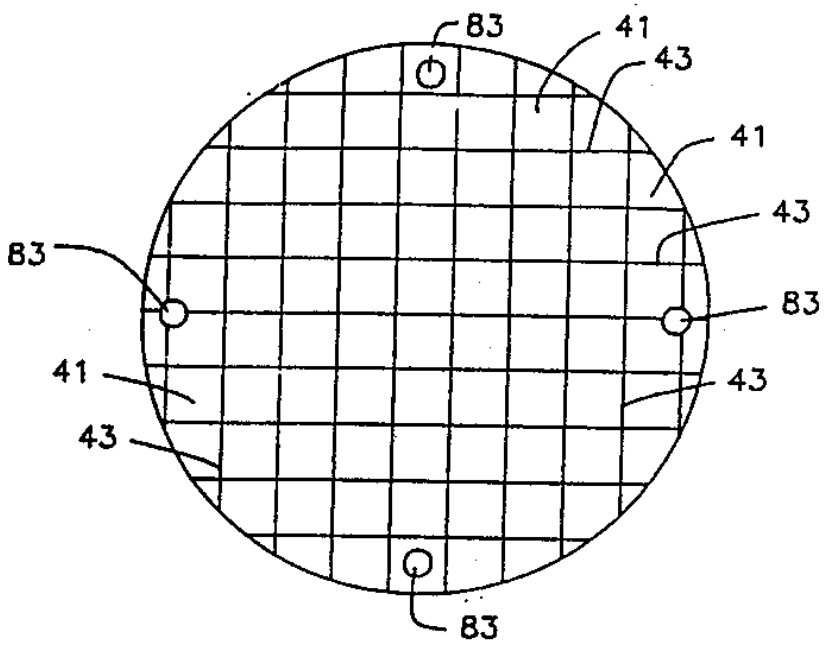
도면10



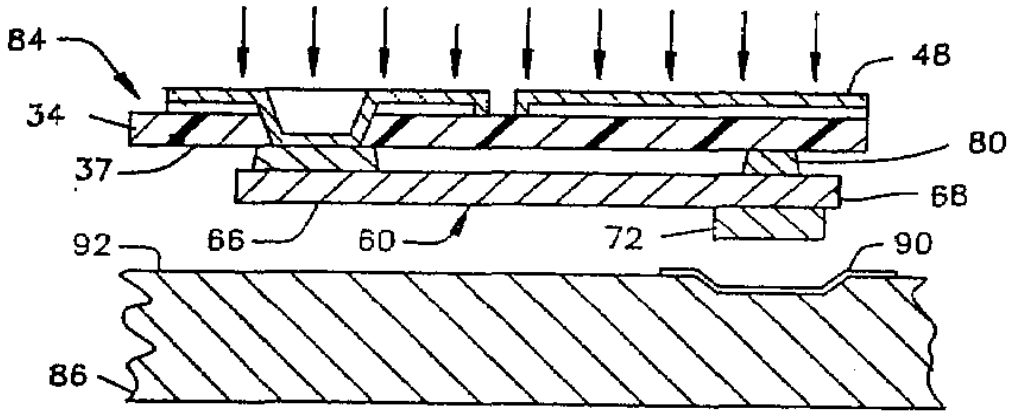
도면11



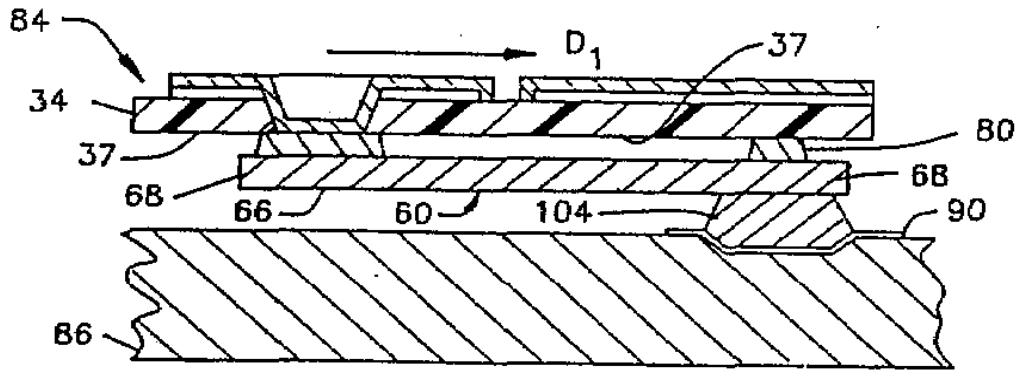
도면12



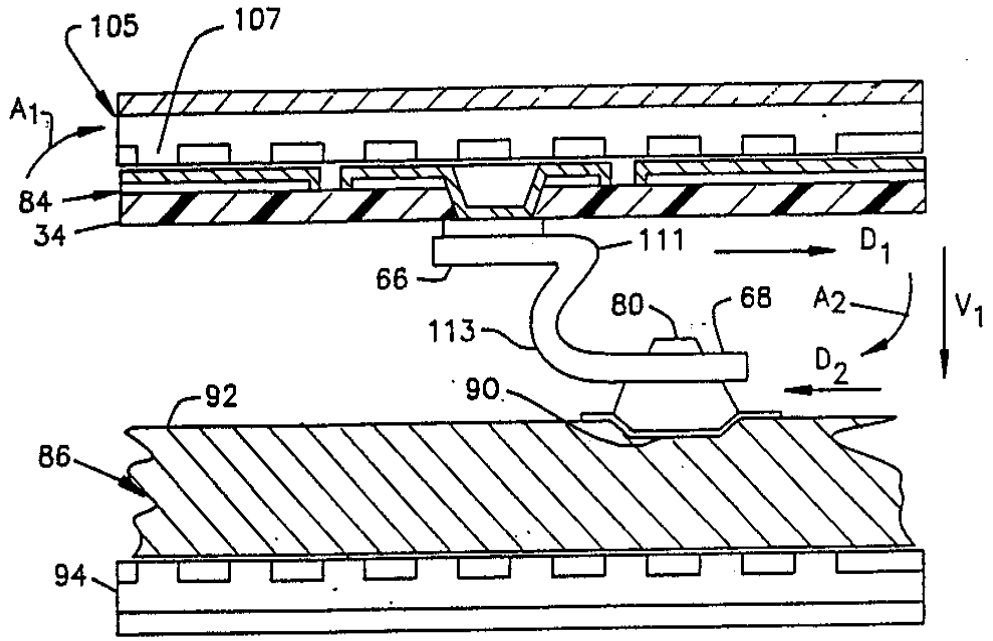
도면13



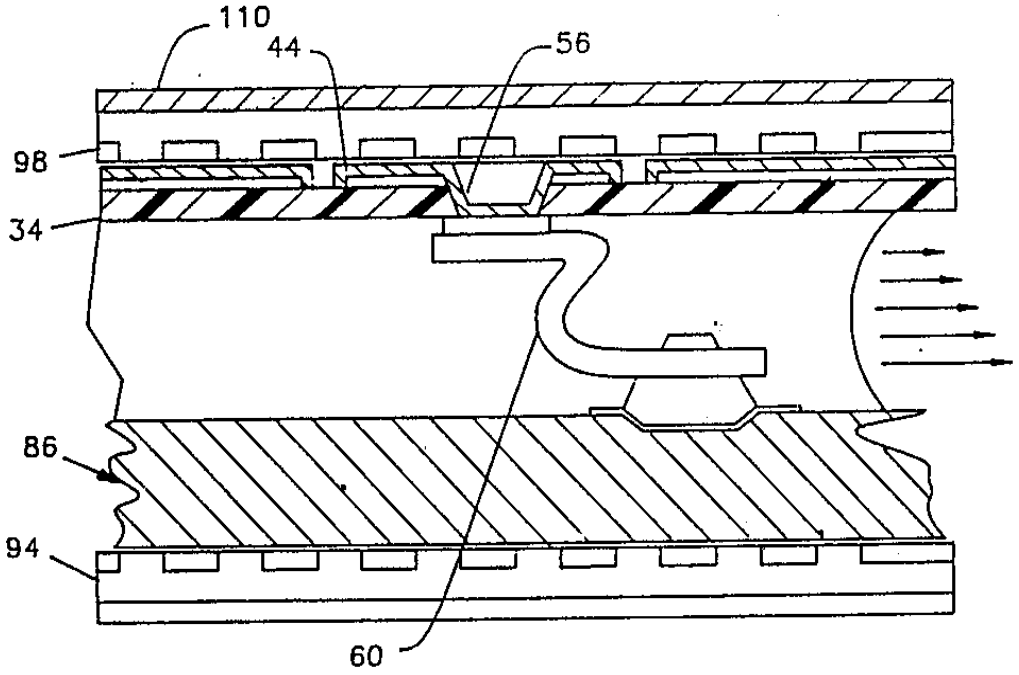
도면14



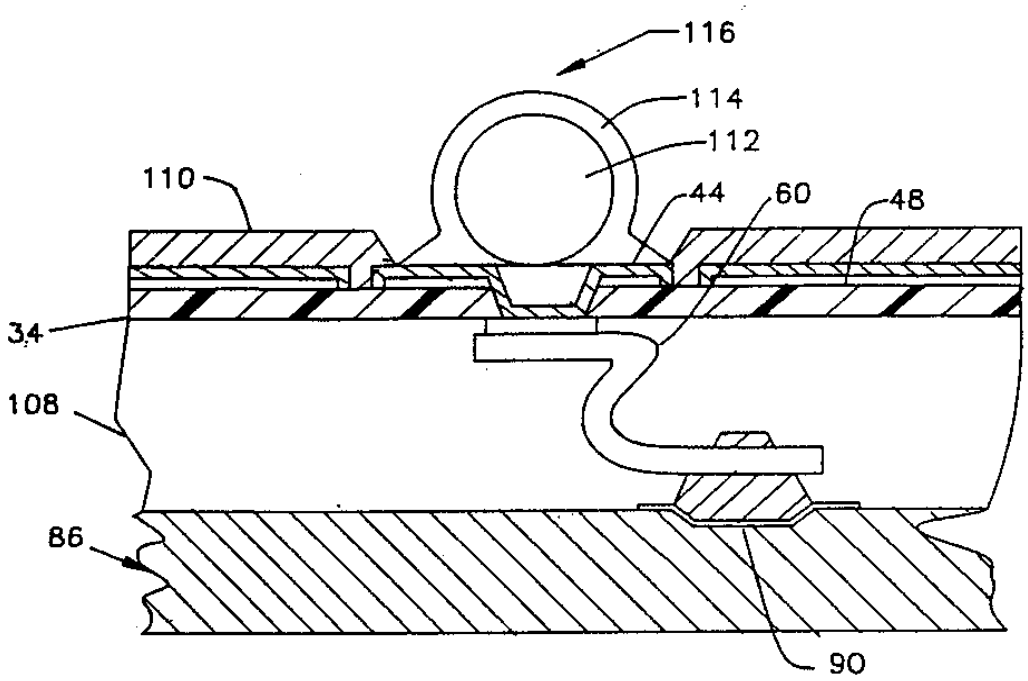
도면15


105
107
A1
84
34
111
D1
66
80
68
A2
V1
113
D2
92
90
86
94

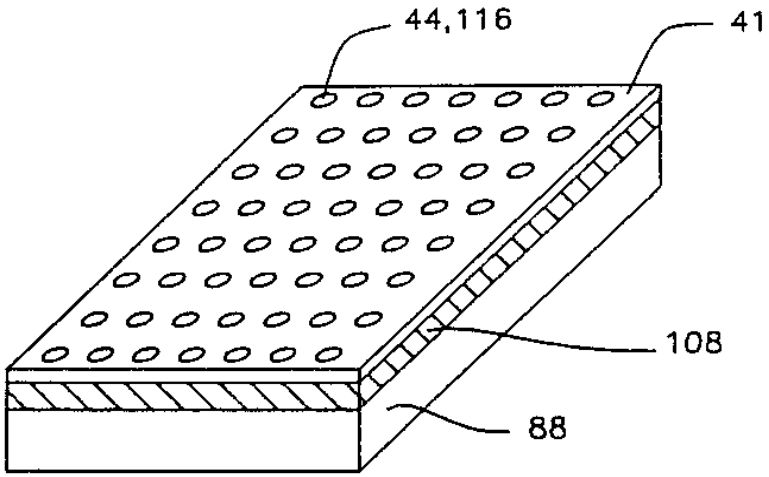
도면16


110
44
56
98
34
86
94
60

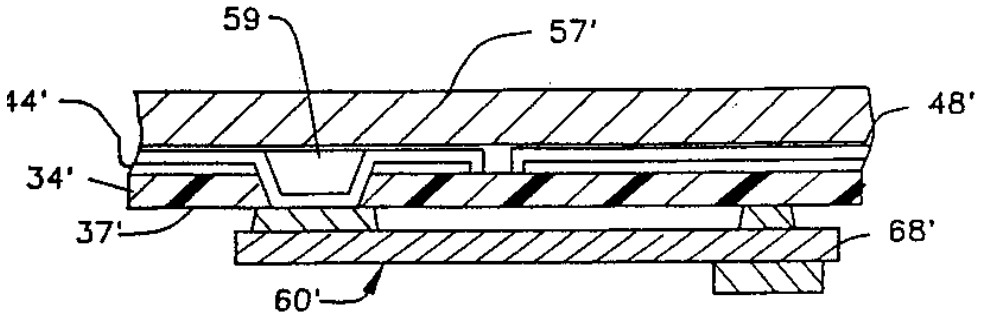
도면17



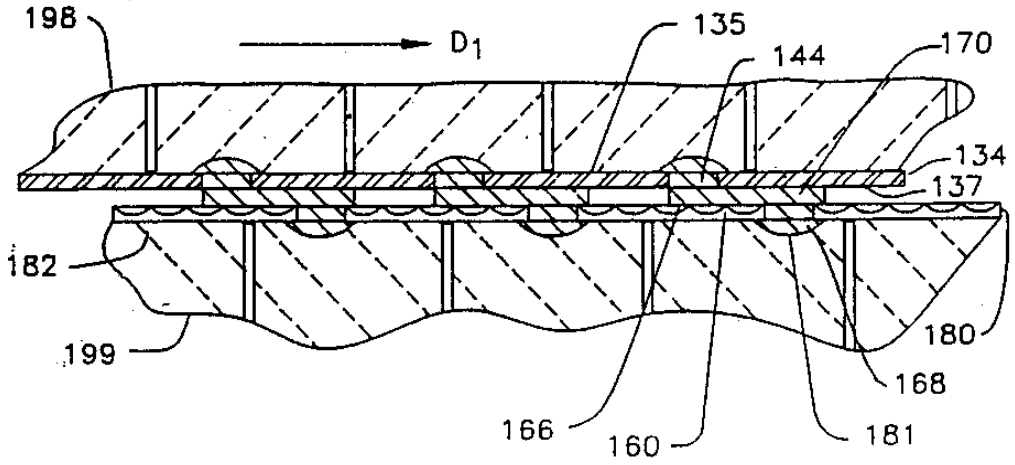
도면18



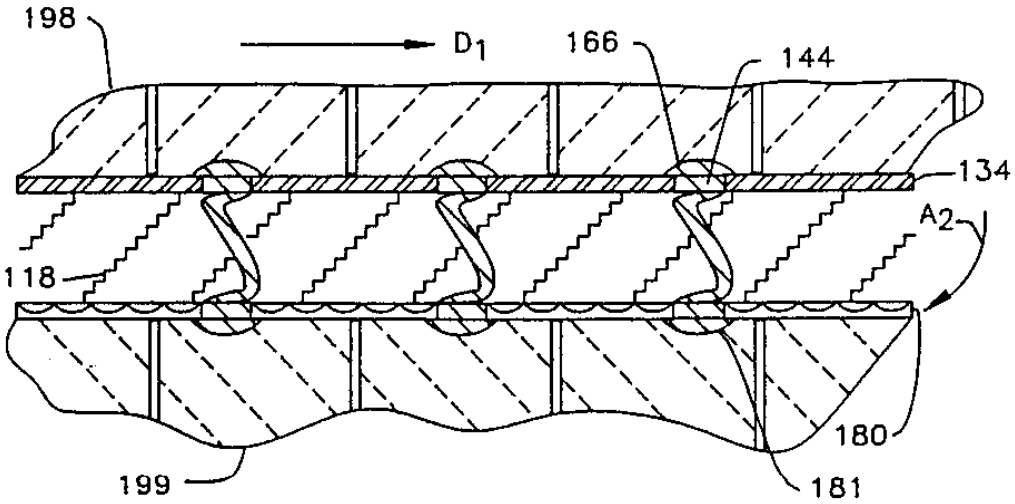
도면19



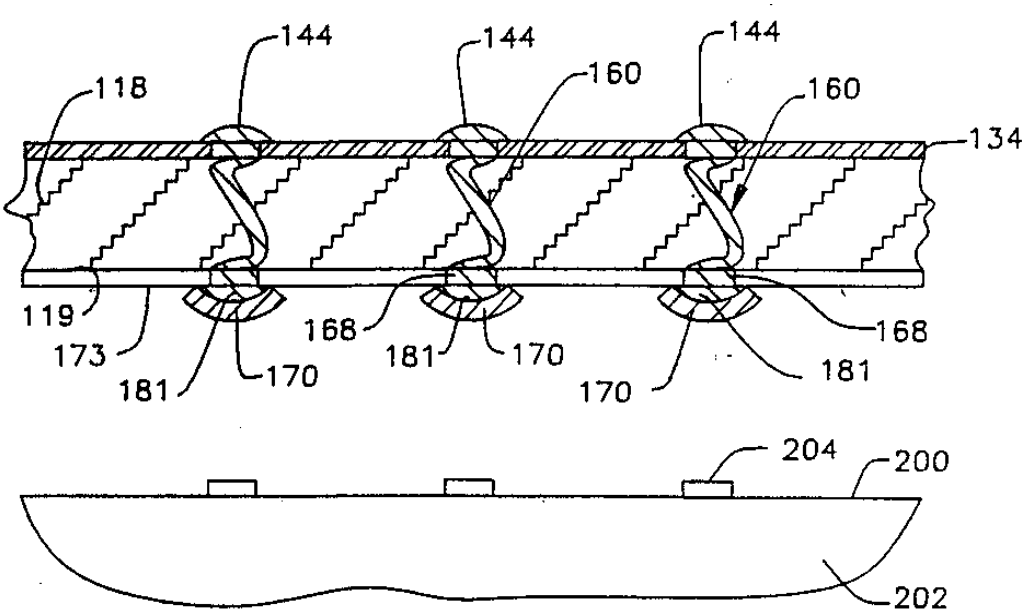
도면20


198
D1
135
144
170
134
137
182
199
180
168
166
160
181

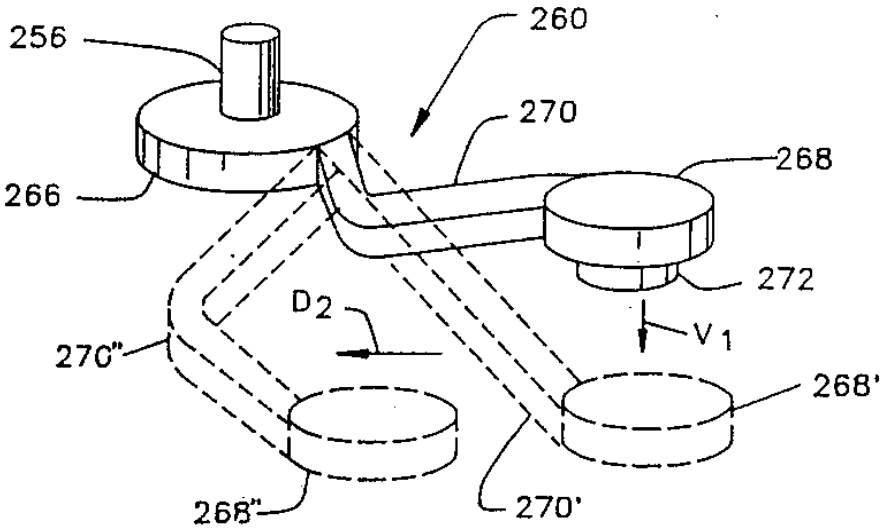
도면21


198
D1
166
144
134
A2
118
180
199
181

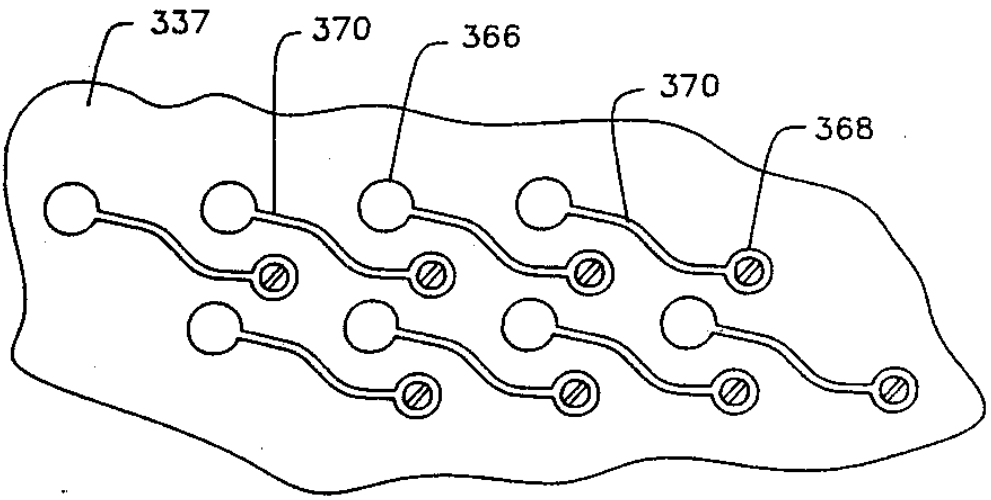
도면22


144
144
144
118
160
160
134
119
173
181
170
168
181
170
170
168
181
204
200
202

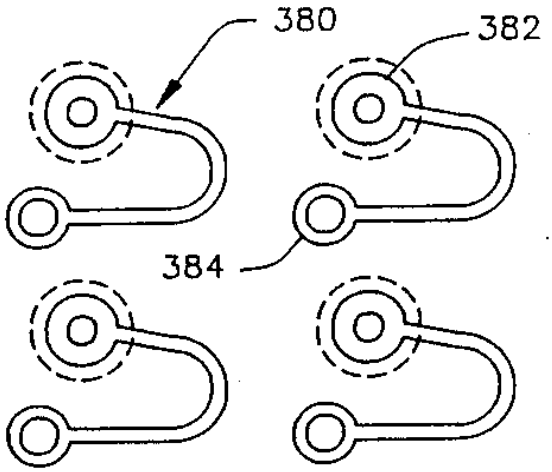
도면23


256
260
270
268
266
272
D2
V1
270"
268'
268"
270'

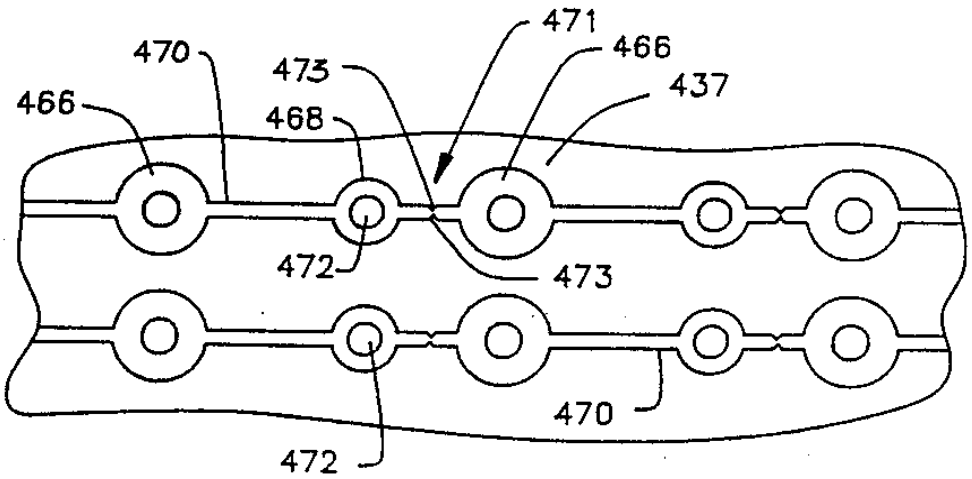
도면24



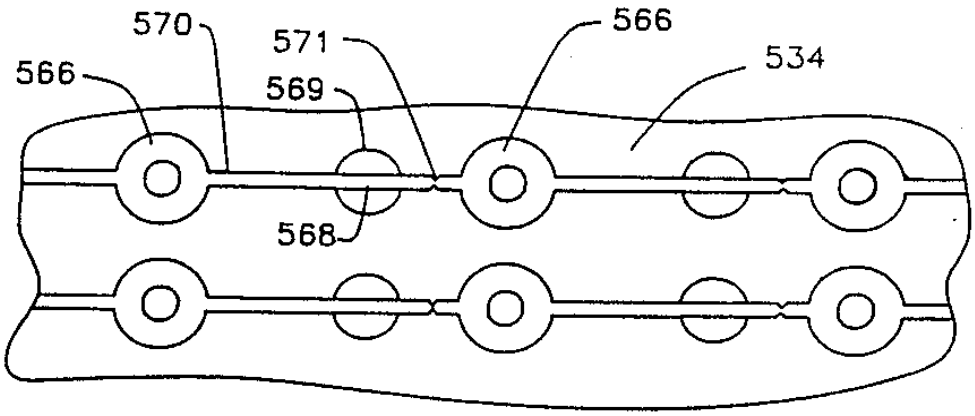
도면25



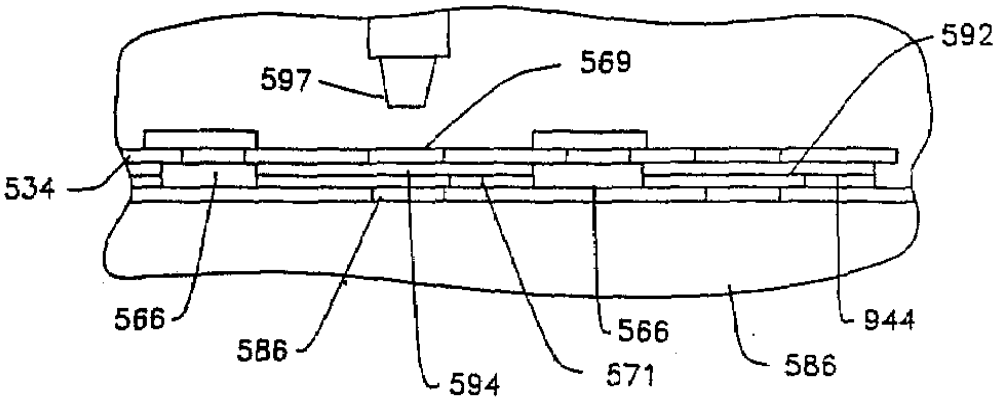
도면26



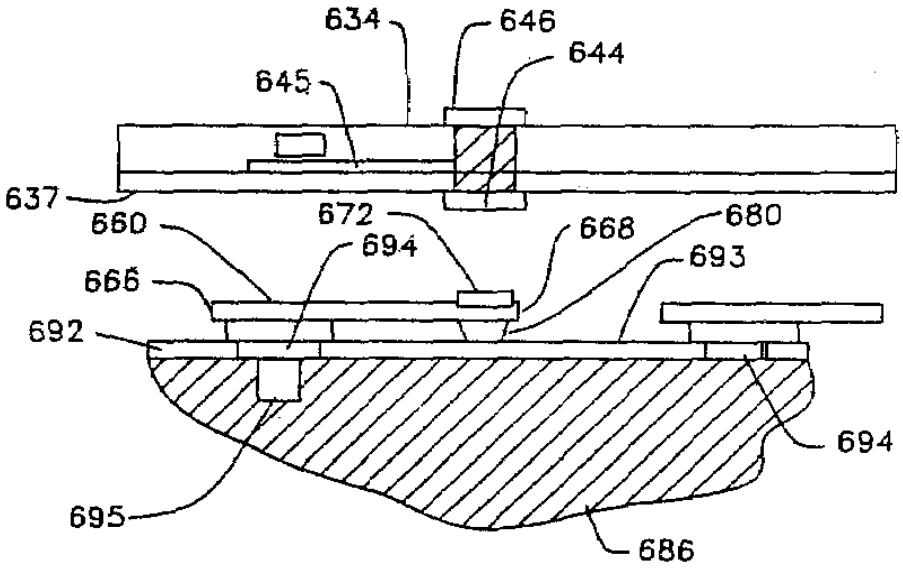
도면27



도면28



도면29



도면30

