

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6304416号  
(P6304416)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int. Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 6 A		
HO 1 L 29/12	(2006.01)	HO 1 L 29/78	6 5 2 T		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 5 3 A		
HO 1 L 29/861	(2006.01)	HO 1 L 29/78	6 5 7 D		
HO 1 L 29/868	(2006.01)	HO 1 L 29/78	6 5 8 E		
請求項の数 19 (全 29 頁) 最終頁に続く					

(21) 出願番号	特願2017-28862 (P2017-28862)	(73) 特許権者	000005234
(22) 出願日	平成29年2月20日 (2017. 2. 20)		富士電機株式会社
(62) 分割の表示	特願2013-531097 (P2013-531097) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成24年8月29日 (2012. 8. 29)	(74) 代理人	110000877
(65) 公開番号	特開2017-118135 (P2017-118135A)		龍華国際特許業務法人
(43) 公開日	平成29年6月29日 (2017. 6. 29)	(72) 発明者	上野 勝典
審査請求日	平成29年2月21日 (2017. 2. 21)		神奈川県川崎市川崎区田辺新田1番1号
(31) 優先権主張番号	特願2011-185762 (P2011-185762)		富士電機株式会社内
(32) 優先日	平成23年8月29日 (2011. 8. 29)	審査官	棚田 一也
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 双方向素子、双方向素子回路および電力変換装置

(57) 【特許請求の範囲】

【請求項1】

基板の表面に形成された半導体積層部の積層方向に電流が流れる縦型の双方向素子であって、

前記半導体積層部に形成され、第1チャンネルを有する第1半導体素子と、

前記半導体積層部において前記第1半導体素子よりも前記基板側に設けられ、第2チャンネルを有する第2半導体素子と

を備え、

前記第1半導体素子は、前記半導体積層部の面のうち前記基板とは逆側の面に形成され、且つ、前記第1チャンネルを制御する第1制御電極を更に有し、

前記第2半導体素子は、前記半導体積層部の面のうち前記第1制御電極と同じ側の面に少なくとも一部が形成され、且つ、前記第2チャンネルを制御する第2制御電極と

を有し、

前記半導体積層部は、

前記第1チャンネルよりも前記基板側に形成された、第1導電型の半導体層と、

前記第1導電型の半導体層内の前記基板と略平行な面において、前記第1導電型の半導体層の一部の領域を残して形成された第2導電型の第1半導体領域と、

前記第1半導体領域よりも前記第1制御電極側において設けられた第1導電型のソース領域と、

前記ソース領域を囲んで形成される第2導電型の半導体領域と、を有し、

前記第 2 制御電極は、前記第 1 半導体領域と電氣的に接続され、  
前記半導体積層部内において、前記第 2 導電型の半導体領域および前記第 1 制御電極と、  
前記第 2 制御電極との間の領域には、前記第 1 導電型の半導体層が設けられている、  
双方向素子。

【請求項 2】

前記第 1 半導体領域は、前記第 1 導電型の半導体層が前記基板と略平行な面において離  
散して複数存在するように形成される

請求項 1 に記載の双方向素子。

【請求項 3】

前記第 1 半導体領域が形成される面において、前記第 1 導電型の半導体層は、略一定の  
間隔で配置される

請求項 2 に記載の双方向素子。

【請求項 4】

前記第 1 導電型の半導体層は、

前記基板上に形成された高濃度層と、

前記高濃度層上に形成され、前記高濃度層よりも不純物濃度が低い低濃度層と、

を有し、

前記半導体積層部内において、前記第 2 制御電極と、前記第 2 導電型の半導体領域およ  
び前記第 1 制御電極との間の領域には、前記低濃度層が設けられており、

前記第 1 チャネルは、前記ソース領域を囲んで形成される前記第 2 導電型の半導体領域  
に形成され、

前記第 1 半導体領域が形成される面に残された第 1 導電型の半導体層に前記第 2 チャ  
ネルが形成される、

請求項 1 から 3 のいずれか一項に記載の双方向素子。

【請求項 5】

前記第 1 導電型のソース領域と、前記ソース領域を囲んで形成される第 2 導電型の半導  
体領域とは、前記低濃度層の表面に形成される

請求項 4 に記載の双方向素子。

【請求項 6】

前記第 2 チャネルは、前記高濃度層および前記低濃度層の境界部分に形成され、前記基  
板と略垂直な方向にキャリアが移動するチャネルである

請求項 5 に記載の双方向素子。

【請求項 7】

前記第 2 制御電極は、前記半導体積層部の表面から前記第 1 半導体領域まで、前記第 1  
導電型の半導体層内を通して形成される

請求項 1 から 6 のいずれか一項に記載の双方向素子。

【請求項 8】

前記第 2 制御電極が、前記第 1 半導体領域とオーミック接合し、かつ、前記第 1 導電型  
の半導体層とショットキー接合する材料で形成される

請求項 7 に記載の双方向素子。

【請求項 9】

前記第 2 制御電極が、前記第 1 半導体領域とオーミック接合する材料で形成され、

前記半導体積層部は、前記第 1 導電型の半導体層と前記第 2 制御電極との間に設けられ  
た絶縁膜を更に有する

請求項 7 に記載の双方向素子。

【請求項 10】

前記第 2 制御電極が前記第 1 半導体領域とオーミック接合する材料で形成され、

前記半導体積層部は、前記第 1 導電型の半導体層と前記第 2 制御電極との間に設けられ  
た、第 2 導電型の第 5 半導体領域を更に有する

請求項 7 に記載の双方向素子。

10

20

30

40

50

## 【請求項 1 1】

前記半導体積層部は、前記第 1 半導体領域から前記半導体積層部の表面まで形成された、第 2 導電型の第 6 半導体領域を更に有し、  
前記第 2 制御電極は、前記第 6 半導体領域とオーミック接合する  
請求項 1 から 6 のいずれか一項に記載の双方向素子。

## 【請求項 1 2】

前記第 1 導電型は n 型であり、前記第 2 導電型は p 型である  
請求項 1 から 1 1 のいずれか一項に記載の双方向素子。

## 【請求項 1 3】

前記半導体積層部は、SiC または窒化物半導体から形成される層を含む  
請求項 1 から 1 2 のいずれか一項に記載の双方向素子。

10

## 【請求項 1 4】

前記半導体積層部の表面に設けられた第 1 電極と、  
前記基板の裏面に設けられた第 2 電極と、  
をさらに備え、  
前記第 1 電極と前記低濃度層との間、および、前記基板の一部において前記基板の裏面から表面まで形成されて前記基板上の前記第 1 導電型の半導体層と結合する第 1 導電型の半導体結合部と前記第 2 電極との間の少なくとも一方にはショットキー接合が形成される、請求項 4 または 5 に記載の双方向素子。

20

## 【請求項 1 5】

前記第 1 半導体領域は、互いに接続された複数の半導体領域を有し、  
前記複数の半導体領域は、前記基板と略平行な面において、前記複数の半導体領域のうち互いに隣り合う半導体領域の間に間隔を有し、  
前記第 2 電極と前記第 1 導電型の半導体結合部との間に前記ショットキー接合が形成された領域上に位置する前記間隔は、前記ショットキー接合が形成された領域上に位置しない前記間隔よりも大きい  
請求項 1 4 に記載の双方向素子。

## 【請求項 1 6】

請求項 1 から 1 3 のいずれか一項に記載の双方向素子と、  
前記双方向素子を制御する制御回路と  
を備える双方向素子回路。

30

## 【請求項 1 7】

前記双方向素子は、  
前記半導体積層部の表面に形成された第 1 電極と、  
前記基板の裏面に形成された第 2 電極と  
を更に有し、  
前記制御回路は、  
前記第 1 電極に正の極性の電圧が印加され、且つ、前記第 2 電極に負の極性の電圧が印加される場合に、前記第 1 制御電極および前記第 2 制御電極の制御を同期して行う請求項 1 6 に記載の双方向素子回路。

40

## 【請求項 1 8】

前記制御回路は、前記第 1 半導体素子に対してノーマリオフの制御を行い、前記第 2 半導体素子に対してノーマリオンの制御を行う  
請求項 1 6 または 1 7 に記載の双方向素子回路。

## 【請求項 1 9】

受け取った交流電力の電力を変換して出力する電力変換装置であって、  
前記交流電力を受け取る入力側回路と、  
前記交流電力を出力する出力側回路と、  
前記入力側回路および前記出力側回路の間に設けられた、請求項 1 から 1 5 のいずれか一項に記載の双方向素子と

50

を備える電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、双方向素子、双方向素子回路および電力変換装置に関する。

【背景技術】

【0002】

従来、入力される交流電力を電力変換して出力するマトリクスコンバータ等の電力変換装置が知られている。係る電力変換装置には、双方向に電流を流すことが可能な双方向スイッチが使用される。双方向スイッチとして、逆方向の耐圧を有する逆阻止IGBTのようなパワーデバイスが知られている（例えば、非特許文献1、2、特許文献1）。また、基板の両面側にトランジスタを形成することにより双方向スイッチを構成する絶縁ゲート付サイリスタが知られている（例えば、特許文献2）。

10

非特許文献1 H.Takahashi, et al., "1200V class Reverse Blocking IGBT (RB-IGBT) for AC Matrix Converter", Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs, Kitakyushu, p.121

非特許文献2 T.Naito, et al., "1200V Reverse Blocking IGBT with low loss for Matrix Converter", Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs, Kitakyushu, p.125

特許文献1 特開2002-319676号公報

20

特許文献2 特開平3-194971号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

双方向スイッチは、2つのトランジスタを並列に接続することで構成できる。ただし、通常のIGBTで双方向スイッチを形成すると、IGBTは逆方向の耐圧が低いので、逆方向の耐圧を担保するダイオードをそれぞれのIGBTに対して設けなければならない。これに対し、逆阻止IGBTは、トランジスタ自体の逆方向の耐圧が高いので、2つのトランジスタで双方向スイッチを構成できる。

【0004】

30

しかしながら、逆阻止IGBTを用いた場合でも、双方向スイッチを構成するためには2個のトランジスタが必要である。このため、モジュールのサイズが大きくなってしまふ。基板の両面にトランジスタを形成することでモジュールのサイズを小さくすることも考えられるが、両面に素子を形成すると実装が困難であり現実的ではない。また、近年損失の小さいパワーデバイスを提供する目的で、バンドギャップの大きな半導体であるSiCまたはGaNをパワーデバイス用半導体として用いる例がある。しかし、縦型パワーデバイスでは通常MOSFETおよびJFETなどが使われている。これらのデバイスでは逆耐圧がもともと無いために、逆阻止型のパワーデバイスを構成することができず、双方向スイッチとして用いるにはダイオードと組み合わせるしか手段がなかった。

【課題を解決するための手段】

40

【0005】

本発明の第1態様においては、基板の表面に形成された半導体積層部の積層方向に電流が流れる縦型の双方向素子であって、半導体積層部に形成され、第1チャンネルを有する第1半導体素子と、半導体積層部において第1半導体素子よりも基板側に設けられ、第2チャンネルを有する第2半導体素子とを備え、第1半導体素子は、半導体積層部の面のうち基板とは逆側の面に形成され、且つ、第1チャンネルを制御する第1制御電極を更に有し、第2半導体素子は、半導体積層部の面のうち第1制御電極と同じ側の面に少なくとも一部が形成され、且つ、第2チャンネルを制御する第2制御電極とを有し、半導体積層部は、第1チャンネルよりも基板側に形成された、第1導電型の半導体層と、第1導電型の半導体層内の基板と略平行な面において、第1導電型の半導体層の一部の領域を残して形成された第

50

2導電型の第1半導体領域とを有し、第1半導体領域が形成される面に残された第1導電型の半導体層に第2チャンネルが形成され、第1導電型の半導体層は、基板上に形成された高濃度層と、高濃度層上に形成され、高濃度層よりも不純物濃度が低い低濃度層と、を有し、半導体積層部は、第1半導体領域よりも第1制御電極側における基板と略平行な面において、低濃度層である第1導電型の第2半導体領域と、第2導電型の第3半導体領域と、第1導電型の第4半導体領域とを順番に隣接して有し、第1チャンネルは、第2導電型の第3半導体領域に形成され、第1半導体領域は、高濃度層および低濃度層との境界に形成され、第2制御電極は第1半導体領域に接し、第2制御電極は、低濃度層によって第3半導体領域および第1制御電極と分離されつつ、高濃度層に接し、第2制御電極は第1半導体素子および第1半導体領域を取り囲む双方向素子を提供する。

10

## 【0006】

本発明の第2態様においては、第1態様の双方向素子と、双方向素子を制御する制御回路とを備える双方向素子回路を提供する。本発明の第3態様においては、受け取った交流電力の電力を変換して出力する電力変換装置であって、交流電力を受け取る入力側回路と、交流電力を出力する出力側回路と、入力側回路および出力側回路の間に設けられた、第1態様の双方向素子とを備える電力変換装置を提供する。

## 【0007】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

## 【図面の簡単な説明】

20

## 【0008】

【図1】電力変換装置の回路図である。

【図2】他の電力変換装置の回路図である。

【図3】比較例の双方向スイッチの回路図である。

【図4】比較例の双方向スイッチの他の回路図である。

【図5】逆阻止IGBTの断面図である。

【図6A】本発明の第1実施形態にかかる双方向素子の断面図である。

【図6B】他の例における双方向素子の断面図である。

【図7】図6Aおよび図6Bに示す双方向素子の等価回路図である。

【図8】図6Aおよび図6Bに示す双方向素子の電流電圧特性を表すグラフである。

30

【図9】図6Aに示す双方向素子の製造方法を説明する工程図である。

【図10】図9の後工程を説明する工程図である。

【図11】図10の後工程を説明する工程図である。

【図12】図11の後工程を説明する工程図である。

【図13】図12の後工程を説明する工程図である。

【図14】図13の後工程を説明する工程図である。

【図15】本発明の第2実施形態にかかる双方向素子の断面図である。

【図16】本発明の第3実施形態にかかる双方向素子の断面図である。

【図17】図16に示す双方向素子の製造方法を説明する工程図である。

【図18】図17の後工程を説明する工程図である。

40

【図19】本発明の第4実施形態にかかる双方向素子の断面図である。

【図20】図19に示す双方向素子の製造方法を説明する工程図である。

【図21】図20の後工程を説明する工程図である。

【図22】図21の後工程を説明する工程図である。

【図23】図22の後工程を説明する工程図である。

【図24】図23の後工程を説明する工程図である。

【図25】P+型ゲート領域のパターンの例を示す平面図である。

【図26】P+型ゲート領域のパターンの他の例を示す平面図である。

【図27】本発明の第5実施形態にかかる双方向素子の断面図である。

【図28】図27に示す双方向素子の電流電圧特性を表すグラフである。

50

【図 29】本発明の第 6 実施形態にかかる双方向素子の断面図である。

【図 30】図 29 に示す双方向素子の電流電圧特性を表すグラフである。

【図 31】本発明の第 7 実施形態にかかる双方向素子の断面図である。

【図 32】図 31 に示す双方向素子の等価回路図である。

【発明を実施するための形態】

【0009】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0010】

図 1 は、インバータを用いた電力変換装置 1000 の回路図を示す。電力変換装置 1000 は、交流を直流に変換する交流直流変換部 110 と、コンデンサー部 120 と、直流を交流に変換する直流交流変換部 130 とを備える。交流直流変換部 110 は、交流電源 140 から供給される交流電流を直流電流に変換する。コンデンサー部 120 は、交流直流変換部 110 と並列に接続され、直流電流に応じた中間電圧を生成する。コンデンサー部 120 は、電解コンデンサーであってよい。直流交流変換部 130 はコンデンサー部 120 と並列に接続され、中間電圧の値に応じた交流電流を負荷 150 に対して供給する。インバータ型の電力変換装置 1000 は、交流を直流に一度変換し、再び直流を交流に変換するため、電力変換効率が低い。また、コンデンサー部 120 が壊れると、電力変換機能が失われるため、コンデンサー部 120 の寿命が電力変換装置 1000 の寿命を決定していた。

【0011】

図 2 は、マトリクスコンバータを用いた電力変換装置 2000 を示す。電力変換装置 2000 は、フィルタ部 210 と、三相の交流電源 140 の出力端子のそれぞれを負荷 150 の 3 つの入力端子のいずれかに選択的に接続するための複数の双方向スイッチ 220 とを備える。双方向スイッチ 220 は、双方向に電流を流すことが可能なパワーデバイスにより構成する。電力変換装置 2000 は、双方向スイッチ 220 を制御することにより、交流電源 140 から供給される交流電流を直接任意の交流電流に変換して負荷 150 に供給する。マトリクスコンバータ型の電力変換装置 2000 は、交流 - 交流変換なので、電力変換効率が電力変換装置 1000 より高い。また、電力変換装置 2000 はコンデンサーを使用しないため、装置の寿命がコンデンサーの寿命により決定されることがない。さらに、電力変換装置 2000 は、電力を双方向に送ることが可能であるので電力回生が容易であり、省エネルギーの要請にも答えるものである。

【0012】

図 3 は、双方向スイッチ 220 の一例の回路図を示す。双方向スイッチ 220 は、直列に接続されたダイオード 212 およびトランジスタ 214 を 2 組有する。各組のダイオード 212 およびトランジスタ 214 は、第 1 端子 211 と第 2 端子 213 との間に逆並列に接続される。本例のトランジスタ 214 は IGBT である。IGBT をはじめとするパワーデバイスは逆方向の耐圧が小さいので、ダイオード 212 によって逆方向の耐圧を維持している。しかし、双方向スイッチ 220 は、素子数が多くなるため電力損失が大きく、全体のサイズも大きくなる。

【0013】

図 4 は、双方向スイッチ 220 の他の例の回路図を示す。本例の双方向スイッチ 220 は、第 1 端子 211 と第 2 端子 213 との間に逆並列に接続された 2 つのトランジスタ 222 を有する。本例のトランジスタ 222 は、逆方向の耐圧が大きい逆阻止 IGBT である。つまり、逆素子 IGBT は、コレクタ - エミッタ間に順方向電圧が印加された場合には通常の IGBT として動作し、逆方向電圧が印加された場合には順方向と同程度の耐圧を維持する。例えば、シリコン基板の場合、厚さが 100  $\mu\text{m}$  で耐圧 600 V、厚さが 200  $\mu\text{m}$  で耐圧 1200 V が実現されている。逆阻止 IGBT を用いた双方向スイッチ 220 は、図 3 に示す双方向スイッチ 220 に比べ素子数が少なくなり全体のサイズも小さ

10

20

30

40

50

くなり、かつ損失も低減できるが、依然として並列に設けられた2つのトランジスタを要する。

【0014】

図5は、トランジスタ222の断面図を示す。トランジスタ222は、半導体基板230と、半導体基板230の表面に形成されたP型ベース領域232と、P型ベース領域の表面に形成されたN+型エミッタ領域234と、半導体基板230の裏面に形成されたP+型コレクタ領域235と、半導体基板230の側面に設けられたP+型保護領域233と、N+型エミッタ領域234と半導体基板230とに挟まれたP型ベース領域232の上方にゲート絶縁膜238を介して形成された制御電極236と、絶縁膜231によって制御電極236と絶縁され、N+型エミッタ領域234およびP型ベース領域232と導通するエミッタ電極237と、P+型コレクタ領域235およびP+型保護領域233と導通するように半導体基板230の裏面側に形成されたコレクタ電極239とを備える。半導体基板230は、N-型の基板である。半導体基板230のN-型半導体領域はIGBTのドリフト領域として機能する。

10

【0015】

半導体基板230の側面がP+型保護領域233により包囲されているため、PN接合が半導体基板230の側面に露出することはない。このため、コレクタ電極239に逆バイアスが印加された場合、空乏層はデバイス表面側にのみ現われる。デバイス表面側は、ダイシングされるデバイス側面よりも欠陥が少ないので、空乏層が現れても漏れ電流は小さい。このため、十分な逆耐圧を得ることができる。なお、デバイス表面側にガードリングなどの耐圧構造を作り込むことにより、全体として耐圧を向上させることもできる。

20

【0016】

しかし、トランジスタ222のような逆阻止IGBTは、次のような課題を有する。

1) シリコン基板に形成した逆阻止IGBTは、要求される耐圧が高くなるにつれシリコン基板を厚くしなければならず、結果としてシリコン基板の抵抗が大きくなり、全体の効率が低下する。また、シリコン基板を厚くするとデバイスサイズも大きくなるので実用的でない。

2) 逆阻止IGBTの半導体基板を炭化ケイ素(SiC)または窒化ガリウム(GaN)などのワイドバンドギャップ材料により形成した場合、PN接合のビルトイン電圧がシリコンより大きいため、IGBTの順方向電圧が大きく設定される。

30

3) 逆阻止IGBTにおいては、制御電極に正電圧を印加し続けるとフライホイーリングダイオードとして動作する。したがって、IGBTとしての最適なデバイス構造とダイオードとしての最適なデバイス構造を単一のデバイスで実現するのが好ましい。しかしながら、IGBT動作時に順方向に耐圧が印加された場合、空乏層をコレクタ側で止めるためのフィールドストップ層を設けることができず、ベース層を厚くすることにより対処しなければならない。その結果、ドリフト層が厚くなり、抵抗が高くなってスイッチング特性やオン電圧特性が通常のデバイスに比べ低下する。

4) 逆阻止IGBTを用いた場合でも双方向スイッチを構成するためには2個のパワーデバイスが必要となる。

【0017】

40

図6Aは、本発明の第1実施形態にかかる双方向素子100の断面図を示す。本例の双方向素子100は、基板10の表面に形成された半導体積層部70の積層方向に電流が流れる縦型の双方向素子であって、半導体積層部70に形成され、第1チャンネル72を有する第1半導体素子と、半導体積層部70において第1半導体素子よりも基板10側に設けられ、第2チャンネル23を有する第2半導体素子とを備える。

【0018】

なお、第1半導体素子は、第1チャンネル72に流れる電流を制御することで、第1電極21および第2電極22の間に流れる電流を制御する。第2半導体素子は、第2チャンネル23に流れる電流を制御することで、第1電極21および第2電極22の間に流れる電流を制御する。本例において第1チャンネル72は、基板10と略平行な方向にキャリアが移

50

動するチャネルであり、第2チャネル23は、基板10と略垂直な方向にキャリアが移動するチャネルである。また、本例において第1半導体素子はMOSFETであり、第2半導体素子はJFETである。

#### 【0019】

双方向素子100は、基板10、半導体積層部70、第1電極21、第2電極22、第1制御電極17、第2制御電極20および絶縁膜18を備える。基板10は、N+型の半導体基板である。基板10は、SiC基板であってよく、GaN等の窒化物半導体基板であってよい。また、基板10はシリコン基板であってよい。基板10は、低抵抗の基板であれば、他の材料の基板を用いることができる。

#### 【0020】

半導体積層部70は、基板10の主面上に形成される。半導体積層部70は、第1導電型の半導体層(11、12)を有する。本例において第1導電型はN型であり、当該半導体層はN型の高濃度層11およびN-型の低濃度層12を含む。半導体積層部70においてデバイスの活性層として機能する層は、SiCまたはGaN等の窒化物半導体を含む。本例では、高濃度層11および低濃度層12、ならびに、これらの層に含まれる各領域は、SiCまたはGaN等の窒化物半導体で形成される。高濃度層11の不純物濃度は、基板10の不純物濃度より低く、低濃度層12の不純物濃度より高い。

#### 【0021】

また、半導体積層部70は、第1導電型の半導体層(11、12)内の基板10と略平行な面において、第1導電型の半導体層(11、12)の一部の領域を残して形成された第2導電型の第1半導体領域13を有する。本例において第2導電型はP型であり、第1半導体領域13はP+型の半導体領域である。第1半導体領域13は、第1導電型の半導体層(11、12)が基板10と略平行な面において離散して複数存在するように形成される。第1半導体領域13が形成される面において、第1導電型の半導体層(11、12)は、略一定の間隔で配置されてよい。

#### 【0022】

なお、図6Aにおいては複数の第1半導体領域13が示されているが、複数の第1半導体領域13は、互いに接続されている。このような構成により、第1半導体領域13と、第1導電型の半導体層(11、12)との間でPN接合が形成され、第1半導体領域13が形成される面に残された第1導電型の半導体層(11、12)のそれぞれに、第2制御電極20に印加される電圧に応じて第2チャネル23が形成される。本例において、第1半導体領域13は、高濃度層11および低濃度層12との境界に形成される。第1半導体領域13は、高濃度層11および低濃度層12の双方に渡って埋め込み形成されてよい。本例の第2チャネル23は、高濃度層11および低濃度層12の境界部分に形成され、基板10と垂直な方向にキャリアが移動するチャネルである。高濃度層11および低濃度層12の境界部分とは、界面を含み、且つ、高濃度層11および低濃度層12の両方にわたる領域を指してよい。また、当該境界部分とは、界面を含み、且つ、高濃度層11および低濃度層12のいずれか一方にわたる領域を指してもよい。

#### 【0023】

また、半導体積層部70は、低濃度層12の表面に形成されたN+型ソース領域15およびP型拡散領域14を含む。つまり、半導体積層部70は、第1半導体領域13よりも第1制御電極17側の基板10と略平行な面において、N+型ソース領域15(第2半導体領域)と、P型拡散領域14(第3半導体領域)と、低濃度層12(第3半導体領域)とを順番に隣接して有する。P型拡散領域14には、第1制御電極17に印加される電圧に応じて第1チャネル72が形成される。本例においてN+型ソース領域15の中央部分には、P型拡散領域14が形成される。P型拡散領域14は、N+型ソース領域15を囲んで形成される。

#### 【0024】

第1電極21は、半導体積層部70の表面側に設けられ、第2電極22は基板10の裏面側に設けられる。第1電極21および第2電極22は、双方向素子100のソース・ド

10

20

30

40

50



レイン電極として機能する。なお、半導体積層部 70 の表面とは、基板 10 とは逆側の面を指す。基板 10 の裏面とは、半導体積層部 70 とは逆側の面を指す。第 1 電極 21 は、N+型ソース領域 15 とオーミック接合する。第 2 電極 22 は基板 10 とオーミック接合する。

【0025】

第 1 制御電極 17 は、半導体積層部 70 の面のうち基板 10 とは逆側の面に露出する P 型拡散領域 14 に対応して形成される。第 1 制御電極 17 は、P 型拡散領域 14 上に、絶縁膜 18 を介して形成され、印加される電圧に応じて第 1 チャネル 72 を制御する。例えば、第 1 制御電極 17 に電圧が印加されると、第 1 制御電極 17 の直下の P 型拡散領域 14 の表面に第 1 チャネル 72 が形成され、第 1 電極 21 に主電流が流れる。また、絶縁膜 18 は第 1 制御電極 17 および第 1 電極 21 を電氣的に絶縁する。本例の第 1 半導体素子は、第 1 電極 21 と第 2 半導体素子との間に流れる電流を、第 1 制御電極 17 により制御する MOSFET である。

10

【0026】

第 2 制御電極 20 は、半導体積層部 70 の面のうち第 1 制御電極 17 と同じ側の面に少なくとも一部が形成され、第 2 チャネル 23 を制御する。なお、第 1 制御電極 17 が形成される面と、第 2 制御電極の一部が形成される面とは、同一面内になくともよい。つまり、第 1 制御電極 17 が形成される面と、第 2 制御電極の一部が形成される面とは、段差を有してもよい。

【0027】

第 2 制御電極 20 は、第 1 半導体領域 13 と電氣的に接続される。本例の第 2 制御電極 20 は、半導体積層部 70 の表面から第 1 半導体領域 13 に接する位置まで、第 1 導電型の半導体層 (11、12) 内を通過して形成される。より具体的には、第 2 制御電極 20 は、下端近傍の側面において第 1 半導体領域 13 に接する。また、第 2 制御電極 20 の底面は、高濃度層 11 に接する。第 2 制御電極 20 は、第 1 半導体領域 13 とオーミック接合し、かつ、第 1 導電型の半導体層 (11、12) とショットキー接合する材料で形成される。第 2 制御電極 20 は、例えば、Ti、Ni、Au、Pt、Al、Mo、またはこれらの合金で形成される。第 2 制御電極 20 は、印加される電圧に応じて第 2 チャネル 23 を制御する。本例の第 2 半導体素子は、第 2 電極 22 と第 1 半導体素子との間に流れる電流を、第 2 制御電極 20 により制御する JFET である。

20

30

【0028】

なお、第 2 制御電極 20 は、一部がメサ 19 内に形成されてよい。メサ 19 は、第 1 半導体素子の N/P/N 構造および第 1 半導体領域 13 を取り囲むように形成される。メサ 19 は、低濃度層 12 の最上面から高濃度層 11 の所定の位置まで形成されてよい。第 2 制御電極 20 の上面は低濃度層 12 の表面側に露出している。つまり、第 1 制御電極 17 と第 2 制御電極 20 は、基板 10 に対して同じ主面側に設けられる。ただし、第 2 制御電極 20 は、メサ型の電極構造に限定されない。また、双方向素子 100 は、図 5 に示したトランジスタ 222 と同様に、素子の側面に PN 接合部分が露出しないように、素子の側面部分に P+型保護領域 233 を有してもよい。

【0029】

図 6B は、他の例における双方向素子 100 の断面図である。本例の双方向素子 100 は、トレンチ構造を有する。本例における双方向素子 100 は、図 6A に示した双方向素子 100 に対して、第 1 制御電極 17、絶縁膜 18 および第 1 電極 21 の構造が異なる。他の構造は、図 6A に示した双方向素子 100 と同一である。

40

【0030】

本例の第 1 制御電極 17 は、半導体積層部 70 の表面に形成されたトレンチ内に設けられる。当該トレンチは、第 1 電極 21 の周囲を取り囲むように形成される。当該トレンチの開口は P 型拡散領域 14 に形成され、且つ、当該トレンチは P 型拡散領域 14 を貫通して形成される。

【0031】

50

絶縁膜 18 は、当該トレンチの側面および底面に形成され、第 1 制御電極 17 と、半導体積層部 70 との間を絶縁する。第 1 制御電極 17 は、絶縁膜 18 が形成されたトレンチ内に充填して形成される。なお、トレンチの側面には、N+型ソース領域 15、P型拡散領域 14 および低濃度層 12 が、基板 10 と垂直な方向において順番に接する。第 1 制御電極 17 に電圧が印加されると、トレンチの当該側面に接する P 型拡散領域 14 に、垂直方向の第 1 チャネル 72 が形成される。

【0032】

図 7 は、双方向素子 100 の等価回路図である。第 1 半導体素子である MOSFET 24 と、第 2 半導体素子である JFET 26 が第 1 電極 21 と第 2 電極 22 との間で直列に接続されている。第 1 電極 21 および第 2 電極 22 に印加される電圧の極性に応じて第 1 制御電極 17 および第 2 制御電極 20 を制御して双方向スイッチを実現する。

10

【0033】

以下、双方向素子 100 の動作について具体的に説明する。まず、第 1 電極 21 に負のバイアスが印加され、第 2 電極 22 に正のバイアスが印加される場合を説明する。この場合、第 1 制御電極 17 には、双方向素子 100 のオンオフに応じた電圧が印加される。第 2 制御電極 20 には、任意の電圧が印加される。

【0034】

第 1 制御電極 17 に正の電圧が印加されると、第 1 制御電極 17 直下の P 型拡散領域 14 に第 1 チャネル 72 が形成される。N+型ソース領域 15 から注入された電子は第 1 チャネル 72 を通って低濃度層 12 に進入する。その後、電子は P 型拡散領域 14 の間を通過し、高濃度層 11 および基板 10 を経て第 2 電極 22 に到達する。

20

【0035】

なお、第 2 電極 22 に印加する電圧が PN ダイオードのビルトイン電圧より大きい場合には、第 1 半導体領域 13 から低濃度層 12 に正孔が注入され、パイボラ的な電流が流れ IGBT 的な動作モードとなる。しかし、通常は第 2 制御電極 20 に対して直列の抵抗が設けられるので、第 1 半導体領域 13 から低濃度層 12 に対しては、わずかな電流しか流れない。このため、第 1 電極 21 に負のバイアスが印加され、第 2 電極 22 に正のバイアスが印加される場合には、双方向素子 100 の動作は、第 1 半導体素子による MOSFET 動作が主な動作モードとなる。

【0036】

次に、第 1 電極 21 に正のバイアスが印加され、第 2 電極 22 に負のバイアスが印加される場合を説明する。この場合、第 2 制御電極 20 には、双方向素子 100 のオンオフに応じた電圧が印加される。本例では、P 型拡散領域 14 および低濃度層 12 の接合に順方向バイアスが印加される。従って、第 1 制御電極 17 のオン/オフにかかわらず、第 1 電極 21 および第 2 電極 22 間に PN ダイオード電流が流れる。

30

【0037】

双方向素子 100 をオフ状態にする場合、第 2 制御電極 20 に、第 2 電極 22 に対して負のバイアスを印加する。そうすると、高濃度層 11 内に空乏層が広がって第 2 チャネル 23 が電流ピンチオフする。その結果、第 1 電極 21 および第 2 電極 22 間の電流が遮断される。なお、ピンチオフ電圧が 5V ~ 20V となるように、第 1 半導体領域 13 の間隔およびパターン寸法、高濃度層 11 の不純物濃度を設定するのが好ましい。

40

【0038】

また、第 2 制御電極 20 をオン状態にすると、第 2 チャネル 23 が形成され、第 2 チャネル 23 を通じて、基板 10 側から電子が供給される。また、P 型拡散領域 14 および低濃度層 12 の接合には順方向バイアス電流が流れる。これにより、第 1 電極 21 および第 2 電極 22 間に電流が流れる。

【0039】

なお、第 1 電極 21 に正のバイアスが印加され、第 2 電極 22 に負のバイアスが印加される場合、第 1 制御電極 17 を、第 2 制御電極 20 に同期してオンオフ制御することが好ましい。第 2 制御電極 20 をオン状態にしたときに、さらに、第 1 制御電極 17 をオン状

50

態にすることで、第1チャネル72を通じてドレイン電流が流れる。ここで、基板10側から供給された電子は、第1半導体領域13を通らず、第1半導体領域13の間に設けられた第2チャネル23を通過していく。つまり、第1半導体領域13には電子が入ることがないため、第1半導体領域13からの正孔の注入が抑制される。その結果、高速スイッチングが可能となる。第2制御電極20のショットキー接合と第1半導体領域13に逆バイアスがかかると、図中に点線で示すようにメサ19の側面のショットキー接合部からメサ19の外側に向かって空乏層が広がる。空乏層は、デバイス表面側にのみ露出するので、その部分にガードリングあるいはフィールドプレートなどの構造を作り込むことで耐圧を維持することができる。

#### 【0040】

本例によれば、第1電極21および第2電極22に、正または負のいずれのバイアスが印加されても、双方向に高い耐圧を維持し、かつ、双方向にスイッチングが可能な双方向素子を単一の縦型パワーデバイスによって実現することができる。

#### 【0041】

図8は、双方向素子100の電流電圧特性を示すグラフである。横軸は、第2電極22に印加される電圧Vを表す。Vが正の領域では、第1電極21に負のバイアスが印加され、第2電極22に正のバイアスが印加される。Vが負の領域では、第1電極21に正のバイアスが印加され、第2電極22に負のバイアスが印加される。縦軸は、双方向素子100に流れる電流Iを表す。Iが正の領域では、第2電極22から第1電極21に電流が流れ、Iが負の領域では、第1電極21から第2電極22に電流が流れる。また、第1制御電極17/第2制御電極20のオンオフ状態毎に、I-V特性を示す。

#### 【0042】

Vが正の領域において、双方向素子100は、第1制御電極17がオフ状態の場合、第1半導体素子の耐圧までは電流が流れないI-V特性83を示す。また、第1制御電極17がオン状態の場合、双方向素子100は、第2制御電極20の状態に応じた特性を示す。第1制御電極17がオン状態であり、かつ、第2制御電極20がオン状態である場合、双方向素子100は、JFETのI-V特性81を示す。第1制御電極17がオン状態であり、かつ、第2制御電極20がオフ状態である場合、双方向素子100は、ダイオードのI-V特性82を示す。ただし、第2制御電極20がオン状態の場合であっても、ダイオードの特性における電流が、JFETの特性における電流より多くなる電圧Vにおいては、I-V特性82は、I-V特性81と同様になる。また、第1制御電極17がオフの場合、Vが耐圧以上となるまで電流が流れないI-V特性83を示す。

#### 【0043】

Vが負の領域において、第2制御電極20がオフ状態の場合、双方向素子100は、第2半導体素子の耐圧までは電流が流れないI-V特性86を示す。また、第2制御電極20がオン状態の場合、双方向素子100は、第1制御電極17の状態に応じた特性を示す。第1制御電極17がオン状態の場合、双方向素子100は、JFETのI-V特性84を示す。第1制御電極17がオフ状態の場合、双方向素子100は、ダイオードのI-V特性85を示す。ただし、第1制御電極17がオン状態の場合であっても、ダイオードの特性における電流が、JFETの特性における電流より多くなる電圧Vにおいては、I-V特性85は、I-V特性84と同様になる。

#### 【0044】

図8に示すように、第1電極21および第2電極22に印加される電圧の極性に応じて、第1制御電極17および第2制御電極20の制御を非対称とすることが好ましい。例えば、第1電極21に負のバイアスが印加され、第2電極22に正のバイアスが印加された場合、第2制御電極20のオンオフは、第1制御電極17のオンオフと同期せず、第1電極21に正のバイアスが印加され第2電極22に負のバイアスが印加された場合、第1制御電極17のオンオフは、第2制御電極20のオンオフに同期してよい。また、第1制御電極17をオンオフする電圧と、第2制御電極20をオンオフする電圧とは異なってよい。

10

20

30

40

50

## 【 0 0 4 5 】

また、第1半導体素子はノーマリオフの素子であるので、第1制御電極17に印加する電圧は、ノーマリオフの制御電圧となる。また、第2半導体素子はノーマリオンの素子であるので、第2制御電極20に印加する電圧は、ノーマリオンの制御電圧である。

## 【 0 0 4 6 】

双方向素子100は、主たる電流は多数キャリアが担い、低濃度層12への正孔の注入も少ないことから、低濃度層12における伝導度変調は弱い。したがって、基板10がシリコンから形成される場合、IGBTと比べ抵抗が著しく大きくなる。一方、双方向素子100は、低濃度層12によって双方向の耐圧を維持している。そのため、低濃度層12は所定の厚さが必要であるが、厚くなるほど抵抗は大きくなる。そこで、各半導体層を、抵抗が小さいSiCまたはGaNなどの化合物半導体により形成するのが好ましい。SiCまたはGaNは、シリコンに比べ格子定数が小さく、かつ、バンドギャップが大きい。そのため、高耐圧で、温度による特性変化が小さい。各半導体層をSiCまたはGaNにより形成することで、低濃度層12の抵抗を大幅に低減することができる。その結果、低濃度層12の厚さをシリコン基板の場合に比べ1/10程度に薄くすることができる。

10

## 【 0 0 4 7 】

基板10をSiCまたはGaNにより形成した場合、例えばGaNで形成される低濃度層12の厚さは、耐圧1000Vで約10 $\mu$ m、10000Vで約100 $\mu$ mとなる。低濃度層12の厚さが薄くなることにより、メサ19の形成が著しく容易となる。

## 【 0 0 4 8 】

次に、双方向素子100の製造方法について説明する。図9から図14は、双方向素子100の製造方法を説明する工程図である。双方向素子100を製造する方法は、基板10を用意する段階と、P型不純物を高濃度層11に注入するイオン注入段階と、基板10を熱処理し第1半導体領域13を形成するアニール段階と、低濃度層12の表面にMOSFETデバイスを形成するデバイス形成段階と、デバイスを取り囲むようにメサ19を形成するメサ形成段階と、メサ19の内部にショットキー電極を形成する電極形成段階とを備える。

20

## 【 0 0 4 9 】

図9は、基板10を用意する段階を示す工程図である。基板10は、N型不純物が高濃度にドーブされたシリコン、SiCまたはGaN等により形成されてよい。基板10上には高濃度層11がエピタキシャル成長される。高濃度層11は、SiCまたはGaN等の窒化物半導体で形成される。基板10がシリコンの場合、高濃度層11は3C-SiCであってもよい。エピタキシャル成長は、MOCVD法等により行ってよい。

30

## 【 0 0 5 0 】

図10は、イオン注入段階を示す工程図である。高濃度層11上にフォトリソグラフィ技術によりマスク31を形成し、高濃度層11の表面付近にP型不純物イオン32を高濃度にイオン注入する。P型不純物の濃度は、1000V仕様の場合、1E17cm<sup>-3</sup>から1E18cm<sup>-3</sup>、10000V仕様の場合、1E16cm<sup>-3</sup>から1E17cm<sup>-3</sup>程度であってよい。

## 【 0 0 5 1 】

図11は、アニール段階を示す工程図である。基板10を熱処理し、不純物イオンを活性化させ拡散させることで高濃度層11の表面付近に第1半導体領域13が形成される。つづいて、第1半導体領域13が形成された高濃度層11上にN型の低濃度層12をエピタキシャル成長させる。低濃度層12のN型不純物濃度は、1000V仕様の場合1E16cm<sup>-3</sup>程度、10000V仕様の場合1E15cm<sup>-3</sup>程度であってよい。

40

## 【 0 0 5 2 】

図12は、デバイス形成段階を示す工程図である。まず、低濃度層12の表面付近にP型不純物をイオン注入しP型ウェル構造のP型拡散領域14を形成する。次に、P型拡散領域14の表面付近にN型不純物イオンを高濃度イオン注入しN+型ソース領域15を形成する。次に、ゲート酸化膜をP型拡散領域14を含む低濃度層12の表面上にCVD法

50

により堆積する。次に、N + 型ソース領域 1 5 と低濃度層 1 2 に挟まれた P 型拡散領域 1 4 の上部にゲート酸化膜を介して第 1 制御電極 1 7 を形成する。最後にデバイスの表面全体に絶縁膜を堆積する。なお、ゲート酸化膜および絶縁膜を合わせて、絶縁膜 1 8 として示す。

【 0 0 5 3 】

図 1 3 は、メサ形成段階を示す工程図である。フォトリソグラフィ技術によりデバイスを取り囲むようにメサを形成するべき領域に開口を有するマスク 3 3 をデバイスの表面および低濃度層 1 2 の表面に形成する。次に、ドライエッチングにより低濃度層 1 2 の表面から高濃度層 1 1 に達するメサ 1 9 を形成する。デバイス形成段階は、メサ形成段階の後に実行してもよい。

10

【 0 0 5 4 】

図 1 4 は、電極形成段階を示す工程図である。スパッタ法により Ti、Ni、Au、Pt、Al、Mo またはこれらの合金をメサ 1 9 の内部に蒸着させて第 2 制御電極 2 0 を形成する。第 2 制御電極 2 0 はショットキー電極であってよい。次に、ゲート酸化膜および絶縁膜を選択的に除去して、P 型拡散領域 1 4 および N + 型ソース領域 1 5 とオーミック接合し、第 1 制御電極 1 7 と絶縁する第 1 電極 2 1 を形成する。次に、基板 1 0 の裏面に基板 1 0 とオーミック接合する第 2 電極 2 2 を形成する。

【 0 0 5 5 】

以上の製造方法によれば、メサ 1 9 の形成後に高温の熱処理工程がないため、メサ 1 9 の形成がデバイスの微細加工に影響を与えることがない。尚、低濃度層 1 2 を SiC または GaN により形成した場合、低濃度層 1 2 の厚さをシリコン基板の場合の 1 / 1 0 程度にすることができるので、メサ 1 9 の形成が容易となる。

20

【 0 0 5 6 】

図 1 5 は、本発明の第 2 実施形態にかかる双方向素子 2 0 0 の断面図を示す。第 1 実施形態と機能が同一の構成要素には同一の符号を付し、説明を省略する。双方向素子 2 0 0 は、低濃度層 1 2 と第 2 制御電極 2 0 との間に絶縁膜 4 0 が形成されている点で双方向素子 1 0 0 と異なる。絶縁膜 4 0 は、メサ 1 9 の内壁に形成されてよい。また、第 2 制御電極 2 0 は、底面において第 1 半導体領域 1 3 とオーミック接合する。

【 0 0 5 7 】

双方向素子 2 0 0 は、第 2 制御電極 2 0 と低濃度層 1 2 との間にショットキー接合が形成されない。メサ 1 9 を形成する段階において、半導体側面が面荒れするなどの理由からメサ 1 9 の内壁面の結晶性を整えることが困難となる場合がある。その場合には、理想的なショットキー接合を形成することが困難となり、リーク電流が増加する。本例の双方向素子 2 0 0 は、ショットキー接合に起因するリーク電流の問題が生じない。また、第 2 制御電極 2 0 と低濃度層 1 2 との間に介在する絶縁膜 4 0 によって耐圧を維持することもできる。

30

【 0 0 5 8 】

次に、双方向素子 2 0 0 の製造方法について説明する。双方向素子 2 0 0 の製造方法は、メサ形成段階と、電極形成段階との間に絶縁膜形成段階を備える点で双方向素子 1 0 0 の製造方法と異なる。絶縁膜形成段階は、メサ形成段階で使ったマスク 3 3 をそのまま用いて、プラズマ CVD 法によりメサ 1 9 の内側面全体に絶縁膜 4 0 を形成する段階を含む。絶縁膜 4 0 は、シリコン酸化膜であってよい。次に、ドライエッチングにより、メサ 1 9 の内側底面に形成された絶縁膜 4 0 のみを除去する。つづく電極形成段階において、メサ 1 9 の底面において第 1 半導体領域 1 3 とオーミック接合する第 2 制御電極 2 0 をスパッタ法で蒸着する。

40

【 0 0 5 9 】

図 1 6 は、本発明の第 3 実施形態にかかる双方向素子 3 0 0 の断面図である。双方向素子 1 0 0 または双方向素子 2 0 0 と機能が同一の構成要素には同一の符号を付し、説明を省略する。双方向素子 3 0 0 は、低濃度層 1 2 と第 2 制御電極 2 0 との間に、絶縁膜 4 0 に代えて P + 型半導体領域 5 0 ( 第 5 半導体領域 ) が形成されている点で双方向素子 2 0

50

0と異なる。

【0060】

P+型半導体領域50と低濃度層12はPN接合を形成する。ショットキー接合でリークの接合を形成するには、半導体表面と金属界面との間に清浄で結晶性の良い理想的な界面を形成することが望ましい。しかしながら、そのような界面を形成するには高度な技術を要する。また、ショットキー接合は高温動作時にリーク電流が発生しやすい。そこで、本例では、メサ19の側面にPN接合を形成することにより、リーク電流を低減している。また、第1半導体領域13に逆バイアスが印加された場合にもPN接合の空乏層によって耐圧を維持することができる。

【0061】

次に、双方向素子300の製造方法を説明する。双方向素子300の製造方法は、デバイス形成段階の前にメサ形成段階を実行し、メサ形成段階の後にP+型半導体領域50を形成する段階をさらに有する点で双方向素子100の製造方法と異なる。図17および図18は、P+型半導体領域50を形成する段階を説明する工程図である。P+型半導体領域形成段階は、メサ19の内部に高濃度のP型不純物イオンをイオン注入する段階と、熱処理により不純物イオンを活性化するアニール段階とを有する。

【0062】

図17は、メサ19の内部にイオン注入する段階を示す工程図である。メサ形成段階で使用したマスク35をそのまま用いて、メサ19の内側の側面にP型不純物イオンを斜めイオン注入する。メサ19の内側の表面付近に高濃度のP型不純物イオン36がドーブされる。なお、本工程図においては、メサ19は第1半導体領域13を貫通するように描かれている。しかしながら、図16に示すように、メサ19が第1半導体領域13を貫通しない構成としてよい。すなわち、メサ19の底面が第1半導体領域13の基板10とは反対の表面と一致するようにしてよい。

【0063】

図18は、アニール段階を示す工程図である。マスク35を除去したのち、高温で熱処理し、注入したP型不純物イオンを活性化させる。メサ19の外側表面にはP型不純物イオン36が拡散し、P+型半導体領域50が形成される。次に、デバイス形成段階を実行し低濃度層12の表面にMOSFET構造のデバイスを形成する。最後に電極形成段階を実行しメサ19の内部に第2制御電極20を形成する。ここで、P+型半導体領域50は、イオン注入以外に、メサ19の内側の側面にP型のポリシリコンの薄膜を形成するか、P型のSiCをエピタキシャル成長させることにより形成してもよい。

【0064】

図19は、本発明の第4実施形態にかかる双方向素子400の断面図である。双方向素子100、双方向素子200または双方向素子300と機能が同一の構成要素には同一の符号を付し、説明を省略する。双方向素子400は、第2制御電極20の半導体積層部70に埋め込まれた部分に代えて、P+型半導体領域60(第6半導体領域)を備える点で、双方向素子100と異なる。

【0065】

例えばメサ19がP+型半導体領域60により完全に埋め戻されており、P+型半導体領域60の表面に第2制御電極20が形成される。第2制御電極20は、P+型半導体領域60とオーミック接合する。低濃度層12とP+型半導体領域60とはPN接合する。P+型半導体領域60は、メサ19の内部に埋め戻されたP型のポリシリコンまたはP型のSiCであってよい。

【0066】

メサ19が完全に埋め戻されたのち、平坦化処理によりP+型半導体領域60の表面は低濃度層12の表面と同じ高さとなる。平坦化処理は、エッチングまたは研磨であってよい。深いメサ19が基板10の表面にあると、そこで段差が生じるため、フォトレジストを均一に塗布することが困難となる。その結果、微細なパターンを表面に形成するような微細加工が制限される。本例では、基板10の表面が平坦化されているためその後の微細

10

20

30

40

50

加工が可能である。本例の第2制御電極20は、メサ19内部に埋め込まなくてよいため、第2制御電極20の形成が容易である。第1半導体領域13に逆バイアスが印加された場合、PN接合の空乏層がデバイスの表面側にのみ現われるので耐圧を維持することができる。

【0067】

次に、双方向素子400の製造方法を説明する。双方向素子400の製造方法は、基板10を用意する段階と、P型不純物を高濃度層11に注入するイオン注入段階と、基板10を熱処理し第1半導体領域13を形成するアニール段階と、メサ19を形成する段階と、メサ19をP+型半導体で埋め戻す段階と、基板10の表面を平坦化する段階と、P+型半導体領域60に囲まれた低濃度層12の表面にMOSFETデバイスを形成するデバイス形成段階と、P+型半導体領域60の最上面62に第2制御電極を形成する電極形成段階とを備える。基板10を用意する段階、イオン注入段階、アニール段階は、双方向素子100の製造方法を同様なので説明を省略する。図20から図24は、双方向素子400の製造方法を説明する工程図である。

10

【0068】

図20は、メサ19を形成する段階を説明する工程図である。フォトリソグラフィ技術によりメサ19を形成すべき場所に開口を有するマスクを低濃度層12の表面上に形成し、ドライエッチングによりメサ19を形成する。

【0069】

図21は、メサ19を埋め戻す段階を説明する工程図である。基板10の表面全体にP+型ポリシリコンまたはP+型SiCをエピタキシャル成長させ、メサ19を完全に埋め戻す。メサ19の内部にはP+型半導体領域60が形成される。基板10の最上面にもP+型ポリシリコンまたはP+型SiCがエピタキシャル成長される。なお、メサ19を埋め戻す他の方法として、酸化膜のマスクを用いて、メサ19部分にのみ選択エピタキシャル成長を行って埋め戻し、最後に酸化膜を除去してもよい。

20

【0070】

図22は、平坦化する段階を説明する工程図である。基板10の最上面をエッチングまたはCMP研磨により平坦化する。平坦化処理は、低濃度層12の最上面と、P+型半導体領域60の最上面62とが基板10と平行な同一平面上にあるようになるまで行う。

【0071】

図23は、デバイス形成段階を説明する工程図である。平坦化されたP+型半導体領域60に取り囲まれた低濃度層12の表面にMOSFET構造のデバイスを形成する。デバイスの詳細な形成方法は、図12で説明したので省略する。

30

【0072】

図24は、電極形成段階を説明する工程図である。平坦化されたP+型半導体領域60の最上面62に第2制御電極20を形成する。第2制御電極20とP+型半導体領域60の最上面62はオーミック接合する。つづいて、第1電極21および第2電極22を形成する。電極の詳細な形成方法は、図14で説明したので省略する。

【0073】

上述した製造方法によれば、段差のない平坦な基板10の表面にデバイスを形成することができる。したがって、安定した微細加工プロセスを実施することができる。

40

【0074】

図25は、第1半導体領域13のパターンの例を示す平面図である。図25は、基板10と略平行な面を示す。第2制御電極20は、互いに平行なX軸方向の2辺と互いに平行なY軸方向の2辺を有する額縁形状を有する。第2制御電極20で包囲された領域には、Y軸方向に互いに平行に同一の長さで伸長し、かつ、X軸方向に互いに等間隔で配置された第1半導体領域13と、X軸方向に伸長し、当該第1半導体領域13のY軸方向の両端に接して互いに平行に形成されたP+型連結領域25を有する。第1半導体領域13は、P+型連結領域25によって第2制御電極20と電気的に導通している。隣接する第1半導体領域13の間にはY軸方向に伸長するN型の第2チャンネル23が形成されている。本

50

例では、第1半導体領域13がストライプ形状を有し、第2チャンネル23においてPN接合の空乏層が一様に広がりやすい。そのため、ピンチオフ特性が安定して得られる。

【0075】

図26は、第1半導体領域13のパターンの他の例を示す平面図である。図26は、基板10と略平行な面を示す。第2制御電極20で包囲された領域には、X軸方向およびY軸方向に互いに等間隔で、かつ直角に交差するように格子状に配置された第1半導体領域13と、X軸方向に伸長し当該第1半導体領域13のY軸方向の両端に接して互いに平行に形成されたP+型連結領域25と、Y軸方向に伸長し当該第1半導体領域13のX軸方向の両端に接して互いに平行に形成されたP+型連結領域29を有する。第1半導体領域13は、P+型連結領域25およびP+型連結領域29によって第2制御電極20と電気的に導通している。第1半導体領域13により升目状に区切られた領域には略正方向のN型の第2チャンネル23が形成されている。

10

【0076】

本例の格子形状の第1半導体領域13は、ストライプ形状の第1半導体領域13よりも抵抗が小さい。そのため、ピンチオフの際のターンオフ特性が向上する。一方、第2チャンネル23の面積は、升目形状よりストライプ形状の方が大きい。したがって、升目形状のチャンネルよりストライプ形状のチャンネルの方が主電流が流れやすい。第1半導体領域13のパターンは、第1半導体領域13の抵抗と、第2チャンネル23の面積を考慮して設計するのが好ましい。

【0077】

20

図27は、本発明の第5実施形態にかかる双方向素子500の断面図である。以下、図6Aの第1の実施例形態との相違について主に述べる。

【0078】

双方向素子500の当該断面図において、第1半導体素子のP型拡散領域14は二つに分離されている。当該二つに分離されたP型拡散領域14の間には、低濃度層12が設けられている。当該低濃度層12は、半導体積層部70の表面に露出している。なお、双方向素子500を上面から見た場合、P型拡散領域14は、当該低濃度層12を囲むように連続して形成されてよい。

【0079】

第1電極21は、半導体積層部70の表面に設けられている。第1電極21は、半導体積層部70の表面において、低濃度層12と接触している。それゆえ、第1電極21と第2半導体領域である低濃度層12との間にはショットキー接合部73が形成されている。第1電極21および低濃度層12からなるショットキーバリアダイオードは、半導体積層部70の表面に形成されているMOSFETのソース（例えば第1電極21）およびドレイン（例えば低濃度層12）を、それぞれアノードおよびカソードにしている。それゆえ、当該ショットキーバリアダイオードは、半導体積層部70の表面のMOSFETに対して、電氣的に並列に接続されている。なお、P型拡散領域14とN+型ソース領域15とからなるPNダイオードは、ソース（例えば第1電極21）およびドレイン（例えば低濃度層12）を、それぞれアノードおよびカソードにしている。したがって、当該PNダイオードは、ショットキーバリアダイオードおよびMOSFETと電氣的に並列接続されている。

30

40

【0080】

本実施形態のように、第1電極21と低濃度層12との間にショットキー接合部73を形成した場合のショットキー接合の電位障壁は、図6Aのように第1電極21、P型拡散領域14、および低濃度層12が直列的に接続されてPN接合が存在する場合の電位障壁と比較して、小さい。したがって、第1電極21と低濃度層12との間にショットキー接合部73を設けることにより、MOSFETをオフ状態、かつJFETをオン状態にした場合の電力損失を低減することができる。

【0081】

特に、SiCまたはGaN等のワイドバンドギャップ半導体を用いて半導体積層部70

50



を形成した場合、第1電極21である金属層と低濃度層12であるN型のSiC等との間のショットキー接合の電位障壁は1V前後になるのに対して、P型拡散領域14であるP型のSiC等と低濃度層12であるN型のSiC等との間のPN接合の電位障壁は3から4V程度と非常に大きくなる。したがって、第1電極21と低濃度層12との間にショットキー接合部73を設けることによる電力損失低減の効果は、ショットキー接合部73が無い場合と比較して大きい。

#### 【0082】

なお、半導体積層部70の表面にあるMOSFETをオフ状態にして(例えば、第1制御電極17に正バイアスを印加して)、半導体積層部70中の高濃度層11と低濃度層12との間にあるJFETをオン状態(例えば、第2制御電極20をゼロバイアス)にする場合、第2電極22に印加する電圧Vが負の領域においては、双方向素子500はいわゆるダイオードモードのI-V特性を示す。

10

#### 【0083】

図28は、図27に示す双方向素子500の電流電圧特性を表すグラフである。図6Aのように第1電極21、P型拡散領域14、および低濃度層12が直列的に接続されてPN接合が存在する場合であって、MOSFETをオフ状態、かつJFETをオン状態にした場合のI-V特性をI-V特性91に示す。また、本実施形態のように、第1電極21と低濃度層12との間にショットキー接合部73を形成した場合であって、MOSFETをオフ状態、かつJFETをオン状態にした場合のI-V特性をI-V特性92に示す。I-V特性91に示すように、ショットキー接合部73が無く、PN接合の電位障壁がある場合は、徐々に負バイアス高くしていても、PN接合の電位障壁に応じた約マイナス3Vまでは電流が流れにくい。これに対して、I-V特性92に示すように、ショットキー接合部73におけるショットキー接合の電位障壁がある場合は、徐々に負バイアス高くしていくと、約マイナス1Vで電流が流れ始める。したがって、本実施形態においては、第1の実施形態と比較して、より小さな負バイアスにより電流のオンオフを制御することができるので、電力損失を低減することができる。

20

#### 【0084】

図29は、本発明の第6実施形態にかかる双方向素子600の断面図である。以下、図6Aの第1の実施形態との相違について主に述べる。

#### 【0085】

双方向素子600において、第2電極22は、基板10の裏面に設けられている。また、基板10の一部には、第1導電型の半導体層である高濃度層11が設けられている。当該高濃度層11は、基板10の裏面から表面まで形成されて基板10上に形成される高濃度層11と結合する。それゆえ、高濃度層11と第2電極22との間にショットキー接合部74が形成されている。

30

#### 【0086】

双方向素子600において、基板10の一部には、第1導電型の半導体層である高濃度層11が設けられている。当該高濃度層11は、基板10を除去することにより設けてよい。また、当該高濃度層11は、基板10がたとえばN+層である場合には、P型ドーパントをカウンタードーピングすることにより高濃度層11を設けてもよい。

40

#### 【0087】

双方向素子600において、第1半導体領域13は、互いに電氣的に接続された複数の半導体領域13-1、13-2、13-3および13-4を有する。複数の半導体領域13-1、13-2、13-3および13-4は、基板10と略平行な面に配置されている。複数の半導体領域13-1、13-2、13-3および13-4のうち互いに隣り合う半導体領域の間には、間隔が設けられている。ただし、基板10の一部に設けられた第1導電型の半導体層と第1電極21との間に設けられている半導体領域13-2と半導体領域13-3との間隔27は、第2チャンネル23である半導体領域13-1と半導体領域13-2との間隔、および第2チャンネル23である半導体領域13-3と半導体領域13-4との間隔よりも大きい。言い換えれば、ショットキー接合部74が形成さ

50

れた領域上に位置する間隔 27、すなわち半導体領域 13 - 2 と半導体領域 13 - 3 との間の間隔 27 は、ショットキー接合部 74 が形成された領域上に位置しない間隔よりも大きい。本例では、当該断面における 2 つの P + 型半導体領域 60 の間の中央部分に間隔 27 が設けられる。第 2 チャネル 23 は、間隔 27 と P + 型半導体領域 60 の間に設けられる。

#### 【0088】

高濃度層 11、低濃度層 12、および第 1 半導体領域 13 によって形成された J F E T がオフ状態の場合（例えば、第 2 制御電極 20 に十分な負バイアスを印加した場合）、J F E T の空乏層は、複数の半導体領域 13 - 1、13 - 2、13 - 3 および 13 - 4 の周りにそれぞれ形成される。また、高濃度層 11 と第 2 電極 22 との間にはショットキー接合が形成されているので、第 2 電極 22 付近の高濃度層 11 には空乏層が形成されている。J F E T がオフ状態の場合、半導体領域 13 - 1 の空乏層と半導体領域 13 - 2 の空乏層は接続している。また、J F E T がオフ状態であって、第 1 電極 21 に対して第 2 電極 22 が負バイアスである場合は、半導体領域 13 - 1 の空乏層とショットキー接合の空乏層は接続している。したがって、基板 10 から半導体領域 13 - 1 と半導体領域 13 - 2 との間隔 27 を経由して第 1 電極 21 に通じる電流の経路は遮断されるので、第 1 電極 21 および第 2 電極 22 の間に電流はほとんど流れない。

#### 【0089】

本実施形態においては、間隔 27 に隣接する半導体領域 13 - 2 の中心位置は、ショットキー接合部 74 に位置する基板 10 と高濃度層 11 との境界位置に対して、半導体領域 13 - 3 側にあることが好ましい。つまり、一部が除去された基板 10 において、残された基板 10 の部分の端部は、半導体領域 13 - 2 の中心位置よりも半導体領域 13 - 1 側にあることが好ましい。当該構成により、第 1 半導体領域 13 の空乏層とショットキー接合の空乏層とを接合させて、より確実に、電流経路を遮断することができる。なお、半導体領域 13 - 3 の中心位置についても、ショットキー接合部 74 のうち基板 10 と高濃度層 11 との境界位置に対して半導体領域 13 - 2 側にあることが好ましい。

#### 【0090】

第 1 電極 21 が負バイアス、第 2 電極 22 が正バイアス、かつ M O S F E T がオン状態である場合、電流は、第 1 電極 21、第 1 チャネル 72、低濃度層 12、間隔 27、高濃度層 11、ショットキー接合部 74 および第 2 電極 22 を順に流れる。また、第 1 電極 21 が正バイアス、第 2 電極 22 が負バイアス、M O S F E T がオフ状態、かつ、J F T がオン状態である場合、電流は、第 2 電極 22、基板 10、高濃度層 11、第 2 チャネル 23 および間隔 27、低濃度層 12、P 型拡散領域 14、ならびに第 1 電極 21、を順に流れる。

#### 【0091】

高濃度層 11 と第 2 電極 22 からなるショットキーバリアダイオードは、高濃度層 11、低濃度層 12、および第 1 半導体領域 13 によって形成された J F E T のソース（例えば第 1 電極 21）およびドレイン（例えば低濃度層 12）を、それぞれアノードおよびカソードとしている。それゆえ、ショットキーバリアダイオードは、J F E T に対して、電氣的に並列に接続されている。

#### 【0092】

本実施形態のように、第 2 電極 22 と高濃度層 11 との間にショットキー接合部 74 を形成した場合のショットキー接合の電位障壁は、図 6 A のように第 1 半導体領域 13 と高濃度層 11 および低濃度層 12 とから構成される J F E T における閾値電圧と第 2 電極 22 との電位差と比較して、小さい。したがって、第 2 電極 22 と高濃度層 11 との間にショットキー接合部 74 を設けることにより、電力損失を低減することができる。

#### 【0093】

加えて、本実施形態の場合、J F E T のゲートバイアスのマージンを十分にとることができる。以下に理由を説明する。例えば、図 6 A のように第 1 半導体領域 13 が P + 型半導体領域 60 の間に均等間隔で配置されている場合を想定する。この場合において、J F E

10

20

30

40

50

Tの閾値電圧が $V_{th}$ であり、かつ、第2制御電極20の電圧を $V_{20}$ と表す。この場合、順方向に（第2制御電極から第1電極21に）電流が流れ始める第2電極22の閾値電圧である $V_{22}$ は、 $V_{th} - V_{20}$ となる。なお、MOSFETはオン状態であるとする。ここで仮に、 $V_{th}$ が $-10V$ であり、 $V_{20}$ が $-15V$ である場合、 $V_{22}$ は $5V$ となる。しかし、 $V_{22}$ を $5V$ とするのは、デバイスの閾値電圧として高すぎる。そこで、 $V_{22}$ を $1V$ 程度すべく、 $V_{20}$ を $-11V$ とすることが考えられる。

#### 【0094】

ところで、第2制御電極20にはノイズ電圧が加わることもある。それゆえ、ノイズ電圧を考慮すれば、JFETの閾値電圧 $V_{th}$ と第2制御電極20の電圧 $V_{20}$ との差を $1V$ 程度として設計することは、デバイスが誤作動する原因となる。

10

#### 【0095】

また、実際のデバイスにおいては、第1半導体領域13毎に、 $V_{th}$ がばらつく場合がある。 $V_{th}$ がばらつく場合には、各々の $V_{th}$ に合わせて $V_{20}$ を微妙に調整する必要がある。しかしながら、本実施形態のように、基板10の一部が除去された部分と第1電極21との間に第1半導体領域13を設けずにショットキー接合部74を設けた場合、第2制御電極20の電圧 $V_{20}$ に十分に負バイアスをかけて、閾値電圧 $V_{22}$ を引き上げることができるので、ばらつく $V_{th}$ に合わせて $V_{20}$ を微妙に調整する必要がない。しかも、閾値電圧 $V_{22}$ を引き上げたとしても、ショットキー接合部74では $1V$ 程度の電圧降下しか生じないので、電力損失を低減することができる。すなわち、 $V_{th}$ のマージンと電力損失の低減を両立することができる。

20

#### 【0096】

なお、半導体積層部70の表面にあるMOSFETをオン状態にして、半導体積層部70中の高濃度層11と低濃度層12との間にあるJFETをオフ状態にする場合、第2電極22に印加する電圧 $V$ が正の領域においては、双方向素子600はいわゆるダイオードモードの $I-V$ 特性を示す。

#### 【0097】

図30は、図29に示す双方向素子600の電流電圧特性を表すグラフである。図6Aのように第1半導体領域13がP+型半導体領域60の間に均等間隔で配置されている場合であって、MOSFETをオン状態、かつJFETをオフ状態にした場合の $I-V$ 特性を $I-V$ 特性93に示す。また、本実施形態のように、第2電極22と高濃度層11との間にショットキー接合部74を形成して、基板10の一部が除去された部分と第1電極21との間には、第1半導体領域13が設けられていない場合であって、MOSFETをオン状態、かつJFETをオフ状態にした場合の $I-V$ 特性を $I-V$ 特性94に示す。 $I-V$ 特性93に示すように、第1半導体領域13がP+型半導体領域60の間に均等間隔で配置されている場合は、徐々に正バイアス高くしていても、JFETの閾値電圧に応じた $(V_{th} - V_{20})V$ までは電流が流れにくい。これに対して、 $I-V$ 特性94に示すように、ショットキー接合の電位障壁がある場合は、徐々に負バイアス高くしていくと、約 $1V$ で電流が流れ始める。すなわち、本実施形態においては、第1の実施形態と比較して、より小さな正バイアスにより電流のオンオフを制御することができるので、電力損失を低減することができる。

30

40

#### 【0098】

図31は、本発明の第7実施形態にかかる双方向素子700の断面図である。本実施形態における双方向素子700は、第5実施形態における第1電極21と低濃度層12とのショットキー接合部73、ならびに、第6実施形態における第2電極22と高濃度層11とのショットキー接合部74および間隔27を備える。当該構成により、第5実施形態における負バイアス側でのダイオードモードおよび第6実施形態における正バイアス側でのダイオードモードを単一のデバイス構成により実現することができる。なお、第1電極21と第2半導体領域である低濃度層12との間、および、第2電極22と基板10の一部が除去された部分に設けられた第1導電型の半導体層である高濃度層11との間の少なくとも一方にはショットキー接合が形成される構成としてもよい。当該構成により、第5実

50

施形態における負バイアス側でのダイオードモードまたは第6実施形態における正バイアス側でのダイオードモードを実現することができる。

【0099】

図32は、図31に示す双方向素子700の等価回路図である。JFET26およびショットキーバリアダイオード252は、電氣的に並列に接続されている。また、MOSFET24、PNダイオード261およびショットキーバリアダイオード262はそれぞれ電氣的に並列に接続されている。なお、点線で示したショットキーバリアダイオード252およびショットキーバリアダイオード262は、いずれか一方のみが設けられてよい。

【0100】

上述の通り、JFET26およびショットキーバリアダイオード252は、電氣的に並列に接続されている。また、上述の通り、MOSFET24、PNダイオード261およびショットキーバリアダイオード262は、電氣的に並列に接続されている。加えて、JFET26とMOSFET24とが低濃度層12により電氣的に直列に接続されている。したがって、JFET26およびショットキーバリアダイオード252並びにMOSFET24、PNダイオード261およびショットキーバリアダイオード262は、電氣的に直列に接続されている。

【0101】

上述した双方向素子は、制御回路と組み合わせた双方向素子回路として用いることができる。当該制御回路は、第1制御電極17および第2制御電極20に印加する電圧を、図1から図26に関連して説明したように制御する。当該双方向素子回路は、例えば交流電流を直接任意の交流電流に変換する電力変換装置に用いることができる。電力変換装置は、交流電力を受け取る入力側回路と、交流電力を出力する出力側回路とを有し、入力側回路および出力側回路の間に、双方向素子を備える。入力側回路は、少なくとも交流電力を受け取る入力端子を有し、出力側回路は、少なくとも交流電力を出力する出力端子を有する。例えば電力変換装置2000の双方向スイッチ220として、図1から図26に関連して説明した双方向素子を用いてよい。電力変換装置は、自動車分野をはじめとするあらゆる産業分野で使用され得る。

【0102】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0103】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0104】

10 基板、11 高濃度層、12 低濃度層、13 第1半導体領域、13-1、13-2、13-3、13-4 半導体領域、14 P型拡散領域、15 N+型ソース領域、17 第1制御電極、18 絶縁膜、19 メサ、20 第2制御電極、21 第1電極、22 第2電極、23 第2チャンネル、24 MOSFET、25 P+型連結領域、26 JFET、27 間隔、29 P+型連結領域、31 マスク、32 P型不純物イオン、33 マスク、35 マスク、36 P型不純物イオン、40 絶縁膜、50 P+型半導体領域、60 P+型半導体領域、62 最上面、70 半導体積層部、72 第1チャンネル、73、74 ショットキー接合部、81、82、83、84、85、86 I-V特性、100 双方向素子、110 交流直流変換部、120 コンデンサ

10

20

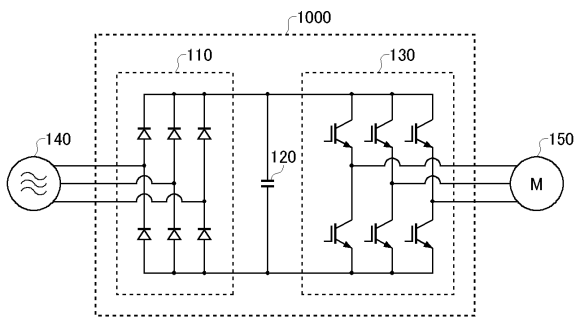
30

40

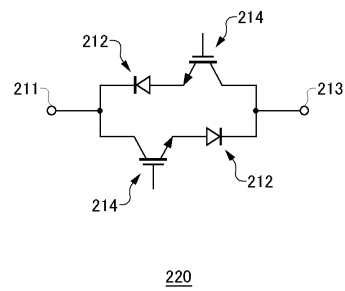
50

一部、130 直流交流変換部、140 交流電源、150 負荷、200 双方向素子、210 フィルタ部、220 双方向スイッチ、211 第1端子、212 ダイオード、213 第2端子、214 トランジスタ、222 トランジスタ、230 半導体基板、231 絶縁膜、232 P型ベース領域、233 P+型保護領域、234 N+型エミッタ領域、235 P+型コレクタ領域、236 制御電極、237 エミッタ電極、238 ゲート絶縁膜、239 コレクタ電極、252 ショットキーバリアダイオード、261 PNダイオード、262 ショットキーバリアダイオード、300、400、500、600、700 双方向素子、1000 電力変換装置、2000 電力変換装置

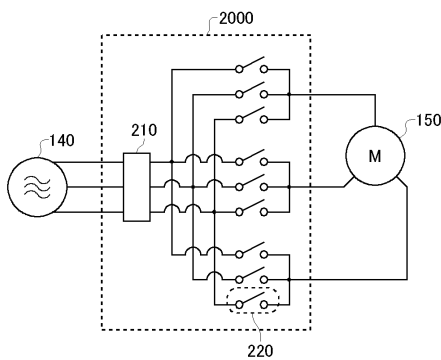
【図1】



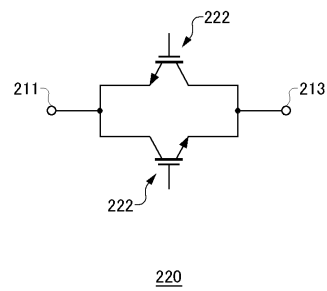
【図3】



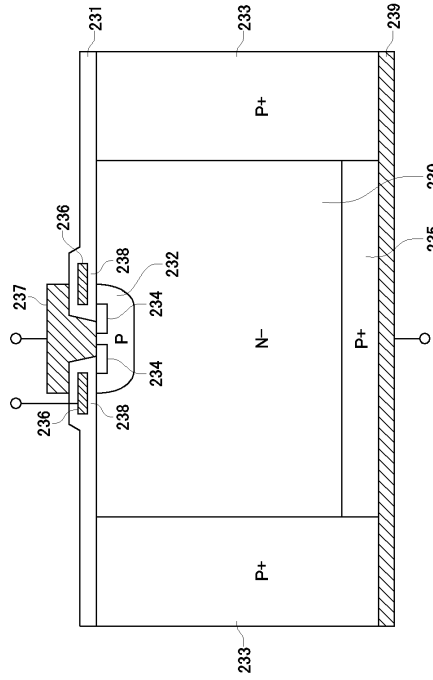
【図2】



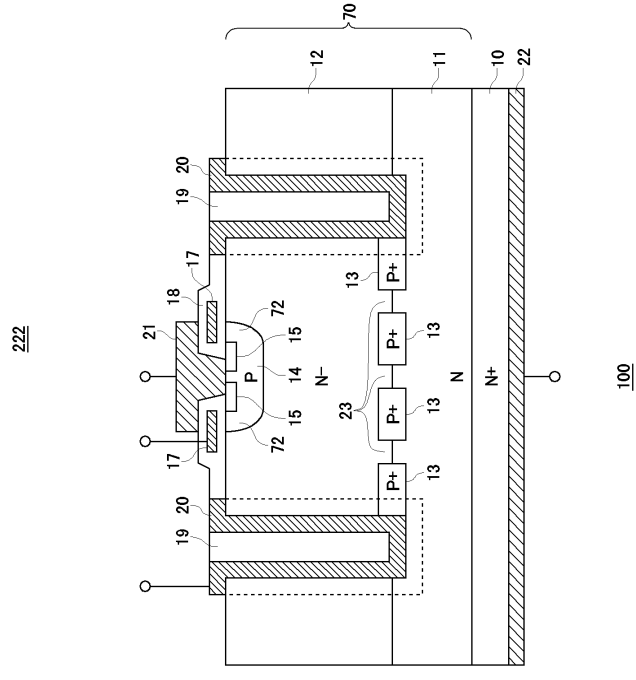
【図4】



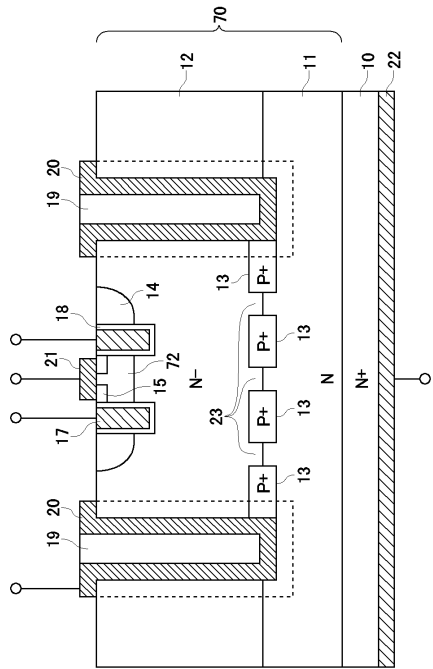
【図5】



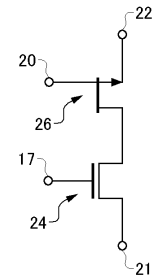
【図6A】



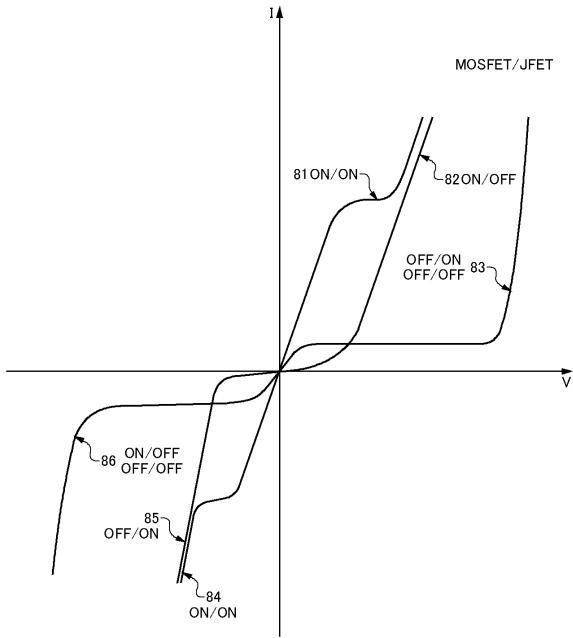
【図6B】



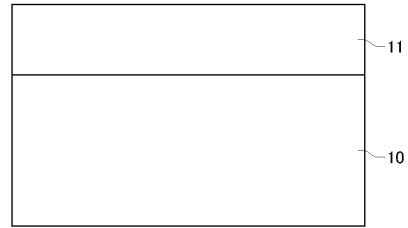
【図7】



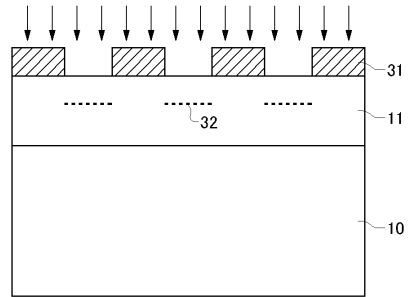
【 図 8 】



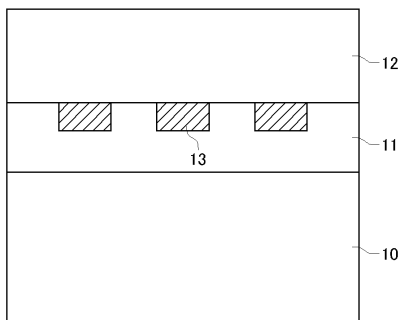
【 図 9 】



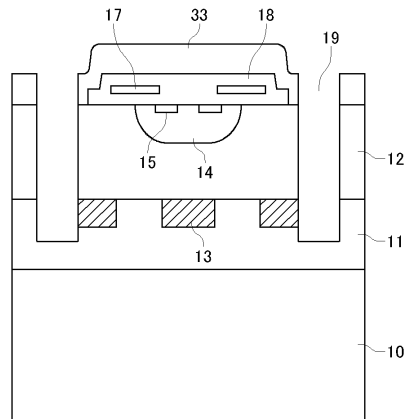
【 図 10 】



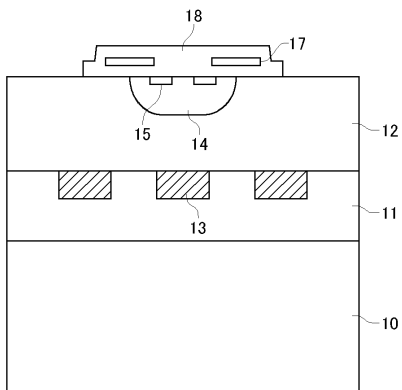
【 図 11 】



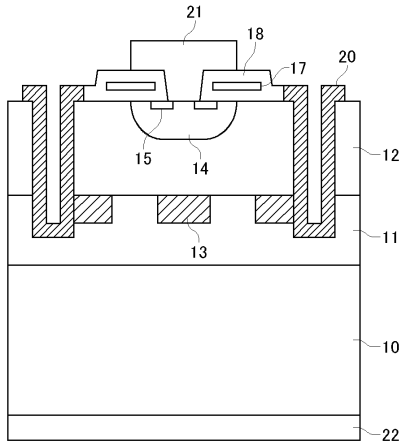
【 図 13 】



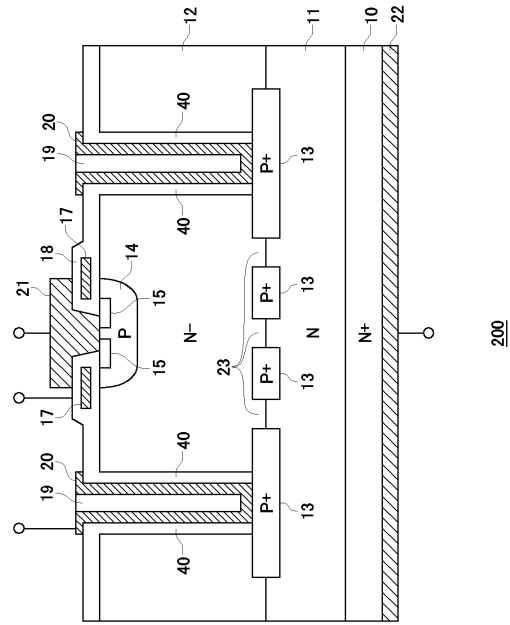
【 図 12 】



【 14 】

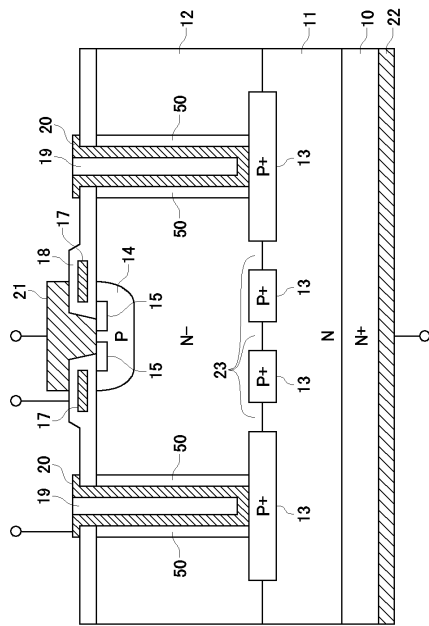


【 15 】



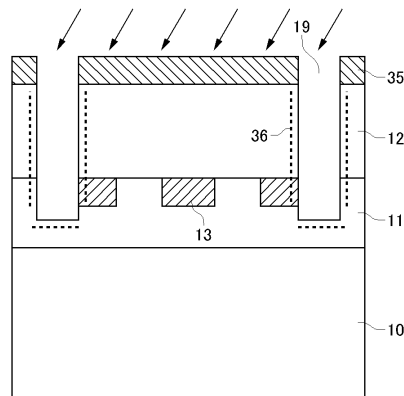
200

【 16 】

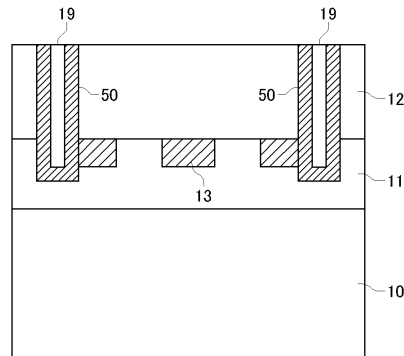


300

【 17 】

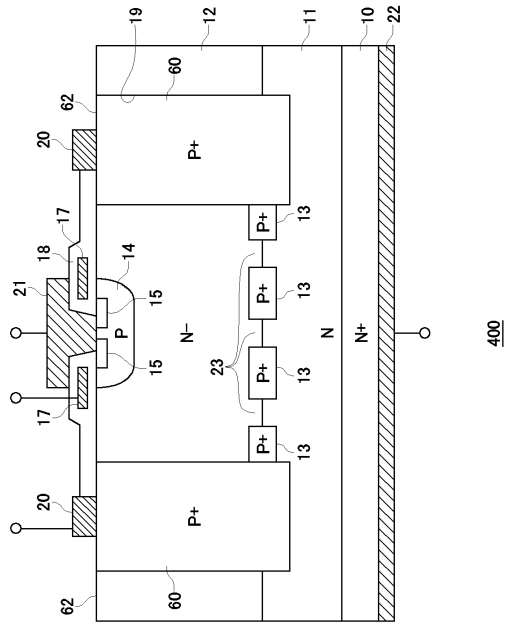


【 18 】

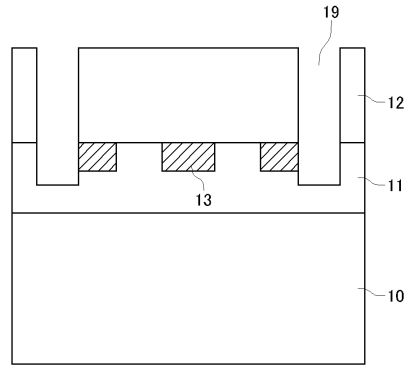




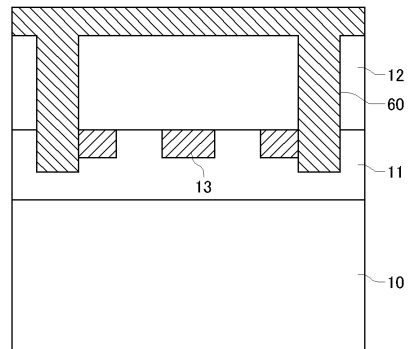
【図19】



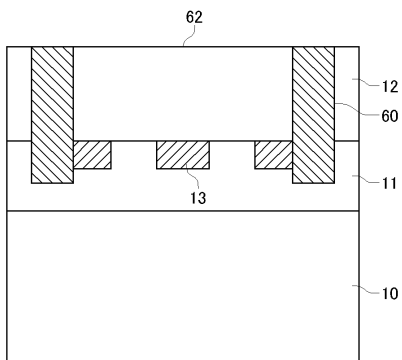
【図20】



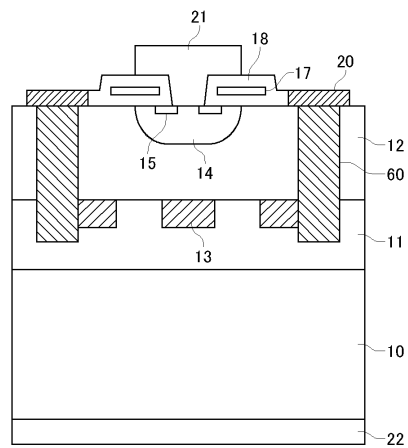
【図21】



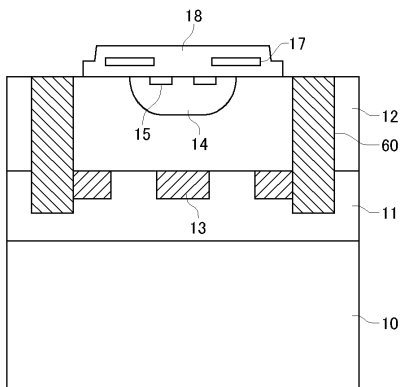
【図22】



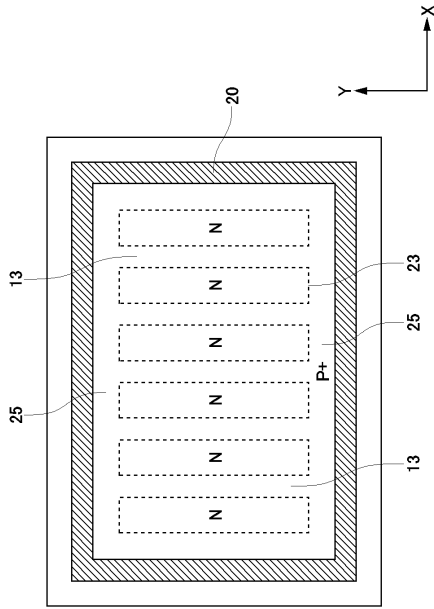
【図24】



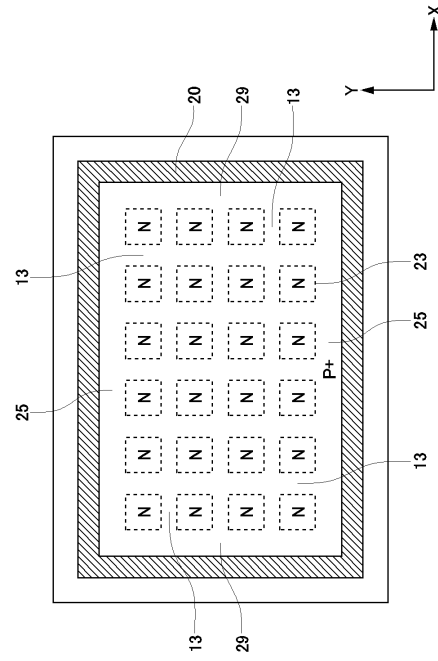
【図23】



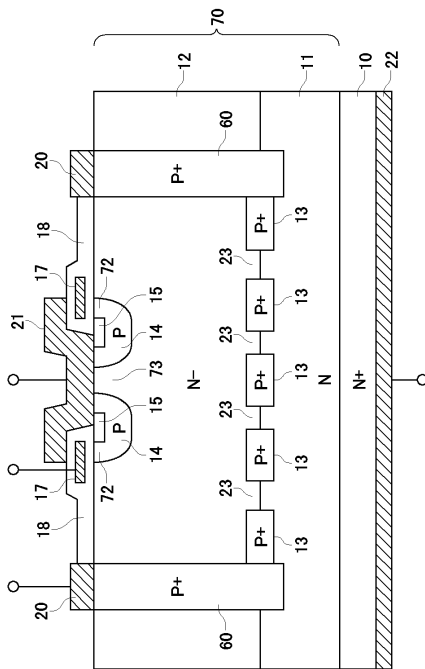
【図25】



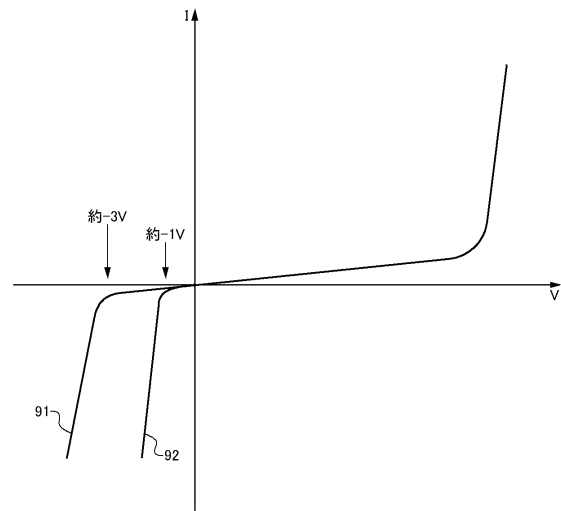
【図26】



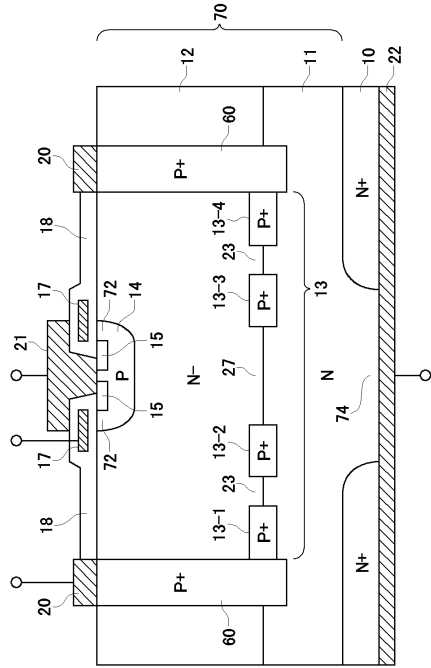
【図27】



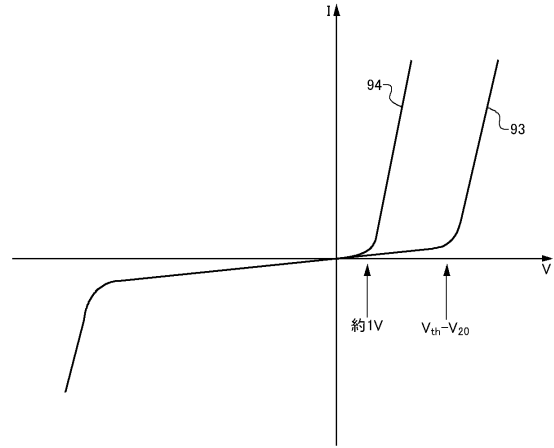
【図28】



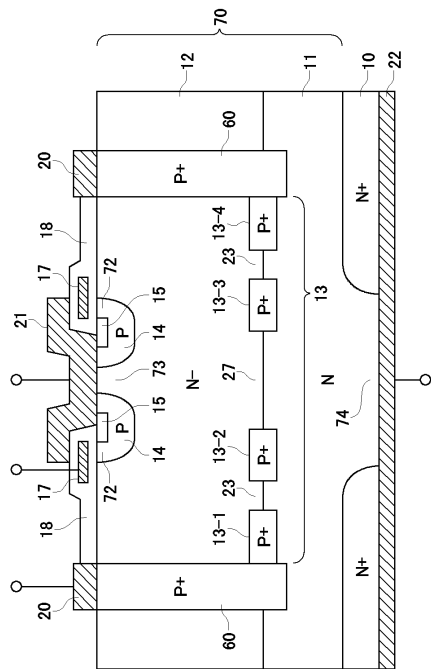
【図29】



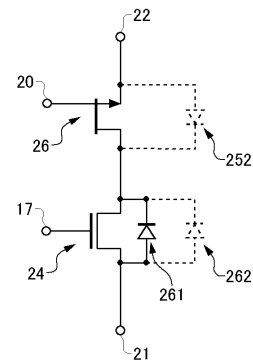
【図30】



【図31】



【図32】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/872 (2006.01)	H 0 1 L	29/91	C
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/47 (2006.01)	H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/41 (2006.01)	H 0 1 L	29/86	3 0 1 F
H 0 1 L	29/417 (2006.01)	H 0 1 L	29/86	3 0 1 D
H 0 1 L	21/8234 (2006.01)	H 0 1 L	29/91	F
H 0 1 L	27/088 (2006.01)	H 0 1 L	29/78	6 5 2 L
H 0 1 L	21/265 (2006.01)	H 0 1 L	21/28	3 0 1 R
H 0 1 L	21/337 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/808 (2006.01)	H 0 1 L	29/48	D
H 0 1 L	21/338 (2006.01)	H 0 1 L	29/48	M
H 0 1 L	29/812 (2006.01)	H 0 1 L	29/44	S
		H 0 1 L	29/50	M
		H 0 1 L	29/50	J
		H 0 1 L	27/088	E
		H 0 1 L	27/088	D
		H 0 1 L	27/088	A
		H 0 1 L	27/088	3 3 1 F
		H 0 1 L	21/265	6 0 2 A
		H 0 1 L	21/265	R
		H 0 1 L	29/80	C
		H 0 1 L	29/80	V

- (56)参考文献 特開平03 - 194971 (JP, A)  
 特開平06 - 090009 (JP, A)  
 米国特許第05350934 (US, A)  
 特開2002 - 299349 (JP, A)  
 特開2008 - 177335 (JP, A)  
 米国特許出願公開第2008 / 0173876 (US, A1)  
 特開2002 - 203967 (JP, A)  
 米国特許出願公開第2002 / 0047124 (US, A1)  
 特開2009 - 123914 (JP, A)  
 特開2003 - 133553 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 6 5  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 3 3 7  
 H 0 1 L 2 1 / 3 3 8  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 9 / 1 2  
 H 0 1 L 2 9 / 4 1  
 H 0 1 L 2 9 / 4 1 7  
 H 0 1 L 2 9 / 4 7

H 0 1 L 2 9 / 7 3 9  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 8 0 8  
H 0 1 L 2 9 / 8 1 2  
H 0 1 L 2 9 / 8 6 1  
H 0 1 L 2 9 / 8 6 8  
H 0 1 L 2 9 / 8 7 2