

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4598836号
(P4598836)

(45) 発行日 平成22年12月15日(2010.12.15)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 B

請求項の数 1 (全 33 頁)

<p>(21) 出願番号 特願2008-36556 (P2008-36556) (22) 出願日 平成20年2月18日 (2008.2.18) (62) 分割の表示 特願平11-257560の分割 原出願日 平成11年9月10日 (1999.9.10) (65) 公開番号 特開2008-124520 (P2008-124520A) (43) 公開日 平成20年5月29日 (2008.5.29) 審査請求日 平成20年2月18日 (2008.2.18) (31) 優先権主張番号 151575 (32) 優先日 平成10年9月11日 (1998.9.11) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 ラリー エル モレスコ アメリカ合衆国, カリフォルニア 940 70, サン・カルロス, ガーネット・アヴ ェニュー 112 審査官 今井 拓也</p>
--	---

最終頁に続く

(54) 【発明の名称】 汎用マルチチップ相互連結システム

(57) 【特許請求の範囲】

【請求項 1】

集積回路チップを保持する汎用チップ担体であって、
 集積回路チップが搭載される表面と、
 前記表面の中心領域に形成され、前記集積回路チップに接続する複数の第1のパッドと

、
 前記表面の、前記第1のパッドが形成された領域の周辺に形成された複数の第2のパッドと、

前記第1のパッドのいずれかと前記第2のパッドのいずれかを接続する信号ラインを有し、前記信号ラインが少なくとも一つの誘電性層によって分離された少なくとも二つの別個の導電性層に形成されている配線パターンと、

電源電位及び接地電位を前記中心領域内に形成された第1のパッドのうち選択されたパッドに接続する手段とを備え、

前記集積回路チップは前記中心領域の第1の領域上に重なり、前記第1の領域内に形成された第1のパッドの数は前記集積回路チップ上のパッドの数よりも多い、汎用チップ担体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子システムの部品のパッケージング及び相互連結に係わり、特に、コンピ

ユータシステムなどにおけるＩＣチップのパッケージング及び相互連結に関する。

【背景技術】

【０００２】

マルチチップコンピュータシステムを構築する従来の方法は、システムのアーキテクチャに基づいて集積回路の組を設計、製造し、ＩＣチップ用の担体パッケージを見つけるか、若しくは、構築し、ＩＣチップを相互連結するためカスタム配線された回路基板（例えば、印刷配線基板）を作成し、或いは、カスタム配線されＩＣチップを収容するマルチチップモジュールを作成するステップを含む。一般的に、担体パッケージと、ＩＣチップ間の相互連結とを与える仕事は、ＩＣチップの設計よりも低い優先順位が与えられる。一例として、信号ラインをチップの利用可能なＩ／Ｏパッドに割り当てる方法は、主として、チップの回路と、回路を実装するため必要とされる表面積を縮小する要望とによって決まる。次に考慮されるのは、信号ラインのＩ／Ｏパッドへの割り当てがＩＣチップのパッケージング及び相互連結のコスト、歩留まり及び製造性に与える影響である。

10

【０００３】

面積を最小化し、その結果として、ウェハ１枚当たりのＩＣチップ数を増加させることにより、製造コストを削減しチップ歩留まりを増加させるための回路のレイアウトが非常に重要視されている。一般的に、従来技術ではＩＣチップのパッケージングコストは、ＩＣチップの製造コストよりも低いと考えられている。しかし、パッケージングは、うまく作動しないＩＣチップを置き換えたり、不良接続点を修理したりするためにやり直さなければならない場合がよくある。通常、ＩＣチップは、直流、若しくは、テストユニットによって発生された低速信号だけを用いてテストされ、システム内に現れる高速タイプの信号を用いてテストされない。したがって、ＩＣチップは、直流テストに合格したとしても、システム内でうまく動作しない場合が起こり得る。さらに、ＩＣチップは、一般的にテスト用のテスト基板に取り付けられる。テスト後、チップは、テスト基板から取り外され、次に、担体基板、若しくは、ＭＣＭ（マルチチップモジュール）モジュールに取り付けられる。取り外しと、次の取り付け処理は、相互連結パッド若しくはチップに損傷を加え、その結果としてチップの機能を不全にさせる可能性がある。組み立てられたシステム内でうまく動作しないチップと欠陥性の接続とを見つけるために貴重な時間が消費される。この時間及び時間消費型のやり直しは、パッケージング作業に重大な隠されたコストを付加し、チップ製造コストをパッケージングコストと比較する際に屢々見落とされる。

20

30

【０００４】

従来技術において、ＩＣチップへのカスタム化された相互連結の組を得るため、汎用相互連結基板の表面で配線を溶融させ、及び／又は、接着させることによってカスタム化可能な汎用相互連結基板を製作し得るある種の提案がなされている。残念ながら、このような提案は、通常、製造不可能であったり、或いは、うまく機能するために十分な配線密度が得られない。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

上記のパッケージングの問題は、マルチチップコンピュータシステムだけではなく、幾つかのＩＣチップの相互連結を必要とする特別な電子プロセッサ及び（アナログシステム、ハイブリッドデジタル／アナログシステムを含む）その他の電子システムにも当てはまる。

40

【０００６】

したがって、本発明の目的は、集積回路チップ用の汎用相互連結システムを提供することである。

【０００７】

本発明の他の目的は、マルチチップモジュールの製造コストを低下させることである。

【０００８】

本発明の更なる目的は、マルチチップモジュール組立体の歩留まりを増加させることで

50

ある。

【0009】

本発明の更に別の目的は、マルチチップモジュールの生産量を増加させることである。

【課題を解決するための手段】

【0010】

一般的に、本発明は、標準化された各部品は少なくとも1個の別の標準化された部品に接続することができる少なくとも2種類の標準化された相互連結部品の組を有する汎用相互連結システムを包含する。少なくとも1種類の部品は、少なくとも1個のICチップを第1の部分に保持し、複数の標準化された相互連結を第1の部分から1個以上の第2の部分に与えることができるチップ担体を含み、別の種類の1個以上の相互連結部品が接続される。少なくとも別の1種類の部品は、第2の部分で2個以上のチップ担体を接続することができるブリッジコネクタを含む。各ブリッジコネクタは、第2の部分でチップ担体に接続することができる少なくとも2個の相互連結コネクタと、相互連結コネクタの間に標準化された相互連結配線のパターンとを有する。

10

【0011】

チップ担体とブリッジ担体の組が所望の配置で組み立てられた後、複数の潜在的にアクティブ状態の相互連結経路が形成され、殆どの相互連結経路はチップ担体及びブリッジコネクタ内の相互連結配線により構成される。組み立てられた相互連結部品によって得られる潜在的にアクティブ状態の相互連結経路の総数は、システムによって必要とされる相互連結経路の数を上回る。システム内の少なくとも1個のチップ担体は、そのICチップのI/O信号の数よりも多数の相互連結パッドをICチップに具備する。この担体及び対応したチップは、それぞれ、余剰担体及び余剰ICチップと呼ばれる。各余剰パッドは、潜在的にアクティブ状態の相互連結経路に接続される。システムの相互連結を実現するため必要とされる相互連結経路の選択は、余剰ICチップのI/O信号を、所望の相互連結経路に接続された担体の余剰パッドに配線することにより行われる。この配線は、相互連結メタライゼーション層を「カスタム化」し、ICチップをカスタム化された相互連結を有する介挿物を用いて余剰パッドチップ担体に接続し、ICチップと余剰パッドチップ担体との間にはんだパンプのカスタム化されたパターン（若しくは、等価的なコネクタ）を形成すること、又は、これらのステップの中の一つ以上のステップの組合せにより実現される。複雑なシステムは2個以上の余剰パッド担体を有する。

20

30

【0012】

システムによって必要とされる相互連結経路を選択するためカスタム化された配線パターンを作成する作業は、以下に説明された実施例を用いてシミュレーションすることができる。多数のコンピュータシステム用の配線パターンは、シミュレーションによって決定され、過度な実験を行わなくてもよい。勿論、このような配線作業は、ICチップ上の回路のレイアウト及び印刷回路基板上の経路のレイアウトのため使用されるコンピュータ化された配線技術によって容易に取り扱うことができる。

【0013】

標準化された相互連結部品は広い範囲のマルチチップシステムで使用することができるので、大量に製造され得る。大量生産によって製造コストは実質的に削減される。

40

【0014】

本発明の一実施例において、余剰パッド担体の中の余剰パッド間の少なくとも一つのジャンパーは、一方のブリッジコネクタから他方のブリッジコネクタに信号を送信できるように対応したチップのメタライゼーション層の上に形成される。ブリッジコネクタが別のチップを有する担体に接続されるとき、これらの余剰パッド間のジャンパーは2個の別のICチップの間に信号経路を作成し得る。

【0015】

本発明の一実施例において、ブリッジコネクタは柔軟性があり、チップ担体及びブリッジコネクタの配置を伸縮させることが可能である。アレイは、各チップがチップの厚さと平坦さのばらつきとは無関係に冷却プレートに接続されるように、冷却システムの冷却ブ

50

レートに接続させてもよい。

【0016】

本発明の一実施例において、ICチップはテスト前に夫々の汎用型のチップ担体に接続される。ブリッジコネクタを用いて担体に装着させるよう適合したテスト機器は、装着されたチップを、最終的な組立システムで与えられる高速信号を用いてテストする（いわゆる、アット・スピード・テスト）ため使用される。潜在的に破壊的な取り外し工程と次の取り付け工程は回避される。組み立てられたICチップと担体に故障がある場合に、組立体の全体が廃棄されるけれど、チップ担体は標準化されているため低コストで製造できるので、経済的な損失は僅かである。各相互連結部品が組立前にテストされる場合、組立システムの製造歩留まりは、従来のマルチチップモジュールよりも非常に高くすることが可能である。

10

【発明を実施するための最良の形態】

【0017】

集積回路チップは、回路の組（又は、グループ）と、主要な2表面の中の一方向の表面に設けられた複数の相互連結パッドとにより構成される。一部のパッドは入力信号を回路に伝達し、他の一部のパッドは入力信号に応じて回路によって発生された出力信号を伝達し、その他のパッドは電源及びグランド電位を伝達する。複雑な電子デジタルシステムは、多くの場合に、その回路が数個のICチップの間で分割され、信号ラインがICチップの入力パッドと出力パッドの間に通される。

【0018】

20

ICチップは、一般的に共通配線基板、或いは、等価的な手段に装着される。この共通配線基板は、電源をチップに供給し、ICチップの間で信号ラインを接続するため機能する信号経路を有する。すなわち、この信号経路は、回路の機能によって指定された方法でICチップのパッドを互いに接続する。典型的な電子システムのICチップ間の信号ラインの構造は、一般的に、ランダムであり、不規則性である。換言すれば、通常、各ICチップに対し共通した信号ラインのパターンは存在せず、各システムは異なる構造を有する。この構造上の不規則性によって、必然的に配線基板内の経路の構造が不規則になり、配線基板の経路レイアウトがシステム毎にカスタム化されることが要求される。このようなしすてむにおいて殆どのICチップは、実質的に互いに相異なる。

【0019】

30

本発明の一つの目的は、複雑化されたカスタム相互連結配線基板を用いることなく、複雑かつ不規則な信号ライン構造を備えたシステムの相互連結を行うことである。この目的は、本発明によれば、カスタム化された配線基板を、システムによって必要とされるよりも多数の信号経路を一体的に生成する複数の汎用チップ担体及びブリッジ相互連結によって置き換えることによって達成される。各担体は、1個以上のチップを保持し、必要とされるよりも多数の相互連結パッドをチップに準備し、各ブリッジコネクタはある担体の信号パッドを少なくとも別の担体に相互連結する。特定のシステムの独特な信号ライン構造は、この構造を実装するために利用可能な信号経路の部分集合を選択すべく各ICチップのメタライゼーション層をカスタム化することにより実現される。このため、一般的に、各チップの入力及び出力用の各パッドは、特定のパッドのため必要な所望の信号経路接続を行う汎用担体上のパッドに接触するよう配線が直される。単一タイプの汎用担体がシステム全体を通して使用される。或いは、ある種のカテゴリーのチップ（例えば、メモリチップ、算術チップ）に対し特定の特徴を有する僅かな種類のタイプを使用してもよい。これらの特定の特徴は、信号配線パターンとは特に関係の無い電源消費及び電源フィルタリングの要求条件に関係する場合がある。

40

【0020】

本発明による汎用マルチチップ相互連結システム10の第1実施例は図1に示されている。システム10は、主基板15と、複数の汎用チップ担体20と、複数のブリッジ相互連結コネクタ30と、複数の電源コネクタ50とを含む。これらの部品は、主基板15にキルト状のパターンに配置され、一般的に、各ブリッジ相互連結コネクタ30は、2個の

50

隣接したチップ担体 20 のエッジの間に配置され、取り付けられ、電源コネクタ 50 は各担体 20 の 1 個以上のコーナーに配置される。システム 10 のより鮮明な構造は図 2 に示され、同図では、主基板 15 及び一部の電源コネクタ 50 は視覚的な分かり易さに配慮して図示されていない。

【0021】

集積回路 (IC) チップ 5 は、通常、1 個の担体につき 1 個ずつが設けられ、担体 20 に取り付けられる。担体 20 は、IC チップ 5 への取り付け用の内部パッドアレイ 22 (図 2) と、対応したブリッジ相互連結コネクタ 30 等のアレイへの装着用の 4 個の外部パッドアレイ 24 とを含む。汎用チップ担体 20 は、1 個の大きいチップ、又は、2 個以上のより小さいチップを収容するように設計される。各ブリッジ相互連結コネクタ 30 は、2 個の隣接した担体 20 の間をつなぎ、その間で信号を伝達する。電源コネクタ 50 は、担体 20 の 1 個、2 個、3 個、若しくは、4 個のコーナーに連結する。各担体 20 には少なくとも 1 個の電源コネクタ 50 が接続される。電源コネクタ 50 は、最大で 4 個までの担体に連結し、サイド電源コネクタ 50' (図 1) は最大 2 個までの担体と接続し、コーナー電源コネクタ 50" は 1 個の担体と接続し得る。

10

【0022】

複数の外部相互連結コネクタ 60 (図 1) は、選択された担体 20 の外部パッドアレイ 24 に取り付けられる。外部相互連結コネクタ 60 は、外部入力信号をシステム 10 に伝達し、システム 10 からの出力信号を種々の外部部品に伝達する。相互連結コネクタ 60 の構造は、以下に説明するブリッジ相互連結コネクタ 30 の構造と類似している。

20

【0023】

好ましい一実施例において、主基板 15 は、チップ担体 20 を受容するための複数の凹部 (リセス) 16 (図 1) と、凹部 16 の頂点に配置され、電源コネクタ 50 のねじ留め金具 51 を受容する複数のアパーチャ 17 とを有する。各アパーチャ 17 の周囲には、主基板 15 内に少なくとも 2 個の電源プラグ 18 が形成され、各電源プラグ 18 は電源コネクタ 50 の電源ピンを受容する。電源電圧及び接地電圧の形の電源は、主基板 15 内に供給され、電気経路を介して電源プラグ 18 に発送される。電源は、電源コネクタ 50 のピンから電源コネクタ 50 内の電気経路を介して担体 20 のコーナー (頂点) にある電源パッドに発送される。主基板 15 及び電源コネクタ 50 は、標準的な印刷回路基板部品及び積層技術を用いて製作される。

30

【0024】

電源コネクタ及びブリッジコネクタについて

図 3 には電源コネクタ 50 の下側面の斜視図が示され、図 4 には電源コネクタ 50 の下面図が示されている。コネクタ 50 は、電気配線経路と、金具 51 が通過する中心アパーチャとを有する矩形形状ベース基板 52、及び、それぞれのベース基板 52 の側方で金具 51 の周囲に対称的に配置された 4 個のベース台座 53 を含む。各ベース台座 53 には、主基板 15 の電源プラグ 18 に差し込まれた電源電圧ピン 54 及び接地ピン 55 が配置される。第 1 の板ばね接点の組 56 (又は、等価的な構造体) は電源コネクタ 50 のコーナーに配置され、チップ担体 20 の対応した電源電圧パッド 28 に接触する。各接点 56 はベース基板 52 内の電気経路を介して少なくとも 1 本のピン 54 に電氣的に結合する。第 2 の板ばねの組 57 (又は、等価的な構造体) は、ベース基板 50 のコーナーに配置され、チップ担体 20 の対応した接地パッド 28 に接触する。各接点 57 はベース基板 52 内の電気経路を介して少なくとも 1 本のピン 55 に電氣的に接触する。接点 56 及び 57 は、図 3 及び 4 に示されるように、金具又は溶接部 58 によってベース基板 2 に取り付けられる。ベース台座 53 は、担体 20 の間の距離が最小に抑えられることを保証し、また、金具 51 が過剰な力を板ばね接点 56 及び 57 に加えないことを保証する。その上、付加電圧レベルは、付加的なピン (ピン 54 及び 55 として図示されるようなピン) と、付加的な板ばね接点 (接点 55 及び 56 として図示されるような接点) とによって印加される。

40

【0025】

電源コネクタ 50' 及び 50" は、類似した素子により構成され、類似した方法で製作

50

される。電源コネクタ 50' は 3 個の台座 53 を有し、電源コネクタ 50'' は 2 個の台座を有する。

【 0 0 2 6 】

図 5 は、2 個の遠位部材 32 と、部材 32 の間に設けられた可撓性信号層 34 とを含むブリッジ相互連結コネクタ 30 の等角投影図である。可撓性信号層 34 は、各遠位部材 32 の下側にチップ担体 20 の対応した外側パッド 24 に取り付けるための複数の接続パッドを含む。遠位部材 32 は、好ましくは、信号層 34 よりも剛性があり、信号層 34 は、部材 32 が相互に相対的に移動できるように十分に可撓性がある。図 6 には、図 5 に示されたブリッジコネクタ 30 の可撓性信号層 34 の一部の上面図が示されている。信号層 34 は、誘電性層と、誘電性層上のパターン化された導体とにより構成され、二つの接続領域の間にある信号ラインの配線の一例を表わす。信号層 34 は、左側にパッドアレイ 35 - 37 を、右側にパッドアレイ 35 - 37 を有する。パッドの各アレイは対応した部材 32 の下にあり、部材 32 によって支えられる。

10

【 0 0 2 7 】

パッド 35 は信号を伝達し、パッド 36 は電源電位を伝達し、パッド 37 は接地電位を伝達する。信号パッド 35 は、左右の両側で電源パッド及び接地パッド 37 と「チェッカー盤」形式で互い違いにされる。一般的に、左側の信号パッド 35 は、夫々の経路 40 を介して対応した右側の信号パッド 36 に配線される。しかし、特定のアプリケーションの場合に、左側の信号パッド 35 を右側の 2 個以上の信号パッドに接続すること（或いは、その逆）が好都合である。電源パッド 36 及び接地パッド 37 は、図 6 に示されるように一つおきの行に配置される。他の電源パッド 36 及び接地パッド 37 の配置も実現可能であり、これらの配置は本発明を実施する場合に重要ではない。

20

【 0 0 2 8 】

図 7 には、図 6 に示された平面 7 - 7 によるブリッジ相互連結コネクタ 30 の断面図が示されている。同図において、経路 40 は 2 個以上の誘電性層の上に設けられ、上部誘電性層により被覆される。第 1 の交流接地面 38 はこれらの誘電性層上に形成される。第 2 の交流接地面 39 は誘電性層の下側に配置される。第 2 の交流接地面 39 はパッド 36 を介して電源電位に接続される。

【 0 0 2 9 】

コネクタ 30 は、従来の厚膜及び薄膜方法によって形成される。この方法は、Moresco 他による発明の名称が “Three-Dimensional Multichip Module” である米国特許第 5,426,563 号に記載されている。誘電性層、面 38 及び 39、経路 40、並びに、パッド 35 - 37 は、銅/ポリイミド処理を用いてシリコンウェハ上に製作される。ポリイミドと銅の交互の層が形成され、図 7 に示された構造を生ずるようにパターン化される。シリコンウェハは、次に、シリコン材料から部材 32 を形成するため、反対側からエッチングされる。誘電性層の厚さ、経路 40 の幅、経路 40 の相互の間隔、接地面からの間隔は、所望の特性インピーダンスのレベルが得られるように、周知の従来技術に従って選択される。各経路 40 は、好ましくは、他の経路と同一の特性インピーダンスを有し、このインピーダンスは、所望レベルの狭い許容範囲内に収まるよう制御される。50 オームは、一般的な特性インピーダンスの値であるが、別の値を使用してもよい。好ましくは、経路の端に接続された入力回路及び出力回路は、それぞれ、特性インピーダンス値に接近した入力インピーダンス及び出力インピーダンスを有する。パッド 35 - 37 は、例えば、Love 他に発行された発明の名称が “Wire Interconnect Structures for Connecting Integrated Circuit to a Substrate” である米国特許第 5,334,804 号に記載されている C⁴ はんだパンプ又は配線相互連結技術 (WTT) コネクタのような従来から公知の多数の手段を用いてチップ担体 20 の対応したパッド 24 に接続してもよい。

30

40

【 0 0 3 0 】

汎用チップ担体について

従来の相互連結の方法と対比すると、汎用担体 20 における信号配線は、特定の IC チ

50

チップに対しカスタマイズされないが、実質的に異なる回路を具備したチップを収容することができる。より詳細には、各担体 20 は、収容するチップによって必要とされる数を上回る多数の内部信号パッド 22 (図 1 及び 2) を有し、内部パッド 22 と外部パッド 24 の間の対応した信号配線の数は、チップによって必要とされる数よりも多い。内部アレイ 22 内のパッドの数は、一般的に IC チップによって必要とされる (或いは、IC チップ上に形成される) 数よりも 2 倍だけ多く、好ましくは、3 倍以上多い。この信号ラインは、各担体が少なくとも 180° の回転対称を有し、好ましくは、90° の回転対称を有するように、所定の対称的なパターンに配置される。90° の回転対称の場合に、担体上のチップの回転配置は重要な事項ではなく、組立工程が非常に簡略化される。組立工程は、IC チップの 1 個だけのエッジを担体のいずれかのエッジと整列させるだけでよい。180° の回転対称性を有する担体の場合には、通常、チップを担体に組み付ける間に、担体の特定のエッジを確認する必要がある。

10

【0031】

従来の相互連結方法と比較すると、システム全体の信号の配線は、IC チップの最後のメタライゼーション層、通常、パッドメタライゼーション層の配線パターンをカスタム化することにより実現される。實際上、IC パッドの位置は、担体 20 上の適当な信号経路と一致するように再配置され、次に、金属経路が、各パッドの新しい位置から元の位置まで通され、一方、経路は、パイアを介して、下にある次の IC 相互連結層と接触する。このような方法で IC パッド層をカスタム化するコストは、1 層若しくは 2 層の設計しか関与しないので、一般的に実質的ではなく、数レベルのカスタムメタライゼーションレベルを必然的に含むチップ担体システムの全体をカスタム設計する場合よりも遙かに低コストである。主要な機能ユニット (例えば、CPU、メモリコントローラ、I/O コントローラ、メモリ) が別個の IC チップ上に分割される簡単なシステムの場合に、IC チップの最後のメタライゼーション層の上の配線は、回路設計者によって人手で、若しくは、配線プログラムの支援を受けて行われる。次に、担体 20 を詳しく説明した後、例示的なチップ配置及び信号配線方法について説明する。

20

【0032】

図 8 及び 10 には、外側パッドのアレイ 24 と内側パッドのアレイ 22 との間に通される担体 20 用の信号経路の例示的な組が示されている。黒く塗りつぶされたパッドは信号パッドであり、白抜きで表されたパッドは電源/接地パッドである。内側パッドアレイ 22 及び外側パッドアレイ 24 の両方で、信号パッドは、電源及び接地パッドと「チェッカー盤」状で互い違いにされる。この互い違いの「チェッカー盤」形式の配置は、屢々、チェッカー盤の矩形の色に従って赤 - 黒順のパッドの矩形形状グリッドによって参照される。信号パッドは、一方の色 (例えば、赤色) の矩形に位置し、電源/接地パッドは、もう一方の色 (例えば、黒色) の矩形に置かれる。信号パッドの数は、内側パッドアレイ 22 及び外側パッドアレイ 24 の両方で電源パッド (例えば、電源又は接地パッド) の数と略同一である。内側パッドアレイ 22 において、信号パッドは、電源パッドと同様に内側アレイの領域全体に実質的に均一に分布する。これにより、信号パッドの中の 10% 乃至 25% が内側アレイ 22 の周辺よりも中心点の近傍に配置される (周囲長は、内側アレイのすべてのパッドをちょうど包含する最も外側の矩形によって決められる)。同様に、電源パッドの 10% 乃至 25% は、周辺よりも中心点の近傍に配置される。外側パッドアレイ 24 の場合に、電源及び接地パッドは、図 6 に示されるように相互連結ブリッジ 30 において、電源及び接地パッドの互い違いの配置に適合するように一つおきの行に配置される。以下、内側パッドアレイ 24 内の種々の電源及び接地パッドの配置を説明する。

30

40

【0033】

内側アレイの信号パッド 22 は、複数の経路 42 を用いて外側アレイの信号パッド 24 に繋がれる。水平経路 42 は "X" 信号経路 42 X として表記され、垂直経路は "Y" 信号経路 42 Y として表記される。図 8 及び 10 において、X 信号経路及び Y 信号経路は、一つの視線ですべての経路が見えるように互いの上に重ね合わされ、同図において互いに交差するように表された X 信号経路及び Y 信号経路は、実際には、その交差点において互

50

いに電氣的に遮断されている。X信号経路は、単一の導電性層若しくは平面内に形成され、或いは、幾つかの導電性層に分配されてもよい。同様に、Y信号経路は一つ以上の導電性層に形成される。互いに交差するこれらの信号経路は、別々の導電性層に配置される。この要求は、X信号経路及びY信号経路を別々の層に隔離することによって容易に満たされる。

【0034】

内側アレイの各信号パッド22は、対応した経路42を介して外側アレイ内の少なくとも1個のパッド24に繋がれる。経路の組42による内側パッド22の外側パッドへの特定の接続は、信号配線パターンと呼ばれる。実現可能な信号配線パターンは数通り存在する。各配線パターンは対称性のある部分と、対称性の無い部分とを有する。対称性のある部分10は、パッド22とパッド24の部分集合と、チップ担体が隣接したチップ担体に関して90°及び/又は180°回転されたときにチップ担体と隣接したチップ担体との間で同一の信号接続性を維持するチップ担体の接続経路42とを含む。対称的な部分が存在するならば、この対称的な部分は、パッド22及びパッド24の部分集合と、90°回転されたとき、又は、180°回転されたときに同じ信号接続性を維持しない経路42とを含む。現時点で好ましい実施例によれば、担体20は非対称性信号配線部分をもたず、対称性信号配線部分だけを含む。180°の回転対称性のある対称性信号配線部分は、そのチップ担体と隣接したチップ担体との間の信号接続性に相違を生じさせることなく、隣接したチップ担体に関して180°回転させることができる。同様に、90°の回転対称性を有する対称性信号配線部分は、そのチップ担体と隣接したチップ担体との間の信号接続性に相違を生じさせることなく、隣接したチップ担体に関して90°回転させることができる。90°の回転対称性を有するすべての対称性信号配線パターンは、180°の回転対称性があるが、180°の回転対称性のあるすべての信号パターンに90°の回転対称性があるとは限らない。図8及び10に示された例示的な信号配線パターンは、180°の回転対称性があり、非対称性部分は含まれない。図8に示された信号配線パターンには90°の回転対称性があり、図10に示された信号配線パターンには90°の回転対称性はない。図10に示されるように180°の回転対称性しかない配線パターンに対し、図10に示されるように1個以上の方向マーク29が担体上に設けられる。

【0035】

現在までのところ、90°の回転対称性を有する信号配線パターンは、隣接したチップ担体に対し信号接続性に相違を生じさせることなく任意の形で隣接したチップ担体に関して配置させることができるので、180°の回転対称性しかない信号配線パターンよりも好ましい。以下に説明するように、電源及び接地でパッド22、24の配置は、180°の回転対称性のある信号配線パターンを有する担体に対し少なくとも180°の回転対称性を有し、90°の回転対称性を有する場合もある。電源パッド22及び接地パッド24の配置は、好ましくは、90°の回転対称性を有する信号配線パターンを備えた担体20に対し90°の回転対称性がある。

【0036】

90°の回転対称性についてより詳細に説明する。外側アレイ24内のパッドは4組のパッドに分割され、各組は、担体20の夫々のエッジに配置され、他の組と共通したパッド配置を有する。同様に、内側アレイ22に配置された信号パッドは4つのグループに分割され、各グループは、夫々の電気経路の組を介して外側パッド24の対応した組に接続される。内側アレイ22の4組の内側信号パッドの組は、内側アレイ22の中心点の周りに90°の回転対称性を有する第1パターンで配置される。図8に示された実施例の場合に、中心点はアレイの中心にある白抜きで表示された電源若しくは接地パッドである。より詳細に説明すると、内側パッドの各組は、固有のパッドの配置パターンを有し、各組の配置パターンは、中心点の周りに90°回転されたときに、別の組の配置パターンと一致する。電気経路の各組は、関連した内側パッドの組と外側パッドの組との間に接続性があり、電気経路の組と関連した内側パッド及び外側パッドとが90°回転された場合に、その関連した内側パッドと外側パッドの間に別の電気経路の組と同じ接続性が得られる。

【 0 0 3 7 】

図 8 の信号配線パターンを備えた担体 2 0 の一実施例は、図 8 に定められた平面による担体 2 0 0 の断面図を表わす図 9 に示されている。担体 2 0 0 は、接地ポート 2 0 7 から接地電位を伝達する導電性基板 2 1 0 と、電源ポート 2 8 から電源電位を伝達する導電性グリッド 2 1 4 とを含む。グリッド 2 1 4 は基板 2 1 0 に埋め込まれ、誘電性層 2 1 2 によって隔離される。基板 2 1 0 は、電源グリッド 2 1 4 のパターンに対応した溝のパターンを含む。グリッド 2 1 4 の上部は、基板 2 1 0 の上部と実質的に同じ高さである。担体 2 0 0 は 4 層の誘電性層 2 2 1 - 2 2 4 を更に含む。誘電性層 2 2 1 - 2 2 4 は、誘電性層 2 2 1 が基板 2 1 0 の上部に設けられ、順番に上部に積層される。第 1 導電性層 2 3 1 は、第 1 誘電性層 2 2 1 と第 2 誘電性層 2 2 2 の間に介挿され、第 2 導電性層 2 3 2 は、第 2 誘電性層 2 2 2 と第 3 誘電性層 2 2 3 の間に介挿され、第 3 導電性層 2 3 3 は、第 3 誘電性層 2 2 3 と第 4 誘電性層 2 2 4 の間に介挿される。第 1 導電性層 2 3 1 は、X 信号経路を形成するようパターン化される。第 2 導電性層 2 3 2 は、Y 信号経路を形成するようパターン化される。第 3 導電性層 2 3 3 は、交流接地面を形成するようパターン化される。基板 2 1 0 及び電源グリッド 2 1 4 は、一体的に、第 2 交流接地面を形成する。X 信号経路及び Y 信号経路は、二つの交流接地面の間に介挿され、下側の接地面が電源配分を行う。

10

【 0 0 3 8 】

内部パッド 2 2 及び外部パッド 2 4 は、第 4 誘電性層 2 2 4 の上部に設けられ、対応したバイア 2 1 5 は、信号パッドを対応した経路 4 2 に接続し、電源パッドを電源グリッド 2 1 4 に接続し、接地パッドを基板 2 1 0 に接続する。図 9 の左側の 2 個のパッド 2 4 と、5 個のパッド 2 2 は、厳密には図 8 に定義された断面 9 - 9 内に存在しないが、参考のため白抜きの四角形で示されている。適切なバイア接続 2 1 5 は、これらのパッドに対して存在するが、定義された断面には含まれないので図示されない。1 本の X 信号経路 4 2 X が図 1 0 の左側に完全に示され、別の X 信号経路は右側に示され、参照番号 2 3 1 が付けられている。また、図 9 には、第 2 導電性層 2 3 2 内の 8 本の Y 信号経路 4 2 Y の断面が示されている。

20

【 0 0 3 9 】

図 1 1 は、担体 2 0 0 の種々の層の拡大斜視図である。誘電性層 2 2 1 - 2 2 4 は擬略的に描写され、視覚的な明瞭さのためバイアは表示されていない。これらの層におけるバイアの位置は、図 9 に示された断面図及びその説明から当業者には明白である。

30

【 0 0 4 0 】

図 1 2 は基板 2 1 0 と電源グリッド 2 1 4 の上面図であり、電源パッド 2 2 及び接地パッド 2 4 の位置がその上に重ねて表示されている。同図において、電源パッドは黒い四角形で表示され、グリッド 2 1 4 の上に置かれ、接地パッドは白抜きの四角形で表示され、基板 2 1 0 の上に置かれる。電源グリッド 2 1 4 と基板 2 1 0 との間に設けられた誘電性層 2 1 2 は、グリッド 2 1 4 の陰影領域と、基板 2 1 0 の陰影の無い領域との間に黒い線で示されている。

【 0 0 4 1 】

図 1 3 には、交流接地面である第 3 導電性層 2 3 3 の上面図が示されている。陰影領域は導電性であり、陰影の無い領域は導電性層 2 3 3 を通るボイド（又は、アパーチャ）である。ボイドは、信号パッド及び接地パッドの場所と対応し、バイアがボイド中に形成される。多くの一般的なバイア形成手法と同様に、各ボイドは、図 1 3 で大きいボイドとして示されているように、内部により小さい金属パッド 2 3 5 を有する。視覚的な分かり易さのため、同図では、このような小さい金属バイアは、層 2 3 3 の全部のボイドで表示されていない。

40

【 0 0 4 2 】

尚、図 8 では導電性層 2 3 1 及び 2 3 2（X 信号経路及び Y 信号経路）の平面図が重ね合わされている。

【 0 0 4 3 】

50

図12を参照するに、内部パッドアレイ22内の電源及び接地パッドは、多数の異なる有用なパターンの形に配置される。図12に示されたパターンは、ダイヤモンド型パターンであり、図14により詳細に示されている。図14には、4種類の有用なパターン：(a)ダイヤモンド形、(b)X形、(c)十字(プラス)形、(d)風車形が示されている。図示された各パターンにおいて、電源パッドは黒い四角形で表示され、接地パッドは白い四角形で表示される。電源パッドを強調し、電源パッドのより大きいパッドアレイへの拡張を示すために、電源パッドの周りは線で囲まれている。図14の例では、11×11形の全部で121このパッドを含むパッドアレイが示され、その中の60個のパッドは信号パッドであり(見易くするため図14には表示されていない)、残りの61個のパッドは電源及び接地パッドである。図14に示されたパターンは、1辺のパッドの個数が奇数N個、例えば、11個、13個、15個、17個などを有し、電源/接地パッドアレイはチップの中心にパッドを有するパターンである。各パターンは、アレイサイズ(N×N)が増加するとき、電源パッドの個数が接地パッドの個数と略一致するように保つ。ダイヤモンド形の場合に、電源パッドの個数は接地パッドの個数よりも少ないが、いずれのサイズの場合でも4個以上には少なくなることはない。X形パターンに対し、電源パッドの個数は接地パッドの個数よりも多いが、6個以上多くなることはない。X形パターンは、中心の電源パッドが接地パッドに変更され、この場合にもダイヤモンド形と同様に、電源パッドの個数は接地パッドの個数よりも4個以上多くなることはない。1辺上のパッドの数が奇数個(奇数N個)の場合、十字形パターン及び風車形パターンは、同数の電源パッド及び同数の接地パッドを含む。奇数N個の場合、いずれのパターンでも、接地パッドの個数は電源パッドの個数よりも、(2N-1)倍だけ多く、Nが20未満の場合には非常に有意であるが、Nが20以上になると相対的に重要性が低くなる。

【0044】

上記の通り、電源パッドの組は、中心点に関して90°回転対称性を有し、内部アレイ22の領域全体に均一に分布する。このため、電源パッドの10%乃至25%は、内部アレイ22の周辺よりも内部アレイ22の中心点の近くに配置される。同じことは、接地パッドの組に対しても当てはまる。もちろん、電源パッド及び接地パッドの各組は、90°回転対称性があるので、180°回転対称性を有する。

【0045】

勿論、これらのパターンにおいて、電源パッドと接地パッドの指定(及び、それらの位置)を反対にしてもよい。このような場合、接地パッドは(白い四角形ではなく)黒い四角形で表示され、電源パッドは白い四角形で表示される。

【0046】

図15には、1辺に奇数N個のパッドが配置された場合のパターンが示されているが、電源/接地パッドアレイは(図14のパターンに示されるように)チップの中心に電源若しくは接地パッドが設けられるのではなく、中心から外れて配置されている。図15のパターンの場合に、信号パッドアレイは、1個の信号パッドがチップの中心に配置された中心位置にある。図14に示された例と同様に、上記パターンにおける電源及び接地パッドの指定(及び、それらの位置)は、接地パッドが黒い四角形で表示され、電源パッドが白い四角形で表示されるように逆転しても構わない。図14及び図15に示された奇数N個用のすべての例示的なパターンは180°及び90°の両方の回転対称性がある。

【0047】

Nが偶数の場合、信号ラインと電源及び接地ラインとの間で厳密な「チェッカー盤」配置を使用したとき、180°回転対称性だけを実現することができる。チェッカー盤は、対向する側から見たときに全く同じように見えるので180°回転対称性があるが、90°回転させると異なって見える。それにも係わらず、電源及び接地パッドは、図16に示されるようにダイヤモンド形、X形、十字形及び風車形のパターンに配置される。これらのパターンは、対応した図14及び15の実施例のパターンから多少歪曲している。

【0048】

90°回転対称性は、図17に示されるように変形されたチェッカー盤パターンが使用

10

20

30

40

50

される場合に偶数Nに対しても実現される。このパターンにおいて、信号パッドは黒い三角形で示され、電源及び接地パッドは白い四角形で示されている。このアレイは、4象限に均一に分割され、各象限はチェッカー盤パターンを厳密に維持する。しかし、象限は90°回転対称性を保つように配置される。図17に示されたパターンは、チェッカー盤パターン(すなわち、赤黒の順列)を一つの象限内にレイアウトし、象限のイメージをコピーし、残りの3象限のパターンを得るためそのコピーを90°回転させることにより容易に得られる。図18には、変形されたチェッカー盤パターンを使用する4個の基本的なパターンが示されている。電源パッドは黒い四角形によって表され、接地パッドは白い四角形によって表示される。上述のパターンと同様に、パターン内での電源パッド及び接地パッドの相対的な位置は逆転させてもよく、その結果として、接地パッドは黒い四角形によって表され、電源パッドは白い四角形によって表示される。

10

【0049】

上記のいずれのパターンの場合でも、内部アレイ22内の最も外側のパッドの矩形は、全信号パッドの数を増加させるため信号ラインに割り当てられる。このようなパターンは図19に示されている。信号パッドは黒い三角形でしめされ、電源及び接地パッドは白い四角形によって表示される。

【0050】

チップレイアウト及び信号配線方法について

ブリッジコネクタ30が2個の担体20の間に接続されるとき、かなり多数の利用可能な信号ラインが2個の担体の間に形成される。利用可能な信号の本数は2個の担体20の間で実際に伝達されるべき信号の個数よりも遙かに多い。利用可能な信号ラインは図20に示されている。図20には、(図8の実施例に示された)2個の汎用チップ担体20L及び20Rの内部パッドアレイ、ブリッジコネクタ30の(図20では点線で示されている)経路、及び、信号パッドをブリッジコネクタの信号パッドに接続する担体内の内部経路42Xの上面図が示されている。信号パッドは、黒い色の四角形で表示され、電源及び接地パッドは白い色の四角形で表示される。チップ5Lは、フリップチップボンディングによって担体20Lに取り付けられ、チップ5Rは担体20Rに取り付けられる。担体20L、20R上の経路42Xと、コネクタ30上の経路40は、一体的に、2個の担体間に15本の利用可能な信号線を形成する。図20において、信号線には#1から#15までの番号が付けられ、各番号は対応した経路のの中に現れる。本発明の一実施例では、ブリッジコネクタ30は22本の経路を含み、その中の15本だけが担体20によって使用される。担体のもう一方側に接続する経路は、簡単化のため図20には表示されていない。

20

30

【0051】

本発明の典型的に構成された実施例の場合、2個の担体の間で利用可能な信号ラインの数は、150から2000、或いは、それ以上であり、一方、2個の担体間で伝達されるべき信号の総数は50乃至500である。視覚的な明瞭さのため、図20には僅かな数の利用可能な信号ラインしか表示されていないが、当業者は、本発明の教示に基づいて信号ラインの数を所望の本数まで容易に増加させることができる。

【0052】

担体20の経路配線パターンが同一であり、ブリッジコネクタの配線パターンが同一である場合、利用可能な信号ライン#1-#15は同様に準備され、利用可能な信号ラインの規則的、かつ、対称的なネットワークがチップ担体20の間に形成される。しかし、電子システムの信号パターンが規則的かつ対称的であることは殆ど無い。したがって、本発明によって得られる信号ラインのネットワークは、従来の実例とは異なり、不規則な経路パターンが電子システムの不規則な信号パターンに適合するようにチップパッケージングの種々のレベルで形成される。このような不規則な電子システムのチップは、ある種の共通なクロック分配回路を共用する場合を除いて、実質的に互いに相違する。本発明は、共通した構造(すなわち、同一の構造及び機能)が10%に満たないような実質的に異なるチップを互いに接近させて配置することが容易である。

40

50

【 0 0 5 3 】

本発明の規則的な信号ネットワークにおいて、典型的な電子システムの不規則で非対称的な信号パターンを実現するため、以下の一般的なステップが実行される。最初のステップで、チップ担体間で実際の数の信号を伝達するため、2個のチップ担体間で利用可能な信号#1 - #15の部分集合が選択される。典型的に、利用可能な信号ラインの本数の3分の1未満が使用するため選択される。すなわち、担体20は、典型的に電子システムによって必要とされる信号ラインの数の3倍以上の信号ラインを提供する。2番目のステップにおいて、相互連結パッドを収容するICチップの上部メタライゼーション層は、ICチップの信号パッドを、利用可能な信号ラインの選択された部分集合に接続された担体20上のパッドと一致し得る場所に動かすため、通常の構造から変更される。この変更において、各信号は、チップの上部面の通常の場所で出入りし、変更経路によって変更されたパッド位置に配線される。出力信号はチップから出る信号であり、入力信号はチップに入る信号である(クロック信号は入力信号である)。出力信号の出口ポイントは、通常、信号がチップの能動部品によって発生される場所、若しくは、その場所の付近のポイントであり、入力信号の入口ポイントは、通常、信号がチップの能動回路によって入力として受信される場所、若しくは、その場所の付近のポイントである。一般的に、選択された部分集合の各信号経路#1 - #15は、一つのチップから一方の端に出力信号を受信し、もう一方の端で第2のチップへの入力としてその信号を供給する。

10

【 0 0 5 4 】

一般的に、利用可能な信号ラインの部分集合は、パッドの移動量と変更経路の長さを最小限に抑えるように選択され、変更経路の長さを抑えることにより、2本以上の経路が交差する可能性が最小限に抑えられる。簡単なシステムから適度に複雑なシステムまでの場合に、この変更は、変更経路を互いに交差させることなく、上部メタライゼーション層で実行され得る。より複雑なシステムの場合、一部のチップにおいて変更経路の間でクロスオーバー(交差)を行うため2レベルのメタライゼーションに対する変更が必要である。ICチップの上部メタライゼーション層を相互連結システム(例えば、担体20)の設備と合うように変更する概念は、ICチップを変更することはコストの高い提案であり、回避されるべきであるという従来の思想及び実例とは相反する。

20

【 0 0 5 5 】

以下、図20を参照して、不規則、非対称的な電子システムに対し信号相互連結を実現する本発明を構成する工程の一例について説明する。チップ5Lの上面からの5個の信号“A” - “E”の出口/入口位置は、丸付きの英字“A” - “E”によって図示されている。これらの信号は、各担体の経路42X及びブリッジ相互連結コネクタ30の経路40を介してチップ5R上の5個の対応した場所につながる。チップ5Rの上面の5個の信号の出口/入口ポイントは、対応した丸付きの英字“A” - “E”によって表示される。これらのチップは、好ましくは、夫々の担体にフリップチップ装着されているので、信号“A” - “E”の場所は、チップが担体に装着された場合に担体裏面からチップを通して見たような形で表示されている。信号Aは信号ライン#12を介して発送され、信号Bは信号ライン#14を介して発送され、信号Cは信号ライン#8を介して発送され、信号Dは信号ライン#6を介して発送され、信号Eは信号ライン#4を介して発送される。信号ライン#4、#6、#8、#12及び#14は、使用されていない信号ラインと明瞭に区別されるように太線で図示されている。変更経路44L及び44Rは、各チップ5L及び5Rのメタライゼーション層(好ましくは、最後のメタライゼーション層)に形成され、各信号A - Eを、チップ表面上の出口ポイントから、適切な信号ライン(例えば、信号ライン#4、#6、#8、#12及び#14)に接続するICチップ上の信号パッドに発送する。オンチップ経路44L及び44Rは、図20に破線で示されている。図21には、参考のため2個のチップ上の経路#1 - #15の端の場所が示されている。

30

40

【 0 0 5 6 】

信号ライン#1 - #15のすべてが使用されるわけではなく、各信号A乃至Eは、(1層のメタライゼーション層だけが変更された場合)選択された信号ラインがICチップメ

50

タイゼーション層内の別の信号に対する経路と交差しない限り、信号ライン# 1 - # 15の中の何れかの信号ラインを介して発送される。一般的に、信号A - Eは、経路4 4 L及び4 4 Rの全長を最小限に抑えると共に、経路4 4 L及び4 4 Rを同一金属層内で互いに交差させない信号ライン# 1 - # 15の部分集合を用いて発送される。同一金属層内のこのような交差は、2個の信号の意図しない電気接続を生じさせる。経路4 4 L及び4 4 Rの全長を最小限に抑えることにより、交差の可能性が低減される。交差を回避できない場合、一方の信号を迂回させるため第2の層がカスタム化され、或いは、バイアポイントを除いて誘電性層によって分離された第2のカスタム金属層が最後の金属層の上に追加される。

【0057】

経路4 4 L及び4 4 Rの全長を最小限に抑える経路の部分集合を決定若しくは計算するための多数の方法が存在する。以下にその中の一つの方法を説明する。各信号A乃至Eに対し、各信号ライン# 1 - # 15毎に経路4 4 L及び4 4 Rの長さが最小マンハッタン配線距離（すなわち、 $X + Y$ 距離）を用いて計算される。この長さは、経路4 4 Lに対し L_L と表され、経路4 4 Rに対し L_R と表され、二つの長さの合計は、合成長さ L_C （ $L_C = L_L + L_R$ ）として表記される。各信号毎に、最短合成長を有する所定のJ個の信号ラインは、識別され、最短長に従ってソートされる。一例として、信号A - Eに対し最短合成長を有する5個の信号ライン（ $J = 5$ ）が、相対単位で表された合成長と共に以下の表1に与えられる。

【表1】

信号	最短ライン		信号ライン $L_C = L_L + L_R$	列 4	最初の 5ラインの 中の最長 ライン ($J = 5$) 列 5
	列 1	列 2			
“A”	ライン#12 6.5= 6.0+0.5	ライン#10 8.5= 6.0+2.5	ライン#8 8.5= 3.0+5.5	ライン#6 9.5= 5.0+4.5	ライン#7 9.5= 5.0+4.5
“B”	ライン#14 4.0= 0.5+3.5	ライン#12 5.0= 2.5+2.5	ライン#10 7.0= 4.5+2.5	ライン#13 7.0= 4.5+2.5	ライン#8 8.0= 4.5+3.5
“C”	ライン#8 3.5= 3.0+0.5	ライン#3 6.5= 2.0+4.5	ライン#6 6.5= 2.0+4.5	ライン#7 7.5= 3.0+4.5	ライン#9 9.5= 7.0+2.5
“D”	ライン#6 5.0= 1.0+4.0	ライン#1 5.0= 4.0+1.0	ライン#3 6.0= 3.0+3.0	ライン#2 6.0= 4.0+2.0	ライン#4 7.0= 4.0+3.0
“E”	ライン#4 7.5= 2.5+5.0	ライン#5 8.5= 1.5+7.0	ライン#3 10.5= 6.0+4.5	ライン#9 10.5= 1.5+9.0	ライン#8 11.5= 4.5+7.0

表1

10

20

30

40

50

【 0 0 5 8 】

最小合計経路長を有するラインの組は、列内に重複したライン番号が存在しない限り、列 1 に現れる。信号ラインの組に対する全経路長 L_T は集合内の対応した合成長 L_C の合計として定義される。表 1 の列 1 には重複がなく、26.5 相対単位的全経路長 L_T を有する。列 2 に対する全経路長は 33.5 相対単位であり、列 5 に対する全経路長は 45.5 相対単位である。比較として、経路長の量を最大化する集合は 93 相対単位的全経路長を有する。

【 0 0 5 9 】

列 1 に重複したエントリが存在する場合（すなわち、単一の信号ラインが信号 A - E の中の 2 個の信号に対し最短である場合）、重複したエントリの中の一方は、列 1 には存在しない右隣の列の（同一行の）エントリによって置換される。重複は両方共に置換可能であり、一方の置換は、もう一方の置換よりも全経路長を短くさせる。一例として、列 3 は信号 D と信号 E に対して重複した信号ライン # 3 を有する。説明の都合上、列 1 及び列 2 が無く、選択処理は列 3 から開始される場合を考える。このとき、信号 D に対する重複は、列 4 からのライン # 2 によって置換可能であり、信号 E に対する重複は、列 4 からのライン # 9 によって置換可能である。代替としてライン # 2 を使用した方が、全経路長は（相対単位で 4.5 単位、 $4.5 = 10.5 - 6.0$ だけ）短くなる。列 1 からの選択と、重複したエントリの置換とを反映した最終的な選択結果を保持するため、最終列、列 0 をこの表 1 に追加してもよい。

【 0 0 6 0 】

明らかに、計算された列数 J は、列 1 の重複エントリの最大予測数に一致するように選択されるべきである。慎重なステップとして、 J は、起こり得る最大の重複数である信号の数と一致するよう選択してもよい。

【 0 0 6 1 】

信号ラインの組が選択された後、チップ 5 L 及びチップ 5 R 上の経路 4 4 L 及び 4 4 R に対する厳密なレイアウトを決定するため従来の経路配線プログラムを利用することができる。この配線プログラムは、勿論、1 組の信号に対し実行され、或いは、各チップには最大 4 個までのチップが隣接するので最大 4 組までのチップの信号のすべての組に対し実行してもよい。

【 0 0 6 2 】

表 1 に示された情報は、重複した列エントリに対し代用信号ラインを与えるだけでなく、配線プログラムが他の信号ラインとの配線競合を見つけた場合に、信号に対する格付けされた代替配線選択結果のリストを与える。代替選択結果を準備することにより、このような競合を容易に解消できるようになる。

【 0 0 6 3 】

選択された信号ラインの組（すなわち、列 0）は、2 個のチップの中の一つで全経路長 L_T を非常に大きくさせる可能性があり、配線プログラムによって信号を、「稠密」チップと呼ばれるそのチップ上に配線させることがより難しくなる。これは、数学的に、

若しくは、

のように表現される。式中、総計は列 0 の信号に対して行われる。不均衡が大きい場合、例えば、稠密チップが全経路長の 75% 以上を占める場合、割合を 50% まで低下させる代替選択肢を見つけるため列 2 が検査される。この代替選択肢を使用することにより L_T は増加する傾向がある。しかし、担体 20 の典型的な実装例の場合、2 個の隣接したチップの間の信号ラインの数は 100 を超過し、多数の実装例では 400 を超え、これにより、列 1 のエントリと列 5 のエントリとの間の経路長 L_C の平均的な差は、非常に小さくなる。したがって、典型的なシステムの場合に、代替選択肢を使用することによって生じる L_T の増加は小さい。列 2 乃至 5（或いは列 6 以上）は、稠密チップ上の全経路長を減少させる代替選択肢を見つけるため調べられる。稠密チップ上の経路長を最も減少させ

を減少させる代替選択肢を見つけるため調べられる。稠密チップ上の経路長を最も減少させ

、 L_T を殆ど増加させない代替選択肢が選ばれる。代替選択肢が別の信号のため使用するものとして既に列 0 に現れている場合、この代替選択肢を考慮する必要はなく、代替信号ラインを競合する信号に対し選択することが考慮されるので、重複は生じない。この代替信号は不平衡さを増加させない信号でなければならない。

【0064】

図 8 及び 20 に示された担体 20 に対する配線パターンの例において、隣接したチップに進入する信号経路 42X は、IC チップ領域の半分までしか延ばされていない。例えば、チップ 5R に対する信号 E のように、この領域の外側に幾つかの信号が存在する場合、特に、3 個以上の隣接したチップが拡張性のオンチップ経路を必要とする場合、IC チップ上の一つのカスタム金属層しか使用しないすべての信号に対しオンチップ経路をうまく配線することは不可能である。この問題は、IC チップ上の第 2 のカスタム金属層を使用することによって容易に取り扱われる。また、この問題は、IC チップの両側に信号経路 42X の終端を分布させる担体 20 内の異なる配線パターンを使用することによって取り扱われる。他のアプローチとして、システム内のチップが未だレイアウト、若しくは、製作されていない場合、信号源を選択された経路の端により良く一致させるためチップレイアウトが行われ得る。

10

【0065】

各チップ上で 1 層以上のメタライゼーション層をカスタム化することにより 2 個の隣接したチップの間で信号を送送する種々の方法を説明したので、次に、システムのチップを相対的に配置する一般的な方法を説明する。

20

【0066】

ステップ 1：各チップと他のチップとの間に接続される信号の数がカウントされる。N チップの場合、 $N(N-1)/2$ 個がカウントされる。このカウントは、一般的に、 $SC_{X,Y}$ のように表記され、X は X 番目のチップ、Y は Y 番目のチップを表わす。各カウント $SC_{X,Y}$ は 2 個のチップ X 及び Y と関連付けられ、 $SC_{X,Y}$ は $SC_{Y,X}$ と同じである。例えば、4 チップシステムは、6 個の信号カウント： $SC_{1,2}$ 、 $SC_{1,3}$ 、 $SC_{1,4}$ 、 $SC_{2,3}$ 、 $SC_{2,4}$ 及び $SC_{3,4}$ を有する。

【0067】

ステップ 2：カウント $SC_{X,Y}$ は大きさの減少する順番に並べられる（ソートされる）。

30

【0068】

ステップ 3：カウント $SC_{X,Y}$ と関連した 2 個のチップ X 及び Y の各チップに対し、カウント内の X 及び Y チップ上の信号の入口ポイント及び出口ポイントが決定される。例えば、信号 A 乃至信号 E の入口ポイント及び出口ポイントは、図 20 に丸付きの英字 A 乃至 E で示されている。図 22 には、チップの間を通る信号の入口ポイント及び出口ポイントが円形で表された 2 個のチップ X 及び Y の例が示されている。同図において、ポイントの場所は、チップが担体にフリップチップ装着されたときに、裏面からチップを透視したときの見え方で示されている。典型的な IC チップの場合に、入口ポイント及び出口ポイントは、パッドメタライゼーション層の直ぐ下にある金属及び / 又はポリ層に設けられる。

40

【0069】

ステップ 4：最大のチップ間信号カウント SC と関連した 2 個のチップは、隣接したチップ担体に割り当てられる。この最初の 2 個のチップは、付加的なチップが残りの利用可能なチップ側で追加される第 1 のチップクラスタの始まりである。最初の 2 個のチップの相対的な向きを決め方には 16 通りの方法がある。2 個のチップの向きを決める一つの一般的な方法によれば、実現可能な向き毎に全合成経路長が計算され、最小の合成経路長を与える向きが選択される。2 個のチップが最小の合成経路長を与える向きに配置された場合、対向する 2 個のチップの側面は境界辺と呼ばれる。

【0070】

チップの向きを決める第 2 の方法として、あまり汎用的ではないが、容易に計算できる

50

方法によれば、カウント $SC_{X,Y}$ に対する信号位置の集まりに最も近い各チップ X 及び Y の側面が決定され、そのカウントに対する境界辺と呼ばれる。この決定は、殆どの場合に視覚的な検査によって行われ、入口ポイントと出口ポイントの重心を計算し、重心に最も近い側面を見つけることによっても実現可能である。重心計算は、直交平面の原点をチップの中心に割り当て、各場所の X 及び Y の値を決め、平均 X 値及び平均 Y 値を計算することによっても行われる。上記の 2 個の平均値に最も近い側面は境界辺である。図 22 において、重心は、各チップ上でプラス + の記号によって示され、各チップの四方の側面は対応した番号 1 乃至 4 によって示されている。チップ X に対し、境界辺は側面 3 であり、チップ Y に対する境界辺は側面 2 である。図 22 では、重心から境界辺をより簡単に見つけることができるように仮想的な対角線が各チップの上に重ねられている。対角線は、コンピュータが境界辺を決めるための簡単な計算方法を提供する。2 個のチップは、境界辺が互いに対向するように夫々のチップ担体内で向きが決められる。すなわち、境界辺は互いに最も接近する。この向きは、図 22 のチップの境界辺が互いに対向するように配置されている図 23 に概略的に示されている。この方法は、図 8 及び 20 に示された担体の例のように、担体 20 の隣接したチップへの経路端が隣接したチップに最も接近した側面付近に集められているときに、特に、有効であり、かつ、簡単に計算できる。

10

【0071】

ステップ 5 : 2 番目に大きいカウント SC と関連した 2 個のチップは、ステップ 4 で第 1 のカウントから得られたチップと同じ方法で互いに隣接させて配置される。2 番目に大きいカウントの 2 個のチップがステップ 4 で得られた 2 個のチップと異なる場合、第 2 のチップクラスタが形成され、この第 2 のチップクラスタは、通常、すべてのチップが配置された後に 1 個以上の残りのチップによって第 1 のチップクラスタとリンクされる。2 番目に大きいカウントのチップの中の一つのチップがステップ 4 で配置されたチップと同一である場合、このペアは、第 1 のチップクラスタに追加されるべき配置されていないチップを一つしかもたない。この場合、先に配置されたチップの境界辺がステップ 4 で既に選択されていた可能性があり、2 番目に優れた境界辺が先に配置されたチップに対し選択される。ステップ 2 で行われたように信号カウントを降下順に並べることにより、境界辺が先に配置されたチップによって得られている可能性は最小限に抑えられる。

20

【0072】

ステップ 6 : ステップ 5 の処理が残りの信号カウント SC に対し降下順に反復的に行われる。殆どの場合に、未だ配置されていないチップがチップクラスタの一つに追加される。一部の場合に、所定の信号カウント SC の 2 個のチップは、異なるチップクラスタに既に配置されている可能性があり、この場合に、2 個のチップクラスタは 1 個のチップクラスタに併合されるべきである。2 個のクラスタは、2 個のクラスタからのチップが同じ物理的位置に関して競合しないように適合的に併合される。クラスタは、併合が生じる 2 個のチップの境界辺で試験的に接合される。このときの 2 個のチップは併合チップと呼ばれ、異なるクラスタからのチップが同じ物理的位置に割り当てられていないかどうかは検査される。試験的な接合の一例は図 24 に示され、同図において、第 1 のクラスタはチップ 1 乃至チップ 4 により構成され、第 2 のクラスタはチップ 5 乃至 7 により構成されチップ 4 とチップ 7 の間の試験的な接合が破線の矢印で示されている。競合がない場合、このステップは、後述するステップ 7 に進む。競合がある場合、併合チップに対し別の境界辺の組が選択され、競合検査が再び行われる。図 24 に示された例の場合に、チップ 1 とチップ 5 の間の競合と、チップ 2 とチップ 6 の間の競合とが存在する。8 個の利用可能な代替的な境界辺の組が存在し、その中から選択された 2 個の代替的な組が図 25 及び 26 に示されている。図 25 では、チップ 4 に対する元の境界辺が維持され、チップ 7 に対し新しい境界辺が選択されている。図 26 では、逆の選択が行われ、チップ 7 に対する元の境界辺が維持され、チップ 4 に対し新しい境界辺が選択される。通常、一方の併合チップは、他方の併合チップよりも多数の信号が接続され、そのチップに対する元の境界辺の指定を維持する方が良い。例えば、チップ 4 がチップ 7 よりも多数の信号と接続されている場合、図 25 に示された構造の方が図 26 に示された構造よりも好まれる。

30

40

50

【 0 0 7 3 】

併合チップに対する代替的な境界辺の選択によって2個のチップクラスタ間の物理的な競合が解消されない場合、一方若しくは両方のチップクラスタ内で先に配置された信号カウン트가境界辺に再び割り当てられる。図27に示された例では、2個のチップクラスタが併合チップ1と併合チップ8で併合される。このとき、チップ2とチップ5の間に物理的な競合が存在し、チップ1とチップ8に対する境界辺の代替的な組は、チップ8のもう一つの空いている側面を選択する1組しかない。しかし、この代替的な境界辺の組はチップ5とチップ9の間に競合を生じる。この競合は、図28に示されるようにチップ5とチップ6の境界辺を再割り当てすることによって容易に解消される。また、両方のチップクラスタ内で先に配置された信号カウン트는競合を解消させるため再割り当てされる。さらに、先に配置された信号カウン트의再割り当ては、特に有利であるならば、併合チップの境界辺の再割り当てと同時に進行することができる。一般的に、最小の値を有する信号カウントSCを再割り当てする方がよい。

10

【 0 0 7 4 】

ステップ6の処理がSCカウン트의格付けリストの下方に進行すると共に、チップに対し、既に4個の最近接位置が割り付けられている場合が生じ得る。図29にはそのような場合の一例が示されている。同図では、チップ10はチップ1の隣に配置されるべきであるが、チップ1の隣接位置には既にチップ2、3、4及び7が割り付けられている。本例の場合に、次に利用可能な開放した場所が選択され、チップ1とチップ10の間の信号は、隣接したチップ2、3、4及び7の中の少なくとも1個のチップを介して配線される必要がある。チップ10の配置及び信号のチップ1への配線の多数の可能な形態が図30に示されている。チップ1及びチップ10に対する信号カウントSCは信号カウン�格付けリスト内のかなり下位にあるので、隣接したチップを介して配線されるべき信号の数はかなり少ない。好ましくは、チップ1に関して最低信号カウンंतを有する隣接したチップがチップ1とチップ10の間で信号を伝達するため選択される。その理由は、一般的にこのチップは配線の競合を生じさせる可能性が小さいからである。これらの「通過」信号を配線する方法の詳細は、ステップ8に基づいて後述する。図29及び30において、種々の信号カウンंतの格付けは、対応した矢印リンク記号の隣に数値で表示され、例えば、格付け指定“1”は最高の信号カウンंतを表現する。チップ1に隣接したチップの中で、チップ7がチップ1に関して最低の信号カウンंतを有し、チップ10は、次に利用可能な隣接位置においてチップ7の隣に配置される。しかし、付加的なチップをチップ7の隣に配置する必要があるため、処理が信号カウンंतの格付けリストの下方に進むと共に競合が発生する場合には、他の代替案を見つけ、記録するべきである。図30には、チップ7の隣への配置を含むチップ0の実現可能な数通りの配置が示されている。チップ4からチップ1に入る信号のカウンंत($SC_{1,4}$)は次に少なく、チップ10に対し3通りの利用可能な隣接位置を有する。チップ4の上方の利用可能な場所で、チップ1とチップ10の間の信号は、チップ2並びにチップ4、或いは、それらの組合せを経由して發送される。同様に、チップ4の下方の利用可能な場所において、チップ1とチップ10の間の信号は、チップ3並びにチップ4を経由して、或いは、両者の組合せを経由して發送される。通過信号を利用するこのアプローチは、2個のチップクラスタの併合に非常に多数のチップ競合が含まれる場合に使用され得る。

20

30

40

【 0 0 7 5 】

ステップ6の処理がSCカウンंतの格付けリストの下位に進むと共に、一つの信号カウンंतが同一チップクラスタに先に配置された2個のチップの間に生じる場合がある。このような状況の一例は、図29に示されたチップ4及びチップ6である。チップ4とチップ6の間の信号($SC_{4,6}$)は、チップ1、3及び5を介して直接に配線される。また、チップ4とチップ6の間のパスに沿ったチップの向きは、1個以上の境界辺の組を再割り当てすることによって、チップ4及びチップ6を隣接した関係にさせ、或いは、近付けるように変更される。例えば、チップ3及びチップ5用の境界辺に対するリンク#6は、図31に示されるように、チップ6をチップ4に近付けるため再割り当てされ、チップ4と

50

チップ 6 の間の信号はチップ 5 を経由して発送され、チップ 5、3 及び 1 を経由して直列に与えられた配線よりも短い配線を供給する。

【0076】

ステップ 6 の終了後、チップが 2 個以上の分離した回路に含まれない場合に、単一のチップクラスタが得られる。多数の実現可能な解決策が上記のアプローチを実現することにより得られ、最も小型のレイアウトを与えるアプローチが選択される。

【0077】

ステップ 7：選択的なステップとして、レイアウトは、競合を生じない範囲内で、チップクラスタの独立した部分を再構成することにより小型化される。

【0078】

ステップ 8：このチップ構造セットが得られた場合に、チップのメタライゼーション層は、図 20 を参照して説明したような従来技術で公知の標準的な配線及びレイアウト処理を用いてシステム内の信号の配線を行うためレイアウトされる。これらの処理は、産業上利用可能な幾つかのソフトウェアプログラムによって実現される。各チップの 1 層以上のメタライゼーション層（又は、等価的な層）が使用される。好ましくは、通過信号の配線が最初に行われる。その理由は、通過信号の配線が本発明の担体システムによって得られる配線の柔軟性を最も必要とするからである。

【0079】

通過信号経路の配線について

図 32 は、チップ担体 20C の内部パッドアレイ 22C と、隣接した 3 個の担体 20L、20R 及び 20T の内部パッドアレイ 22L、22R 及び 22T の平面図である。図 32 には、隣接したチップ担体の間で信号を伝達し、中央のチップ担体 22C を通過する 3 種類の複合経路 T1、L1 及び R1 の形成が示されている。対応したチップ 5C、5L、5R 及び 5T は、担体 22C、22L、22R 及び 22T の内部パッドアレイの上に配置される。チップ境界は実質的にパッドアレイ 22 の境界に対応するが、常に対応している必要はない。視覚的な分かり易さのため、担体の完全な上面図は他の図面に記載されているので、担体 20C、20L、20R 及び 20T は破線の外形線によって省略された形式で表示されている。同様に、担体 20C、20L、20R 及び 20T の間のブリッジコネクタ 30 も省略された形式で表示されている。

【0080】

各複合通過経路 T1、R1 及び L1 は、チップ担体 20 の選択された経路 42X、42Y と、ブリッジコネクタ 30 の選択された経路 40 と、チップ 5C の 1 個以上のメタライゼーション層の上に形成された経路とを使用する。例えば、通過信号経路 T1 は、左側の担体アレイ 22L の中程のパッドから始まり、担体 20L の担体経路 42X と、ブリッジ経路 40 と、担体 20C の担体経路 42X とによって担体アレイ 22C の中程のパッドに繋がれる。複合通過経路 T1 は、次に、チップ 5C のメタライゼーション層に形成された信号経路 441 に接続され、この信号経路 441 は担体 20C の第 2 の経路 42X に信号を伝達する。この第 2 の経路 42X から、複合信号経路 T1 は、ブリッジ経路 40 及び担体 20 上の経路 42X を介してアレイ 22R の中程に渡される。

【0081】

経路 441 は担体アレイ 22L と 22R との間で多様な通過信号を供給するためアレイ 22C のパッドの間に構成することが可能である。複合経路 T1 の形成に寄与するため、経路 441 はチップ 5C 上の能動回路に接続されるべきではない。勿論、複合経路 T1 によって伝達される信号が両方のチップ 5C 及び 5R 上で能動回路に接続されることが意図されている場合、経路 441 は IC チップ 5C 上の目的の回路に接続するよう構成される。純粋な通過経路の場合、経路 441 は、チップ 5C の能動回路（例えば、トランジスタ）の上に重なるとしても、このような能動回路（例えば、トランジスタ）から電氣的に隔離される。

【0082】

同様に、複合経路 R1 及び L1 は、チップ 5C 上の対応した経路 442 及び 443 を用

10

20

30

40

50

いて形成される。経路441と同様に、経路442及び443は、チップ5Cの能動回路（例えば、トランジスタ）の上に重なるとしても、この能動回路から電氣的に隔離される。

【0083】

上記の通り、各担体20L及び20Rからの信号は、上記の接続構造を用いて担体20C上のチップ5Cの信号に接続される。このような接続は、複合経路R1、L1及びT1と共に図32に記載されている。

【0084】

上記の構造を使用した場合、チップ担体20の内部レイ22のパッドの数は、集積回路チップによって必要とされるパッドの数を上回り、一般的に2倍、好ましくは3倍、場合によっては4倍以上になる。パッドの数が2倍以上超過することにより、システム全体を構成するための配線接続を選択する際の柔軟性が增大する。略同数の信号パッドと電源パッドを有する担体20の内部レイ22の場合、内部レイ22内の信号パッドの数はチップによって必要とされる信号パッドの数を（一般的に上記と同じ倍率で）上回り、内部レイ22内の電源パッドの数はチップによって必要とされる電源パッドの数を（一般的に上記と同じ倍率で）上回る。集積回路チップが内部レイ22の全面積を占有しない場合、上記の数はチップによって占有される実際の面積に関して決められる。図33は、システム内で動作するために必要とされる相互連結パッドを具備したチップ5の一例を示す図である。本例の場合、チップ5は、チップ5を保持する担体20の隣に図示されている。同図からわかるように、担体20の内部レイ上のパッドの数はチップによって必要とされるパッドの数の約3倍に達する。また、ICチップ上のパッドの分布は、担体20の完全なレイと比較して、不規則であり（すなわち、対称性が無い）。この不規則性は、ICチップのメタライゼーション層の中の1層（好ましくは、最後の層）がシステムの信号ラインの相互連結を実現するようにカスタム化されていることに起因する。本発明の相互連結アプローチを使用するシステム内の殆どのICチップは、全部ではないとしても、表面上に不規則なパッドの分布を有する。

【0085】

図34は、本発明による汎用的なシステム100の第2実施例を示す図である。システム100は第1実施例のシステム10と類似しているが、以下の点で相違する。第1に、ブリッジコネクタの経路40とパッド36及び37は、変更された主基板15'を作成するため主基板15に統合される。経路40は基板15内に埋め込まれるが、担体凹部16の左下コーナーと関連した経路は露出した形で図示されている。他の相違点は、パッドのレイが相互連結コネクタ60を接続するため主基板15'のエッジに形成されている点である。担体20及びチップ5は、第1実施例と同じように使用、構成されるが、組み立てられた担体は、凹部16に裏返しに配置され、フリップチップボンディングされる。さらに別の相違点として、内部凹部116がチップ5の高さが収容できるように各担体凹部16内に形成される。担体20のコーナーにおける電源接続は（フリップチップボンディング処理の場合のように）はんだ接合してもよく、或いは、電源コネクタ50に使用される板ばね接点は主基板15'に移してもよい。選択的な相違点として、凹部16は省略してもよい。

【0086】

上記の通り、本発明は実施例を参照して説明されているが、本発明の開示に基づいて、本発明の範囲を逸脱することなく種々の置換、変形、適応が可能であることが認められるであろう。また、本発明は、現時点で最も現実的であり、かつ、好ましい実施例であると考えられる事項に関して説明されているが、本発明は開示された実施例に限定されるものではなく、特許請求の範囲の請求項に係る発明の範囲に含まれる種々の変形及び等価的な構成を包含するよう意図されていることに注意する必要がある。

[発明の効果]

担体パッケージと、ICチップ間の相互連結とを設けるためのコストは、平均的な量のテスト及びやり直しが要求される場合にICチップを製造するコストに匹敵し、ときには

10

20

30

40

50

製造コストを上回ることが認められる。本発明では、ICチップの相互連結メタライゼーション層をカスタム化するコスト、又は、付加的な相互連結メタライゼーション層を形成するコストは、チップ担体及びチップモジュールを備えたカスタム化された配線パターンを作成するコストよりも実質的に低く、ICチップの歩留まりを僅かに増加するだけで実現できることが認められる。カスタム化された配線用介挿部も低価格で使用することができる。本発明では、標準化された相互連結部品の組を使用することにより、マルチチップモジュールを組み立てるコストを削減し、モジュールの歩留まりを増加させ、組立工程を簡単化することにより生産量を増加させ得ることが認められる。特定のシステムによって使用されるべき経路の選択は、少なくとも1個のICチップと、そのICチップが装着された相互連結部品との間の配線パターンをカスタム化することにより実現される。

10

【0087】

なお、一部の実施形態を整理すると以下の通りである。

(付記1) 第1の回路のグループと、第2の回路のグループと、第3の回路のグループと、上記回路のグループを相互連結する電気接続部の組とを含む電子システムを別個の集積回路チップから構築するマルチチップモジュールであって、

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有する第1のチップ担体と、

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有する第2のチップ担体と、

20

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有する第3のチップ担体と、

上記第1の担体と上記第2の担体との間に上記電子システムによって必要とされる電気経路よりも多数の電気経路を準備し、上記第1の担体の多数の上記第2のパッドを上記第2の担体の対応した数の上記第2のパッドに対応した数の電気経路を用いて電気接続する第1の相互連結手段と、

30

上記第1の担体と上記第3の担体との間に上記電子システムによって必要とされる電気経路よりも多数の電気経路を準備し、上記第1の担体の多数の上記第2のパッドを上記第3の担体の対応した数の上記第2のパッドに対応した数の電気経路を用いて電気接続する第2の相互連結手段と、

上記電子システムの上記第1の回路のグループを含み、上面に形成された対応した相互連結パッドに発送される複数の入力信号及び出力信号を有し、上記相互連結パッドは上記第1の担体の上記第1のパッドの中から選択されたパッドに接続されるよう配置されている上記第1の集積回路チップと、

上記電子システムの上記第2の回路のグループを含み、上面に形成された対応した相互連結パッドに発送される複数の入力信号及び出力信号を有し、上記相互連結パッドは上記第2の担体の上記第1のパッドの中から選択されたパッドに接続されるよう配置されている上記第2の集積回路チップと、

40

上記電子システムの上記第3の回路のグループを含み、上面に形成された対応した相互連結パッドに発送される複数の入力信号及び出力信号を有し、上記相互連結パッドは上記第3の担体の上記第1のパッドの中から選択されたパッドに接続されるよう配置されている上記第3の集積回路チップとにより構成され、

上記各集積回路チップの上記相互連結パッドへの上記信号の発送、及び、上記各集積回路チップの上記相互連結パッドの配置は、上記電子システムの上記電気接続部を形成するよう選択されている、マルチチップモジュール。

50

(付記2) 電子システムを別個の集積回路チップから構築するマルチチップモジュールであって、

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有し、上記配線パターンは上記中心領域の中心点に関して90°の回転対称性がある第1のチップ担体と、

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有し、上記配線パターンは上記中心領域の中心点に関して90°の回転対称性がある第2のチップ担体と、

表面の中心領域に形成され集積回路チップに接続するための複数の第1パッドと、上記表面の周辺領域に形成された複数の第2のパッドと、上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号ラインの組を含む配線パターンとを有し、上記配線パターンは上記中心領域の中心点に関して90°の回転対称性がある第3のチップ担体と、

上記第1の担体の多数の上記第2のパッドを上記第2の担体の対応した数の上記第2のパッドに対応した数の電気経路を用いて電気接続する第1の相互連結手段と、

上記第1の担体の多数の上記第2のパッドを上記第3の担体の対応した数の上記第2のパッドに対応した数の電気経路を用いて電気接続する第2の相互連結手段とにより構成され、

上記第1の相互連結手段及び上記第2の相互連結手段は、第1、第2及び第3のチップの間の接続性を変更することなく置き換えられるように共通パッド接続性を有する、マルチチップモジュール。

(付記3) 第1の電気経路によって伝達される第1の出力信号を有する第1の集積回路チップ担体と、

上記第1の集積回路チップ担体から隔離され、第2の電気経路によって伝達される第1の入力信号を有する第2の集積回路チップ担体と、

第1の表面と、上記第1の表面の中心領域に形成され、集積回路チップの上面に接続する第1の複数のパッドと、上記第1の表面の周辺領域に形成され、2個以上のブリッジコネクタに接続する第2の複数のパッドと、上記中心領域内の第1のパッドで終端する第1の端及び上記第1の表面の周辺領域で終端する第2の端を具備する第3の電気経路と、上記中心領域内の第2のパッドで終端する第1の端及び上記第1の表面の周辺領域で終端する第2の端を具備する第4の電気経路とを有する第3の集積回路チップ担体と、

上記第1の集積回路チップ担体の上記第1の経路を上記第3の集積回路チップ担体の上記第3の電気経路に電気接続する第5の電気経路を有し、上記第1の集積回路チップ担体と上記第3の集積回路チップ担体の間に延びる第1のブリッジコネクタと、

上記第2の集積回路チップ担体の上記第2の経路を上記第3の集積回路チップ担体の上記第4の電気経路に電気接続する第6の電気経路を有し、上記第2の集積回路チップ担体と上記第3の集積回路チップ担体の間に延びる第2のブリッジコネクタと、

表面に形成された複数のトランジスタと、多数の上記トランジスタの上に重なり、少なくとも一つの誘電性層によって上記トランジスタから絶縁されたメタライゼーション層とを有する集積回路チップとにより構成され、

上記メタライゼーション層は、上記集積回路チップが上記第3の集積回路チップ担体にフリップチップ実装されているときに、上記第3の集積回路チップ担体の上記第1及び第2のパッドに電気接続する第7の電気経路を有し、

上記第7の電気経路は、上記第3の集積回路チップ担体及び上記集積回路チップを介して上記第1の集積回路チップ担体からの上記出力信号を上記第2の集積回路チップ担体の上記入力信号に伝達する、マルチチップモジュール。

10

20

30

40

50

(付記4) 集積回路チップを保持する汎用チップ担体であって、
集積回路チップに相互連結する表面と、

上記表面の中心領域に形成され、上記集積回路チップに接続する第1の複数のパッドと

、
上記表面の周辺に形成された第2の複数のパッドと、

上記第1のパッドと上記第2のパッドを接続するX方向信号ラインの組及びY方向信号
ラインの組を含み、上記信号ラインは少なくとも一つの誘電性層によって分離された少な
くとも二つの別個の導電性層に形成されている配線パターンと、

電源電位及び接地電位を上記中心領域内の選択されたパッドに接続する手段とにより構
成され、

上記集積回路チップは上記中心領域の第1の領域の上に重なり、上記第1の領域内のパ
ッドの数は上記集積回路チップ上のパッドの数よりも多い、チップ担体。

(付記5) 1個以上の集積回路チップを保持する汎用チップ担体において、

中心点及び周囲を有する中心領域、周辺部及び上記周辺部の4個のエッジを含み集積回
路チップに相互連結する表面と、

上記表面の中心領域に設けられ、上記中心点に関して90°の回転対称性を有する第1
のパターンに配置された4組の内部信号パッドであって、上記内部信号パッドは、上記集
積回路チップとの間で信号の伝達を行うことが可能であり、上記内部信号パッドの第1の
組の中の少なくとも10%は上記周囲よりも上記中心点の近くに配置され、上記内部信号
パッドの各組は上記中心点に関して90°回転されたときに別の組のパターンと一致する
パターンを有する4組の内部信号パッドの組と、

上記担体の夫々のエッジに配置され、共通パッド配置を有する4組の外部信号パッドの
組と、

内部信号パッドの各組を対応した外部信号パッドの各組に接続し、上記対応した内部信
号パッドの組と外部信号パッドの組との間に接続性を生じさせる4組の電気経路の組とに
より構成され、

電気経路の各組は、上記電気経路の組と対応した内部信号パッド及び外部信号パッドと
が90°回転されたときに、別の電気経路の組として、関連した内部信号パッドと外部信
号パッドとの間に同じ接続性を生じさせ、

上記4組の電気経路は、少なくとも1層の誘電性層によって分離された少なくとも2層
の別個の導電性層の上に集合的に形成されていることを特徴とする担体。

(付記6) 集積回路チップを保持する汎用チップ担体において、

中心点及び周囲を有する中心領域、周辺部及び上記周辺部の4個のエッジを含み集積回
路チップに相互連結する表面と、

上記表面の中心領域に設けられ、上記中心点に関して90°の回転対称性を有する第1
のパターンに配置された4組の内部信号パッドであって、上記内部信号パッドは、上記集
積回路チップとの間で信号の伝達を行うことが可能であり、上記内部信号パッドの第1の
組の中の少なくとも10%は上記周囲よりも上記中心点の近くに配置され、上記内部信号
パッドの各組は上記中心点に関して90°回転されたときに別の組のパターンと一致する
パターンを有する4組の内部信号パッドの組と、

上記担体の夫々のエッジに配置され、共通パッド配置を有する4組の外部信号パッドの
組と、

内部信号パッドの各組を対応した外部信号パッドの各組に接続し、上記対応した内部信
号パッドの組と外部信号パッドの組との間に接続性を生じさせる4組の電気経路の組とに
より構成され、

電気経路の各組は、上記電気経路の組と対応した内部信号パッド及び外部信号パッドと
が90°回転されたときに、別の電気経路の組として、関連した内部信号パッドと外部信
号パッドとの間に同じ接続性を生じさせ、

上記集積回路チップは上記中心領域の中の第1の領域の上に重なり、

上記第1の領域内のパッドの数は上記集積回路上のパッドの数の少なくとも2倍を上回

10

20

30

40

50

ることを特徴とする担体。

(付記7) 1個以上の集積回路チップを保持する汎用チップ担体において、

中心点及び周囲を有する中心領域、周辺部及び上記周辺部の4個のエッジを含み集積回路チップに相互連結する表面と、

上記表面の中心領域に設けられ、上記中心点に関して90°の回転対称性を有する第1のパターンに配置された4組の内部信号パッドであって、上記内部信号パッドは、上記集積回路チップとの間で信号の伝達を行うことが可能であり、上記内部信号パッドの第1の組の中の少なくとも10%は上記周囲よりも上記中心点の近くに配置され、上記内部信号パッドの各組は上記中心点に関して90°回転されたときに別の組のパターンと一致するパターンを有する4組の内部信号パッドの組と、

10

上記担体の夫々のエッジに配置され、共通パッド配置を有する4組の外部信号パッドの組と、

内部信号パッドの各組を対応した外部信号パッドの各組に接続し、上記対応した内部信号パッドの組と外部信号パッドの組との間に接続性を生じさせる4組の電気経路であって、上記電気経路の各組は、上記電気経路の組と対応した内部信号パッド及び外部信号パッドとが90°回転されたときに、別の電気経路の組として、関連した内部信号パッドと外部信号パッドとの間に同じ接続性を生じさせる4組の電気経路の組と、

上記中心点に関して90°の回転対称性を有する第2のパターンで上記中心領域に上記内部信号パッドと重ならないように配置され、第1の共通電位で互いに電氣的に接続され上記第1の共通電位を上記集積回路チップに伝達することができる第1の電源パッドの組と、

20

上記中心点に関して90°の回転対称性を有する第3のパターンで上記中心領域に上記内部信号パッド若しくは上記第1の電源パッドの組と重ならないように配置され、第2の共通電位で互いに電氣的に接続され上記第2の共通電位を上記集積回路チップに伝達することができる第2の電源パッドの組とにより構成されることを特徴とする担体。

(付記8) 1個以上の集積回路チップを保持する汎用チップ担体において、

中心点及び周囲を有する中心領域、周辺部及び上記周辺部の4個のエッジを含み集積回路チップに相互連結する表面と、

上記表面の中心領域に設けられ、上記中心点に関して180°の回転対称性を有する第1のパターンに配置された4組の内部信号パッドであって、上記内部信号パッドは、上記集積回路チップとの間で信号の伝達を行うことが可能であり、上記内部信号パッドの第1の組の中の少なくとも10%は上記周囲よりも上記中心点の近くに配置され、上記内部信号パッドの各組は上記中心点に関して90°回転されたときに別の組のパターンと一致するパターンを有する4組の内部信号パッドの組と、

30

上記担体の夫々のエッジに配置され、共通パッド配置を有する4組の外部信号パッドの組と、

内部信号パッドの各組を対応した外部信号パッドの各組に接続し、上記対応した内部信号パッドの組と外部信号パッドの組との間に接続性を生じさせる4組の電気経路の組と、

上記中心点に関して180°の回転対称性を有する第2のパターンで上記中心領域に上記内部信号パッドと重ならないように配置され、第1の共通電位で互いに電氣的に接続され上記第1の共通電位を上記集積回路チップに伝達することができ、少なくとも10%の電源パッドが上記中心領域の上記周囲よりも上記中心点の近くに配置されている第1の電源パッドの組と、

40

上記中心点に関して180°の回転対称性を有する第3のパターンで上記中心領域に上記内部信号パッド若しくは上記第1の電源パッドの組と重ならないように配置され、第2の共通電位で互いに電氣的に接続され上記第2の共通電位を上記集積回路チップに伝達することができ、少なくとも10%の電源パッドが上記中心領域の上記周囲よりも上記中心点の近くに配置されている第2の電源パッドの組とにより構成されることを特徴とする担体。

(付記9) マルチチップモジュール内の集積回路チップを相互連結する方法において、

50

集積回路チップに接続するため中心に配置された複数の第1のパッドと、周辺部に配置された複数の第2のパッドと、上記第1のパッドと上記第2のパッドの間の電気相互連結の書き込みパターンとを有する複数の同じタイプのチップ担体を配置し、

上記第2のパッドの中の選択された数のパッドで少なくとも2個の担体を相互連結する複数の担体間接続手段を配置し、

一つ以上の上記担体間接続手段を用いて各チップ担体を少なくとも1個の別のチップ担体と相互連結し、

各チップ担体内の上記第1のパッドの組の中で選択された数のパッドを、対応した集積回路チップ上の対応したパッドの組に接続し、選択された数のパッドと少なくとも1個の集積回路チップとの間にカスタム配線パターンを形成することによって、各集積回路チップへの信号の配線及び集積回路チップの間の信号の配線をカスタマイズするステップを有することを特徴とする方法。

【図面の簡単な説明】

【0088】

【図1】本発明による汎用マルチチップ相互連結システムの第1実施例の平面図である。

【図2】図1に示された本発明によるシステムの一部の部品の平面図である。

【図3】本発明による電源コネクタの一例の下側面の斜視図である。

【図4】図3に示された本発明による電源コネクタの一例の底面図である。

【図5】本発明によるブリッジ相互連結コネクタの一例の斜視図である。

【図6】図5に示された本発明によるブリッジ相互連結コネクタの可撓性信号層の平面図である。

【図7】図5に示された本発明によるブリッジ相互連結コネクタの断面図である。

【図8】本発明による第1実施例の信号配線パターンを実現する第1実施例の配線経路の組の平面図である。

【図9】図8に示された本発明による配線経路の組及び信号配線パターンを有する担体の一例の断面図である。

【図10】本発明による第2実施例の信号配線パターンを実現する第2実施例の配線経路の組の平面図である。

【図11】図8及び9に示された本発明による担体の一例の層の拡大斜視図である。

【図12】図11に示された本発明による層から選択された層の平面図である。

【図13】図11に示された本発明による層から選択された層の平面図である。

【図14】本発明による電源パッド及び接地パッドの4通りの対称的な配置例の平面図である。

【図15】本発明による電源パッド及び接地パッドの4通りの異なる対称的な配置例の平面図である。

【図16】本発明による電源パッド及び接地パッドの4通りの異なる対称的な配置例の平面図である。

【図17】本発明による信号パッド、電源パッド及び接地パッドの第2実施例の配置の平面図である。

【図18】図17に示された本発明による配置を使用する電源パッド及び接地パッドの4通りの対称的な配置の平面図である。

【図19】本発明による信号パッド、電源パッド及び接地パッドの第3実施例の配置の平面図である。

【図20】本発明によるチップ担体間の相互連結経路の形成の例を示す2個の汎用チップ担体の内部パッドアレイとブリッジコネクタの平面図である。

【図21】本発明に従って2個の担体間に形成された経路の端の場所を示す図20の2個の隣接したチップ担体の内部パッドアレイの平面図である。

【図22】本発明に従ってチップの間を伝搬する信号の入口ポイント及び出口ポイントと信号ポイントの中心とを示すチップの裏側からみた2個の例示的なチップの平面図である。

【図23】本発明に従って図22に示された2個のチップの信号中心が互いに接近するよ

10

20

30

40

50

う再配置された平面図である。

【図 2 4】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 2 5】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 2 6】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 2 7】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 2 8】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。 10

【図 2 9】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 3 0】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 3 1】本発明による共通チップ配置の競合及び競合の解消を示すチップの種々のレイアウトの平面図である。

【図 3 2】本発明に従って共通チップを通過し隣接したチップ担体の上に端を有する経路の形成を説明するためのチップ担体及び 3 個の隣接した担体の内部パッドアレイの平面図である。 20

【図 3 3】システム内で動作するために必要とされる相互連結パッドを具備したチップの一例を示す図である。

【図 3 4】本発明による汎用的なシステム 1 0 0 の第 2 実施例を示す図である。

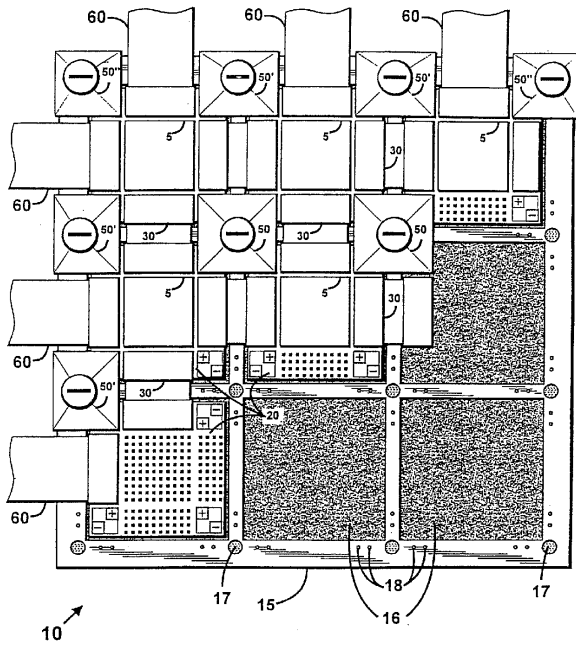
【符号の説明】

【 0 0 8 9 】

5	集積回路チップ	
1 0	汎用マルチチップ相互連結システム	
1 5	主基板	
1 6	凹部	
1 7	アパーチャ	30
1 8	電源プラグ	
2 0	汎用チップ担体	
2 2	内部パッドアレイ	
2 4	外部パッドアレイ	
3 0	相互連結コネクタ	
5 0	電源コネクタ	
5 0 ′	サイド電源コネクタ	
5 0 ″	コーナー電源コネクタ	
5 1	ねじ留め金具	
6 0	外部相互連結コネクタ	40

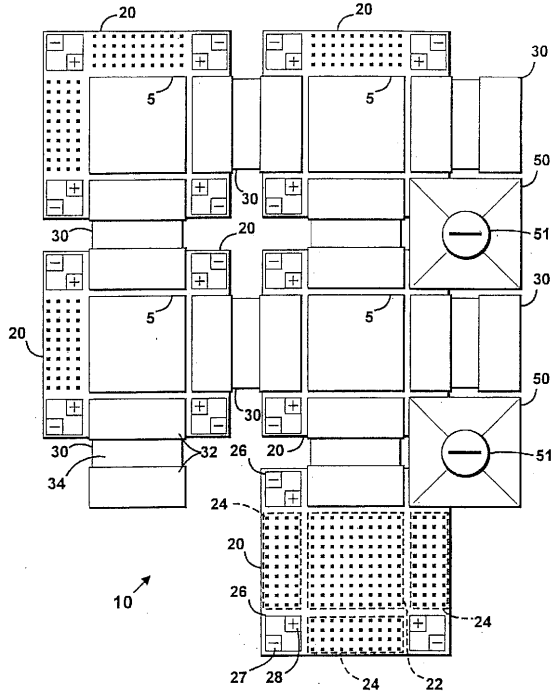
【図1】

本発明による汎用マルチチップ相互連結システムの第1実施例の平面図



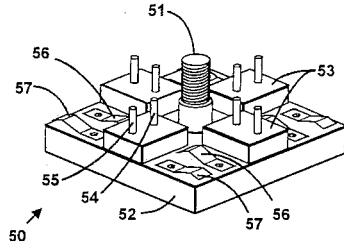
【図2】

本発明による汎用マルチチップ相互連結システムの第1実施例の部分拡大図



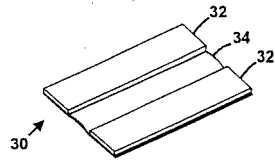
【図3】

本発明による電源コネクタの一例の下側面の斜視図



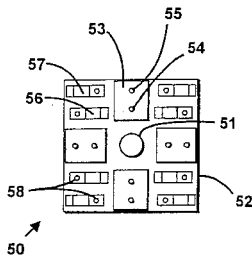
【図5】

本発明によるブリッジ相互連結コネクタの一例の斜視図



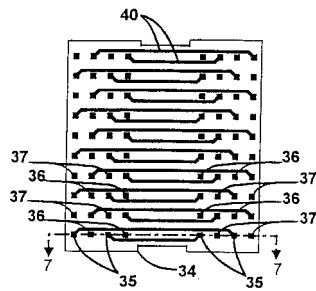
【図4】

本発明による電源コネクタの一例の下面図



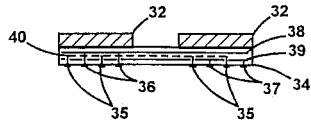
【図6】

本発明によるブリッジ相互連結コネクタの一例の平面図



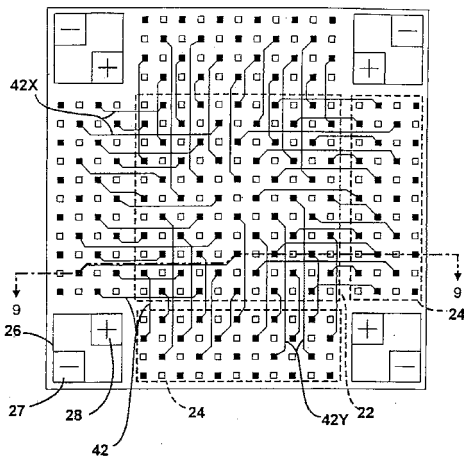
【図7】

本発明によるブリッジ相互連結コネクタの一例の断面図



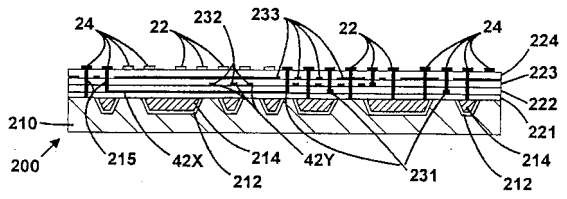
【図8】

本発明による配線経路の組の第1実施例の平面図



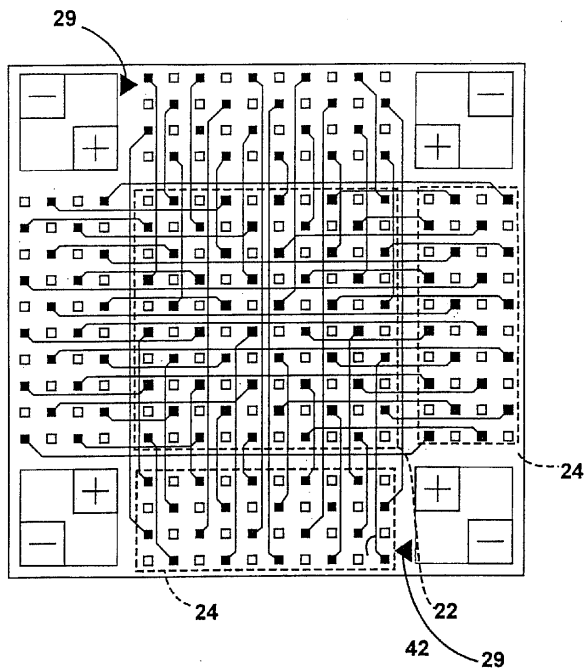
【図9】

本発明の第1実施例による信号配線パターンを備えた担体の断面図



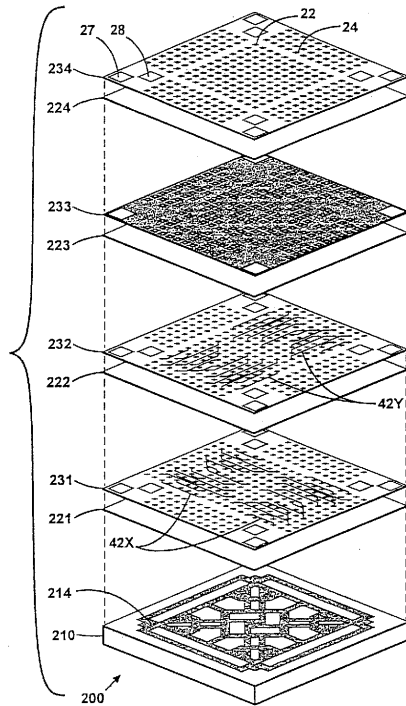
【図10】

本発明による配線経路の組の第2実施例の平面図



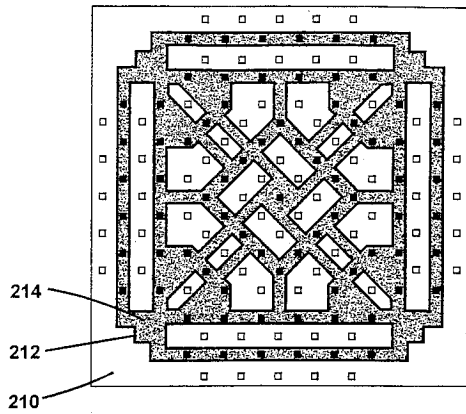
【図11】

本発明の一実施例による担体の層の拡大斜視図



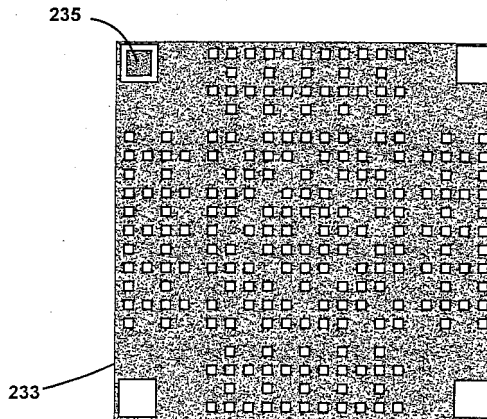
【図12】

本発明の一実施例による基板と電源グリッドの平面図



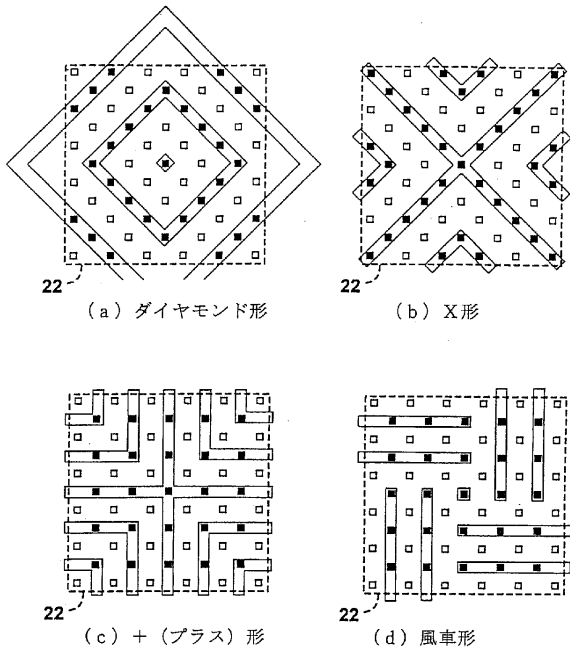
【図13】

本発明の一実施例による交流接地面の平面図



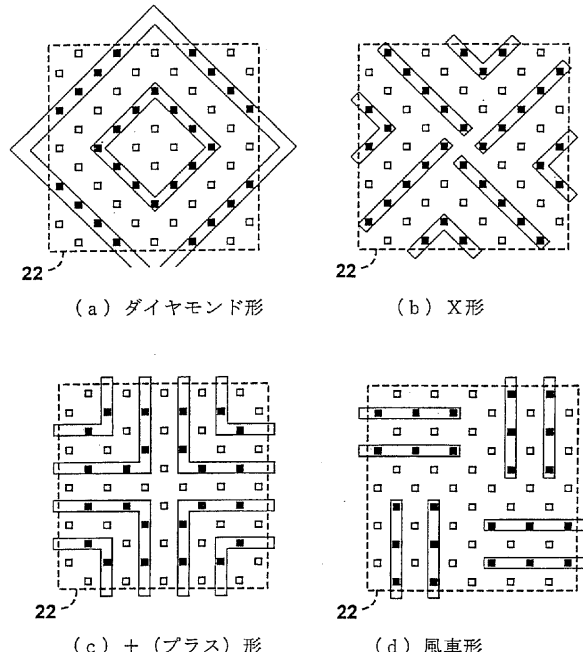
【図14】

本発明による電源パッド及び接地パッドの配置例



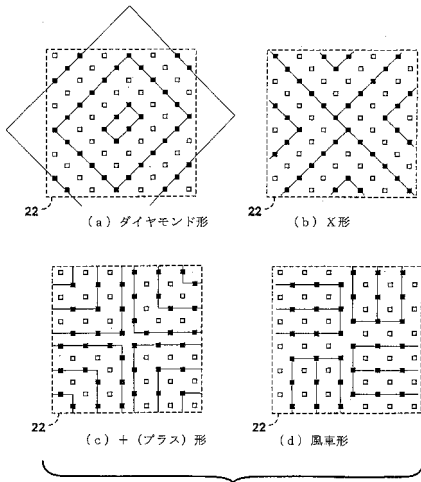
【図15】

本発明による電源パッド及び接地パッドの更なる配置例



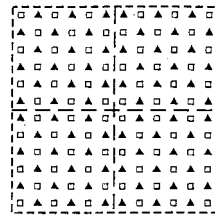
【図16】

本発明による電源パッド及び接地パッドの異なる配置例



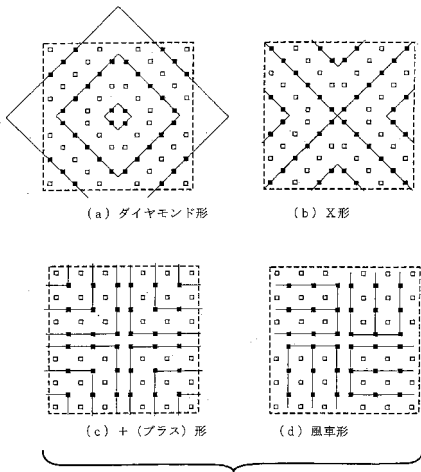
【図17】

変形されたパターン配置図



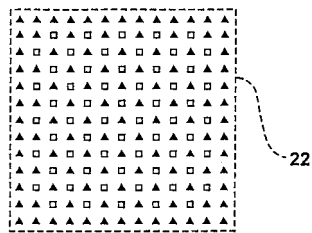
【図18】

本発明による電源パッド及び接地パッドの別の配置例



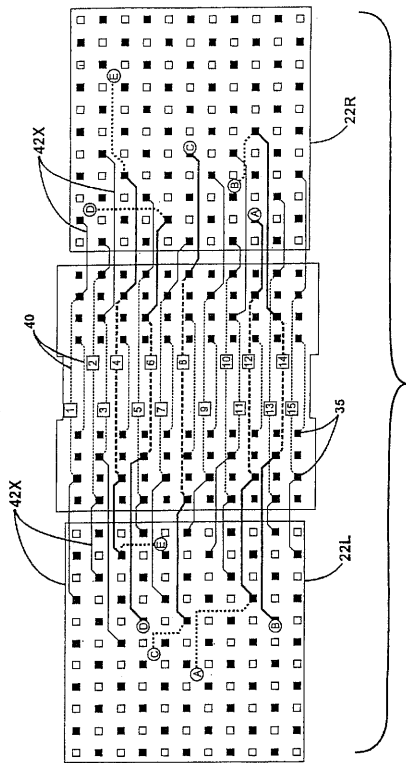
【図19】

本発明による信号パッド、電源パッド及び接地パッドの第3実施例の配置図



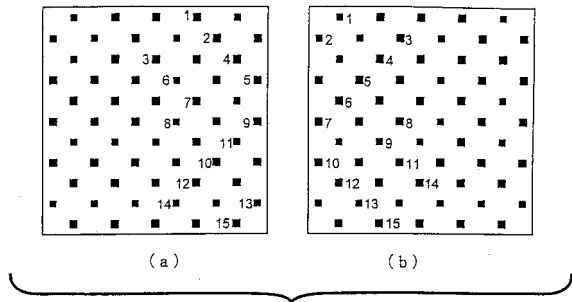
【図20】

本発明によるチップ担体間の相互連結経路の列を示す平面図



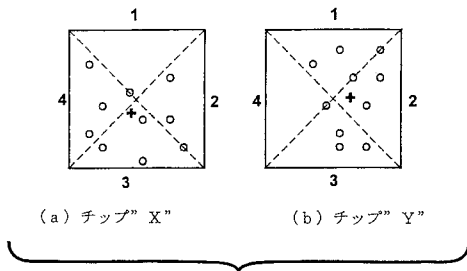
【図21】

本発明によるチップ担体間の相互連結経路の端を示す平面図



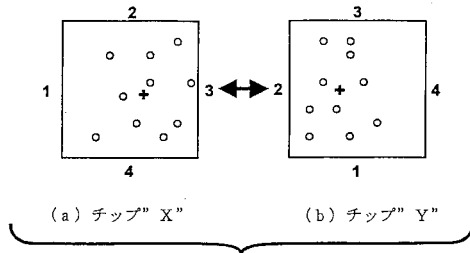
【図22】

本発明によるチップ間を通る信号の入口ポイントと出口ポイントを示す平面図



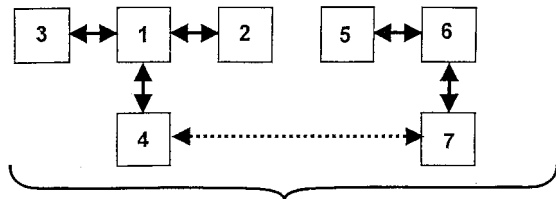
【図23】

本発明に従って信号中心が接近するよう配置されたチップの平面図



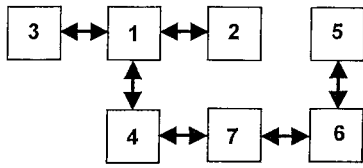
【図24】

本発明によるチップ配置の競合と競合解消の説明図



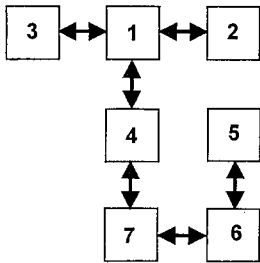
【図 25】

本発明によるチップ配置の競合と競合解消の説明図



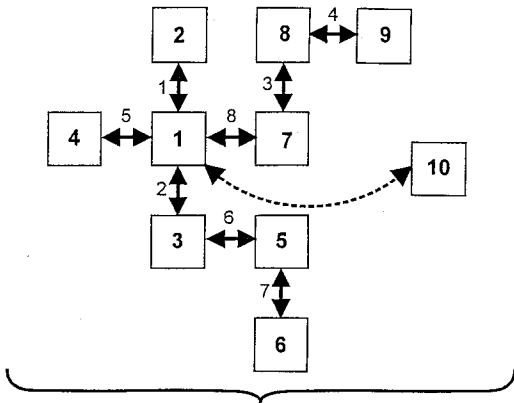
【図 26】

本発明によるチップ配置の競合と競合解消の説明図



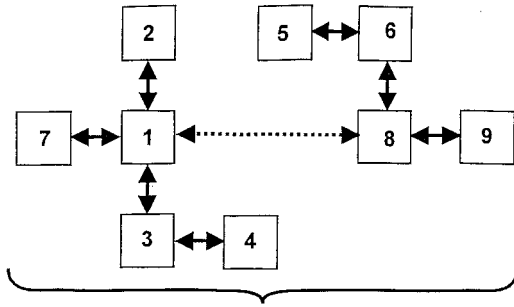
【図 29】

本発明によるチップ配置・競合と競合解消の説明図



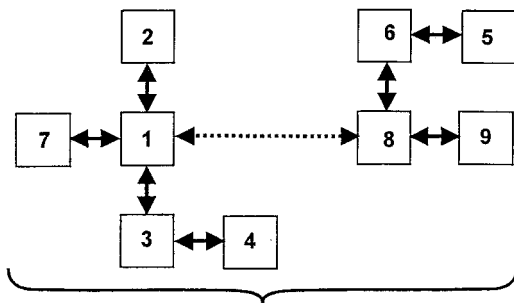
【図 27】

本発明によるチップ配置の競合と競合解消の説明図



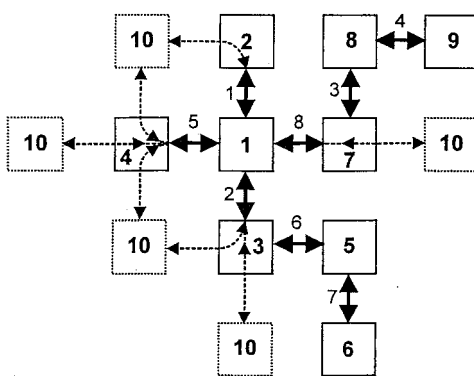
【図 28】

本発明によるチップ配置の競合と競合解消の説明図



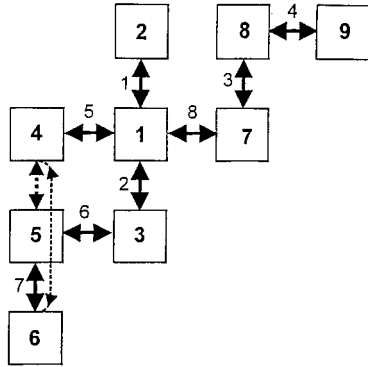
【図 30】

本発明によるチップ配置・競合と競合解消の説明図



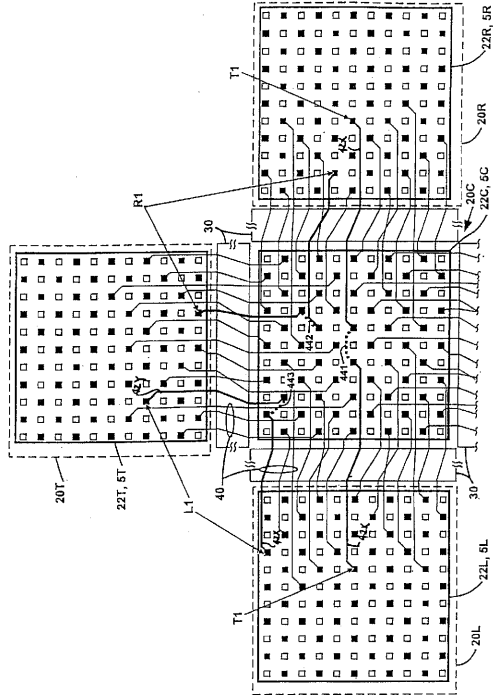
【図 3 1】

本発明によるチップ配置の競合と競合解消の説明図



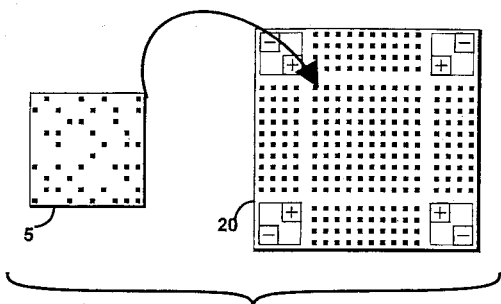
【図 3 2】

本発明による信号通過経路の配線を説明する
内部パッドアレイの平面図



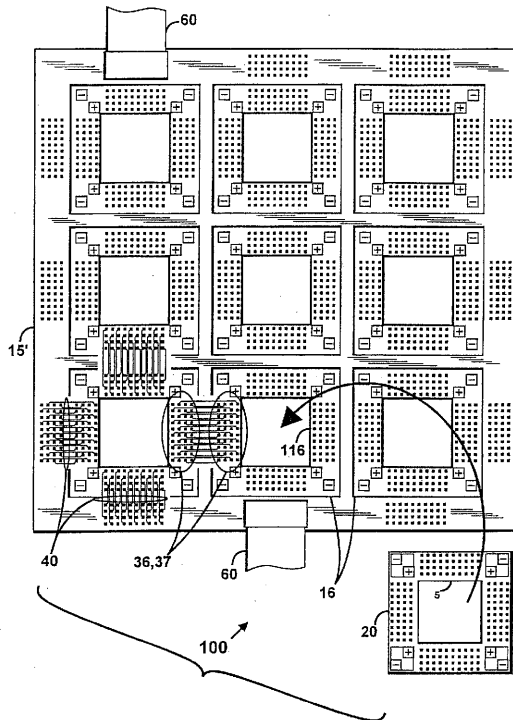
【図 3 3】

必要な相互連結パッドを具備したチップの例



【図 3 4】

本発明による汎用的なシステムの第 2 実施例の平面図



フロントページの続き

(56)参考文献 特開2000-68404(JP,A)
特開平9-298217(JP,A)
特開平10-150120(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12
H01L 25/04
H01L 25/18