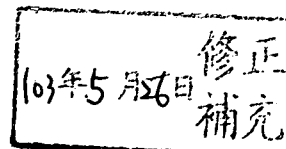


(此處由本局於收
文時黏貼條碼)



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096134749

※ 申請日期：2007/9/17

※IPC 分類：

一、發明名稱：(中文/英文)

解譯串列傳輸訊號之方法

Method for Decrypting Serial Transmission Signal

二、申請人：(共1人)

姓名或名稱：(中文/英文)

宏達國際電子股份有限公司

HTC Corporation

代表人：(中文/英文) 王雪紅 Cher Wang

住居所或營業所地址：(中文/英文)

桃園市龜山工業區興華路 23 號

No. 23, Xinghua Rd., Taoyuan City, Taoyuan County 330, Taiwan

(R.O.C.)

國 籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共3人)

姓 名：(中文/英文)

1. 黃瓊輝 HUANG, DAVID

2. 李吉豐 LEE, CHI-FENG

3. 周修宏 CHOU, HSIU-HUNG

國 籍：(中文/英文)

1. 中華民國 (R.O.C.)

2. 中華民國 (R.O.C.)

3. 中華民國 (R.O.C.)

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：(中文案件名稱：解譯串列傳輸訊號之方法)

一種解譯串列傳輸訊號之方法。此方法包括，首先，接收串列傳輸訊號，串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。然後，依據串列時脈訊號從串列資料訊號依序讀取 m 個位元。接著，依序產生對應至 m 個位元之數值。之後，依序將每一數值與一暫存器中之一內容值做加法運算，並將加法運算後之結果取代內容值並儲存於暫存器中。

六、英文發明摘要：(英文案件名稱：Method for Decrypting Serial Transmission Signal)

A method for decrypting a serial transmission signal includes the following steps. First, the serial transmission signal, including a serial data signal and a serial clock signal, is received. Next, m bits are sequentially read out from the serial data signal according to the serial clock signal. Then, digital values corresponding to the m bits are generated sequentially. Afterwards, each digital value is respectively added to a content value of a register by an addition operation, and then replaces the content value with the addition result and stores the addition result to the register.

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種解譯串列傳輸訊號之方法，且特別是有關於一種快速解譯串列傳輸訊號之方法。

【先前技術】

串列傳輸技術係被廣泛地應用於傳送端及接收端之間，其中，兩者之間的串列傳輸訊號包括串列資料訊號及串列時脈訊號。請參照第 1 圖，其繪示乃傳統串列傳輸訊號之示意圖。串列傳輸訊號包括串列資料訊號 Data 及串列時脈訊號 SCK。串列資料訊號 Data 包括多個位元，例如為指令(command)位元、位址(address)位元、資料位元或特殊位元。特殊位元例如為起始位元(start)、回應位元(ack)或停止位元(stop)等。串列時脈訊號 SCK 包括多個時序脈衝，每一個時序脈衝係被利用而以邊緣觸發或準位觸發的方式讀取串列資料訊號 Data 之一個位元。

請參照第 2 圖，其繪示乃傳統解譯串列傳輸訊號之方法之流程圖。首先，於步驟 210 中，接收一串列傳輸訊號，此串列傳輸訊號包括一串列資料訊號及一串列時脈訊號，串列時脈訊號包括多個時序脈衝。接著，於步驟 220 中，利用邊緣觸發或準位觸發之方式，依據此些時序脈衝觸發中斷服務常式(interrupt service function)，以從串列資料訊號讀取相對應之位元。

請參照第 1 圖，接收端之一主程式於串列時脈訊號

SCK 之一個時序脈衝之正緣(時間 t_1)觸發中斷服務常式，此時主程式會先對程式位址進行推入堆疊(push)，然後執行中斷服務常式並跳躍(jump)，才得以進入至一子程式以進行讀取的動作。之後，於同一個時序脈衝之負緣(時間 t_2)前讀取完相對應之位元，再彈出堆疊(pop)程式位址以跳躍回原先之主程式。

然後，於步驟 230 中，辨識所接收之位元係屬於指令位元、位址位元、資料位元或特殊位元，並利用旋入(rotate)的方式將所接收之位元儲存至一暫存器中相對應之位置。請參照第 3 圖，其繪示乃傳統利用旋入的方式將資料儲存至暫存器之示意圖。若接收端係接收 13 個資料位元為一資料位元組，則暫存器 300 例如為一 13 位元大小之暫存器且暫存器 300 內之值原為 $(0\ 0\ 0\cdots 0\ 0)_2$ 。

若此資料位元組例如為 $(b_{12}\ b_{11}\ b_{10}\cdots b_1\ b_0)_2 = (1\ 0\ 1\cdots 1\ 0)_2$ ，則此 13 個資料位元會藉由旋入的方式依序存入暫存器 300 中相對應之位置。首先，位元 b_{12} 先儲存入記憶單元 a_0 。然後，儲存於記憶單元 a_0 係接著被平移至記憶單元 a_1 以完成第一次的旋入動作。之後，儲存於記憶單元 a_1 之位元 b_{12} 係接著被平移至記憶單元 a_2 以完成第二次的旋入動作。經由 12 次之旋入動作之後，位元 $b_{12}(=1)$ 會被儲存於記憶單元 a_{12} 。之後，利用 11 次旋入指令，位元 $b_{11}(=1)$ 會被儲存至記憶單元 a_{10} 。之後，利用 1 次旋入指令，位元 $b_1(=1)$ 被儲存於記憶單元 a_1 。而位元 $b_0(=0)$ 則儲存於記憶單元 a_0 中。

每儲存一個位元，於步驟 240 中，接收端會判斷是否儲存完畢。若未儲存完畢，則回到步驟 220 以繼續讀取後續之位元。若儲存完畢，則進入步驟 250。於步驟 250 中，接收端會解譯儲存於暫存器中之位元組，並執行相對應之處理動作。

上述之傳統解譯串列傳輸訊號之方法，於步驟 220 中需對程式位址進行推入堆疊才得以觸發中斷服務常式並跳躍至子程式，又需再經過彈出堆疊才得以跳躍回主程式。因此，接收端之處理器往往要花很多個系統時脈週期，方能完成接收一個位元的動作。故若串列傳輸訊號之位元數越多，且傳輸速度之要求越快時，會導致接收端之處理器的運算負擔越高，而影響到處理器的效能。此外，若串列傳輸訊號之位元數越多，則於步驟 230 所需執行之旋入指令次數亦越多，同樣提高了處理器之運算負擔。同時，亦將使得成本增加且接收端之處理器之消耗功率上升。

【發明內容】

本發明係有關於一種解譯串列傳輸訊號之方法，不須使用中斷服務常式而得以於串列時脈訊號之一個週期內讀取一個位元，且利用加法運算以儲存所接收之位元，故能快速解譯串列傳輸訊號，同時可減少處理器之運算負擔並減少處理器之消耗功率。

根據本發明之第一方面，提出一種解譯串列傳輸訊號

之方法。此方法包括，首先，接收串列傳輸訊號，串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。然後，依據串列時脈訊號從串列資料訊號依序讀取 m 個位元。接著，依序產生對應至 m 個位元之數值。之後，依序將每一數值與一暫存器中之一內容值做加法運算，並將加法運算後之結果取代內容值並儲存於暫存器中。

根據本發明之第二方面，提出一種解譯串列傳輸訊號之方法，應用於一接收端。此方法包括，首先，接收串列傳輸訊號，串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。然後，判斷串列時脈訊號之邏輯準位是否等於一預設值。接著，當串列時脈訊號之邏輯準位為預設值時，從串列資料訊號讀取一個位元。之後，儲存此位元於一暫存器中。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明提供一種解譯串列傳輸訊號之方法，不須使用中斷服務常式而得以於串列時脈訊號之週期內讀取位元，再利用加法運算將所接收位元存入暫存器中相對應之位置，可減少接收端之運算負擔及功率消耗，故能快速解譯串列傳輸訊號且降低接收端之成本。

第一實施例

請參照第 4 圖，其繪示乃依照本發明第一實施例之解譯串列傳輸訊號之方法之流程圖。此方法係應用於一接收端。接收端係依照此串列傳輸訊號之協定來解譯各個欄位中之資料。此協定例如為 SPI (Serial Peripheral Interface)，I2C (Inter-Integrated Circuit)，UART(universal asynchronous receiver/transmitter) 等串列傳輸介面之協定。

首先，於步驟 410 中，接收一串列傳輸訊號，此串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。然後，於步驟 420 中，依據串列時脈訊號從串列資料訊號依序讀取 m 個位元， m 為正整數。此 m 個位元例如為位址位元組、或資料位元組。此外，於步驟 420，接收端可以根據串列時脈訊號所包含之時序脈衝，利用邊緣觸發或準位觸發之方式，以從串列資料訊號讀取位元，然並不限於此。

接著，於步驟 430 中，依序產生對應至 m 個位元之數值，並將 m 個數值進行加法運算後之結果儲存於一暫存器中。茲將 m 個數位值進行加法運算之作法以下列二個例子做進一步之說明之。加法運算之作法的第一例為利用算數加法(ADD)運算，假定此第一欄位之 m 個位元依序為 b_m 、 b_{m-1} 、 $b_{m-2}\cdots b_1$ 、 b_0 ，當讀取到 b_m 的值為邏輯 1 時，將數值 2^m 加入暫存器之內容值中，當讀取到 b_{m-1} 、 $b_{m-2}\cdots b_1$ 、 b_0 的值為邏輯 1 時，則分別將數值 2^{m-1} 、 $2^{m-2}\cdots$ 、 2^1 、 2^0 加入暫存器之內容值中。

此外，除了如第一例之利用數值相加之外，亦可以利

用邏輯加法(AND)運算來儲存此 m 個位元。加法運算之作法的第二例為利用邏輯加法(AND)運算，當讀取到 b_m 的值為邏輯 1 時，將 $(1\ 0\ 0\cdots 0\ 0)_2$ 加入暫存器之內容值中，當讀取到 b_{m-1} 、 $b_{m-2}\cdots b_1$ 、 b_0 的值分別為邏輯 1 時，則分別將數值 $(0\ 1\ 0\cdots 0\ 0)_2$ 、 $(0\ 0\ 1\cdots 0\ 0)_2$ 、 $\cdots(0\ 0\ 0\cdots 1\ 0)_2$ 、 $(0\ 0\ 0\cdots 0\ 1)_2$ 加入暫存器之內容值中。如此一來，不須多次的旋入指令即可儲存此 m 個位元於暫存器中，減少接收端之運算負擔。而且，每個位元所需的加法運算的次數都是一樣的，不會像傳統作法般，不同位置的位元所對應之旋入次數是不相同的。

再來，於步驟 440 中，判斷此 m 個位元是否儲存完畢。若未儲存完畢，則回到步驟 420，以繼續讀取剩下之位元。若儲存完畢，則於步驟 450 中，送出一第一回應位元至一傳送端。

第二實施例

請參照第 5 圖，其繪示乃依照本發明第二實施例之解譯串列傳輸訊號之方法之流程圖。此方法係應用於一接收端。接收端係依照串列傳輸訊號之協定來解譯各個欄位中之位元資料。首先，於步驟 510 中，接收一串列傳輸訊號，此串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。

接著，於步驟 515 中，判斷串列時脈訊號之邏輯準位是否為 "1"。然後，於步驟 520 中，當串列時脈訊號之邏輯準位為該預設值時，從串列資料訊號讀取一個位元。

此位元例如為一位址位元組之一位元、或一資料位元組之一位元。

本實施例中，此方法係於接收端不使用中斷服務常式的方式來於一串列時脈週期內從串列資料訊號讀取一位元。亦即，於接收端之主程式的程式碼中，即包含了從串列資料訊號讀取資料位元的程式碼。此主程式例如係由接收端之一處理器來執行，且處理器的系統時脈訊號的頻率係高於上述之串列時脈訊號之頻率。因此，主程式可以在系統時脈訊號的控制之下，於一個串列時脈週期內，直接執行讀取串列資料訊號的動作。處理器不需執行中斷處理，即可完成讀取串列資料訊號的動作。

與傳統作法之需要呼叫中斷服務常式，使處理器進行中斷處理的作法相較，本實施例省去了傳統之將程式位址進行推入堆疊、跳躍、將程式位址彈出堆疊等動作，故可有效地減少處理接收資料之等待的時間，使得接收資料的速度變快。

此外，由於傳統作法中，串列時脈訊號之正緣與負緣皆會觸發中斷服務常式，故傳統作法必須在串列時脈訊號之一個正緣及相鄰的一個負緣之間完成讀取資料之一個位元的動作。由於本實施例不需執行中斷服務常式，故不需要如傳統一般在串列時脈訊號之一個時序脈衝的正緣及負緣間(通常為半個串列時脈週期)完成讀取一個位元之資料的動作，故本實施例僅需於一個串列時脈週期中將一位元的資料讀取完畢即可。因此，本實施例有較充裕之

讀取一個位元之資料的時間。甚且，於串列時脈訊號之一個串列時脈週期內，讀取一個位元之資料後的剩餘時間，主程式更可以執行相關於所讀取之位元之資料的相關處理動作，相對應地提高了接收端的效能。

之後，於步驟 530 中，儲存此位元於暫存器中。

第三實施例

請參照第 6 圖，其繪示乃依照本發明第三實施例之解譯串列傳輸訊號之方法之流程圖。本實施例主要是結合第一實施例與第二實施例而得。首先，於步驟 610 中，接收一串列傳輸訊號，此串列傳輸訊號包括一串列資料訊號及一串列時脈訊號。接著，於步驟 620 中，依據串列時脈訊號之邏輯準位從串列資料訊號讀取 m 個位元， m 為正整數，一個串列時脈週期係對應至一個位元。此 m 個位元例如為位址位元組、或資料位元組。於步驟 620 中，接收端不用觸發中斷服務常式即可以於一串列時脈週期內從串列資料訊號讀取一位元之資料。

然後，於步驟 630 中，依序產生對應至 m 個位元之數值，並將 m 個數值進行算數加法運算(ADD)或邏輯加法運算(AND)處理後之結果儲存於一暫存器中。於步驟 640 中，判斷此 m 個位元是否儲存完畢。若未儲存完畢，則回到步驟 620，以繼續讀取剩下之位元。若儲存完畢，則於步驟 650 中，送出一第一回應位元至一傳送端。

本發明上述實施例所揭露之解譯串列傳輸訊號之方法，由於接收端預先設定所將接收之串列資料訊號之位元之欄位，故接收端不須使用中斷服務常式、推入堆疊或跳躍等指令，不須等待即得以於串列時脈訊號之串列時脈週期內讀取一個位元之資料。另外，由於不需一定得於串列時脈訊號之時序脈衝的一個正緣及相鄰之一個負緣間完成讀取，故接收端尚可利用一個串列時脈週期內之剩餘的時間來執行相關的處理動作，相對應地提高接收端的效能。

此外，本發明之解譯串列傳輸訊號之方法更利用加法運算將所接收之位元資料直接存入暫存器中相對應之位置，省略了大量的旋入指令，減少接收端之運算負擔及功率消耗，故能快速解譯串列傳輸訊號且降低接收端之成本與功率損耗。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示傳統串列傳輸訊號之示意圖。

第 2 圖繪示傳統解譯串列傳輸訊號之方法之流程圖。

第 3 圖繪示傳統利用旋入的方式將資料儲存至暫存器之示意圖。

第 4 圖繪示依照本發明第一實施例之解譯串列傳輸訊號之方法之流程圖。

第 5 圖繪示依照本發明第二實施例之解譯串列傳輸訊號之方法之流程圖。

第 6 圖繪示依照本發明第三實施例之解譯串列傳輸訊號之方法之流程圖。

【主要元件符號說明】

300：暫存器

十、申請專利範圍：

1. 一種解譯串列傳輸訊號之方法，包括：

接收該串列傳輸訊號，該串列傳輸訊號包括一串列資料訊號及一串列時脈訊號；

依據該串列時脈訊號從該串列資料訊號依序讀取 m 個位元；

依序產生對應至該 m 個位元之數值；

依序將所產生對應至該 m 個位元之每一數值與一暫存器中之一內容值做加法運算，並將該加法運算後之結果取代該內容值並儲存於該暫存器中；

判斷該 m 個位元是否儲存完畢；以及

當該 m 個位元儲存完畢，送出一第一回應位元至一傳送端，並解譯儲存於該暫存器中之該 m 個位元，以執行相對應之處理動作。

2. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中，該加法運算係為一算數加法(ADD)運算，且該 m 個位元依序為 b_m 、 b_{m-1} 、 $b_{m-2} \cdots b_1$ 、 b_0 ，當讀取到 b_m 的值為邏輯 1 時，將數值 2^m 加入該暫存器之內容值中，當讀取到 b_{m-1} 、 $b_{m-2} \cdots b_1$ 、 b_0 的值分別為邏輯 1 時，則分別將數值 2^{m-1} 、 $2^{m-2} \cdots 2^1$ 、 2^0 加入該暫存器之內容值中。

3. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中，該加法運算係為一邏輯加法(AND)運算，且該 m 個位元依序為 b_m 、 $b_{m-1} \cdots b_1$ 、 b_0 ，當讀取到 b_m 的值為邏輯 1 時，將 $(1\ 0\ 0 \cdots 0\ 0)_2$ 加入該暫存器之內容值中，

當讀取到 b_{m-1} 、 $b_{m-2}\cdots b_1$ 、 b_0 的值分別為邏輯 1 時，則分別將數值 $(0\ 1\ 0\cdots 0\ 0)_2$ 、 $(0\ 0\ 1\cdots 0\ 0)_2$ 、 $\cdots(0\ 0\ 0\cdots 1\ 0)_2$ 、 $(0\ 0\ 0\cdots 0\ 1)_2$ 加入該暫存器之內容值中。

4. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中，該暫存器之內容值之初始值為 0。

5. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中，該方法係由一接收端於不使用中斷服務常式的情況下所執行，該接收端之一主程式係於該串列時脈訊號之一個串列時脈週期內讀取一個位元。

6. 如申請專利範圍第 5 項所述之解譯串列傳輸訊號之方法，其中該主程式係於該個串列時脈週期內更執行相關於所讀取之位元的相關處理動作。

7. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中該 m 個位元係為位址位元組。

8. 如申請專利範圍第 1 項所述之解譯串列傳輸訊號之方法，其中該 m 個位元係為資料位元組。

9. 一種解譯串列傳輸訊號之方法，應用於一接收端，該方法包括：

接收該串列傳輸訊號，該串列傳輸訊號包括一串列資料訊號及一串列時脈訊號；

判斷串列時脈訊號之邏輯準位是否等於一預設值；

當串列時脈訊號之邏輯準位為該預設值時，從該串列資料訊號讀取一個位元；

產生對應至該個位元之一數值；

將對應至該個位元之該數值與一暫存器中之一內容值做加法運算，並將該加法運算後之結果取代該內容值並儲存於該暫存器中；以及

當該暫存器儲存完 m 個位元，送出一第一回應位元至一傳送端，並解譯儲存於該暫存器中之該 m 個位元，以執行相對應之處理動作。

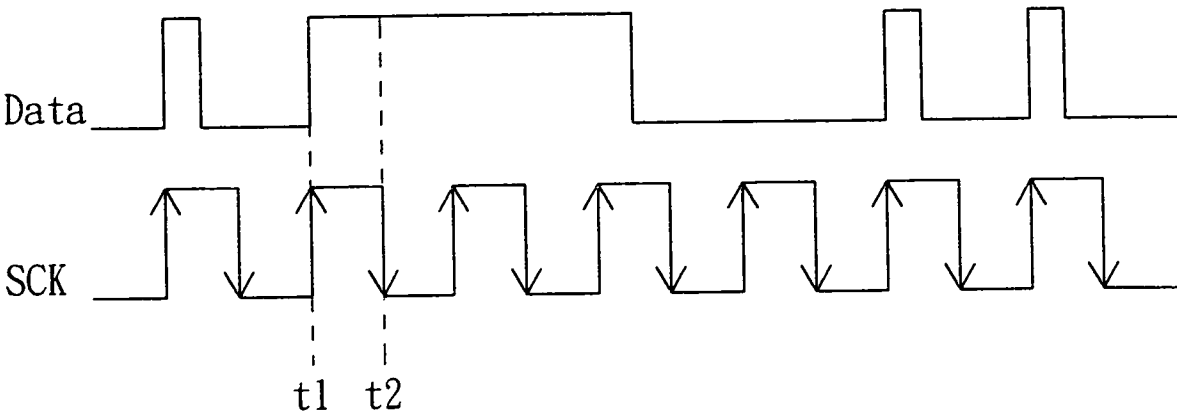
10. 如申請專利範圍第 9 項所述之解譯串列傳輸訊號之方法，其中，該加法運算係為一算數加法(ADD)運算。

11. 如申請專利範圍第 9 項所述之解譯串列傳輸訊號之方法，其中，該加法運算係為一邏輯加法(AND)運算。

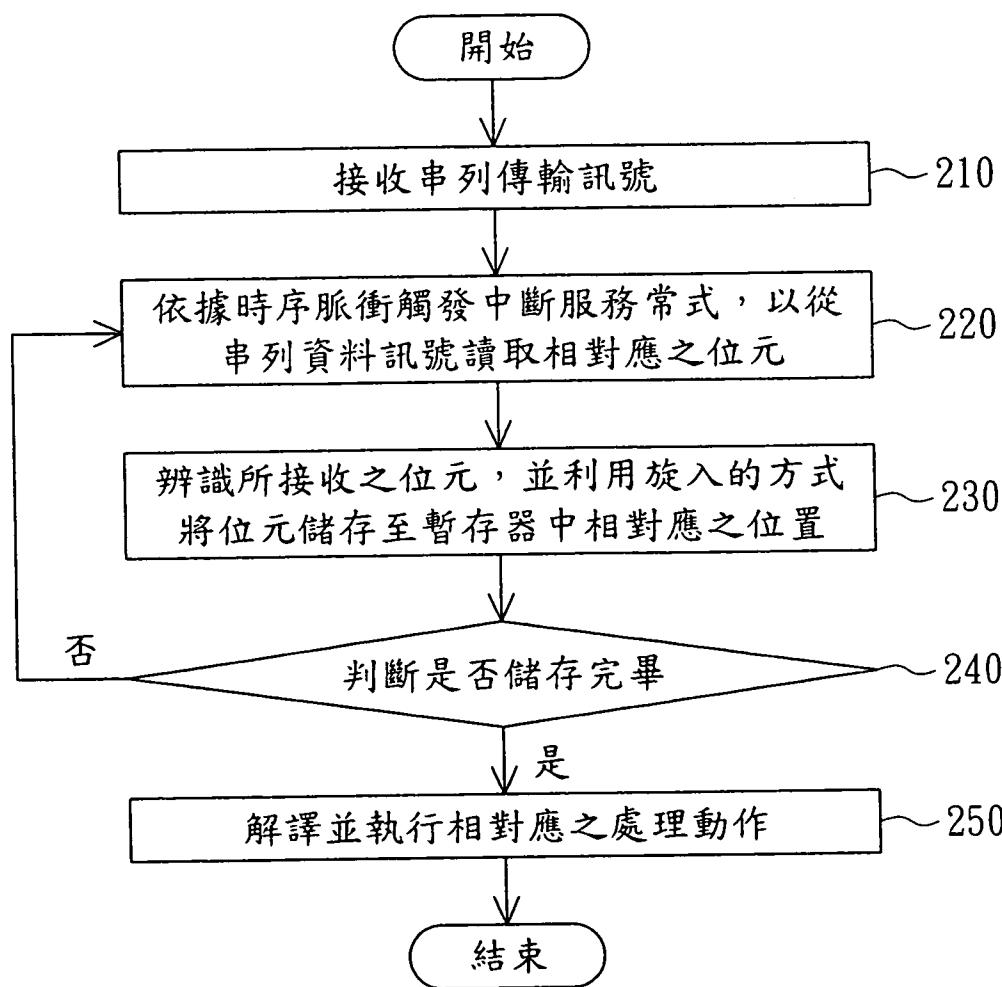
12. 如申請專利範圍第 9 項所述之解譯串列傳輸訊號之方法，其中該串列時脈訊號之週期係為該串列時脈訊號一次致能期間及一次非致能期間之和。

13. 如申請專利範圍第 9 項所述之解譯串列傳輸訊號之方法，其中該 m 個位元係為一位址位元組，且該個位元係為該位址位元組中之一位元。

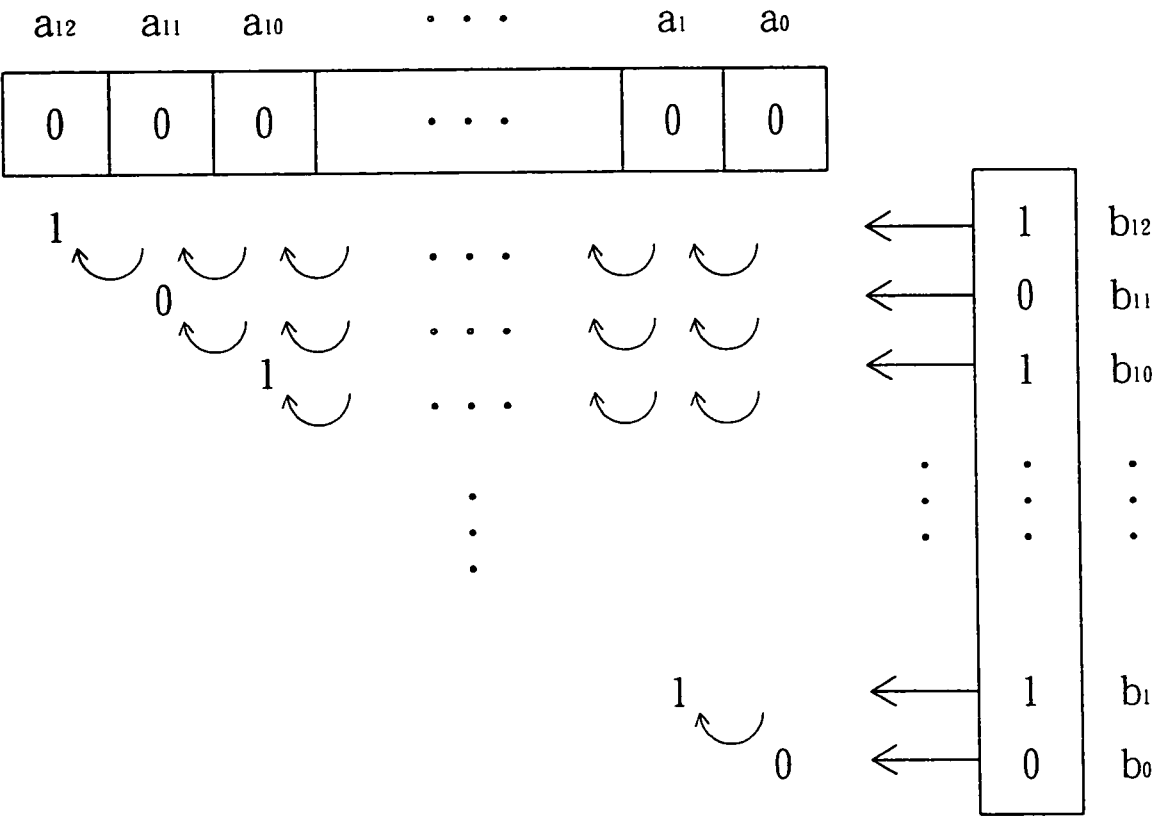
14. 如申請專利範圍第 9 項所述之解譯串列傳輸訊號之方法，其中該 m 個位元係為一資料位元組，且該個位元係為該資料位元組中之一位元。



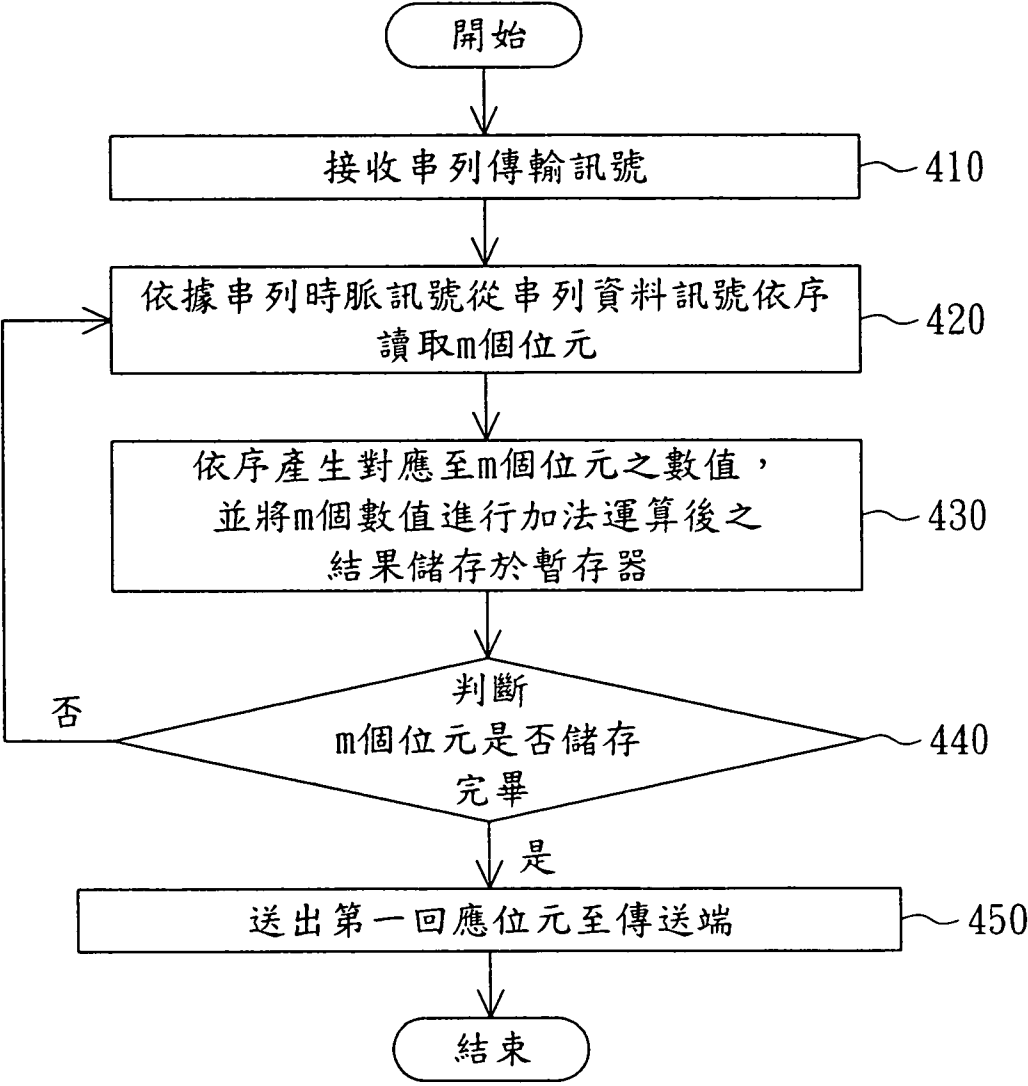
第 1 圖(習知技藝)



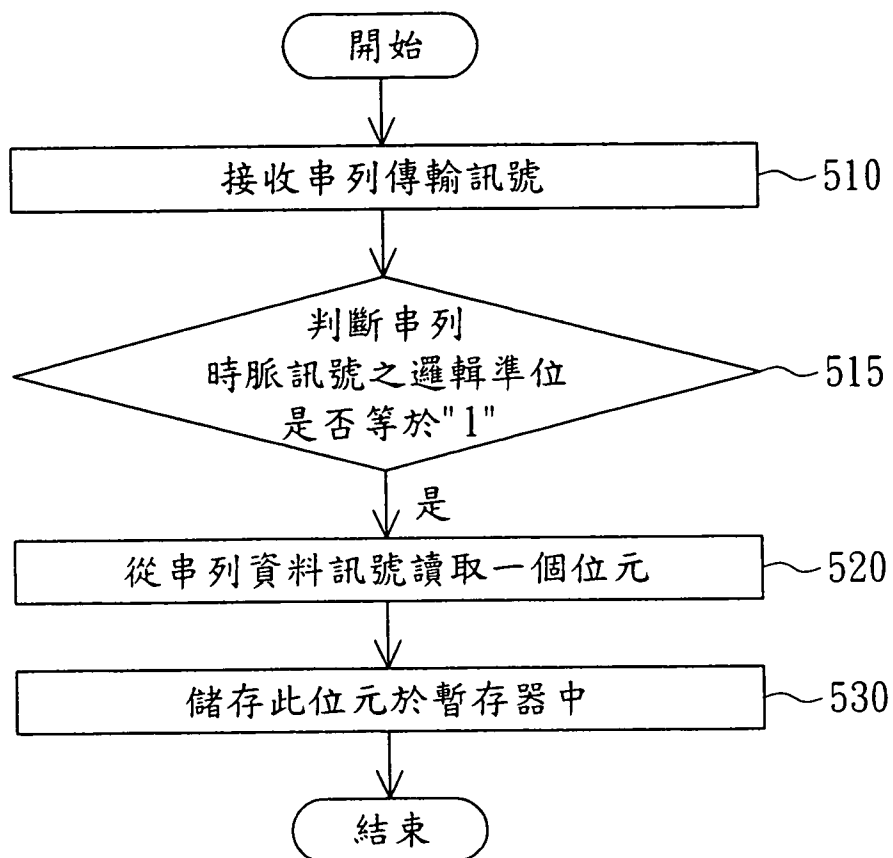
第 2 圖(習知技藝)



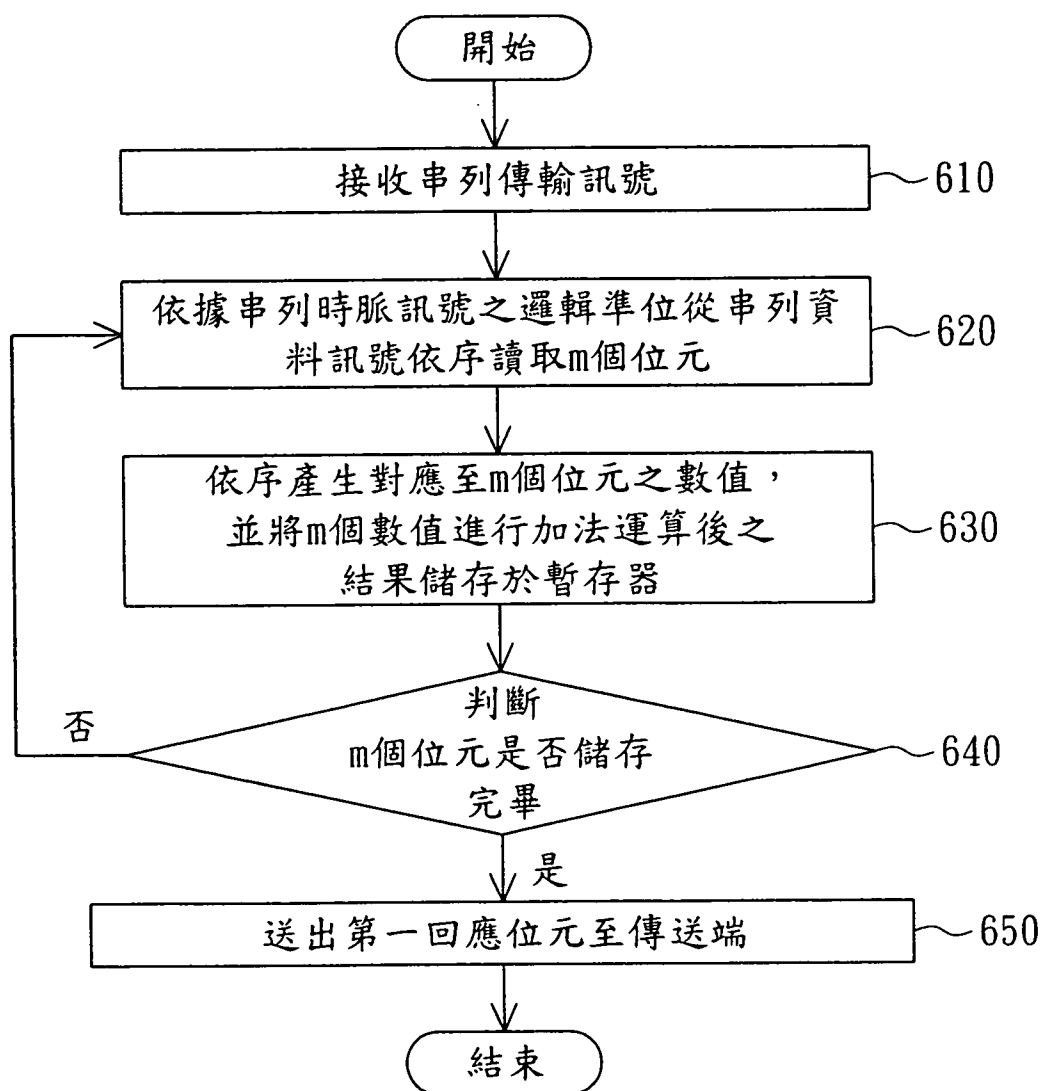
第 3 圖(習知技藝)



第 4 圖



第 5 圖



第 6 圖