

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

245386

(11) (B1)

(51) Int. Cl.⁴

G 04 F 5/00
G 04 F 8/08

(22) Přihlášeno 05 04 84
(21) PV 2628-84

(40) Zveřejněno 16 07 85

(45) Vydáno 15 09 87

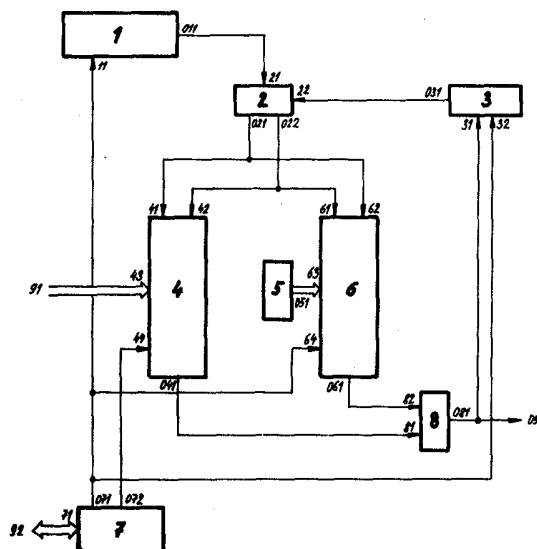
(75)

Autor vynálezu

ŠTEFL JIŘÍ ing., BRNO

(54) Zapojení časovače

Cílem řešení je vytvořit jednoduché, funkčně spolehlivé a snadno realizovatelné zapojení časovače. Uvedeného cíle se dosáhne zapojením se dvěma synchronními vratnými čítači (4, 6) s řídicím obvodem (7), s obvodem (1) spouštěné časové základny, s přepínacím obvodem (2), s řídicím bistabilním klopným obvodem (3), s obvodem (5) přednastavení a se součtovým obvodem (8). Řešení lze použít v číslicových zařízeních výpočetní a automatizační, případně měřicí techniky.



Vynález se týká zapojení časovače pro generování předvolitelných časových intervalů v zařízeních výpočetní a automatizační techniky.

V zařízeních výpočetní techniky a automatizační techniky se často požaduje zapojení, v němž je možné pomocí vhodného údaje předvolit periodu, s níž jsou generovány výstupní impulsy. Dosud používaná zapojení pracují buď na principu porovnávání obsahu čítače, inkrementovaného neustále v rytmu hodinových impulsů, s obsahem předvolitelné paměti požadovaného intervalu pomocí komparačních obvodů, nebo na principu opakovaného nastavení předvolitelného čítače pro čítání vzad a paměti intervalu při každém nulovém stavu čítače. Nevýhodou těchto zapojení je potřeba zvláštní paměti pro předvolbu požadovaného intervalu a u principu s komparačními obvody jejich značný rozsah, zvláště při vícemístném vyjádření požadovaného intervalu.

Uvedené nevýhody odstraňuje zapojení časovače podle vynálezu, jehož podstatou je, že výstup obvodu spouštěné časové základny je připojen na hodinový vstup přepínacího obvodu, první výstup přepínacího obvodu je připojen na vstup čítání vzad prvního synchronního vratného čítače a na vstup čítání vpřed druhého synchronního vratného čítače, druhý výstup přepínacího obvodu je připojen na vstup čítání vpřed prvního synchronního vratného čítače a na vstup čítání vzad druhého synchronního vratného čítače, výstup řídicího bistabilního klopného obvodu je připojen na řídicí vstup přepínacího obvodu, výstup přenosu dolů prvního synchronního vratného čítače je připojen na první vstup součtového obvodu, kdežto výstup přenosu dolů druhého synchronního vratného čítače je připojen na druhý vstup součtového obvodu, jehož výstup je připojen na hodinový vstup řídicího bistabilního klopného obvodu a tvoří současně výstup zapojení časovače, skupina výstupů obvodu přednastavení je připojena na skupinu vstupů předvolby druhého synchronního vratného čítače, nastavovací výstup řídicího obvodu je připojen na vstup obvodu spouštěné časové základny, na vstup nastavení předvolby druhého synchronního vratného čítače a na nastavovací vstup řídicího bistabilního klopného obvodu, řídicí výstup předvolby řídicího obvodu je připojen na vstup nastavení předvolby prvního synchronního vratného čítače, skupina vstupů předvolby prvního synchronního vratného čítače tvoří současně skupinu datových vstupů zapojení, skupina vstupů a výstupů řídicího obvodu tvoří současně skupinu vstupů a výstupů zapojení. Další řídicí výstupy předvolby řídicího obvodu jsou připojeny na další vstupy nastavení předvolby prvního synchronního vratného čítače.

Výhodou zapojení časovače podle vynálezu je jeho jednoduchost, funkční spolehlivost a snadná realizovatelnost z běžných integrovaných obvodů.

Příklad zapojení časovače podle vynálezu je znázorněn schematicky na připojeném výkrese.

Výstup 011 obvodu 1 spouštěné časové základny je připojen na hodinový vstup 21 přepínacího obvodu 2. První výstup 021 přepínacího obvodu 2 je připojen na vstup 41 čítání vzad prvního synchronního vratného čítače 4 a na vstup 62 čítání vpřed druhého synchronního vratného čítače 6. Druhý výstup 022 přepínacího obvodu 2 je připojen na vstup 42 čítání vpřed prvního synchronního vratného čítače 4 a na vstup 61 čítání vzad druhého synchronního vratného čítače 6. Výstup 031 řídicího bistabilního klopného obvodu 3 je připojen na řídicí vstup 22 přepínacího obvodu 2. Výstup 041 přenosu dolů prvního synchronního vratného čítače 4 je připojen na první vstup 81 součtového obvodu 8, kdežto výstup 061 přenosu dolů druhého synchronního vratného čítače 6 je připojen na druhý vstup 82 součtového obvodu 8, jehož výstup 081 je připojen na hodinový vstup 31 řídicího bistabilního klopného obvodu 3 a tvoří současně výstup 091 zapojení časovače pro připojení na neznázorněné zařízení výpočetní techniky. Skupina výstupů 051 obvodu 5 přednastavení je připojena na skupinu vstupů 63 předvolby druhého synchronního vratného čítače 6. Nastavovací výstup 071 řídicího obvodu 7 je připojen na vstup 11 obvodu 1 spouštěné časové základny, na vstup 64 nastavení předvolby druhého synchronního vratného čítače 6 a na nastavovací vstup 32 řídicího bistabilního klopného obvodu 3.

Řídicí výstup 072 předvolby řídicího obvodu 7 je připojen na vstup 44 nastavení předvolby prvního synchronního vratného čítače 4. Skupina vstupů 43 předvolby prvního synchronního vratného čítače 4 tvoří současně skupinu datových vstupů 91 zapojení pro připojení na zařízení výpočetní techniky. Skupina vstupů a výstupů 71 řídicího obvodu 7 tvoří současně skupinu vstupů a výstupů 92 zapojení pro připojení na neznázorněné zařízení výpočetní techniky.

Do prvního synchronního vratného čítače 4 jsou signálem, přivedeným na vstup 44 nastavení předvolby, zaznamenaná číselná data, udávající požadovanou periodu výstupního signálu jako násobek základní periody hodinového signálu obvodu 1 spouštěné časové základny a přiváděna na skupinu vstupů 43 předvolby. Signálem, přivedeným na vstup 64 nastavení předvolby druhého synchronního vratného čítače 6, je nastaven tento druhý synchronní vratný čítač 6 do maximálního možného stavu zmenšeného o jedničku pomocí dat vytvářených obvodem 5 přednastavení a přiváděných na vstupy 63 předvolby druhého synchronního vratného čítače 6.

Stejným signálem, kterým je nastavován druhý synchronní vratný čítač 6, je blokován obvod 1 spouštění časové základny a je nastaven přes nastavovací vstup 32 řídicí bistabilní klopný obvod 3 do počátečního stavu, který určuje, že hodinové impulsy z obvodu 1 spouštěné časové základny přiváděné na hodinový vstup 21 přepínacího obvodu 2, budou přepnuty na první výstup 021 přepínacího obvodu 2. Nastavovací signály jsou vytvářeny řídicím obvodem 7 na základě stavu na skupině vstupů a výstupů 71. Po ukončení nastavovacích signálů na výstupech 071 a 072 řídicího obvodu 7 je spuštěn obvod 1 spouštěné časové základny, přičemž první impuls je z tohoto obvodu vygenerován okamžitě při jeho spuštění. Hodinovými impulsy, přiváděnými přes přepínací obvod 2 na vstup 42 čítání vzad prvního synchronního vratného čítače 4, je jeho obsah postupně snižován a obsah druhého synchronního vratného čítače 6 je zvyšován impulsy, přiváděnými na vstup 42 čítání vpřed, až do okamžiku, kdy první synchronní vratný čítač 6 vygeneruje impuls na výstupu 041 přenosu dolů. Tento impuls je přiveden na první vstup 81 součtového obvodu 8, na jehož výstupu 081 se objeví výstupní impuls celého zapojení. Tento impuls, přivedený na hodinový vstup 31 řídicího bistabilního klopného obvodu 3, způsobí překlopení tohoto řídicího bistabilního klopného obvodu 3, což způsobí, že hodinové impulsy z obvodu 1 spouštěné časové základny se objeví na druhém výstupu 022 přepínacího obvodu 2 a budou tedy přiváděny na vstup 42 čítání vpřed prvního synchronního vratného čítače 4 a na vstup 61 čítání vzad synchronního vratného čítače 6. Oba čítače 4 a 6 pak čítají v opačném smyslu tak dlouho, až se objeví impuls na výstupu 061 přenosu dolů druhého synchronního vratného čítače 6, který přes druhý vstup 82 součtového obvodu 8 vytvoří další výstupní impuls. Tím dojde opět k překlopení řídicího bistabilního klopného obvodu 3. Celý děj se neustále opakuje, přičemž výsledkem činnosti zapojení jsou výstupní impulsy s periodou, danou počátečním nastavením. První synchronní vratný čítač 4 může být nastavován po jednotlivých řádech pomocí více signálů z dalších neznázorněných řídicích výstupů předvolby řídicího obvodu 7, připojených na další neznázorněné vstupy nastavení předvolby prvního synchronního vratného čítače 4.

Vynálezu lze použít v číslicových zařízeních výpočetní a automatizační, případně měřicí techniky.

P R Ě D M Ě T V Y N Á L E Z U

1. Zapojení časovače se synchronními čítači, řídicím obvodem a obvodem časové základny, vyznačené tím, že výstup (011) obvodu (1) spouštěné časové základny je připojen na hodinový vstup (21) přepínacího obvodu (2), jehož první výstup (021) je připojen na vstup (41) čítání vzad prvního synchronního vratného čítače (4) a na vstup (62) čítání vpřed druhého synchronního vratného čítače (6), druhý výstup (022) přepínacího obvodu (2) je připojen na vstup (42) čítání vpřed prvního synchronního vratného čítače (4) a na vstup (61) čítání vzad druhého synchronního vratného čítače (6), výstup (031) řídicího bistabilního klopného

obvodu (3) je připojen na řídicí vstup (22) přepínacího obvodu (2), výstup (041) přenosu dolů prvního synchronního vratného čítače (4) je připojen na první vstup (81) součtového obvodu (8), kdežto výstup (061) přenosu dolů druhého synchronního vratného čítače (6) je připojen na druhý vstup (82) součtového obvodu (8), jehož výstup (081) je připojen na hodinový vstup (31) řídicího bistabilního klopného obvodu (3) a tvoří současně výstup (091) zapojení časovače, skupina výstupů (051) obvodu (5) přednastavení je připojena na skupinu vstupů (63) předvolby druhého synchronního vratného čítače (6), nastavovací výstup (071) řídicího obvodu (7) je připojen na vstup (11) obvodu (1) spouštěné časové základny, na vstup (64) nastavení předvolby druhého synchronního vratného čítače (6) a na nastavovací vstup (32) řídicího bistabilního klopného obvodu (3), řídicí výstup (072) předvolby řídicího obvodu (7) je připojen na vstup (44) nastavení předvolby prvního synchronního vratného čítače (4), skupina vstupů (43) předvolby prvního synchronního vratného čítače (4) tvoří současně skupinu datových vstupů (91) zapojení, skupina vstupů a výstupů (71) řídicího obvodu (7) tvoří současně skupinu vstupů a výstupů (92) zapojení.

2. Zapojení podle bodu 1 vyznačené tím, že další řídicí výstupy předvolby řídicího obvodu (7) jsou připojeny na další vstupy nastavení předvolby prvního synchronního vratného čítače (4).

1 výkres

245386

