

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5156155号
(P5156155)

(45) 発行日 平成25年3月6日 (2013.3.6)

(24) 登録日 平成24年12月14日 (2012.12.14)

(51) Int.Cl.	F I
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E
HO 1 L 21/306 (2006.01)	HO 1 L 21/306 D
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 B
HO 1 L 23/522 (2006.01)	

請求項の数 10 (全 16 頁)

(21) 出願番号 特願平11-291146	(73) 特許権者 390040660
(22) 出願日 平成11年10月13日 (1999.10.13)	アプライド マテリアルズ インコーポレイテッド
(65) 公開番号 特開2001-110745 (P2001-110745A)	APPLIED MATERIALS, INCORPORATED
(43) 公開日 平成13年4月20日 (2001.4.20)	アメリカ合衆国 カリフォルニア州 95054 サンタ クララ パウアーズ アベニュー 3050
審査請求日 平成18年9月27日 (2006.9.27)	(74) 代理人 100109726
審査番号 不服2011-17324 (P2011-17324/J1)	弁理士 園田 吉隆
審査請求日 平成23年8月10日 (2011.8.10)	(74) 代理人 100101199
	弁理士 小林 義教
	最終頁に続く

(54) 【発明の名称】 半導体集積回路を製造する方法

(57) 【特許請求の範囲】

【請求項 1】

複数の半導体デバイスを接続する配線を基板上に備える半導体集積回路を製造する方法であって、前記基板は、第1の領域および前記第1の領域と異なる第2の領域を有し、

前記複数の半導体デバイスを前記基板に形成するとともに、前記第2の領域にダミーパターンを形成する第1のステップと、

前記複数の半導体デバイスを覆うようにエッチング停止膜を形成する第2のステップと、

前記複数の半導体デバイスを接続するように第1の導電部を形成する第3のステップと、

前記第1の導電部を接続するように前記第1の領域に第2の導電部と、シリコン酸化物を含む層間膜部とを前記エッチング停止膜上に形成する第4のステップと、

前記層間膜部を貫通し前記エッチング停止膜に到達する開口部を前記第2の領域の前記ダミーパターンの上面に形成する第5のステップと、

前記開口部が形成された前記基板を少なくともフッ化水素酸を含む溶液に浸し、前記層間膜部をエッチングする第6のステップと、
を備える半導体集積回路を製造する方法。

【請求項 2】

第3のステップは、前記半導体デバイスに直接に接続された導電コンタクトと、前記導電コンタクトに接続された配線層とを形成するステップを備え、

前記第 1 の導電部は前記導電コンタクトおよび前記配線層を含む、請求項 1 に記載の半導体集積回路を製造する方法。

【請求項 3】

第 4 のステップは、少なくとも一層の配線層、前記少なくとも一層の配線層および前記第 1 の導電部の間の各々に少なくとも一層のシリコン酸化膜、並びに前記少なくとも一層の配線層および前記第 1 の導電部を接続するように前記少なくとも一層のシリコン酸化膜に設けられた導電ビアを形成するステップを含み、

前記第 2 の導電部は、前記少なくとも一層の配線層および前記導電ビアを含み、前記層間膜部は、前記少なくとも 1 層のシリコン酸化膜を含む、請求項 1 または請求項 2 に記載の半導体集積回路を製造する方法。

10

【請求項 4】

前記配線層は銅を主要構成材料として含み、前記導電ビアはタングステンを主要構成材料として含む、請求項 3 に記載の半導体集積回路を製造する方法。

【請求項 5】

前記第 4 のステップでは、前記層間膜部に前記第 2 の導電部をダマシン法によって形成する、請求項 1 ～請求項 4 のいずれかに記載の半導体集積回路を製造する方法。

【請求項 6】

前記基板は、前記半導体集積回路を含む半導体チップ領域と半導体チップ領域の周囲に設けられたスクライブ領域とを含み、

前記第 5 のステップは、前記開口部を前記スクライブ領域に形成するステップを有する、請求項 1 ～請求項 5 のいずれかに記載の半導体集積回路を製造する方法。

20

【請求項 7】

前記基板は、前記半導体集積回路を含む半導体チップ領域と半導体チップ領域の周囲に設けられたスクライブ領域とを含み、

前記第 5 のステップは、前記開口部を前記半導体チップ領域に形成するステップを有する、請求項 1 ～請求項 5 のいずれかに記載の半導体集積回路を製造する方法。

【請求項 8】

前記第 2 のステップでは、前記エッチング停止膜を前記第 1 の導電部上に形成する、請求項 1 ～7 のいずれかに記載の半導体集積回路を製造する方法。

【請求項 9】

30

前記第 3 のステップでは、前記エッチング停止膜を貫通して前記半導体デバイスと接続するように前記第 1 の導電部を形成する、請求項 1 ～7 のいずれかに記載の半導体集積回路を製造する方法。

【請求項 10】

前記開口部は、前記エッチング停止膜に到達する孔および溝の少なくともいずれかである、請求項 1 ～請求項 9 に記載の半導体集積回路を製造する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスを相互に接続する配線を基板に備える半導体集積回路を製造する方法に関する。

40

【0002】

【従来の技術】

微細化された半導体集積回路の動作を高速にするために、様々な試みが行われている。図 13 に示されるように、半導体集積回路の動作速度は、微細化が進むにつれて、トランジスタで構成されるゲート自体の遅延(Intrinsic Gate Delay)に比べて、これらを接続する配線部分の遅延(Interconnect Delay)の割合が大きくなりつつある。配線部分の遅延は、配線のキャパシタンスおよび抵抗によって影響を受ける。

【0003】

このような高速化の試みの 1 つとして、配線のキャパシタンスに起因する動作遅延を改善

50

するために層間酸化膜にフッ素(F)または炭素(C)を添加して、膜自体の比誘電率を低減する方法がある。また、比誘電率を低減するためには、層間酸化膜の密度を小さくすることも有効であることが報告されている。

【0004】

これとは異なる試みとして、層間膜の材料として炭素系の材料を用いて、 O_2 プラズマを用いて炭素系層間膜を除去する方法もある。

【0005】

また、層間膜の成膜条件を制御して層間膜中に空隙を設けることによって、実効的な比誘電率を下げる試みもある。

【0006】

10

【発明が解決しようとする課題】

発明者は、半導体集積回路の動作速度に関するこれらの試みを検討した結果、以下のような問題点を見出した。

【0007】

低誘電率のフッ素系酸化膜を形成するためには、層間膜形成用の従来のCVD装置とは異なる新たな装置が必要とされる。成膜のためには、この新たな装置に対して、細かな成長条件の設定およびこの条件のメンテナンスが必要である。フッ素系シリコン酸化物を層間膜に採用する限りは、比誘電率が3以下には下げることは難しい。

【0008】

また、層間膜の材料として炭素系の材料を用いる方法では、炭素系層間膜の成長装置、および専用の O_2 プラズマ装置が新たに必要となる。

20

【0009】

さらに、層間膜中に空隙を形成する方法では、CVD法における成膜条件のメンテナンスすることが難しく、成膜条件のずれは断線および短絡といった不良に結びつく。これらの不良は長期に使用した後に発生する場合もあるので、半導体集積回路の信頼性上の観点から採用しがたい。

【0010】

そこで、本発明は、新規な装置を利用することなく、半導体集積回路の動作速度を高速化することができる、半導体集積回路を製造する方法を提供することである。

【0011】

30

【課題を解決するための手段】

本発明は、半導体デバイスを相互に接続する配線を基板上に備える半導体集積回路を製造する方法に関する。基板は、第1の領域、および第1の領域と異なる第2の領域を主面上に有する。この方法は、(a)基板に半導体デバイスを形成する第1のステップと、(b)半導体デバイスを覆うようにエッチング停止膜を形成する第2のステップと、(c)半導体デバイスに接続された第1の導電部を形成する第3のステップと、(d)第1の導電部に接続するように第1の領域に第2の導電部と、シリコン酸化物を含む層間膜部とをエッチング停止膜上に形成する第4のステップと、(e)層間膜部を貫通しエッチング停止膜に到達する開口部を第2の領域に形成する第5のステップと、(f)開口部が形成された基板を少なくともフッ化水素酸を含む溶液に浸し、層間膜部をエッチングする第6のステップと、を備える。

40

【0012】

層間膜部は、シリコン酸化物といったシリコン系絶縁膜を含んでいる。シリコン酸化膜をエッチング可能な溶液で層間膜部のエッチングを行うと、このエッチングに対してエッチング停止膜が層間膜のエッチングに対する保護層として機能する。このため、このエッチング停止膜に覆われた半導体デバイスはエッチングから保護される。また、エッチングのために利用する開口部を基板上の第2の領域に設けたので、エッチング停止膜に到達する開口部を第2の導電部に遮られることなく形成できる。形成された開口部の側面に層間膜部が露出するので、あらゆる深さの層間膜部の側面からエッチングが進行する。

【0013】

50

本発明は、以下のステップを含むことができる。

【0014】

本発明に係わる半導体集積回路を製造する方法では、第3のステップは、(c1)半導体デバイスに直接に接続された導電コンタクトを形成するステップ、(c2)導電コンタクトに接続された配線層を形成するステップを含むことができる。このようなステップを備えるので、第1の導電部は、導電コンタクト及び配線層を含む。

【0015】

本発明に係わる半導体集積回路を製造する方法では、第4のステップは、(d1)少なくとも一層の配線層、少なくとも一層の配線層および第1の導電部の間の各々に少なくとも一層のシリコン酸化膜、並びに少なくとも一層の配線層および第1の導電部を接続するように少なくとも一層のシリコン絶縁膜に導電ビア、を形成するステップを含むことができる。

10

【0016】

このようなステップを備えるので、第2の導電部は、少なくとも一層の配線層および導電ビアを含むことができ、層間膜部は少なくとも一層の配線層および第1の導電部との間に少なくともシリコン酸化膜を含む。第2の導電部は任意のレベルの配線層を含むことができる。

【0017】

また、配線層は、銅を主要構成材料として含むことができ、導電ビアおよび導電コンタクトは、タングステンを主要構成材料として含むことができる。

【0018】

20

本発明に係わる半導体集積回路を製造する方法では、第4のステップでは、層間膜部に第2の導電部をダマシン法によって形成することができる。ダマシン法には、シングルダマシン法およびデュアルダマシン法が含まれる。

【0019】

ダマシン法によれば、まず、下に横たわる導電体を覆うようにシリコン酸化膜に形成する。次いで、下地の導電体に到達する凹部をこのシリコン酸化膜に形成し、この凹部内に別の導電体を形成することができる。別の導電体には、ビア導電体および配線導電体の少なくともいずれかが含まれる。凹部には、ビア導電体が埋め込まれるように設けられた第1の凹部および配線導電体が埋め込まれるように設けられた第2の凹部の少なくともいずれかを含む。ビア導電体および配線導電体は同一工程で埋め込まれることができる。

30

【0020】

第2の導電部は、配線導電体およびビア導電体から成る導電レベルを少なくとも1つを含むことができる。層間膜部は、この導電レベルの数の2倍のシリコン系絶縁物層を含むことができる。あるいは、第2の導電部は、配線導電部およびビア導電部から成る一体の導電体を少なくとも1つを含むことができる。層間膜部は、このレベル数に対応した数の導電体が埋め込まれるべきシリコン系絶縁物層を含むことができる。

【0021】

本発明に係わる半導体集積回路を製造する方法では、第2のステップにおいて、エッチング停止膜を第1の導電部上に形成することができる。これによって、エッチング停止膜の下に設けられた第1の導電部は、エッチングに曝されることはない。第1の導電部は、開口部が形成される位置に関係なく設けられることができる。またエッチング停止膜の下層に設けられた第1の導電部には、エッチング溶液にエッチングされる材料を適用することができる。第1の導電層は、任意の数の配線層を備えることができる。

40

【0022】

本発明に係わる半導体集積回路を製造する方法では、第3のステップにおいて、エッチング停止膜を貫通して半導体デバイスと接続するように第1の導電部を形成することができる。このような形態は、セルフアラインコンタクトを採用するために用いられるシリコン窒化膜をエッチング停止膜として利用する場合に好適である。

【0023】

本発明に係わる半導体集積回路を製造する方法では、基板は、それぞれが半導体集積回路

50

を含む複数の半導体チップ領域と、それぞれの半導体チップ領域の周囲に設けられたスクライブ領域とを含むことができる。このような基板において、第5のステップは、開口部をスクライブ領域および半導体チップ領域の少なくともいずれかに形成するステップを有することができる。

【0024】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態について説明する、同一の部分には、可能な場合には同一の符号を付して重複する説明を省略する。

【0025】

引き続き説明において、MOSデバイスを有する半導体集積回路に本発明を適用した場合について説明するけれども、本発明は、このようなデバイスに限定されることはない。

【0026】

図1～図4は、本発明に係わる第1の実施の形態の示す工程断面図である。

【0027】

図1を参照すると、基板2は、P型高濃度ウエハ4上にP型エピタキシャル層6を有する。基板2には、Nチャネル型MOSデバイス10およびPチャネル型MOSデバイス20が形成されている。

【0028】

Nチャネル型デバイス10は、P型エピタキシャル層6の表層に形成される。Pチャネル型デバイス20を形成するための領域を含むようにNウェル8を形成する。Nチャネル型デバイス10およびPチャネル型デバイス20のそれぞれを分離するための素子分離膜30a、30b、30cを形成する。これらの素子分離膜30a～30cに囲まれた領域は、デバイス形成領域となる。Nチャネル型デバイス10は、素子分離膜30a、30bの間に設けられる。Pチャネル型デバイス10は、素子分離膜30b、30cの間に設けられる。

【0029】

デバイス形成領域にゲート絶縁膜32を形成する。ゲート絶縁膜32上にポリサイド構造を有するゲート電極34a～34eを形成する。ゲート電極34a、30b直下の領域18、28には、ゲート電極形成前にしきい値等を制御するためにイオン注入を行って不純物を導入している。ゲート電極34a、34bを形成した後に、ゲート電極34aと自己整合的にN型ソース拡散層領域12およびN型ドレイン拡散層領域14を形成する。ゲート電極34bに自己整合的にP型ソース拡散層領域22およびP型ドレイン拡散層領域24を形成する。

【0030】

続いて、 Si_3N_4 膜といった第1のシリコン窒化膜36を基板2上に形成する。エッチング停止膜として利用される第1のシリコン窒化膜36は、例えば、CVD法を用いて30nm以上100nm以下の厚さに形成される。この第1のシリコン窒化膜36は、セルフアラインコンタクト形成に用いられるエッチング停止層と兼用されることができる。

【0031】

次いで、BPSG膜といった第1のシリコン酸化膜38を第1のシリコン窒化膜36上に形成する。第1のシリコン酸化膜38は、例えばCVD法を用いて500nm以上1000nm以下の厚さに形成される。この後、第1のシリコン酸化膜38および第1のシリコン窒化膜36を貫通し基板2の表面およびゲート電極に到達するように設けられたコンタクト孔を形成する。これらのコンタクト孔は、例えば、フォトリソグラフィック法およびドライエッチング法を用いて形成される。形成されたコンタクト孔には、タングステン(W)プラグといった埋め込みプラグ40を形成する。タングステンの埋め込みに先だって、TiW膜をコンタクト孔の底面および側面に形成することができる。TiW膜は、例えば、スパッタリング法で形成されることができ、またWプラグは、例えば、CVD法で形成されることができ、埋め込みプラグ40を形成した後に、CMP法を用いてシリコン酸化膜38および埋め込みプラグ40を平坦化する。

【0032】

平坦化されたシリコン酸化膜38上に第1の配線層42を形成する。第1の配線層42は、例えば、TiW膜、W膜、TiW膜の3層を、それぞれスパッタリング法、CVD法、スパッタリング法を用いて形成した後にフォトリソグラフィック法およびドライエッチング法によって所定の配線形状を形成することによって得られる。第1の配線層42は、500nm以上1000nm以下の厚さを有する。

【0033】

図2を参照しながら、さらに上層の配線層の形成について説明する。第1のシリコン酸化膜38および第1の配線層42上に、第2のシリコン酸化膜44、埋め込みプラグ46、および第2の配線層48を形成する。これらの形成は、第1のシリコン酸化膜38、埋め込みプラグ40、および第1の配線層42とほぼ同様に行うことができる。しかしながら、これと異なる形成方法を採用することができる。形成された第2のシリコン酸化膜44は500nm以上2000nm以下の厚さを有し、第1の配線層48は500nm以上1000nm以下の厚さを有する。

10

【0034】

次いで、第2のシリコン酸化膜44および第2の配線層48上に、第3のシリコン酸化膜50を形成する。第3のシリコン酸化膜50は、例えば、CVD法によって500nm以上2000nm以下の厚さに形成される。引き続き、第3のシリコン酸化膜50上にシリコン窒化膜52を形成する。第3のシリコン酸化膜50およびシリコン窒化膜52内には、第2の配線層に48に到達するようにビア孔を設ける。これらのビア孔は、例えば、フォトリソグラフィック法およびドライエッチング法を用いて形成される。形成されたビア孔には、タングステン(W)プラグといった埋め込みプラグ54を形成する。コンタクト孔の場合と同様に、タングステンの埋め込みに先だって、TiW膜をコンタクト孔の底面および側面に形成することができる。埋め込みプラグ54を形成した後に、CMP法を用いてシリコン窒化膜52および埋め込みプラグ52を平坦化する。

20

【0035】

続いて、平坦化された第2のシリコン窒化膜52上に第3の配線層56を形成する。第3の配線層56は、第1の配線層42と同様の構造を有することができる。しかしながら、これに限定されることはない。第3の配線層56は、例えば500nm以上2000nm以下の厚さを有する。

30

【0036】

図3を参照しながら、開口部の形成について説明する。まず、第1のシリコン窒化膜36に到達する開口部58を形成する。開口部58は、第1～第3の配線層42、48、56および埋め込みプラグ40、46、54が設けられている第1の領域とは異なる第2の領域に形成される。

【0037】

開口部58を形成するために、フォトリソグラフィック法を利用して所定の孔を有するマスク層を形成する。このマスク層をエッチングマスクにして、まず、シリコン窒化膜52をエッチングする。次いで、第1のシリコン窒化膜36に到達するまでシリコン酸化膜38、44、50のエッチングを行う。エッチングは、シリコン酸化膜38、44、50に対する第1のシリコン窒化膜36の選択比が高い条件で行われる。この選択比の条件が満たされる限りにおいて、ドライエッチングおよびウェットエッチングの少なくともいずれかを用いることができる。この選択比の条件が満たされていれば、多少のオーバーエッチングが生じて、開口部58は素子分離膜30a～30cに到達することがない。さらに、開口部58が形成されるべき領域には、ダミーゲート電極34eを設けることができる。これによって、オーバーエッチングに対するマージンが増す。図3に示された開口部は、ドライエッチングを用いて形成された。

40

【0038】

開口部58が形成された基板2を少なくともフッ化水素酸を含むエッチング溶液に浸す。この結果、シリコン酸化物を含む層間膜部38、44、50が除去される。これらの酸化

50

膜 38、44、50 が除去された工程の断面を図 4 に示す。シリコン酸化膜 38、44、50 の除去に好適な溶液は、フッ化水素酸(HF)溶液、またはフッ化アンモニウム含有のバッファードフッ酸(BOE)である。これらの溶液を用いて、例えば常温(例示すれば、20℃以上25℃以下)で被エッチング酸化膜がエッチングにより除去される条件をエッチング時間およびエッチング溶液濃度の少なくともいずれかで調整する。

【0039】

開口部 58 は、第 1 のシリコン窒化膜 36 に到達するように設けられた孔、溝であることができる。

【0040】

半導体デバイス 10、20 に対しては第 1 のシリコン窒化膜 36 がエッチング停止層として機能する。また、各埋め込みプラグ 40、46、54 および各配線層 42、48、56 は、それぞれ、エッチング溶液にエッチングされにくい材料で形成されている。あるいは、各埋め込みプラグ 40、46、54 および各配線層 42、48、56 は、エッチング溶液に触れる部分がエッチング溶液にエッチングされにくい材料で形成されていることもできる。このため、シリコン酸化膜 38、44、50 を充分にエッチングするために必要な時間だけエッチング溶液に曝しても、半導体デバイス 10、20、各埋め込みプラグ 40、46、54 および各配線層 42、48、56 に関する電気的特性の劣化は生じない。

【0041】

なお、シリコン窒化膜 52 および第 3 の配線層 56 上にプラズマ SiN 膜(シリコン窒化膜)、プラズマシリコン酸化膜(p-SiO 膜)およびプラズマシリコン酸化窒化膜(p-SiON 膜)といったパッシベーション膜を形成することもできる。

【0042】

図 5 および図 6 は、ウエハ上に形成されたダイナミック・ランダムアクセス・メモリの半導体チップを示す図面である。半導体チップ 80 は、4 辺をスクライブ領域 81 に囲まれている。スクライブ領域 81 の中心線 82a 及び 82b の距離は、Y 方向のチップサイズを表している。スクライブ領域 81 の中心線 82c 及び 82d の距離は、X 方向のチップサイズを表している。

【0043】

図 5 および図 6 において、開口部 58 が形成されるべき領域を示す斜線で示す。図 5 を参照すると、斜線部分 84 がスクライブ領域 81 に設けられている。また、図 6 を参照すると、配線が形成されない半導体チップ領域内に斜線部分 86 が設けられている。図 6 では、斜線部分 86 は、長いチップ辺に沿って半導体チップの中央に 1 本、長いチップ辺に交差する短いチップ辺に沿って半導体チップの中央部および両側辺の 2 本、それぞれ設けられている。

【0044】

図 5 および図 6 に第 2 の領域になるべき部分を例示したけれども、第 2 の領域は、第 2 の導電部が形成されている第 1 の領域と異なる領域であるということによって規定される。したがって、図 5 および図 6 における第 2 の領域部分は、例示のためにのみ示されている。

【0045】

図 7～図 11 は、本発明に係わる第 2 の実施の形態の示す工程断面図である。

【0046】

図 7 を参照すると、基板 2 は、P 型高濃度ウエハ 4 上に P 型エピタキシャル層 6 を有する。基板 2 には、N チャネル型 MOS デバイス 10 および P チャネル型 MOS デバイス 20 が形成されている。N チャネル型デバイス 10 および P チャネル型デバイス 20 は、図 1 に示された第 1 の実施の形態と同様の構造を有する。第 1 のシリコン窒化膜 36 に関する点を除いて、第 1 の酸化膜 38、埋め込みプラグ 40、および第 1 の配線層 42 の形成に関しては、第 1 の実施の形態と同一の工程を有する。これらについては同一の番号を付して、重複する説明を省略する。

【0047】

引き続き、図7を参照しながら説明を行う。第1の配線層42および第1のシリコン酸化膜38を覆うように、 Si_3N_4 膜といった第3のシリコン窒化膜60を形成する。このため、本実施の形態においては、機能的な役割において、第1の実施の形態における第1のシリコン窒化膜36には、第3のシリコン窒化膜60が対応している。しかしながら、第3のシリコン窒化膜60は、第1の配線層42と半導体デバイス10、20との間に設けられていない。シリコン窒化膜60は、例えば、CVD法を用いて50nm以上100nm以下の厚さに形成される。

【0048】

図8を参照しながら、引き続き工程を説明する。第3のシリコン窒化膜60上に第4のシリコン酸化膜62を形成する。本実施の形態では、デュアルダマシン法を用いて配線およびビアプラグを一括して形成するので、第4のシリコン酸化膜62は、第1の配線層42の段差並びに接続ビアプラグおよび配線の高さの総和よりも厚く形成される。第4のシリコン酸化膜62は、例えば、CVD法を用いて500nm以上2000nm以下の厚さに形成される。なお、シングルダマシン法を適用することもできる。

【0049】

堆積された第4のシリコン酸化膜62には、まず、フォトリソグラフィック法およびドライエッチング法を利用して、第4の配線層66aが形成されるべき部分に凹部64aを形成する。凹部64aは、後の工程において導電材料で埋め込まれるので、この配線層66aの厚さおよび幅を反映した形状を有する。次いで、再び、フォトリソグラフィック法およびドライエッチング法を利用して、第1の配線層42と第4の配線層66aとを電氣的に接続する接続ビアプラグ66bが形成されるべき部分に凹部64bを形成する。凹部64bは、後の工程において凹部64aと同じ工程において導電材料で埋め込まれるので、接続ビアプラグ66bの高さおよび開口サイズを反映した形状を有する。凹部64bは、凹部64aの底面から第1の配線層42の上面に到達するような深さに形成される。例示すれば、凹部64aの深さは500nm以上1000nm以下程度であり、凹部64bの深さは500nm以上1000nm以下程度である。なお、第4のシリコン酸化膜62は、凹部64aおよび凹部64bとの境界にシリコン窒化膜を挟むことができる。これによって、それぞれの凹部の深さに対する制御性が増す。

【0050】

図9を参照すると、凹部64aおよび64bが導電体で埋め込まれている。この埋め込みは以下の順序で行われる。まず、第1の導電層66c、例えばTa₂N膜またはTaSiN膜といった拡散障壁層または密着層を全面に形成する。第1の導電層66cは、例えばスパッタリング法を用いて30nm以上100nm以下程度の厚さに堆積される。これによって、凹部64a、64bの底面および側面には、第1の導電層66cが形成される。次いで、銅(Cu)といった導電体で凹部64a、64bを埋め込み、第2の導電層66aを形成する。Cuの導電体は、例えばスパッタリング法を用いて50nm以上100nm以下程度の厚さのシード層を形成した後に、電解メッキ法より1μm以上5μm以下程度の厚さに成膜される。導電体の厚さは、凹部66a、66bを埋め込む程度の厚さに加えて、後の工程において平坦化を行うことができる程度の厚さであることが好ましい。第4の配線層66aおよび接続ビアプラグ66bは、その機能上から別個の工程で形成される別個の部材のように表現されているけれども、上記の説明から明らかなように、第4の配線層66aおよび接続ビアプラグ66bは同一の工程で一緒に形成される第1の導電部材66である。

【0051】

このように形成された第4のシリコン酸化膜62および第1の導電部材66は、例えばCMP法といった平坦化法を利用して、図9に示されるように平坦化される。平坦化された第4のシリコン酸化膜62および導電部材66上には、薄いシリコン窒化膜67が形成されることができる。

【0052】

引き続いて、第5のシリコン酸化膜68a内に第2の導電部材70aをシングルダマシン

10

20

30

40

50

法によって形成する。まず、第5のシリコン酸化膜68aは、既に説明された第5のシリコン酸化膜62と同様な工程によってシリコン窒化膜67上に形成されることができる。次いで、第5のシリコン酸化膜68aには、第2の導電部材70aが形成されるべき領域に凹部69aを形成する。凹部69aは、フォトリソグラフィック法およびドライエッチング法を採用して、シリコン窒化膜67をエッチングにより除去し導電体66aに到達するように形成される。凹部69aには、第1の導電部材66と同様な方法で第2の導電部材70aを形成することができる。このように形成された第5のシリコン酸化膜68aおよび第2の導電部材70aは、例えばCMP法といった平坦化法を利用して平坦化される。

【0053】

10

引き続き、第6のシリコン酸化膜68b内に第3の導電部材70bをシングルダマシン法によって形成する。第6のシリコン酸化膜68bおよび第3の導電部材70bは、既に説明された第5のシリコン酸化膜68aおよび第2の導電部材70aと同様な工程によって凹部69bを埋め込むことによって形成されることができるので、その詳細な説明を省略する。しかしながら、第6のシリコン酸化膜68aおよび第3の導電部材70aは、第5のシリコン酸化膜68aおよび第2の導電部材70aとそれぞれ異なる構造を有することができる、また異なる工程によって形成されることができる。

【0054】

図10参照すると、平坦化された第6のシリコン酸化膜68および第2の導電部材70が示されている。これらの表面には、第4のシリコン窒化膜72が形成されている。第4のシリコン窒化膜72は、例えば、CVD法を用いて50nm以上100nm以下の厚さに形成される。

20

【0055】

図10を参照しながら開口部の形成について説明する。まず、第3のシリコン窒化膜60に到達する開口部74を形成する。開口部74は、第1および第2の導電部66、70が設けられている第1の領域とは異なる第2の領域に形成される。

【0056】

開口部74を形成するために、フォトリソグラフィック法を利用して所定の孔を有するマスク層を形成する。このマスク層をエッチングマスクにして、シリコン酸化膜62、68およびシリコン窒化膜76をシリコン窒化膜60に到達するまでエッチングを行う。エッチングは、第3のシリコン窒化膜60に対する選択比が高い条件でシリコン酸化膜62、68を除去する。この選択比の条件が満たされる限りにおいて、ドライエッチングおよびウェットエッチングの少なくともいずれかを用いることができる。この選択比の条件が満たされていれば、多少のオーバーエッチングが生じて、開口部74は第1のシリコン酸化膜38および素子分離膜30a~30cに到達することがない。図10に示された開口部は、ドライエッチングを用いて形成された。

30

【0057】

開口部74が形成された基板2を少なくともフッ化水素酸を含むエッチング溶液に浸す。この結果、シリコン酸化物62、68を含む層間膜部が除去される。図11は、これらの酸化膜62、68が除去された工程の断面を示す。開口部74は、第1の実施の形態と同様に、第4のシリコン窒化膜60に到達するように設けられた孔、溝であることができる。

40

【0058】

本実施の形態においても、第1の実施の形態と同様に、半導体デバイス10、20に対しては第3のシリコン窒化膜60がエッチング停止膜として機能する。第2の導電部66、70a、70bは、それぞれ、エッチング溶液にエッチングされにくい材料で形成されている。あるいは、これらの導電部材66、70(70a、70b)は、エッチング溶液に触れる部分がエッチング溶液にエッチングされにくい材料で被覆されていることもできる。このため、シリコン酸化膜62、68を十分にエッチングするために必要な時間だけエッチング溶液に曝しても、半導体デバイス10、20、第1のシリコン酸化膜38、埋め込

50

みプラグ40、および配線層42に関する電気的特性の劣化は生じない。

【0059】

エッチング停止膜として、シリコン窒化膜を使用する場合について説明したけれども、エッチング停止膜はシリコン窒化膜に限られることはない。エッチング停止膜は、シリコン窒化膜、SiC膜、およびアモルファスSiC:H(α -SiC:H)膜の少なくともいずれかを含むことができる。エッチング停止膜は、シリコン酸化膜を含む層間膜部をエッチングするためのエッチング溶液に関してシリコン酸化膜のエッチレートより小さいエッチレートを有する。

【0060】

第2の実施の形態によれば、最下層の導電層42が、開口部74の位置に関係なく設けられることができる。このため、半導体デバイスを接続する配線層として利用できる。配線層42は周囲をシリコン絶縁膜に囲まれているので、配線キャパシタンスが配線層42に付加される。しかしながら、近接した半導体デバイスの接続に配線層42を利用する限りにおいて、このキャパシタンスの寄与は動作速度に大きく影響しないと考えられる。また、最下層の導電層42を開口部74の位置に関係なく設けるので、半導体集積回路内における相互接続に対する制限を実質的に増加することはない。

【0061】

第2に実施の形態においては、エッチング停止層である第3のシリコン窒化膜60より下には第1の導電部が設けられ、シリコン窒化膜60より上には第2の導電部が設けられている。

【0062】

図12は、図11に対応する平面図であり、I-I断面が図11の断面に対応する。図12によれば、第1の導電部に含まれる埋め込みプラグ40は矩形の形状を有し、また第1の導電部に含まれる第1の配線層42に埋め込みプラグ40を覆って、平面的に広がっている。第2の導電部に含まれる接続ビアプラグ66bおよび導電ビア70aは矩形の形状を有し、また第2の導電部に含まれる第4の配線層66aおよび第3の導電部材70bは、それぞれ接続ビアプラグ66bおよび導電ビア70aを覆って、平面的に広がっている。

【0063】

第1および第2の実施の形態では、MOSトランジスタといったMIS型電界効果トランジスタ(FET)を有する半導体集積回路について説明したけれども、本発明はこれに限定されない。MOSトランジスタに代えて、またはこれに加えてバイポーラトランジスタを有する半導体集積回路に適用することができる。

【0064】

エッチング停止層として機能するシリコン窒化膜層より上層のシリコン酸化膜を除去するので、エッチング停止層を設ける位置に応じて低キャパシタンス化したい配線層を選択することができる。

【0065】

【発明の効果】

本発明に係わる半導体集積回路を製造する方法によれば、基板に設けられた半導体デバイスを覆うようにエッチング停止層を形成し、この上に一層以上の導電部材および層間絶縁膜を形成した後に、エッチング停止層に到達する開口部を形成する。この開口部が形成された基板を少なくともフッ化水素酸を含む溶液に浸し、シリコン酸化物の層間膜部を除去する。シリコン酸化物で形成されている層間膜部は、フッ化水素酸を含む溶液でエッチングされるので、絶縁物に接触していない配線が形成される。このエッチングに対してエッチング停止層が保護膜として機能するので、半導体デバイスはエッチングから保護されている。また、エッチングのために利用する開口部を基板上の第2の領域に設けたので、エッチング停止層に到達する開口部を導電部に関係なく形成できる。形成された開口部の側面に層間膜部が露出するので、あらゆる深さの層間膜部の側面から順にエッチングが進行する。

【0066】

したがって、新規な装置を利用することなく、半導体集積回路の動作速度を高速化できる半導体集積回路を製造する方法が提供された。

【図面の簡単な説明】

【図1】図1は、第1の実施の形態の示す工程断面図である。

【図2】図2は、第1の実施の形態の示す工程断面図である。

【図3】図3は、第1の実施の形態の示す工程断面図である。

【図4】図4は、第1の実施の形態の示す工程断面図である。

【図5】図5は、ウエハ上に形成されたダイナミック・ランダムアクセス・メモリの半導体チップを示す図面である。

10

【図6】図6は、ウエハ上に形成されたダイナミック・ランダムアクセス・メモリの半導体チップを示す図面である。

【図7】図7は、第2の実施の形態の示す工程断面図である。

【図8】図8は、第2の実施の形態の示す工程断面図である。

【図9】図9は、第2の実施の形態の示す工程断面図である。

【図10】図10は、第2の実施の形態の示す工程断面図である。

【図11】図11は、第2の実施の形態の示す工程断面図である。

【図12】図12は、図11に対応する平面図であり、I-I断面における断面が図11である。

【図13】図13は、半導体集積回路の動作速度を示す特性図である。

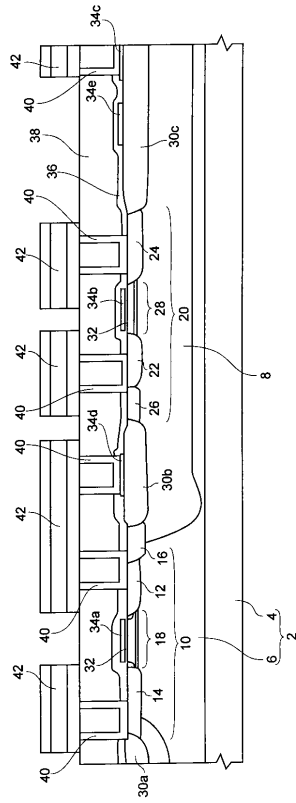
20

【符号の説明】

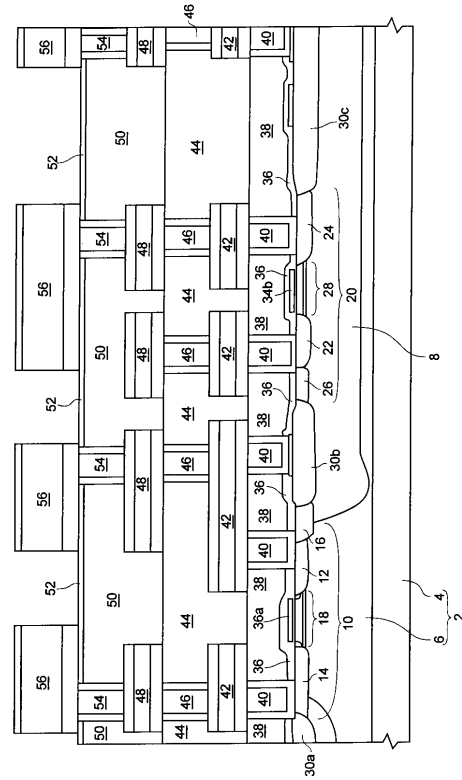
2…基板、4…P型高濃度ウエハ、6…P型エピタキシャル層、8…Nウエル、10…Nチャンネル型MOSデバイス、12…N型ソース拡散層領域、14…N型ドレイン拡散層領域、20…Pチャンネル型MOSデバイス、22…P型ソース拡散層領域、24…P型ドレイン拡散層領域、30a、30b、30c…素子分離膜、32…ゲート絶縁膜、34a～34e…ゲート電極層、36…第1のシリコン窒化膜、38…第1のシリコン酸化膜、40…埋め込みプラグ、42…第1の配線層、44…第2のシリコン酸化膜、46…埋め込みプラグ、48…第2の配線層、50…第3のシリコン酸化膜、52…シリコン窒化膜、54…埋め込みプラグ、56…第3の配線層、58…開口部、60…第3のシリコン窒化膜、62…第4のシリコン酸化膜、64a、64b…凹部、66a…第4の配線層、66b…接続ビアプラグ、66c…第1の導電層、68a…第5のシリコン酸化膜、70a…第2の導電部材(導電ビア)、68b…第5のシリコン酸化膜、70b…第3の導電部材、72…第4のシリコン窒化膜、74…開口部、80…半導体チップ、81…スクライプ領域

30

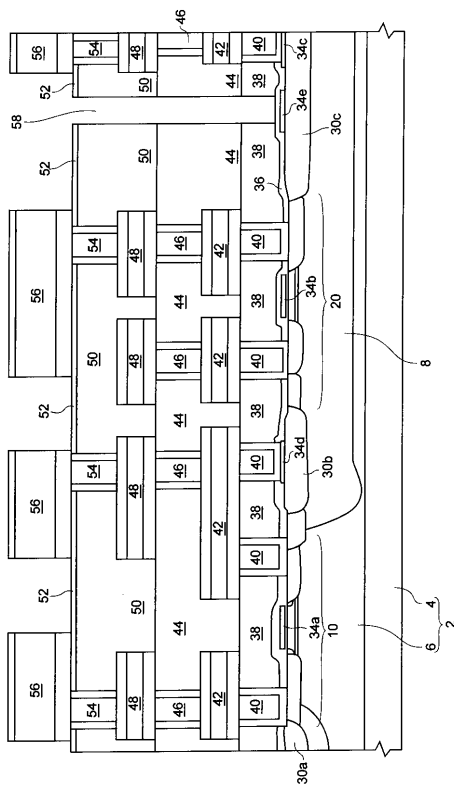
【図 1】



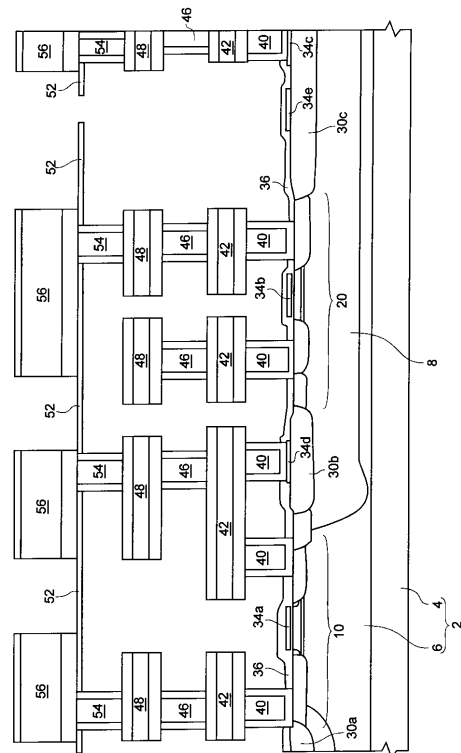
【図 2】



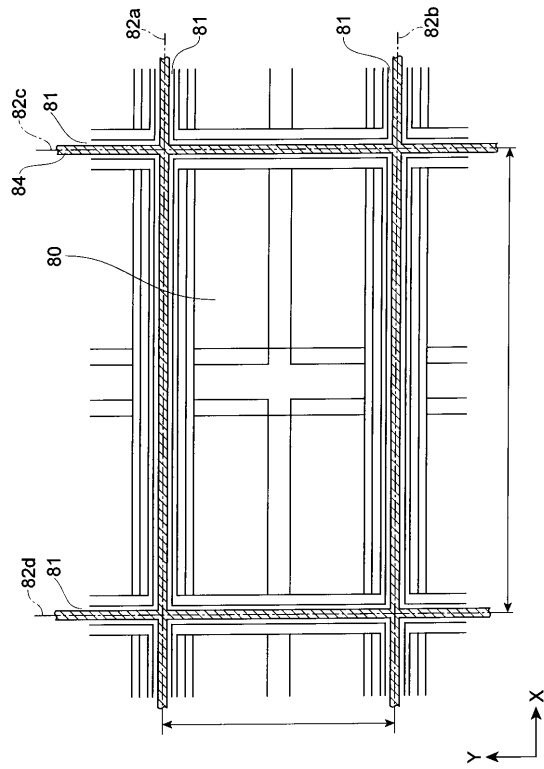
【図 3】



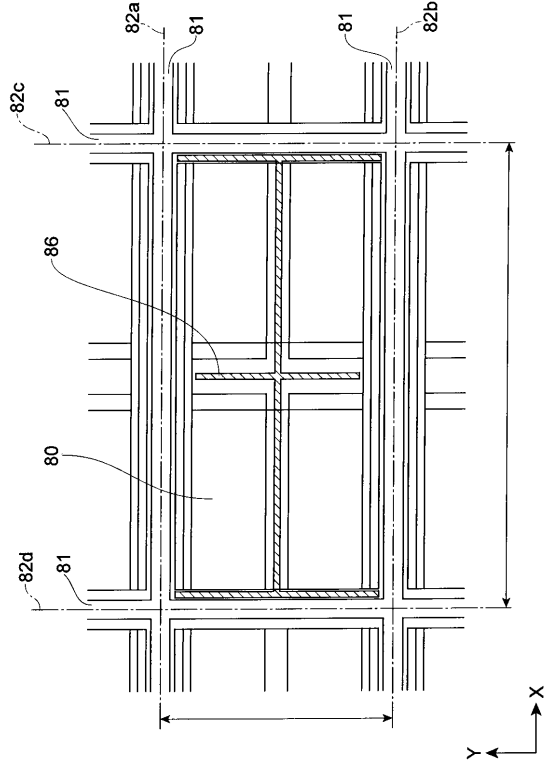
【図 4】



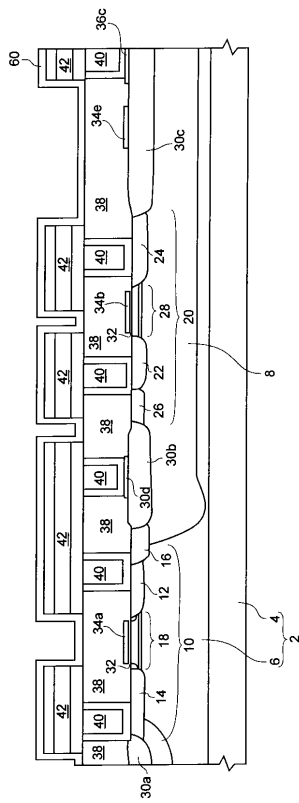
【図 5】



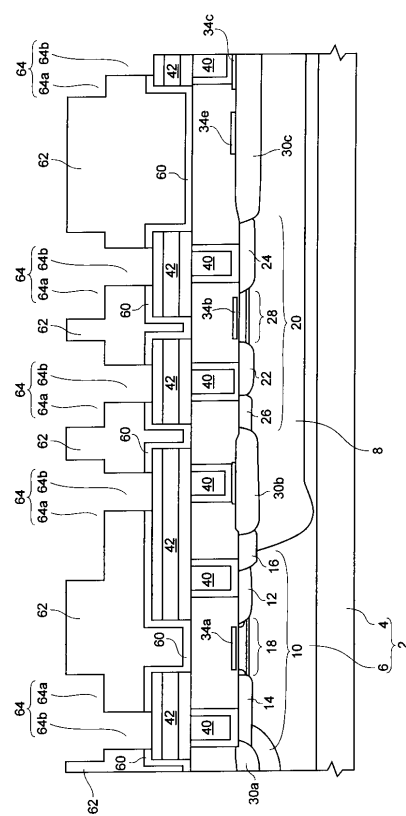
【図 6】



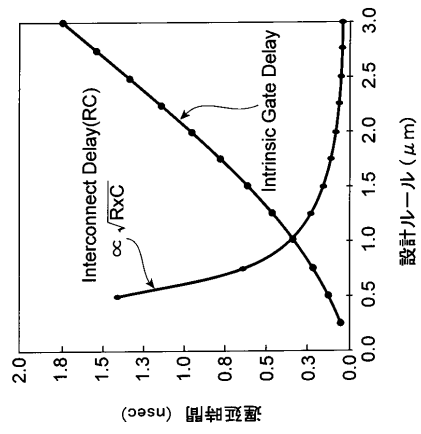
【図 7】



【図 8】



【図 13】



フロントページの続き

(72)発明者 鈴木 洋一

千葉県成田市新泉14-3野毛平工業団地内 アプライド マテリアルズ ジャパン 株式会社内

(72)発明者 岡 直樹

千葉県成田市新泉14-3野毛平工業団地内 アプライド マテリアルズ ジャパン 株式会社内

合議体

審判長 鈴木 匡明

審判官 小野田 誠

審判官 近藤 幸浩

(56)参考文献 特開平11-126820 (JP, A)

特開平04-286144 (JP, A)

特開平09-027545 (JP, A)

特開昭61-107746 (JP, A)

特開平01-120037 (JP, A)

特開平06-151456 (JP, A)

特開平04-212426 (JP, A)

特開平03-204960 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205-21/3215

H01L 21/768

H01L 23/52

H01L 23/522-23/532